



(12)发明专利

(10)授权公告号 CN 104022077 B

(45)授权公告日 2017.01.25

(21)申请号 201410226956.3

G02F 1/1368(2006.01)

(22)申请日 2014.05.27

H01L 27/32(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104022077 A

(56)对比文件

CN 104022076 A, 2014.09.03, 权利要求10, 12, 13, 15-19.

(43)申请公布日 2014.09.03

US 2012/0120362 A1, 2012.05.17, 全文.

(73)专利权人 京东方科技集团股份有限公司

CN 202601619 U, 2012.12.12, 全文.

地址 100015 北京市朝阳区酒仙桥路10号

CN 103123910 A, 2013.05.29, 全文.

(72)发明人 龙春平 任章淳 刘建宏

审查员 李勇

(74)专利代理机构 北京中博世达专利商标代理

有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 21/77(2017.01)

H01L 27/12(2006.01)

G02F 1/1362(2006.01)

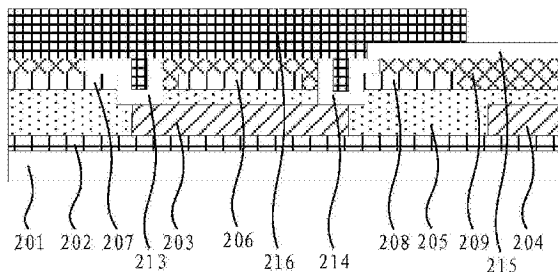
权利要求书3页 说明书13页 附图7页

(54)发明名称

阵列基板及其制作方法、显示装置

(57)摘要

本发明提供了一种阵列基板及其制作方法、显示装置,其中该制作方法包括:在衬底基板上形成包括有源层的图形和栅极绝缘层;在栅极绝缘层上形成金属薄膜,通过一次构图工艺图案化金属薄膜,形成包括有栅极、源极、漏极、栅极线和数据线的图形;在衬底基板上形成钝化层;通过一次构图工艺图案化钝化层,形成源极接触孔、漏极接触孔和跨桥结构接触孔;在衬底基板上形成透明导电薄膜,通过薄膜剥离工艺去除部分透明导电薄膜,以形成源极接触部分、漏极接触部分、像素电极和跨桥结构。上述制作方法降低了构图工艺的使用次数,具有制作方法简单、生产效率高、产品良率高的优点。



1. 一种阵列基板的制作方法,其特征在于,包括:

在衬底基板上形成包括有源层的图形和栅极绝缘层;

在所述栅极绝缘层上形成金属薄膜,通过一次构图工艺图案化所述金属薄膜,形成包括有栅极、源极、漏极、栅极线和数据线的图形,所述栅极线或所述数据线在所述栅极线和所述数据线的交叉处断开;

在衬底基板上形成钝化层;

通过一次构图工艺图案化所述钝化层,形成暴露出部分所述源极与部分所述有源层的源极接触孔、暴露出部分所述漏极与部分所述有源层的漏极接触孔和暴露出部分断开的栅极线或数据线的跨桥结构接触孔;

在衬底基板上形成透明导电薄膜,通过薄膜剥离工艺去除部分所述透明导电薄膜,以在所述源极接触孔中形成电连接所述源极和所述有源层的源极接触部分,在所述漏极接触孔中形成电连接所述漏极和所述有源层的漏极接触部分,在所述漏极上方的钝化层上形成与所述漏极接触部分电连接的像素电极,在所述跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构。

2. 根据权利要求1所述的阵列基板的制作方法,其特征在于,所述通过一次构图工艺图案化所述钝化层,形成暴露出部分所述源极与部分所述有源层的源极接触孔、暴露出部分所述漏极与部分所述有源层的漏极接触孔和暴露出部分断开的栅极线或数据线的跨桥结构接触孔具体包括:

利用半透式掩膜版,在所述钝化层上形成覆盖所述源极和所述数据线的第二光刻胶层、覆盖所述栅极和所述栅极线的第一光刻胶层和覆盖所述漏极的第三光刻胶层,所述第一光刻胶层和所述第二光刻胶层的厚度均大于所述第三光刻胶层的厚度;

以所述第一光刻胶层、所述第二光刻胶层和所述第三光刻胶层为掩膜,去除暴露的钝化层及所述暴露的钝化层与所述衬底基板之间的栅极绝缘层,形成暴露出部分所述源极与部分所述有源层的源极接触孔、暴露出部分所述漏极与部分所述有源层的漏极接触孔和暴露出部分断开的栅极线或数据线的跨桥结构接触孔。

3. 根据权利要求2所述的阵列基板的制作方法,其特征在于,所述以所述第一光刻胶层、所述第二光刻胶层和所述第三光刻胶层为掩膜,去除暴露的钝化层及所述暴露的钝化层与所述基板之间的栅极绝缘层具体为:

以所述第一光刻胶层、所述第二光刻胶层和所述第三光刻胶层为掩膜,利用干法刻蚀工艺刻蚀所述暴露的钝化层及所述暴露的钝化层与所述衬底基板之间的栅极绝缘层。

4. 根据权利要求2所述的阵列基板的制作方法,其特征在于,所述在衬底基板上形成透明导电薄膜,通过薄膜剥离工艺去除部分所述透明导电薄膜,以在所述源极接触孔中形成电连接所述源极和所述有源层的源极接触部分,在所述漏极接触孔中形成电连接所述漏极和所述有源层的漏极接触部分,在所述漏极上方的钝化层上形成与所述漏极接触部分电连接的像素电极,在所述跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构具体包括:

去除所述第三光刻胶层;

在衬底基板上形成透明导电薄膜;

剥离所述第一光刻胶层和所述第二光刻胶层,以去除覆盖在所述第一光刻胶层和所述

第二光刻胶层表面上的透明导电薄膜,在所述源极接触孔中形成电连接所述源极和所述有源层的源极接触部分,在所述漏极接触孔中形成电连接所述漏极和所述有源层的漏极接触部分,在所述漏极上方的钝化层上形成与所述漏极接触部分电连接的像素电极,在所述跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构。

5. 根据权利要求1所述的阵列基板的制作方法,其特征在于,所述在衬底基板上形成包括有源层的图形的步骤中,还同时形成存储电极的图形。

6. 根据权利要求5所述的阵列基板的制作方法,其特征在于,所述在衬底基板上形成包括有源层的图形的步骤中,还同时形成存储电极的图形具体为:在所述衬底基板上形成多晶硅层,通过一次构图工艺图案化所述多晶硅层,形成所述包括有源层的图形和所述存储电极的图形。

7. 根据权利要求6所述的阵列基板的制作方法,其特征在于,所述在所述衬底基板上形成多晶硅层,通过一次构图工艺图案化所述多晶硅层,形成所述包括有源层的图形和所述存储电极的图形具体包括:

在所述衬底基板上形成多晶硅层;

利用半透式掩膜版,在所述多晶硅层上形成覆盖待形成有源层区域的第四光刻胶层和覆盖待形成存储电极区域的第五光刻胶层,所述第四光刻胶层的厚度大于所述第五光刻胶层的厚度;

以所述第四光刻胶层和所述第五光刻胶层为掩膜去除暴露的多晶硅层,形成所述包括有源层的图形和所述存储电极的图形;

去除所述第五光刻胶层,以所述第四光刻胶层为掩膜,对所述存储电极的图形进行掺杂;

去除所述第四光刻胶层。

8. 根据权利要求7所述的阵列基板的制作方法,其特征在于,所述在所述衬底基板上形成多晶硅层具体包括:

在所述衬底基板上沉积非晶硅材料;

采用晶化工艺,使所述非晶硅材料转化为多晶硅材料,形成所述多晶硅层。

9. 根据权利要求1~8任一项所述的阵列基板的制作方法,其特征在于,在所述在衬底基板上形成包括有源层的图形之前,还包括:

在所述衬底基板上形成缓冲层。

10. 根据权利要求1~8任一项所述的阵列基板的制作方法,其特征在于,在形成所述源极接触部分、漏极接触部分和像素电极之后还包括:

在衬底基板上形成像素定义层。

11. 一种阵列基板,其特征在于,包括:

位于衬底基板上的有源层;

覆盖所述有源层的栅极绝缘层;

位于所述栅极绝缘层上且位于同一膜层的栅极、源极、漏极、栅极线和数据线,所述栅极线或所述数据线在所述栅极线和所述数据线的交叉处断开;

覆盖所述栅极、所述源极、所述漏极、所述栅极线和所述数据线的钝化层;

位于所述钝化层和所述栅极绝缘层内部的源极接触孔、漏极接触孔和跨桥结构接触

孔,所述源极接触孔暴露出部分所述源极、部分所述有源层和部分所述栅极绝缘层,所述漏极接触孔暴露出部分所述漏极、部分所述有源层和部分所述栅极绝缘层,所述跨桥结构接触孔暴露出部分断开的栅极线或数据线;

位于同一膜层的源极接触部分、漏极接触部分、像素电极和跨桥结构,其中,所述源极接触部分位于所述源极接触孔内部,电连接所述源极与所述有源层;所述漏极接触部分位于所述漏极接触孔内部,电连接所述漏极与所述有源层;所述像素电极位于所述漏极上方的钝化层上,通过所述漏极接触部分与所述漏极电连接;所述跨桥结构位于所述跨桥结构接触孔内和上方的钝化层上,电连接断开的栅极线或数据线。

12. 根据权利要求11所述的阵列基板,其特征在于,还包括:与所述有源层同层设置的存储电极。

13. 根据权利要求11所述的阵列基板,其特征在于,所述钝化层的材料为亚克力。

14. 根据权利要求11所述的阵列基板,其特征在于,所述源极接触部分、所述漏极接触部分、所述像素电极和所述跨桥结构的厚度为20nm~150nm。

15. 根据权利要求11~14任一项所述的阵列基板,其特征在于,还包括:位于所述衬底基板与所述有源层之间的缓冲层。

16. 根据权利要求11~14任一项所述的阵列基板,其特征在于,还包括:覆盖所述源极接触部分、所述漏极接触部分和所述跨桥结构的像素定义层。

17. 根据权利要求16所述的阵列基板,其特征在于,所述像素定义层的材料为亚克力。

18. 一种显示装置,其特征在于,包括权利要求11~17任一项所述的阵列基板。

19. 根据权利要求18所述的显示装置,其特征在于,所述显示装置为液晶显示装置或有机发光二极管显示装置。

阵列基板及其制作方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制作方法、显示装置。

背景技术

[0002] 有源矩阵(Active Matrix)型显示装置是利用薄膜晶体管(Thin Film Transistor,简称TFT)进行像素显示驱动的一种显示装置,具有轻薄、低功耗、低辐射、低成本等诸多优点,是目前最为主流的显示技术。

[0003] 有源矩阵型显示装置均包含一TFT阵列基板,根据TFT有源层的形成材料的不同,TFT阵列基板可分为非晶硅(a-Si:H)、低温多晶硅(Low Temperature Poly-Silicon,简称LTPS)、高温多晶硅(High Temperature Poly-Silicon,简称HTPS)、氧化物半导体等多种类型。其中,LTPS TFT阵列基板以其载流子迁移率高、可高度集成、抗干扰能力强等优点,成为目前领域内研究的热点之一。

[0004] 常规LTPS TFT阵列基板包括多条沿第一方向的栅极线和多条沿第二方向的数据线,第一方向与第二方向相互垂直,以限定形成呈矩阵式排布的多个像素单元。如图1所示,每个像素单元均包括:像素电极115;位于像素电极115下层的存储电极104;位于栅极线(图中未示出)与数据线(图中未示出)交叉处的TFT,TFT与像素电极115相连,用于驱动像素电极。其中,TFT包括有源层103、栅极106、源极110和漏极111,通常栅极106与栅极线相连,源极110与数据线相连,漏极111与像素电极115相连。

[0005] 常规制作LTPS TFT阵列基板的方法包括:在衬底基板101上依次形成缓冲层102、包括有源层103和存储电极104的图形、栅极绝缘层105、包括栅极106和栅极线的图形、层间绝缘层107、源极接触孔、漏极接触孔、包括源极110、漏极111和数据线的图形、钝化层112、钝化层内的像素电极接触孔、平坦层113、平坦层113内的像素电极接触孔(与钝化层112内的像素电极接触孔是连通的)、像素电极115和像素定义层116。该方法还包括:在形成包括有源层103和存储电极104的图形后,形成遮挡有源层103,但暴露存储电极104的光刻胶图形,以实现存储电极104的离子掺杂,再去除该光刻胶图形的步骤。

[0006] 从上述制作方法中不难发现,整个制作过程至少需要8~9次构图工艺,而每次构图工艺均需经过涂胶、曝光、显影、清洗等多道工序,这就导致现有技术中阵列基板的制作步骤十分繁杂,生产效率较低;另外,构图工艺过程中需要较高的对位精度,高精度的对位难度很大,一旦对位不准会直接引起产品的良率下降。

发明内容

[0007] 本发明的实施例提供一种阵列基板及其制作方法、显示装置,以简化阵列基板的制作方法、提高生产效率,并提高阵列基板的良率。

[0008] 为达到上述目的,本发明实施例采用如下技术方案:

[0009] 一种阵列基板的制作方法,包括:在衬底基板上形成包括有源层的图形和栅极绝缘层;在所述栅极绝缘层上形成金属薄膜,通过一次构图工艺图案化所述金属薄膜,形成包

括有栅极、源极、漏极、栅极线和数据线的图形,所述栅极线或所述数据线在所述栅极线和所述数据线的交叉处断开;在衬底基板上形成钝化层;通过一次构图工艺图案化所述钝化层,形成暴露出部分所述源极与部分所述有源层的源极接触孔、暴露出部分所述漏极与部分所述有源层的漏极接触孔和暴露出部分断开的栅极线或数据线的跨桥结构接触孔;在衬底基板上形成透明导电薄膜,通过薄膜剥离工艺去除部分所述透明导电薄膜,以在所述源极接触孔中形成电连接所述源极和所述有源层的源极接触部分,在所述漏极接触孔中形成电连接所述漏极和所述有源层的漏极接触部分,在所述漏极上方的钝化层上形成与所述漏极接触部分电连接的像素电极,在所述跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构。

[0010] 优选的,所述通过一次构图工艺图案化所述钝化层,形成暴露出部分所述源极与部分所述有源层的源极接触孔、暴露出部分所述漏极与部分所述有源层的漏极接触孔和暴露出部分断开的栅极线或数据线的跨桥结构接触孔具体包括:利用半透式掩膜版,在所述钝化层上形成覆盖所述源极和所述数据线的第三光刻胶层、覆盖所述栅极和所述栅极线的第二光刻胶层和覆盖所述漏极的第一光刻胶层,所述第一光刻胶层和所述第二光刻胶层的厚度均大于所述第三光刻胶层的厚度;以所述第一光刻胶层、所述第二光刻胶层和所述第三光刻胶层为掩膜,去除暴露的钝化层及所述暴露的钝化层与所述衬底基板之间的栅极绝缘层,形成暴露出部分所述源极与部分所述有源层的源极接触孔、暴露出部分所述漏极与部分所述有源层的漏极接触孔和暴露出部分断开的栅极线或数据线的跨桥结构接触孔。

[0011] 优选的,所述以所述第一光刻胶层、所述第二光刻胶层和所述第三光刻胶层为掩膜,去除暴露的钝化层及所述暴露的钝化层与所述基板之间的栅极绝缘层具体为:以所述第一光刻胶层、所述第二光刻胶层和所述第三光刻胶层为掩膜,利用干法刻蚀工艺刻蚀所述暴露的钝化层及所述暴露的钝化层与所述基板之间的栅极绝缘层。

[0012] 优选的,所述在衬底基板上形成透明导电薄膜,通过薄膜剥离工艺去除部分所述透明导电薄膜,以在所述源极接触孔中形成电连接所述源极和所述有源层的源极接触部分,在所述漏极接触孔中形成电连接所述漏极和所述有源层的漏极接触部分,在所述漏极上方的钝化层上形成与所述漏极接触部分电连接的像素电极,在所述跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构具体包括:去除所述第三光刻胶层;在衬底基板上形成透明导电薄膜;剥离所述第一光刻胶层和所述第二光刻胶层,以去除覆盖在所述第一光刻胶层和所述第二光刻胶层表面上的透明导电薄膜,在所述源极接触孔中形成电连接所述源极和所述有源层的源极接触部分,在所述漏极接触孔中形成电连接所述漏极和所述有源层的漏极接触部分,在所述漏极上方的钝化层上形成与所述漏极接触部分电连接的像素电极,在所述跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构。

[0013] 优选的,所述在衬底基板上形成包括有源层的图形的步骤中,还同时形成存储电极的图形。

[0014] 优选的,所述在衬底基板上形成包括有源层的图形的步骤中,还同时形成存储电极的图形具体为:在所述衬底基板上形成多晶硅层,通过一次构图工艺图案化所述多晶硅层,形成所述包括有源层的图形和所述存储电极的图形。

[0015] 优选的,所述在所述衬底基板上形成多晶硅层,通过一次构图工艺图案化所述多

晶硅层,形成所述包括有源层的图形和所述存储电极的图形具体包括:在所述衬底基板上形成多晶硅层;利用半透式掩膜版,在所述多晶硅层上形成覆盖待形成有源层区域的第四光刻胶层和覆盖待形成存储电极区域的第五光刻胶层,所述第四光刻胶层的厚度大于所述第五光刻胶层的厚度;以所述第四光刻胶层和所述第五光刻胶层为掩膜去除暴露的多晶硅层,形成所述有源层的图形和所述存储电极的图形;去除所述第五光刻胶层,以所述第四光刻胶层为掩膜,对所述存储电极的图形进行掺杂;去除所述第四光刻胶层。

[0016] 优选的,所述在所述衬底基板上形成多晶硅层具体包括:在所述衬底基板上沉积非晶硅材料;采用晶化工艺,使所述非晶硅材料转化为多晶硅材料,形成所述多晶硅层。

[0017] 优选的,在所述在衬底基板上形成包括有源层的图形之前,还包括:在所述衬底基板上形成缓冲层。

[0018] 优选的,在形成所述源极接触部分、漏极接触部分和像素电极之后还包括:在衬底基板上形成像素定义层。

[0019] 本发明还提供了一种阵列基板,包括:位于衬底基板上的有源层;覆盖所述有源层的栅极绝缘层;位于所述栅极绝缘层上且位于同一膜层的栅极、源极、漏极、栅极线和数据线,所述栅极线或所述数据线在所述栅极线和所述数据线的交叉处断开;覆盖所述栅极、所述源极、所述漏极、所述栅极线和所述数据线的钝化层;位于所述钝化层和所述栅极绝缘层内部的源极接触孔、漏极接触孔和跨桥结构接触孔,所述源极接触孔暴露出部分所述源极和部分所述有源层,所述漏极接触孔暴露出部分所述漏极和部分所述有源层,所述跨桥结构接触孔暴露出部分断开的栅极线或数据线;位于同一膜层的源极接触部分、漏极接触部分、像素电极和跨桥结构,其中,所述源极接触部分位于所述源极接触孔内部,电连接所述源极与所述有源层;所述漏极接触部分位于所述漏极接触孔内部,电连接所述漏极与所述有源层;所述像素电极位于所述漏极上方的钝化层上,通过所述漏极接触部分与所述漏极电连接;所述跨桥结构位于所述跨桥结构接触孔内和上方的钝化层上,电连接断开的栅极线或数据线。

[0020] 优选的,所述阵列基板还包括:与所述有源层同层设置的存储电极。

[0021] 优选的,所述钝化层的材料为亚克力。

[0022] 优选的,所述源极接触部分、所述漏极接触部分、所述像素电极和所述跨桥结构的厚度为20nm~150nm。

[0023] 优选的,所述阵列基板还包括:位于所述衬底基板与所述有源层之间的缓冲层。

[0024] 优选的,所述阵列基板还包括:覆盖所述源极接触部分、所述漏极接触部分和所述跨桥结构的像素定义层。

[0025] 优选的,所述像素定义层的材料为亚克力。

[0026] 本发明还提供了一种显示装置,包括以上任一项所述的阵列基板。

[0027] 优选的,所述显示装置为液晶显示装置或有机发光二极管显示装置。

[0028] 本发明实施例所提供的阵列基板的制作方法中,栅极、源极、漏极、栅极线和数据线在同一构图工艺步骤下形成,栅极线或数据线在交叉处断开,从而将形成栅极和栅极线所需的构图与形成源极、漏极和数据线所需的构图合二为一;在后续步骤中,通过一次构图工艺形成源极接触孔、漏极接触孔和跨桥结构接触孔,通过覆盖透明导电薄膜,并利用薄膜剥离工艺使源极通过源极接触孔电连接有源层、漏极通过漏极接触孔电连接有源层、形成

跨桥结构电连接断开的栅极线或数据线,并形成通过漏极接触孔电连接漏极的像素电极,从而将在源极接触孔和漏极接触孔内填充导电材料以实现源极和漏极与有源层的电连接这一步骤与形成像素电极所需的构图工艺步骤合二为一,并省略了制作像素电极接触孔所需的构图工艺步骤。因此,本发明实施例所提供的阵列基板的制作方法工艺简单、生产效率高。

[0029] 同时,构图工艺需要较高的对位精度,高的对位精度使对位的难度较大,多次构图极易引起对位的偏差,造成器件的良率下降。本发明实施例中,由于减少了制作阵列基板时需要进行构图工艺的次数,因此改善了多次进行构图工艺引起对位不准的问题,提高了阵列基板的良率。

[0030] 并且,本发明实施例所提供的阵列基板和显示装置,其栅极、源极和漏极形成于同一步骤中,即栅极、源极和漏极位于同一膜层中,因此栅极与源极和漏极之间不存在重叠,也就不存在由重叠引起的寄生电容;而现有技术中由于栅极与源极和漏极位于不同的膜层中,栅极与源极和漏极之间重叠会产生寄生电容,进而影响器件的电性能。可见,本发明实施例中的阵列基板和显示装置的寄生电容较小,电性能更优。

附图说明

[0031] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0032] 图1为现有技术中TFT阵列基板的制作方法各步骤的示意图;

[0033] 图2~图13为本发明实施例一所提供的阵列基板的制作方法各步骤的示意图;

[0034] 图14~图18为本发明实施例一所提供的阵列基板的制作方法中制备有源层和存储电极的各步骤的示意图;

[0035] 图19~图21为本发明实施例一所提供的阵列基板的制作方法中制备栅极、源极、漏极、栅极线和数据线的各步骤的示意图;

[0036] 图22为本发明实施例一所提供的阵列基板的制作方法中电连接断开的数据线的步骤的示意图。

具体实施方式

[0037] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。

[0038] 显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例,均属于本发明保护的范围。

[0039] 实施例一

[0040] 本发明实施例提供了一种阵列基板的制作方法,该方法包括以下步骤:

[0041] 步骤S21:提供衬底基板201,如图2所示。

[0042] 为保证产品的各项性能更优良,优选的可对衬底基板201进行初始清洗,以清除生

产过程中残留在衬底基板表面的杂质粒子。

[0043] 所提供的衬底基板201的具体材料可根据实际情况而定,若需要制作的显示装置为非柔性的,则衬底基板201优选的可选用玻璃基板,若需要制作柔性或可弯曲显示装置,则衬底基板201优选的可为塑料薄膜等具有柔性或可弯曲性的材料。

[0044] 步骤S22:在衬底基板201上形成缓冲层202,如图3所示。

[0045] 具体的,可采用PECVD(Plasma Enhanced Chemical Vapor Deposition,等离子体增强化学气相沉积法)或其它工艺在衬底基板201上依次形成氮化硅薄膜和氧化硅薄膜,将该两层薄膜的叠层作为缓冲层202,其中,氮化硅薄膜的厚度优选为50nm~100nm,氧化硅薄膜的厚度优选为100nm~400nm。氮化硅薄膜具有很强的扩散阻挡特性,能够抑制金属离子对后续形成的多晶硅薄膜的影响,氧化硅薄膜能够与后续形成的多晶硅薄膜形成优良的界面,从而防止氮化硅薄膜的缺陷对多晶硅薄膜质量的损害。

[0046] 需要说明的是,上述缓冲层202中的各膜层的厚度仅为本实施例所提供的优选范围,在本发明的其它实施例中,还可根据实际情况对缓冲层202中的各膜层的厚度进行不同于上述优选范围的具体设定。

[0047] 并且,本实施例中的缓冲层202的具体结构并不仅限于为氮化硅薄膜和氧化硅薄膜所构成的叠层结构,其还可为单层薄膜结构或包括至少三层薄膜的叠层结构,且缓冲层202的形成材料也并不仅限于氮化硅和氧化硅两种。

[0048] 另外,缓冲层202可根据实际情况选择是否设置,在本发明的其它实施例中,也可不设置缓冲层202,即本步骤S22可省略。

[0049] 步骤S23:在衬底基板上形成包括有源层203的图形,如图4所示。

[0050] 本实施例中,在衬底基板上形成包括有源层203的图形的步骤中,优选的还可同时形成存储电极204的图形。该过程具体可为:在衬底基板上形成多晶硅层,通过一次构图工艺图案化多晶硅层,形成包括有源层203的图形和存储电极204的图形。

[0051] 更为具体的是,在衬底基板上形成多晶硅层,通过一次构图工艺图案化多晶硅层,形成包括有源层203的图形和存储电极204的图形优选的可包括以下步骤:

[0052] 步骤S231:在衬底基板上形成多晶硅层217,如图14所示。

[0053] 首先采用溅射工艺或PECVD等淀积工艺在衬底基板的一侧上沉积非晶硅材料,所沉积的非晶硅材料的厚度优选的为40nm~100nm,然后对非晶硅材料进行激光退火结晶、金属诱导结晶、固相结晶等晶化工艺,使非晶硅材料转化为多晶硅材料,形成多晶硅层217。

[0054] 在沉积完非晶硅材料之后,进行晶化工艺之前,优选的可使用热处理炉对非晶硅材料进行脱氢工艺处理,以防止后续结晶过程中的氢爆。

[0055] 另外,在晶化结束后,优选的可采用稀释的氢氟酸溶液对所形成的多晶硅层217进行清洗,以降低多晶硅层217的表面粗糙度。

[0056] 步骤S232:利用半透式掩膜版在多晶硅层217上形成覆盖待形成有源层区域的第四光刻胶层A4和覆盖待形成存储电极区域的第五光刻胶层A5,第四光刻胶层A4的厚度大于第五光刻胶层A5的厚度,如图15所示。

[0057] 本实施例中,第一光刻胶A1的厚度优选的可为 $1\mu\text{m}\sim 3\mu\text{m}$,第二光刻胶A2的厚度优选的可为 $0.5\mu\text{m}\sim 1\mu\text{m}$ 。

[0058] 步骤S233:以第四光刻胶层A4和第五光刻胶层A5为掩膜去除暴露的多晶硅层,形

成有源层203的图形和存储电极204的图形,如图16所示。

[0059] 本步骤中所述的暴露的多晶硅层为待形成有源层区域和待形成存储电极区域外的区域内的多晶硅层。

[0060] 上述步骤中,去除多晶硅层材料优选的可采用电感耦合离子体刻蚀等工艺方法。

[0061] 步骤S234:去除第五光刻胶层A5,以第四光刻胶层A4为掩膜,对存储电极204的图形进行掺杂,如图17所示。

[0062] 本步骤中,优选的可使用等离子体灰化工艺去除第五光刻胶层A5,在灰化去除的过程中,第四光刻胶层A4也会同时被去除一定的量,但是由于第四光刻胶层A4的厚度大于第五光刻胶层A5的厚度,因此灰化去除过程结束后,有源层203上仍有一定厚度的第四光刻胶层A4覆盖,该剩余的第四光刻胶层A4会作为后续掺杂过程中有源层203的掺杂阻挡层。

[0063] 在第五光刻胶层A5去除完毕,暴露出存储电极204的图形的表面后,优选的可采用离子注入或离子云注入等掺杂方法对存储电极204的图形进行掺杂,若需进行N型掺杂,则掺杂离子优选为 PH_3 和 H_2 ,若需进行P型掺杂,则掺杂离子优选为 B_2H_6 和 H_2 ,离子注入剂量优选为 $10^{14} \sim 10^{16} \text{ions/cm}^2$,离子注入能量优选为 $10 \text{KeV} \sim 100 \text{KeV}$ 。

[0064] 需要说明的是,在掺杂结束后,优选的可通过快速热退火工艺对衬底基板进行退火操作,以激活掺杂的杂质离子,增强多晶硅层的导电特性,使存储电极204成为低电阻的导电薄膜。该退火操作优选的可在上述步骤S234结束后进行。

[0065] 步骤S235:去除第四光刻胶层A4,如图18所示。

[0066] 在完成存储电极204的制备后,优选的可使用等离子体刻蚀机或剥离机等设备,通过刻蚀工艺或剥离工艺等方法去除第二光刻胶层A4。

[0067] 本实施例中,通过上述步骤S231~步骤S235形成包括有源层203和存储电极204的图形,利用半透式掩膜版在多晶硅层217上形成两种不同厚度的光刻胶层,首先进行多晶硅层的刻蚀,形成有源层203和存储电极204的图形,然后去除覆盖在存储电极204的图形上的、厚度较薄的光刻胶层,使存储电极204的图形的表面暴露出来。由于有源层203的图形上覆盖的光刻胶层的厚度较存储电极204的图形上覆盖的光刻胶层的厚度厚,因此有源层203的图形上仍然被光刻胶层遮盖,残留的光刻胶层会被作为后续掺杂时有源层203的掺杂阻挡层。之后进行掺杂,存储电极204的图形被重掺杂,从而形成低电阻的导电层。可见,本实施例中,形成有源层203和存储电极204仅使用了一次构图工艺,相当于将现有技术中多晶硅层刻蚀和存储电极掺杂所需用到的两次光刻合二为一,从而减少了使用构图工艺的次数,简化了阵列基板的制作方法,提高了生产效率,同时提高了产品良率。

[0068] 需要指出的是,上述步骤S231~步骤S235所提供的形成包括有源层203和存储电极204的图形的方法仅为本发明实施例所提供的优选方法,基于本发明的核心思想,在本发明的其它实施例中,还可采用常规方法制备包括有源层203和存储电极204的图形。

[0069] 步骤S24:在衬底基板上形成栅极绝缘层205,如图5所示。

[0070] 栅极绝缘层205形成于有源层203之后,覆盖有源层203。

[0071] 栅极绝缘层205优选的可为氧化硅薄膜与氮化硅薄膜所构成的叠层结构,氧化硅薄膜相对于氮化硅薄膜靠近衬底基板,氧化硅薄膜的厚度优选的可为 $30 \text{nm} \sim 100 \text{nm}$,氮化硅薄膜的厚度优选的可为 $20 \text{nm} \sim 100 \text{nm}$ 。

[0072] 本步骤中,栅极绝缘层205还可为单层薄膜结构或者包括至少三层薄膜的叠层结

构;构成栅极绝缘层205的各层薄膜的厚度并不仅限于上述优选范围,可根据实际情况进行设定;并且栅极绝缘层205的形成材料还可为除氧化硅和氮化硅外的绝缘材料。

[0073] 形成栅极绝缘层205所采用的工艺优选的可为PECVD等工艺,在此并不限定。

[0074] 步骤S25:在栅极绝缘层205上形成金属薄膜219,通过一次构图工艺图案化金属薄膜219,形成包括栅极206、源极207、漏极208、栅极线(图中未示出)和数据线(图中未示出)的图形,栅极线或数据线在栅极线和数据线的交叉处断开,如图6所示。

[0075] 本实施例中,上述步骤S25优选的可包括以下步骤:

[0076] 步骤S251:在栅极绝缘层205上形成金属薄膜219,如图19所示。

[0077] 形成金属薄膜219优选的可采用PECVD、磁控溅射等工艺;金属薄膜219的厚度可根据实际情况设定,优选的可为200nm~500nm;金属薄膜219的形成材料优选的可包括铝、铜、钼、钛和铝钼化合物等中的至少一种;金属薄膜219可为单层薄膜结构,也可为多层薄膜构成的叠层结构,如:钼、铝和钼三层薄膜依次叠层的结构,或钛、铝和钛三层薄膜依次层叠的结构等。

[0078] 步骤S252:在金属薄膜219上形成包括栅极、源极、漏极、栅极线和数据线图形的光刻胶层220,该光刻胶层220中栅极线或数据线在栅极线和数据线的交叉处断开,如图20所示。

[0079] 步骤S253:以光刻胶层220为掩膜,去除暴露的金属薄膜,形成包括栅极206、源极207、漏极208、栅极线和数据线的图形,栅极线或数据线在栅极线和数据线的交叉处断开,如图21所示。

[0080] 本步骤中所述暴露的金属薄膜具体是指除待形成栅极区域、待形成源极区域、待形成漏极区域、待形成栅极线区域和待形成数据线区域外的区域内金属薄膜。

[0081] 本步骤中,优选的可利用湿法刻蚀或干法刻蚀(如:电感耦合等离子体刻蚀)等工艺刻蚀金属薄膜219。

[0082] 由于栅极线与数据线形成于同一光刻步骤下,因此二者位于同一膜层中,由于栅极线与数据线之间需要电性绝缘,因此在栅极线与数据线交叠的位置需进行断开处理,具体的,可保持栅极线连续,使数据线在与栅极线交叠的位置处断开,或者可保持数据线连续,使栅极线在与数据线交叠的位置处断开。栅极线或数据线的断开处在后续步骤中可设置跨桥进行电连接。

[0083] 需要说明的是,所形成的栅极线与栅极206电连接,数据线与源极207电连接。

[0084] 在刻蚀完成后,可去除光刻胶层220。

[0085] 上述步骤S251~步骤S253中,仅通过一次构图工艺,在同一膜层中形成栅极206、源极207、漏极208、栅极线和数据线,相当于将现有技术中形成栅极和栅极线与形成源漏极和数据线所需用到的两次构图合二为一,从而减少了构图工艺的使用次数,简化了阵列基板的制作方法,提高了生产效率,同时提高了产品的良率。

[0086] 另外,上述形成栅极206、源极207、漏极208、栅极线和数据线的方法中,不存在栅极206与源极207和漏极208的图形之间的层间绝缘层的形成步骤,因此能够进一步的简化阵列基板的制作方法。

[0087] 步骤S26:在衬底基板上形成钝化层209,如图7所示。

[0088] 形成钝化层209的过程具体的可为:首先在栅极206、源极207、漏极208、栅极线和

数据线背离衬底基板201的一侧沉积含钝化基的钝化层材料,然后进行快速热退火或者热处理炉退火等退火工艺,使钝化基进入有源层203和存储电极204内部,修复其内部体缺陷,并进入有源层203和存储电极204与其它膜层的界面,修复界面缺陷,从而达到提高TFT特性的目的。

[0089] 钝化层209的材料优选的可为含氢的氮化硅薄膜(氢作为钝化基),厚度优选的可为200nm~500nm。

[0090] 步骤S27:通过一次构图工艺图案化钝化层209,形成暴露出部分源极207与部分有源层203的源极接触孔、暴露出部分漏极208与部分有源层203的漏极接触孔和暴露出部分断开的栅极线或数据线的跨桥结构接触孔。

[0091] 本实施例中,上述步骤S27优选的可包括以下步骤:

[0092] 步骤S271:利用半透式掩模版在钝化层209上形成覆盖源极207和数据线的第一光刻胶层A1、覆盖栅极206和栅极线的第二光刻胶层A2和覆盖漏极208的第三光刻胶层A3,第一光刻胶层A1和第二光刻胶层A2的厚度均大于第三光刻胶层A3的厚度,如图8所示。

[0093] 所使用的半透式掩模版上具有待形成源极接触孔图案和待形成漏极接触孔图案,优选的可为半色调掩模版或灰色调掩模版等。利用半透式掩模版上特定区域的光透过率不同的特性,能够在钝化层209上形成不同厚度的光刻胶层:第一光刻胶层A1的厚度和第二光刻胶层A2的厚度均大于第三光刻胶层A3的厚度。

[0094] 具体的,第三光刻胶层A3覆盖漏极208及与其相邻的待形成像素电极区域,厚度优选的可为 $0.5\mu\text{m}\sim 1\mu\text{m}$;第一光刻胶层A1和/或第二光刻胶层A2覆盖除待形成源极接触孔区域、待形成漏极接触孔区域、待形成跨桥结构接触孔区域外的区域,其中,第一光刻胶层A1覆盖源极207及与其相连的数据线,其厚度优选的可为 $1\mu\text{m}\sim 3\mu\text{m}$,第一光刻胶层A1覆盖栅极206及与其相连的栅极线,其厚度优选的可为 $1\mu\text{m}\sim 3\mu\text{m}$,第一光刻胶层A1的厚度与第二光刻胶层A2的厚度可相等也可不等。

[0095] 步骤S272:以第一光刻胶层A1、第二光刻胶层A2和第三光刻胶层A3为掩膜,去除暴露的钝化层及暴露的钝化层与衬底基板201之间的栅极绝缘层,形成暴露出部分源极207与部分有源层203的源极接触孔210、暴露出部分漏极208与部分有源层203的漏极接触孔211和暴露出部分断开的栅极线或数据线的跨桥结构接触孔(图中未示出),如图9所示。

[0096] 本步骤中暴露的钝化层及暴露的钝化层与衬底基板201之间的栅极绝缘层具体是指待形成源极接触孔区域、待形成漏极接触孔区域、待形成跨桥结构接触孔区域的钝化层和栅极绝缘层。

[0097] 上述步骤中,优选的可利用干法刻蚀工艺进行源极接触孔、漏极接触孔和跨桥结构接触孔的刻蚀。起初,所暴露出来的钝化层209被刻蚀;当刻蚀至源极207、漏极208、栅极线和数据线所在膜层的表面时,由于对不同材料的刻蚀速率不同,源极207、漏极208、栅极线和数据线的形成材料(通常为金属)相对于钝化层材料的刻蚀的选择比极小,因此源极207、漏极208、栅极线和数据线材料并不会被去除或仅仅被去除极少的量,而源极207、漏极208、栅极线和数据线所在膜层中属于待形成源极接触孔区域、待形成漏极接触孔区域、待形成跨桥结构接触孔区域内的钝化层材料则被刻蚀掉,从而在源极207和漏极208处形成台阶状的结构,二者的部分表面被暴露出来,同时断开的栅极线或数据线的部分表面被暴露,跨桥结构接触孔形成;继续向下刻蚀的过程中,未被源极207和漏极208遮盖且处于待形成

源极接触孔区域和待形成漏极接触孔区域内的栅极绝缘层205的材料被去除,直至暴露出有源层203的表面,刻蚀结束,源极接触孔210和漏极接触孔211形成。

[0098] 本步骤中,所使用的干法刻蚀工艺优选的可为电感耦合等离子体刻蚀等刻蚀工艺。

[0099] 步骤S28:在衬底基板上形成透明导电薄膜,通过薄膜剥离工艺去除部分透明导电薄膜,以在源极接触孔210中形成电连接源极207和有源层203的源极接触部分,在漏极接触孔211中形成电连接漏极208和有源层203的漏极接触部分,在漏极208上方的钝化层上形成与漏极接触部分电连接的像素电极,在跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构。

[0100] 本实施例中,上述步骤S28优选的可包括以下步骤:

[0101] 步骤S281:去除第三光刻胶层A3,如图10所示。

[0102] 本步骤中,优选的可通过等离子体灰化等灰化工艺去除第三光刻胶层A3。由于第一光刻胶层A1和第二光刻胶层A2的厚度均大于第三光刻胶层A3,因此在光刻胶层去除过程中,第一光刻胶层A1和第二光刻胶层A2虽然被去除了一部分,但是仍然剩余一定的厚度遮盖在源极207和栅极206的上方。该剩余的第一光刻胶层A1和第二光刻胶层A2在后续步骤中会作为剥离层。

[0103] 步骤S282:在衬底基板上形成透明导电薄膜212,如图11所示。

[0104] 本步骤中,形成透明导电薄膜212优选的可采用磁控溅射、化学汽相淀积等工艺。

[0105] 透明导电薄膜212的厚度、形成材料和具体结构可根据实际需要相应选择,本实施例对此并不限定,其厚度范围优选的可为20nm~150nm,形成材料优选的可为ITO(Indium Tin Oxide,氧化铟锡)、IZO(Indium Zinc Oxide,氧化铟锌)、ZTO(氧化锡铝)、Ag、Al、Au等中的一种或多种,具体结构优选的可为单层薄膜结构或多层薄膜构成的复合结构。

[0106] 例如,若所制作的阵列基板应用于底发射的AMOLED显示装置,则透明导电薄膜212优选的为ITO(Indium Tin Oxide,氧化铟锡)、IZO(Indium Zinc Oxide,氧化铟锌)、ZTO(氧化锡铝)等氧化物透明导电薄膜,其厚度优选为20nm~100nm;若所制作的阵列基板应用于顶发射的AMOLED显示装置,则透明导电薄膜212优选的为ITO薄膜、Ag(银)薄膜和ITO薄膜所构成的复合薄膜,或者可为IZO薄膜和Ag薄膜所构成的复合薄膜,或者可为其它复合薄膜,透明导电薄膜212中ITO薄膜的厚度优选的可为10nm~50nm,Ag的薄膜厚度优选的可为20nm~100nm。

[0107] 步骤S283:剥离第一光刻胶层A1和第二光刻胶层A2,以去除覆盖在第一光刻胶层A1和第二光刻胶层A2表面上的透明导电薄膜,在源极接触孔210中形成电连接源极207和有源层203的源极接触部分213,在漏极接触孔211中形成电连接漏极208和有源层203的漏极接触部分214,在漏极208上方的钝化层209上形成与漏极接触部分213电连接的像素电极215,在跨桥结构接触孔内和上方的钝化层上形成电连接断开的栅极线或数据线的跨桥结构,如图12所示。

[0108] 具体的,优选的可把形成完透明导电薄膜212的衬底基板放入剥离机台里,使用光刻胶剥离液去除残留的第一光刻胶层A1和第二光刻胶层A2,通过薄膜剥离工艺同时去除第一光刻胶层A1和第二光刻胶A2上覆盖的透明导电薄膜,源极接触孔210、漏极接触孔211及处于待形成像素电极区域内的透明导电薄膜被保留下来。源极接触孔210内的透明导电薄

膜作为源极接触部分213电连接源极207与有源层203,漏极接触孔211内的透明导电薄膜作为漏极接触部分214电连接漏极208与有源层203,与漏极208相邻的待形成像素电极区域内的钝化层上方的透明导电薄膜作为像素电极215与漏极208电连接,同时像素电极215与存储电极204形成一存储电容,用于在相邻两帧画面切换过程中,维持上一帧画面。

[0109] 需要说明的是,本实施例中,栅极线和数据线与栅极206、源极207和漏极208在同一光刻步骤下形成,在数据线与栅极线交叉处,数据线或栅极线需断开。以栅极线连续、数据线在与栅极线交叉处断开为例,如图22所示,在沉积完钝化层209后,需要在断开处制作跨桥结构接触孔,然后采取跨桥结构222将断开的数据线221电连接,以此实现数据线与栅极线相互之间的电性绝缘。电连接断开的数据线221所需制作的跨桥结构接触孔与源极接触孔210和漏极接触孔211同时形成,填充于跨桥结构接触孔内、电连接断开的数据线221的跨桥结构222由部分透明导电薄膜212形成,在形成透明导电薄膜212的同时将透明导电薄膜材料填充于跨桥结构接触孔内,并在剥离第一光刻胶层A1和第二光刻胶层A2的同时剥离跨桥结构222周围需要剥离的透明导电薄膜材料,形成电连接断开的数据线221的跨桥结构222。

[0110] 本实施例中,从上述步骤S27~步骤S28,首先通过使用半透式掩膜版形成不同厚度的光刻胶层,进行刻蚀形成源极接触孔和漏极接触孔,然后去除存在于待形成像素电极区域内的、厚度较薄的光刻胶层,之后形成透明导电薄膜,采用薄膜剥离工艺去除存在于源极207和栅极206上方的、厚度较厚的光刻胶层及其上覆盖的透明导电薄膜,形成像素电极215,且实现源极207和漏极208与有源层203的电连接,从而将现有技术的源极接触孔和漏极接触孔的形成与像素电极接触孔的形成所需进行的两次构图合二为一,简化了阵列基板的制作步骤,提高了生产效率;且由于减少了构图工艺的使用次数,因此能够在一定程度上避免多次构图造成的对位偏差问题,提高了产品的良率。

[0111] 步骤S29:在衬底基板上形成像素定义层216,如图13所示。

[0112] 具体的,在经过步骤S28的衬底基板上沉积像素定义层材料,利用构图工艺形成具有像素定义层图案的光刻胶掩膜,进行刻蚀,去除待形成像素定义层外的像素定义层材料,形成像素定义层216。

[0113] 像素定义层216的形成材料优选的可以采用亚克力等材料,其厚度优选为 $1\mu\text{m}\sim 4\mu\text{m}$ 。

[0114] 在像素定义层216制备完毕后,优选的可使用快速热退火炉或热处理炉,对完成的阵列基板进行退火处理,以稳定TFT的特性。

[0115] 需要说明的是,本实施例中的所提供制作方法优选的可应用于LTPS TFT阵列基板的制作,但是这并不能对本实施例所提供的制作方法的应用范围构成限定,在本发明的核心思想不变的前提下,本实施例所提供的制作方法还能够应用于非晶硅TFT阵列基板、HTPS TFT阵列基板、氧化物TFT阵列基板、有机TFT阵列基板等的制作。

[0116] 本实施例所提供的阵列基板的制作方法中,仅通过一次构图工艺同时形成栅极、源极、漏极、栅极线和数据线,省去了栅极与源漏极之间的层间绝缘层,将现有技术中形成栅极和栅极线与形成源漏极和数据线所需用到的两次构图工艺合二为一。

[0117] 并且,本实施例仅通过一次构图工艺形成底部具有台阶状结构的源极接触孔和漏极接触孔,同时形成跨桥结构接触孔,并通过一次性沉积透明导电薄膜,结合薄膜剥离工

艺,在形成像素电极的同时,实现源极和漏极与有源层的电连接,断开的栅极线或数据线的电连接,从而将现有技术的源极接触孔和漏极接触孔的形成与像素电极接触孔的形成所需进行的两次构图工艺合二为一。

[0118] 进一步的,本实施例通过半透式掩膜版形成不同厚度的光刻胶层,进行刻蚀形成有源层和存储电极的图形,利用灰化工艺去除较薄的光刻胶层,对存储电极的图形进行掺杂,形成存储电极,从而将现有技术中多晶硅层刻蚀和存储电极掺杂所需用到的两次构图合二为一。

[0119] 可见,本实施例所提供的制作方法能够将现有技术中需要进行的8~9次构图工艺减少至4次,从而极大地简化了阵列基板的制作步骤,提高了生产效率;且由于减少了构图工艺的使用次数,因此能够极大地改善多次光刻的多次高精度对位造成的对位偏差问题,提高产品的良率。

[0120] 实施例二

[0121] 本实施例提供了一种阵列基板,如图13所示,本实施例所提供的阵列基板包括:位于衬底基板201上的有源层203;覆盖有源层203的栅极绝缘层205;位于栅极绝缘层205上且位于同一膜层的栅极206、源极207、漏极208、栅极线和数据线,栅极线或数据线在栅极线和数据线的交叉处断开;覆盖栅极206、源极207、漏极208、栅极线和数据线的钝化层209;位于钝化层209和栅极绝缘层205内部的源极接触孔、漏极接触孔和跨桥结构接触孔,源极接触孔暴露出部分源极207和部分有源层203,漏极接触孔暴露出部分漏极208和部分有源层203,跨桥结构接触孔暴露出部分断开的栅极线或数据线;位于同一膜层的源极接触部分213、漏极接触部分214、像素电极215和跨桥结构,其中,源极接触部分213位于源极接触孔内部,电连接源极207与有源层203;漏极接触部分214位于漏极接触孔内部,电连接漏极208与有源层203;像素电极215位于漏极208上方的钝化层209上,通过漏极接触部分214与漏极208电连接;跨桥结构位于跨桥结构接触孔内和上方的钝化层上,电连接断开的栅极线或数据线。

[0122] 其中,有源层203、栅极绝缘层205、栅极206、源极207、漏极208、栅极线、数据线和钝化层209的位置关系优选的可如图13所示,即有源层203位于衬底基板201上,栅极绝缘层205位于有源层203背离衬底基板201的一侧,栅极206、源极207、漏极208、栅极线和数据线位于栅极绝缘层205背离衬底基板201的一侧,钝化层209位于栅极206、源极207、漏极208、栅极线和数据线背离衬底基板201的一侧。

[0123] 需要说明的是,本实施例仅以图13所示出的上述各膜层的位置关系为例进行说明,在本发明的其它实施例中,上述有源层203、栅极绝缘层205、栅极206、源极207、漏极208、栅极线、数据线和钝化层209的相对位置还可以有其它的变化。

[0124] 本实施例所提供的阵列基板的栅极206、源极207、漏极208、栅极线和数据线位于同一膜层中,因此栅极206与源极207和漏极208之间不存在重叠部分,即栅极206与源极207和漏极208之间没有寄生电容;而现有技术中由于栅极与源极和漏极位于不同的膜层中,栅极与源极和漏极之间的重叠导致寄生电容的产生,进而影响器件的电性能。可见,本实施例中的阵列基板的寄生电容较小,电性能更优。且上述结构相对于现有技术省略了栅极与源漏极之间的层间绝缘层,在一定程度上减少了材料的使用量,降低了生产成本。

[0125] 并且,本实施例中的阵列基板的源极接触部分213、漏极接触部分214和像素电极

215位于同一膜层中,即三者是在同一步骤下形成的,从而使现有技术中在源极接触孔和漏极接触孔内填充导电材料以实现源极和漏极与有源层的电连接这一步骤与形成像素电极这一步骤合二为一;并且,本实施例中源极接触孔暴露源极与有源层的表面,漏极接触孔暴露漏极和有源层的表面,像素电极215通过漏极接触孔内的漏极接触部分214实现与漏极208的电连接,也就是说,本实施例中的漏极接触孔同时具有像素电极接触孔的作用,从而省略了现有技术中制作像素电极接触孔的步骤。可见,本实施例所提供的阵列基板具有制作方法简单、生产效率高的优点。

[0126] 同时,由于构图工艺需要较高的对位精度,高的对位精度使对位的难度较大,多次构图极易引起对位的偏差,造成器件的良率下降,本实施例中的阵列基板能够利用更少次数的构图工艺制作完成,减少构图次数能够改善对位不准的问题,因此本实施例所提供的阵列基板具有较高的良率。

[0127] 本实施例对栅极206、源极207、漏极208栅极线和数据线的材料并不限定,三者的材料优选的可包括铝、铜、钼、钛和铝钨化合物等中的至少一种,以达到更好的导电效果。

[0128] 另外,本实施例中,源极接触部分213、漏极接触部分214、像素电极215和跨桥结构的厚度优选为20nm~150nm,以达到更好的导电效果。

[0129] 相对于现有技术中的阵列基板,本实施例中阵列基板可在形成完钝化层209后省略平坦层的制作,从而达到节约材料、降低成本、简化工艺的目的。基于该思想,本实施例中钝化层209的材料优选的可选用与平坦层相同的材料,例如为亚克力,以在隔绝平坦层上下膜层的同时,平坦化衬底基板的表面。

[0130] 本实施例所提供的阵列基板优选的还可包括:与有源层203同层设置的存储电极204,该存储电极204优选的可与有源层203形成于同一步骤下,与像素电极215重叠构成存储电容,用于在两帧画面切换时,维持上一帧画面的显示。

[0131] 本实施例中,阵列基板还可包括:位于衬底基板201与有源层203之间的缓冲层202,以保护衬底基板201。缓冲层202优选的可包括氮化硅薄膜和氧化硅薄膜,其中,氮化硅薄膜优选的可相对于氧化硅薄膜靠近衬底基板201,氮化硅薄膜具有很强的扩散阻挡特性,能够抑制金属离子对后续形成的多晶硅薄膜的影响,氧化硅薄膜能够与后续形成的多晶硅薄膜形成优良的界面,从而防止氮化硅薄膜的缺陷对多晶硅薄膜质量的损害。

[0132] 另外,本实施例所提供的阵列基板还可包括:覆盖源极接触部分213、漏极接触部分214和跨桥结构的像素定义层216,该像素定义层216用于保持源极207和漏极208与形成于像素定义层216上的膜层相互电性绝缘,并且像素定义层216形成于像素电极215的周围,还用于定义出像素区域。像素定义层216可采用与平坦层相同的材料,例如可采用亚克力等材料,以平坦化衬底基板的表面。

[0133] 本实施例所提供的阵列基板优选的可为LTFS TFT阵列基板,在本发明的其它实施例中,还可为非晶硅TFT阵列基板、HTPS TFT阵列基板、氧化物TFT阵列基板、有机TFT阵列基板等,在此并不进行限定。

[0134] 实施例三

[0135] 基于实施例二,本实施例提供了一种显示装置,该显示装置包括实施例二所述的阵列基板。

[0136] 本实施例所提供的显示装置优选的可为OLED(Organic Light Emitting Diode,

有机发光二极管)显示装置,如:AMOLED(Active Matrix Organic Light Emitting Diode,有源矩阵有机发光二极管)显示装置;还可为LCD(Liquid Crystal Display,液晶显示装置),如:IPS(In-Plane Switching,平面转换)型LCD等。

[0137] 由于本实施例所提供的显示装置,其TFT的栅极与源漏极处于同一膜层,因此栅极与源极和漏极之间不存在寄生电容,从而改善了显示装置的性能。

[0138] 并且,由于本实施例中的显示装置,其阵列基板能够利用更少次数的构图工艺制作形成,因此显示装置生产效率更高;同时,减少构图次数能够改善对位不准的问题,因此本实施例中的显示装置具有较高的良率。

[0139] 进一步的,由于本实施例所提供的显示装置中的TFT不存在栅极与包括源极和漏极的图形之间的层间绝缘层,节省了材料的使用,因此使得本实施例中的显示装置的生产成本降低,工艺步骤简化。

[0140] 以上所述仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

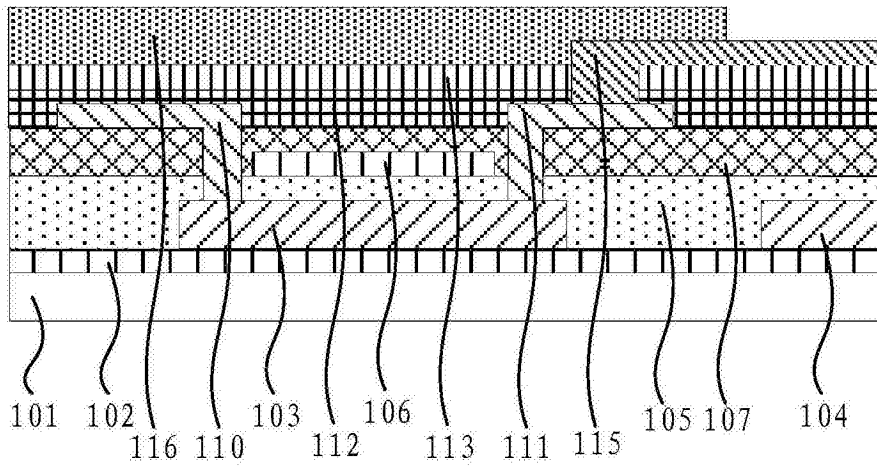


图1

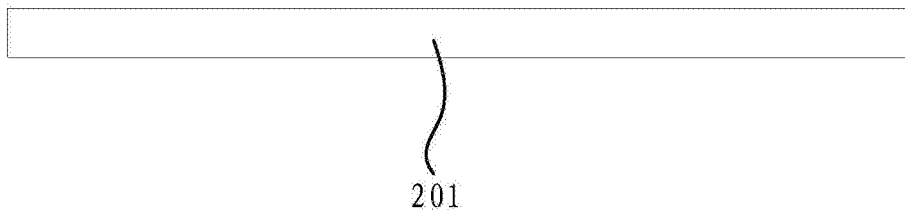


图2

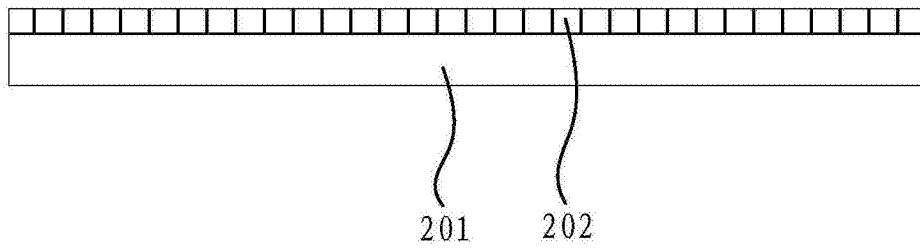


图3

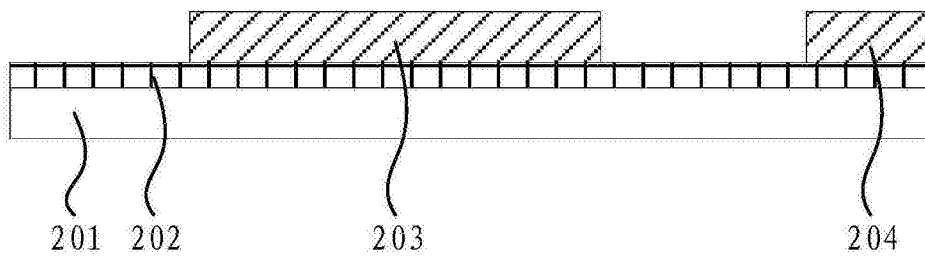


图4

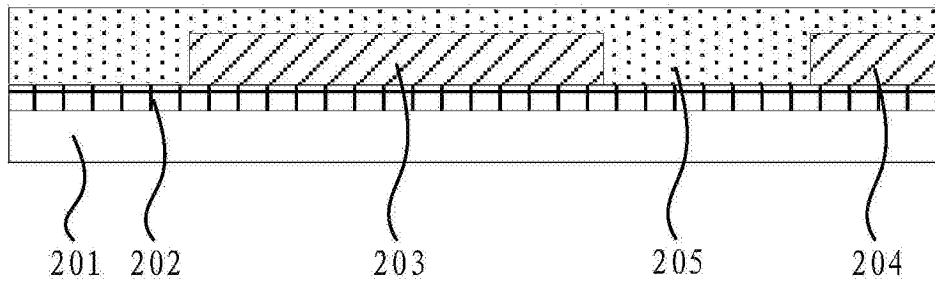


图5

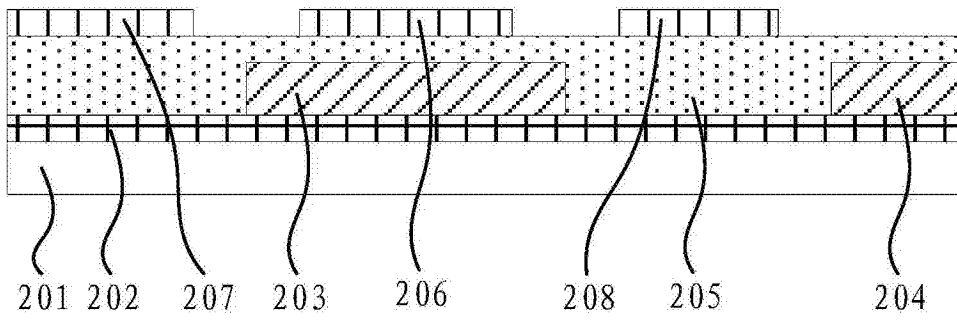


图6

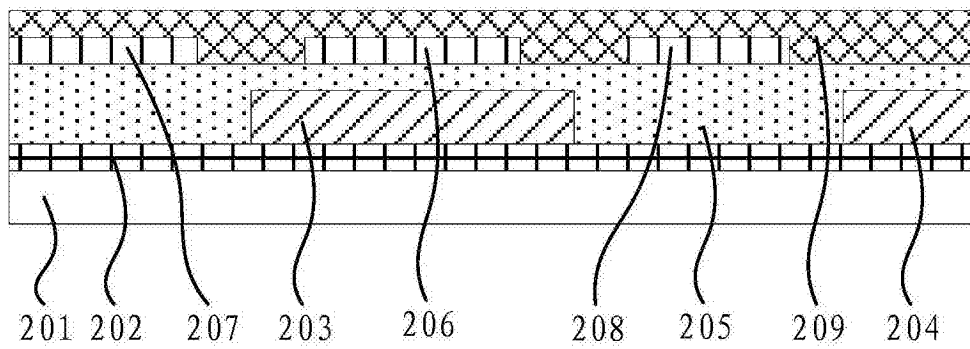


图7

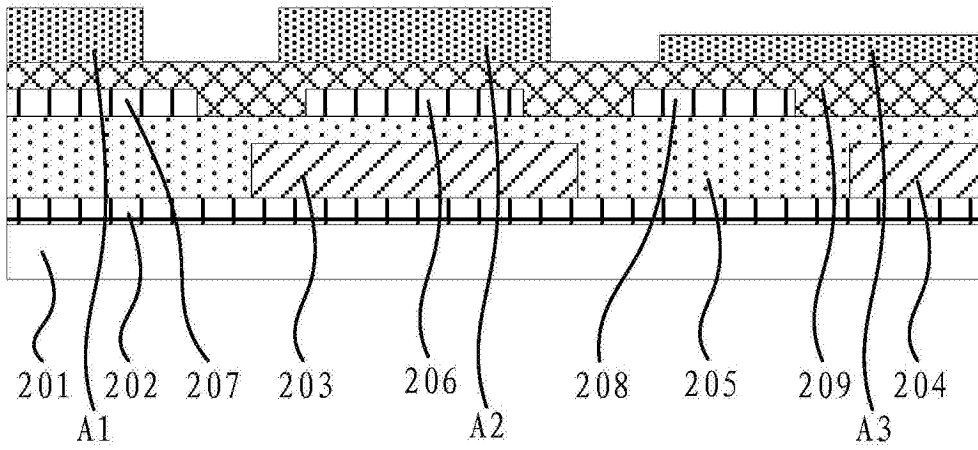


图8

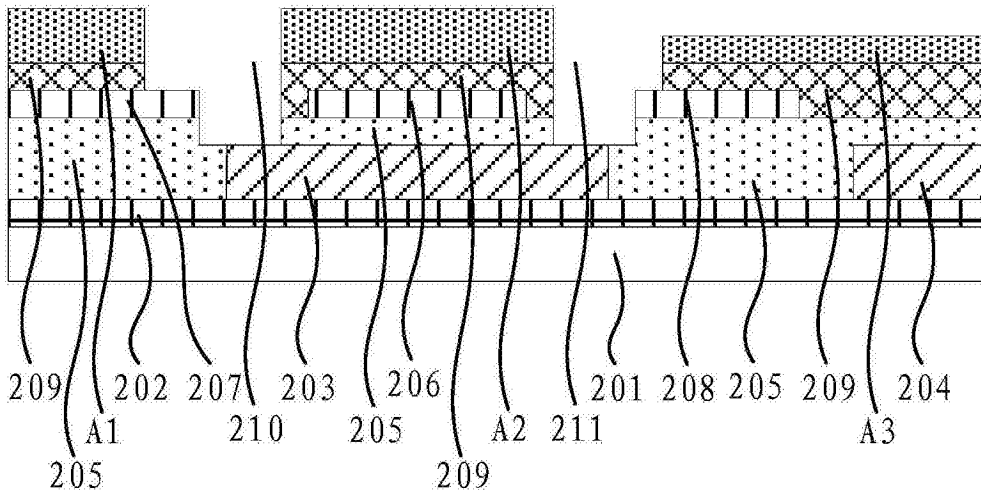


图9

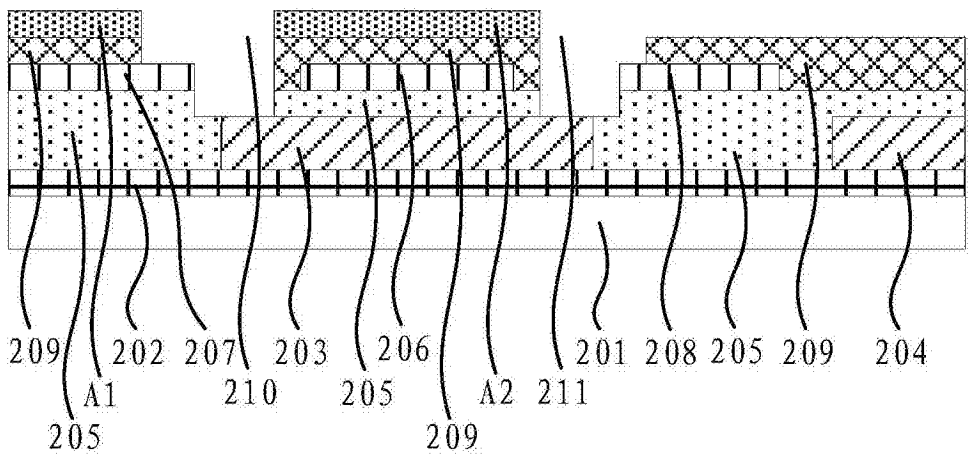


图10

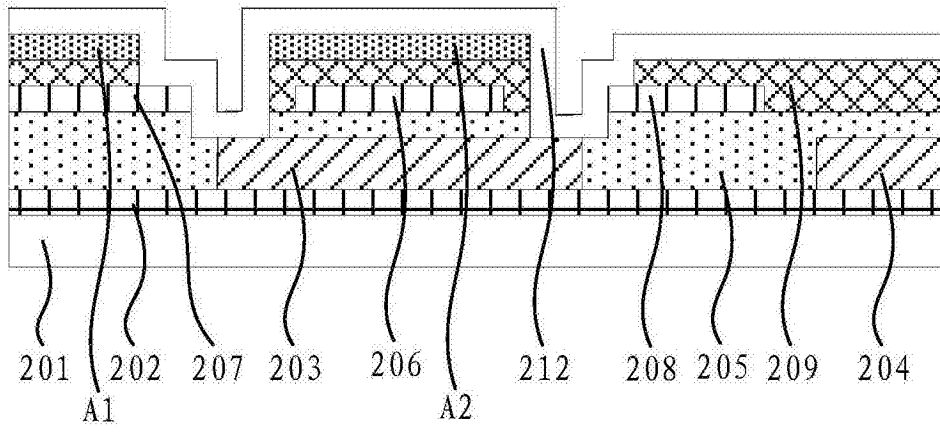


图11

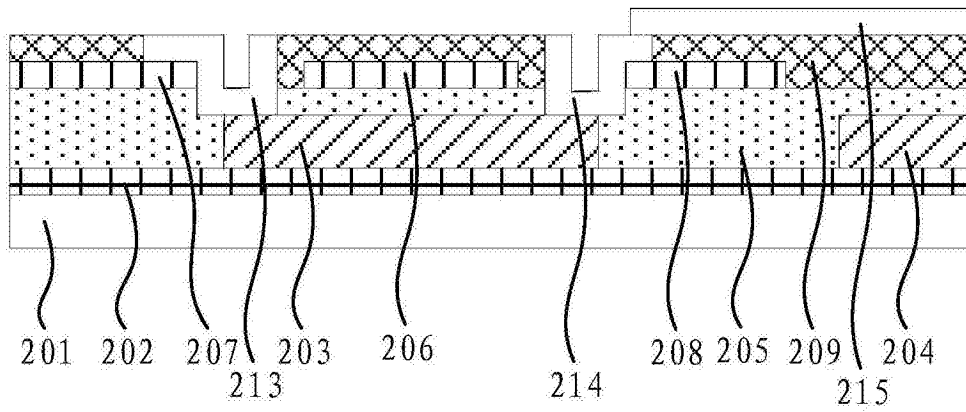


图12

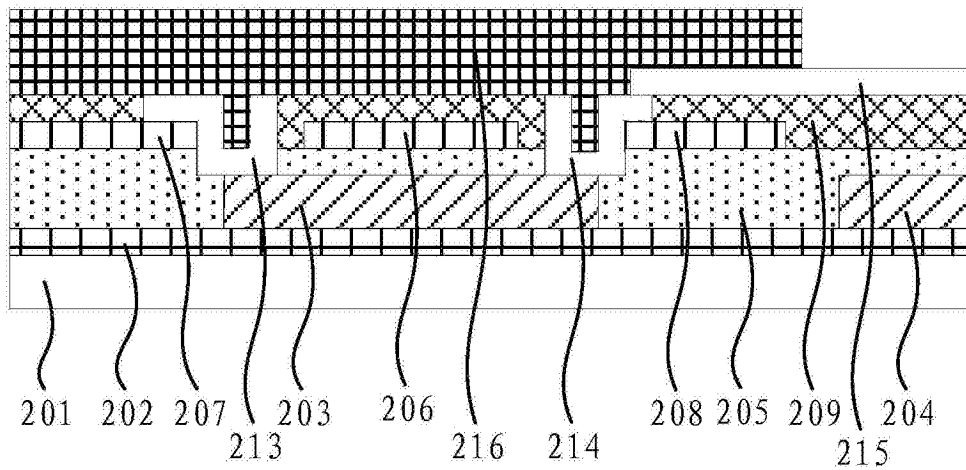


图13

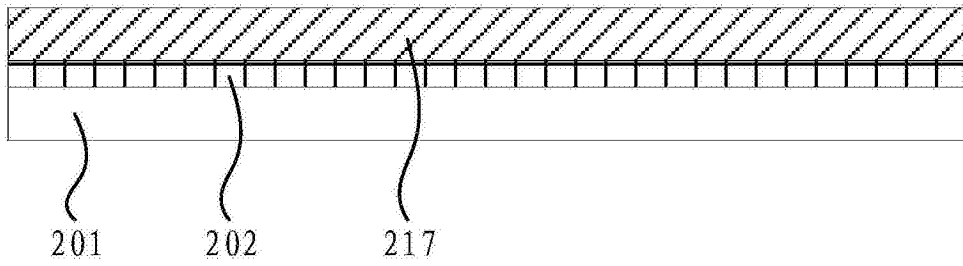


图14

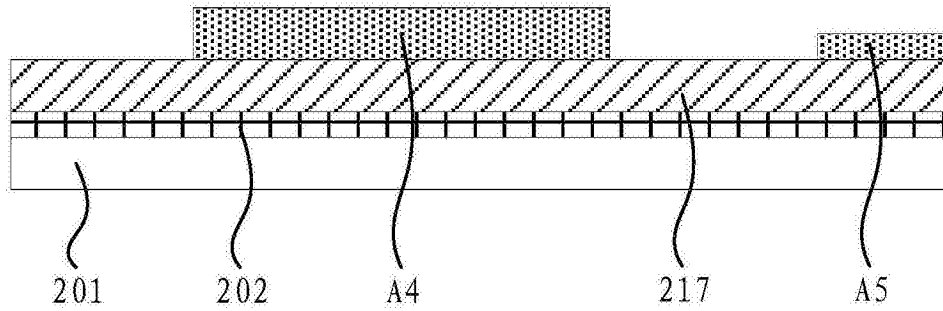


图15

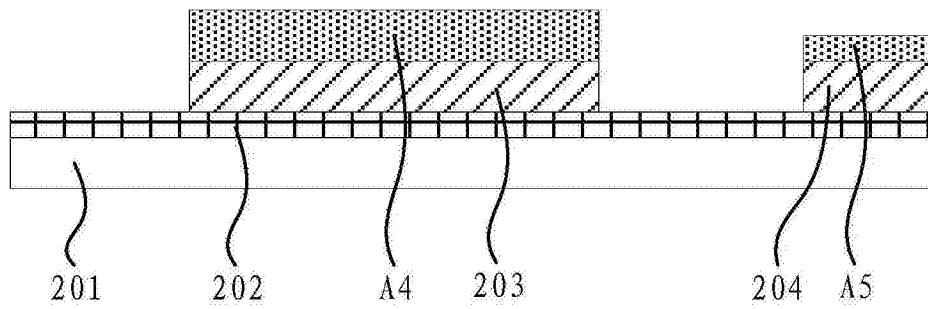


图16

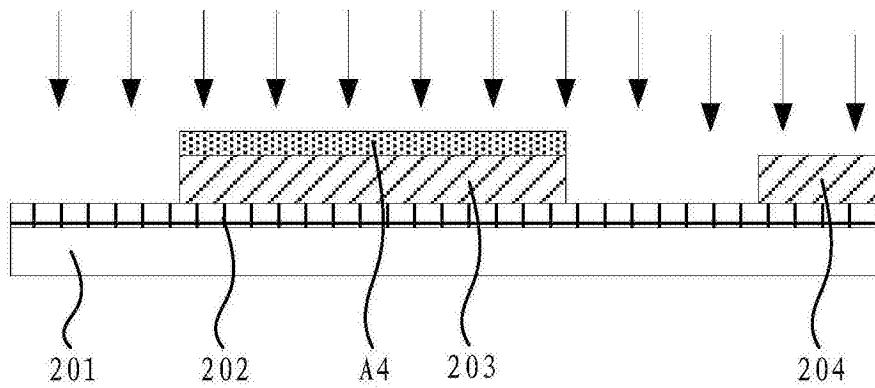


图17

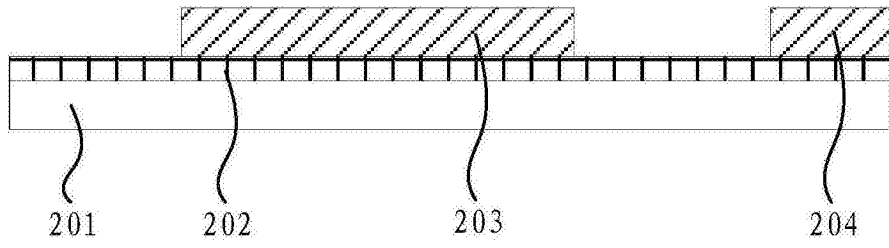


图18

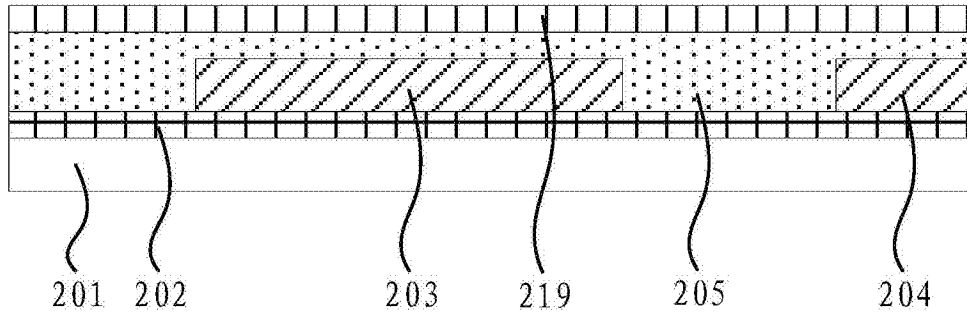


图19

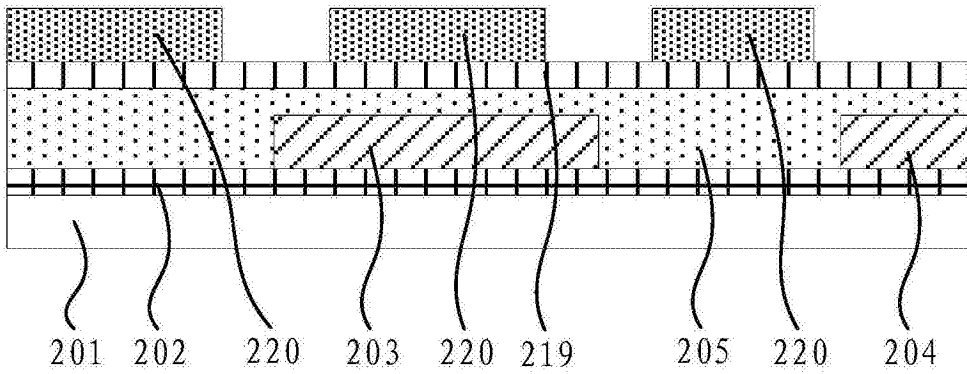


图20

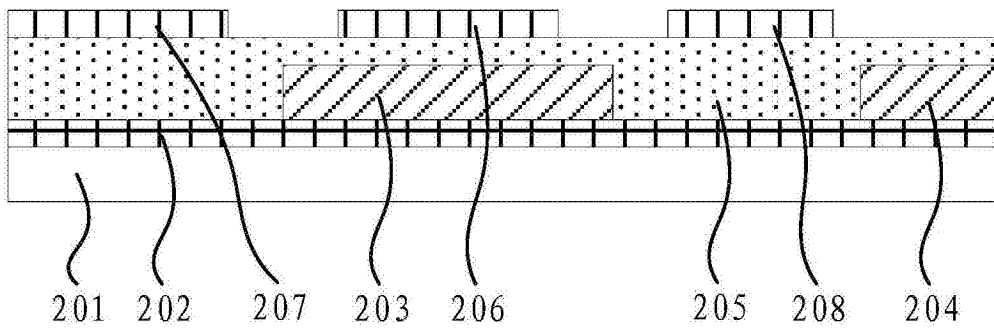


图21

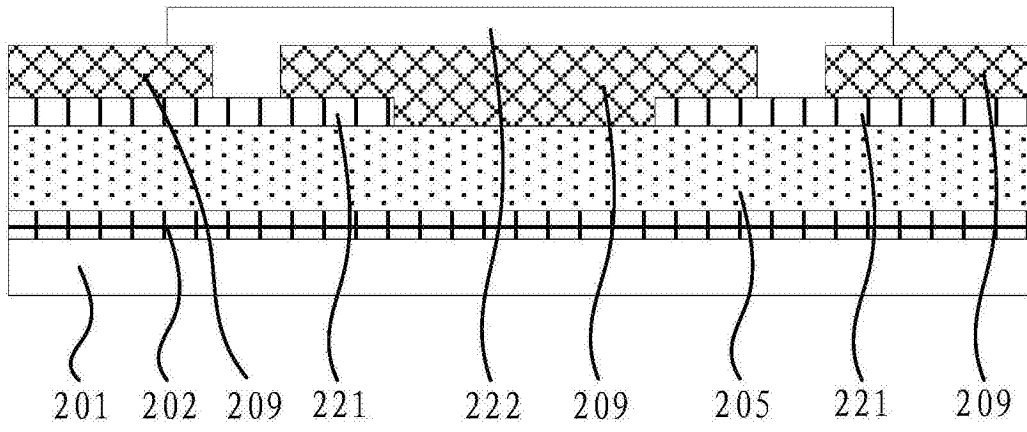


图22