



(12) 发明专利

(10) 授权公告号 CN 102473729 B

(45) 授权公告日 2015. 01. 28

(21) 申请号 201080030336. 2

(22) 申请日 2010. 06. 09

(30) 优先权数据

2009-159065 2009. 07. 03 JP

(85) PCT国际申请进入国家阶段日

2011. 12. 31

(86) PCT国际申请的申请数据

PCT/JP2010/060150 2010. 06. 09

(87) PCT国际申请的公布数据

W02011/001822 EN 2011. 01. 06

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 及川欣聪 冈崎健一 丸山穗高

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 孔青 林毅斌

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

US 2008/0315193 A1, 2008. 12. 25, 附图 1、3、4、及说明书第 0013 段、0032 — 0039 段。

US 6514804 B1, 2003. 02. 04, 全文。

US 2009/0142887 A1, 2009. 06. 04, 附图 1 — 7 及说明书第 0034 — 0046 段。

审查员 凌宇飞

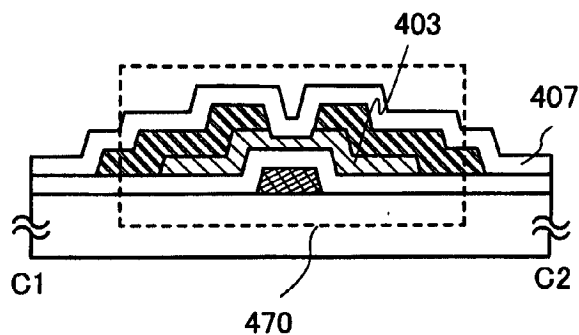
权利要求书2页 说明书36页 附图27页

(54) 发明名称

制造半导体装置的方法

(57) 摘要

本发明公开制造具有作为通道形成区域的氧化物半导体的薄膜晶体管的方法。所述方法包括：在栅绝缘层上形成氧化物半导体层；在所述氧化物半导体层上形成与所述氧化物半导体层接触的源电极层和漏电极层以便暴露所述氧化物半导体层的至少一部分；和在所述氧化物半导体层上形成与所述氧化物半导体层接触的氧化物绝缘膜。在形成所述氧化物绝缘膜之前可在等离子体存在下使所述氧化物半导体的暴露部分暴露于含有氧气的气体中。所述方法允许氧扩散到所述氧化物半导体层中，这促进所述薄膜晶体管的优异特性。



1. 制造半导体装置的方法,所述方法包括以下步骤:

在具有绝缘表面的衬底上形成栅电极层;

在所述栅电极层上形成栅绝缘层;

在所述栅绝缘层上形成氧化物半导体层;

在所述氧化物半导体层上形成与所述氧化物半导体层接触的金属膜;

蚀刻所述金属膜以在所述氧化物半导体层中形成暴露区域且在所述氧化物半导体层上形成与所述氧化物半导体层接触的源电极层和漏电极层;

在含有氧元素的气体存在下对所述暴露区域进行等离子体处理;和

在所述氧化物半导体层、所述源电极层和所述漏电极层上形成与所述氧化物半导体层、所述源电极层和所述漏电极层接触的氧化物绝缘膜,

其中进行所述蚀刻以使得所述氧化物半导体层的暴露区域的厚度小于用所述源电极层或所述漏电极层覆盖的所述氧化物半导体层的区域,并且

其中自所述等离子体处理加热所述氧化物半导体层直至形成所述氧化物绝缘膜。

2. 制造半导体装置的方法,所述方法包括以下步骤:

在具有绝缘表面的衬底上形成栅电极层;

在所述栅电极层上形成栅绝缘层;

在所述栅绝缘层上形成氧化物半导体层;

在所述氧化物半导体层上形成与所述氧化物半导体层接触的金属膜;

蚀刻所述金属膜以在所述氧化物半导体层中形成暴露区域且在所述氧化物半导体层上形成与所述氧化物半导体层接触的源电极层和漏电极层;

将所述衬底引入反应室中;

将所述衬底放置所述反应室中,将含有氧元素的气体引入所述反应室中;

将所述衬底放置所述反应室中,在所述气体存在下在所述反应室中产生等离子体,

在所述反应室中在所述氧化物半导体层、所述源电极层和所述漏电极层上形成与所述氧化物半导体层、所述源电极层和所述漏电极层接触的氧化物绝缘膜,

其中进行所述蚀刻以使得所述氧化物半导体层的暴露区域的厚度小于用所述源电极层或所述漏电极层覆盖的所述氧化物半导体层的区域,并且

其中在将所述衬底引入所述反应室中之后加热所述氧化物半导体层直至完成所述氧化物绝缘膜的形成。

3. 制造半导体装置的方法,所述方法包括以下步骤:

在具有绝缘表面的衬底上形成栅电极层;

在所述栅电极层上形成栅绝缘层;

在所述栅绝缘层上形成氧化物半导体层;

在所述氧化物半导体层上形成与所述氧化物半导体层接触的金属膜;

蚀刻所述金属膜以在所述氧化物半导体层中形成暴露区域且在所述氧化物半导体层上形成与所述氧化物半导体层接触的源电极层和漏电极层;

将所述衬底引入反应室中;

将所述衬底放置所述反应室中,将所述反应室抽空;

将所述衬底放置所述反应室中,将氮气引入所述反应室中;

将所述衬底放置所述反应室中,加热在所述反应室中的所述衬底;
将所述衬底放置所述反应室中,将含有氧元素的气体引入所述反应室中;
将所述衬底放置所述反应室中,在所述气体存在下将等离子体引入所述反应室中;和
在所述反应室中在所述氧化物半导体层、所述源电极层和所述漏电极层上形成与所述氧化物半导体层、所述源电极层和所述漏电极层接触的氧化物绝缘膜,
其中进行所述蚀刻以使得所述氧化物半导体层的暴露区域的厚度小于用所述源电极层或所述漏电极层覆盖的所述氧化物半导体层的区域,并且
其中在加热所述衬底之后加热所述氧化物半导体层直至完成所述氧化物绝缘膜的形成。

4. 权利要求 1-3 中任一项的方法,
其中所述氧化物半导体层包含镓、锌、氧和选自 Ga、Fe、Ni、Mo 和 Co 的金属。
5. 权利要求 1-3 中任一项的方法,
其中所述氧化物半导体层具有由 $\text{InMO}_3(\text{ZnO})_m$ 表示的组成,
其中 M 为选自 Ga、Fe、Ni、Mo 和 Co 的金属,且
其中 m 大于 0。
6. 权利要求 1-3 中任一项的方法,
其中所述气体选自氧气、氧化氮气体和二氧化氮气体。
7. 权利要求 1-3 中任一项的方法,
其中所述氧化物绝缘膜包含硅。
8. 权利要求 3 的方法,
其中等离子体的所述引入使用远程等离子体设备进行。
9. 权利要求 1-3 中任一项的方法,
其中所述暴露区域的侧面与所述源电极层和所述漏电极层的至少一个侧面位于相同的平面上。
10. 权利要求 1-3 中任一项的方法,
其中进行所述蚀刻以使得整个所述氧化物半导体层覆盖所述栅电极层的一部分。

制造半导体装置的方法

技术领域

[0001] 本发明涉及制造包括氧化物半导体的半导体装置的方法。

技术背景

[0002] 近些年,通过使用在具有绝缘表面的衬底上形成的半导体薄膜(厚度为约几纳米至几百纳米)形成薄膜晶体管(TFT)的技术引起人们的关注。薄膜晶体管应用于如集成电路(IC)或电光装置的广范围的电子装置,且尤其推动了用作图像显示装置中的开关元件的薄膜晶体管的发展

[0003] 各种金属氧化物用于多种应用。氧化铟是众所周知的材料且作为液晶显示器等所必需的透明电极材料使用。

[0004] 某些金属氧化物具有半导体特性。具有半导体特性的这类金属氧化物的实例有氧化铟、氧化锡、氧化铟、氧化锌等。已知使用具有半导体特性的这类金属氧化物形成通道形成区域的薄膜晶体管(例如,参见专利文献1-2、非专利文献1)。

[0005] 此外,不仅单组分氧化物而且多组分氧化物都称为金属氧化物。例如,同系化合物 $\text{InGaO}_3(\text{ZnO})_m$ (m 为自然数)称为含有In、Ga和Zn的多组分氧化物(例如,参见非专利文献2-4等)。

[0006] 另外,已经证实包含这类基于In-Ga-Zn-O的氧化物的氧化物半导体适用于薄膜晶体管的通道层(例如,参见专利文献5、非专利文献5和6)。

[0007] [参考文献]

[0008] [专利文献]

[0009] [专利文献1]日本公布的专利申请S60-198861号

[0010] [专利文献2]日本公布的专利申请H8-264794号

[0011] [专利文献3]PCT国际申请H11-505377号的日文译文

[0012] [专利文献4]日本公布的专利申请2000-150900号

[0013] [专利文献5]日本公布的专利申请2004-103957号

[0014] [非专利文献]

[0015] [非专利文献1]M.W.Prins, K.O.Grosse-Holz, G.Muller, J.F.M.Cillessen, J.B.Giesbers, R.P.Weening和R.M.Wolf, "A ferroelectric transparent thin-film transistor(铁电透明薄膜晶体管)", Appl.Phys.Lett., 1996年6月17日,第68卷,第3650-3652页

[0016] [非专利文献2]M.Nakamura, N.Kimizuka和T.Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C(在1350°C下在 In_2O_3 - Ga_2ZnO_4 -ZnO系统中的相位关系)", J.Solid State Chem., 1991,第93卷,第298-315页

[0017] [非专利文献3]N.Kimizuka, M.Isobe和M.Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 -ZnO System(在

In₂O₃-ZnGa₂O₄-ZnO 系统中同系物 In₂O₃(ZnO)_m (m = 3、4 和 5)、InGaO₃(ZnO)₃ 和 Ga₂O₃(ZnO)_m (m = 7、8、9 和 16) 的合成和单晶数据)”，J. Solid State Chem., 1995, 第 116 卷, 第 170-178 页

[0018] [非专利文献 4] M. Nakamura, N. Kimizuka, T. Mohri 和 M. Isobe, " Homologous Series, Synthesis and Crystal Structure of InFeO₃(ZnO)_m (m: natural number) and its Isostructural Compound (InFeO₃(ZnO)_m (m: 自然数) 及其同构化合物的同系列、合成和晶体结构)”，KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, 第 28 卷, 第 5 期, 第 317-327 页

[0019] [非专利文献 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano 和 H. Hosono, " Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor (在单晶透明氧化物半导体中制造的薄膜晶体管)”，SCIENCE, 2003, 第 300 卷, 第 1269-1272 页

[0020] [非专利文献 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano 和 H. Hosono, " Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors (使用非晶氧化物半导体室温制造透明柔性薄膜晶体管)”，NATURE, 2004, 第 432 卷, 第 488-492 页

[0021] 发明概述

[0022] 本发明的实施方案的目的在于制造并提供包括具有稳定电特性的薄膜晶体管的高度可靠的半导体装置。

[0023] 在制造具有其中包括通道形成区域的半导体层为氧化物半导体层的薄膜晶体管的半导体装置的方法中, 形成与所述氧化物半导体层接触的氧化物绝缘膜。应注意, 所述氧化物半导体层以氧化物半导体层的至少一部分被暴露的状态引入反应室中。在将氧化物半导体层引入压力降低的反应室中之后, 在氮气氛下进行加热处理步骤和等离子体 (至少含有氧等离子体) 引入步骤。随后, 引入沉积气体以形成氧化物绝缘膜。或者, 等离子体可通过将含有氧元素的气体引入反应室中而产生, 且等离子体可使用与反应室连接的远程等离子体设备 (自由基发生器) 引入反应室中。

[0024] 作为含有氧元素的气体, 可使用氧气或氧化氮 (氧化亚氮 (也称作一氧化二氮) (N₂O) 或二氧化氮 (NO₂)), 且可含有诸如氦气或氩气的稀有气体。

[0025] 含硅烷的气体可用作沉积气体。含硅的氧化物绝缘膜可使用含硅烷的气体形成。作为所形成的与氧化物半导体层接触的氧化物绝缘膜, 形成阻挡杂质如水分、氢离子和 OH⁻ 的无机绝缘膜, 且具体地讲, 形成氧化硅膜或硅氮化物氧化物膜。

[0026] 在压力降低的反应室中在氮气氛下氧化物半导体层的加热处理优选在高于或等于 100℃ 且低于或等于 500℃ (更优选高于或等于 150℃ 且低于或等于 400℃) 下进行。进行氧化物半导体层的加热处理, 直至形成氧化物绝缘膜。所述温度还优选高于或等于 100℃ 且低于或等于 500℃ (更优选高于或等于 150℃ 且低于或等于 400℃)。

[0027] 在形成氧化物绝缘膜时反应室内的压力优选大于或等于 1Pa 且小于或等于 300Pa (大于或等于 7.5×10⁻³ 托且小于或等于 2.25 托)。

[0028] 在本说明书中公开的本发明的一个实施方案为制造半导体装置的方法, 其包括以下步骤: 在具有绝缘表面的衬底上形成栅电极层、栅绝缘层和其至少一部分被暴露的氧化物半导体层; 将其上形成了至少一部分被暴露的氧化物半导体层的衬底引入压力降低的反

应室中；在所述反应室中加热其上形成了至少一部分被暴露的氧化物半导体层的衬底，同时降低所述反应室的压力且将氮气引入所述反应室中；将含有氧元素的气体引入所述反应室中，同时加热所述衬底；在引入了所述含有氧元素的气体的反应室中至少产生氧等离子体；和通过将沉积气体引入所述反应室而形成与所述氧化物半导体层接触的氧化物绝缘膜。

[0029] 在本说明书中公开的本发明的一个实施方案为制造半导体装置的方法，其包括以下步骤：在具有绝缘表面的衬底上形成栅电极层、栅绝缘层和其至少一部分被暴露的氧化物半导体层；将其上形成了至少一部分被暴露的氧化物半导体层的衬底引入压力降低的反应室中；在所述反应室中加热其上形成了至少一部分被暴露的氧化物半导体层的衬底，同时降低所述反应室中的压力且将氮气引入所述反应室中；将含有氧化氮的气体引入所述反应室中，同时加热所述衬底；在引入了所述含有氧化氮的气体的反应室中至少产生氧等离子体；和通过将含硅烷的沉积气体引入所述反应室而形成与所述氧化物半导体层接触的含硅的氧化物绝缘膜。

[0030] 在本说明书中公开的本发明的一个实施方案为制造半导体装置的方法，其包括以下步骤：在具有绝缘表面的衬底上形成栅电极层、栅绝缘层和其至少一部分被暴露的氧化物半导体层；将其上形成了至少一部分被暴露的氧化物半导体层的衬底引入压力降低的反应室中；加热其上形成了至少一部分被暴露的氧化物半导体层的衬底，同时降低所述反应室中的压力且将氮气引入所述反应室中；使用与所述反应室连接的远程等离子体设备将氧等离子体引入所述反应室中，同时加热所述衬底；和通过将沉积气体引入所述反应室而形成与所述氧化物半导体层接触的氧化物绝缘膜。

[0031] 在上述结构中，在反应室压力降低且引入氮气的反应室中加热其上形成了至少一部分被暴露的氧化物半导体层的衬底之后，可将含有氧元素的气体（或含氧化硅的气体）引入所述反应室中。

[0032] 在本说明书中使用的氧化物半导体为由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜，且制造使用所述薄膜作为半导体层的薄膜晶体管。应注意，M 指示选自 Ga、Fe、Ni、Mn 和 Co 的一种金属元素或多种金属元素。例如，在一些情形下，M 指示 Ga；而在其它情形下，M 指示除 Ga 以外的以上金属元素，例如 Ga 和 Ni 或 Ga 和 Fe。此外，以上氧化物半导体可含有 Fe 或 Ni、另一过渡金属元素或除了作为 M 所含的金属元素以外的作为杂质元素的过渡金属的氧化物。在本说明书中，在其组成式由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的氧化物半导体层之中，将其组成式包含至少 Ga 作为 M 的氧化物半导体称为基于 In-Ga-Zn-O 的氧化物半导体，且所述基于 In-Ga-Zn-O 的氧化物半导体的薄膜称为基于 In-Ga-Zn-O 的非单晶膜。

[0033] 作为可适用于所述氧化物半导体层的氧化物半导体，除以上材料之外，可提供任何以下氧化物半导体：基于 In-Sn-Zn-O 的氧化物半导体、基于 In-Al-Zn-O 的氧化物半导体、基于 Sn-Ga-Zn-O 的氧化物半导体、基于 Al-Ga-Zn-O 的氧化物半导体、基于 Sn-Al-Zn-O 的氧化物半导体、基于 In-Zn-O 的氧化物半导体、基于 Sn-Zn-O 的氧化物半导体、基于 Al-Zn-O 的氧化物半导体、基于 In-O 的氧化物半导体、基于 Sn-O 的氧化物半导体和基于 Zn-O 的氧化物半导体。可将氧化硅加到以上提到的氧化物半导体层中。所述氧化物半导体层包含氧化硅 (SiO_x ($x > 0$))，其抑制氧化物半导体层的结晶，由此可抑制由于加热处理引起的氧化物半导体层结晶。所述氧化物半导体层优选以非晶态存在；然而，所述氧化物半导

体层也可部分结晶。

[0034] 因为薄膜晶体管由于静电等而易于破碎,所以优选在对于栅极线或源极线的相同衬底上提供用于保护驱动电路的保护电路。所述保护电路优选包括氧化物半导体的非线性元件形成。

[0035] 可在不暴露于空气的情况下连续加工(也称作连续处理、原位加工、连续膜形成)栅绝缘层和氧化物半导体膜。在不暴露于空气的情况下的连续处理使得可以形成没有空气中漂浮的大气组分或杂质元素如水分或碳氢化合物的栅绝缘层与氧化物半导体膜之间的界面。因此,可降低薄膜晶体管的特性的变化。

[0036] 应注意,在本说明书中的术语“连续处理”是指在从使用等离子体 CVD 方法或溅射方法的第一处理步骤到使用等离子体 CVD 方法或溅射方法的第二处理步骤的一系列步骤期间,使布置了待加工的衬底的气氛不受污染物气氛如空气污染,且保持控制在真空下或惰性气氛(氮气气氛或稀有气体气氛)下。通过连续处理,可形成膜,同时防止水分等再次附着到已经清洗的待加工衬底上。

[0037] 在同一个反应室内进行从第一处理步骤到第二处理步骤的工艺在本说明书中的连续处理的范围内。

[0038] 另外,以下情形也在本说明书中的连续处理的范围内:在于多个反应室内进行从第一处理步骤到第二处理步骤的工艺的情形下,在第二处理步骤之后在不暴露于空气的情况下将衬底转移到另一反应室中且随后进行第二处理。

[0039] 应注意,以下情形也在本说明书中的连续处理的范围内:在第一处理步骤和第二处理步骤之间有衬底转移步骤、对准步骤、缓慢冷却步骤、加热或冷却衬底以将衬底的温度调节到适合第二处理步骤的温度的步骤等。

[0040] 在第一处理步骤和第二处理步骤之间可提供使用液体的步骤,诸如清洗步骤、湿式蚀刻或形成抗蚀层。该情形不在在本说明书中的连续处理的范围内。

[0041] 应注意,在本说明书中的次序号如“第一”和“第二”出于方便而使用且不指示步骤次序和层堆叠次序。另外,在本说明书中的次序号不指示明确说明本发明的特定名称。

[0042] 此外,作为包括驱动电路的显示装置,除了液晶显示器以外,给出使用发光元件的发光显示装置和使用电泳显示元件的显示装置,其也称作“电子纸”。

[0043] 包括发光元件的发光显示装置包括具有多个薄膜晶体管的像素部分。所述像素部分包括一个薄膜晶体管的栅电极与另一薄膜晶体管的源极或漏极接线连接的区域。另外,在使用发光元件的发光显示装置的驱动电路中,存在薄膜晶体管的栅电极与薄膜晶体管的源极接线或漏极接线连接的区域。

[0044] 在本说明书中,半导体装置通常是指可通过利用半导体特征起作用的装置,且电光装置、半导体电路和电子设备全为半导体装置。

[0045] 根据本发明的实施方案,可制造并提供具有稳定电特性的薄膜晶体管。因此,可提供包括具有有利电特性的高度可靠的薄膜晶体管的半导体装置。

[0046] 附图简述

[0047] 在附图中:

[0048] 图 1 为说明制造半导体装置的方法的流程图;

[0049] 图 2 为说明制造半导体装置的方法的流程图;

- [0050] 图 3 为说明制造半导体装置的方法的流程图；
- [0051] 图 4A-4C 为说明制造半导体装置的方法的视图；
- [0052] 图 5A 和图 5B 为说明制造半导体装置的方法的视图；
- [0053] 图 6A-6C 为说明制造半导体装置的方法的视图；
- [0054] 图 7A-7C 为说明制造半导体装置的方法的视图；
- [0055] 图 8 为说明半导体装置的视图；
- [0056] 图 9A1、9A2、9B1 和 9B2 为说明半导体装置的视图；
- [0057] 图 10A 和 10B 为说明在氧分子 (O_2) 与氧化物半导体层的表面之间的相互作用的计算结果；
- [0058] 图 11A 和图 11B 为说明在一氧化二氮分子与氧化物半导体层的表面之间的相互作用的计算结果；
- [0059] 图 12A 和图 12B 为各自说明一氧化二氮分子结构的视图；
- [0060] 图 13 为说明用于计算的氧化物半导体层的结构的视图；
- [0061] 图 14 为显示氧化物半导体层的氧密度的计算结果的曲线图；
- [0062] 图 15A-15C 为说明在氧气与氧化物半导体膜的表面之间的相互作用的视图；
- [0063] 图 16A1、图 16A2 和图 16B 为各自说明半导体装置的视图；
- [0064] 图 17A 和图 17B 为说明半导体装置的视图；
- [0065] 图 18 为说明半导体装置的像素等效电路的视图；
- [0066] 图 19A-19C 为各自说明半导体装置的视图；
- [0067] 图 20A 和图 20B 为各自说明半导体装置的方块图；
- [0068] 图 21A 和图 21B 为说明信号线驱动电路的构造的电路图和 timing 图；
- [0069] 图 22A-22C 为各自说明移位寄存器的构造的电路图；
- [0070] 图 23A 和图 23B 为说明移位寄存器的操作的电路图和 timing 图。
- [0071] 图 24 为说明半导体装置的视图；
- [0072] 图 25A 和图 25B 为显示薄膜晶体管的电特性的评估结果的曲线图；
- [0073] 图 26 为说明半导体装置的视图；
- [0074] 图 27 为说明电子书阅读器的实例的外部视图；
- [0075] 图 28A 和图 28B 为分别说明电视机的实例和数字相框的实例的外部视图；
- [0076] 图 29A 和图 29B 为说明游戏机的实例的外部视图；以及
- [0077] 图 30A 和图 30B 为分别说明便携式计算机的实例和移动电话的实例的外部视图。

[0078] 实施详述

[0079] 将参考附图描述本发明的实施方案。然而，本发明不限于以下描述，且本领域技术人员显而易见其模式和细节的各种改变，除非这些改变脱离本发明的精神和范围。因此，本发明不应被解释为限于实施方案的以下描述。在下文给出的结构中，相同部分和具有类似功能的部分在不同图中由相同参考数字指示，且将不重复其解释。

[0080] (实施方案 1)

[0081] 将参考图 1、图 2 和图 3 中的流程图描述制造半导体装置的方法的实施方案。

[0082] 在制造具有包括通道形成区域的半导体层为氧化物半导体层的薄膜晶体管的半

导体装置的方法中,形成与所述氧化物半导体层接触的氧化物绝缘膜。在下文中,详细描述制造半导体装置的方法。

[0083] 如图 1 中所示,在具有绝缘表面的衬底上形成栅电极层、栅绝缘层和氧化物半导体层(步骤 8000)。还可形成源电极层和漏电极层。应注意,所述氧化物半导体层以氧化物半导体层的至少一部分被暴露的状态引入反应室中。

[0084] 另一方面,将其中形成氧化物绝缘膜的反应室抽空到较低压力(步骤 8001)。所述反应室内的压力可大于或等于 1×10^{-5} Pa 且小于或等于 5×10^{-1} Pa(大于或等于 7.5×10^{-8} 托且小于或等于 3.75×10^{-3} 托)。将其上形成了处于氧化物半导体层的至少一部分被暴露的状态下的氧化物半导体层的衬底引入压力降低的反应室中(步骤 8002)。

[0085] 在将氮气引入提供其上形成了氧化物半导体层的衬底的反应室中的同时,进行加热处理(步骤 8003)。在压力降低的反应室中在氮气氛下的氧化物半导体层的加热处理优选在高于或等于 100°C 且低于或等于 500°C (更优选高于或等于 150°C 且低于或等于 400°C) 下进行。

[0086] 随后,再次降低在氮气氛下进行加热处理的反应室中的压力(步骤 8004),且将含有氧元素的气体引入其中(步骤 8005)。作为含有氧元素的气体,可使用氧气或氧化氮(氧化亚氮(N_2O)或二氧化氮(NO_2)),且可含有诸如氦气或氩气的稀有气体。应注意,在引入含有氧元素的气体之前不一定进行降低反应室中的压力的步骤(步骤 8004)。

[0087] 在引入含有氧元素的气体的反应室中产生等离子体(步骤 8006)。所述等离子体至少包括氧等离子体。氧化物半导体层的暴露部分的表面的氧密度通过产生氧等离子体而增加。因此,可形成氧过剩的区域。

[0088] 因为可降低对氧化物半导体层的损坏,所以产生等离子体的功率优选为 500W 或更低(更优选为 150W 或更低)的低功率。

[0089] 将沉积气体引入(步骤 8007)使用含有氧元素的气体产生等离子体的反应室中,且形成氧化物绝缘膜(步骤 8008)。

[0090] 含硅烷的气体可用作沉积气体。含硅的氧化物绝缘膜可使用所述含硅烷的气体形成。与氧化物半导体层接触的氧化物绝缘膜为阻挡杂质如水分、氢离子和氢氧根离子(OH^-)的无机绝缘膜且具体为氧化硅膜或硅氮化物氧化物膜。

[0091] 从在氮气氛下的加热处理的工艺到形成氧化物绝缘膜的工艺进行氧化物半导体层的加热处理。在该加热处理期间的温度优选高于或等于 100°C 且低于或等于 500°C (更优选高于或等于 150°C 且低于或等于 400°C)。

[0092] 在形成氧化物绝缘膜时反应室内的压力优选大于或等于 1Pa 且小于或等于 300Pa(大于或等于 7.5×10^{-3} 托且小于或等于 2.25 托)。

[0093] 应注意,在将可燃气体用作含氧元素的气体且含硅烷的气体用作沉积气体的情形下,所述可燃气体与所述含硅烷的气体的混合物可导致爆炸;因此,将所述可燃气体从反应室中除去,引入燃烧加强气体如氧化氮(一氧化二氮(N_2O)或二氧化氮(NO_2))且随后引入含硅烷的气体。

[0094] 图 2 显示如下实例:氧化氮(一氧化二氮(N_2O)或二氧化氮(NO_2))用作含氧元素的气体(步骤 8105)且含硅烷的气体用作沉积气体(步骤 8107)以形成作为氧化物绝缘膜的含硅的氧化物绝缘膜(步骤 8108)。例如,可将一氧化二氮(N_2O)和硅烷(SiH_4)分别用

作含氧元素的气体和沉积气体以形成硅氮化物氧化物膜。

[0095] 如在图 1 和图 2 中所示,在将含氧元素的气体引入反应室的同时,可产生等离子体,或如在图 3 中所示,等离子体可使用与反应室连接的远程等离子设备(自由基发生器)引入反应室中。

[0096] 图 3 显示如下实例,其中使用远程等离子体设备(自由基发生器)(步骤 8200)以将等离子体引入反应室中,在所述反应室中在氮气氛下进行加热处理(步骤 8201)。所述等离子体使用远程等离子体设备在不同于形成氧化物绝缘膜的反应室的反应室中使用含氧元素的气体产生。如图 3 中所示,当等离子体在形成氧化物绝缘膜的反应室外产生且使用远程等离子体设备引入反应室中时,可防止在等离子体产生中对氧化物半导体层的损坏。

[0097] 将描述可使用的反应室的实例。反应室提供有加热器且加热所述反应室的内部。另外,所述反应室提供有供气设备和排气设备。通过所述供气设备,将气体引入反应室中。通过所述排气设备,将反应室抽空或使反应室的压力降低。

[0098] 通过以上方法形成与氧化物半导体层接触的氧化物绝缘膜,由此可制造并提供具有稳定电特性的薄膜晶体管。因此,可提供包括具有优异电特性的高度可靠的薄膜晶体管的半导体装置。

[0099] (实施方案 2)

[0100] 将参考图 4A-4C 和图 5A 和图 5B 描述半导体装置和制造所述半导体装置的方法的实施方案。

[0101] 图 5A 为在半导体装置中包括的薄膜晶体管 470 的平面图,且图 5B 为沿图 5A 的线 C1-C2 取得的横截面图。薄膜晶体管 470 为底栅薄膜晶体管且包括在具有绝缘表面的衬底 400 上的栅电极层 401、栅绝缘层 402、氧化物半导体层 403 和源电极和漏电极层 405a 和 405b。另外,提供氧化物绝缘膜 407 以覆盖薄膜晶体管 470 且与氧化物半导体层 403 接触。

[0102] 此外,使源电极和漏电极层 405a 和 405b 与氧化物半导体层 403 接触。包含在源电极和漏电极层 405a 和 405b 中的元素为选自钛、铝、锰、镁、铅、铍和钽的一种或多种元素。可堆叠组合了任何上述元素等的合金膜。

[0103] 作为包括通道形成区域的氧化物半导体层 403,可使用具有半导体特性的氧化物材料。通常,使用基于 In-Ga-Zn-O 的非单晶膜。

[0104] 图 4A-4C 为说明制造薄膜晶体管 470 的步骤的横截面图。

[0105] 在图 4A 中,在具有绝缘表面的衬底 400 上提供栅电极层 401。可在衬底 400 与栅电极层 401 之间提供充当基膜的绝缘膜。所述基膜具有防止杂质元素从衬底 400 扩散的功能,且可使用氮化硅膜、氧化硅膜、硅氮化物氧化物膜(silicon nitride oxide film)和氧氮化硅膜中的一种或多种形成以具有单层或堆叠层结构。栅电极层 401 可使用诸如钼、钛、铬、钽、钨、铝、铜、钽或钪的金属或含有这些材料中的任一种作为其主要组分的合金形成以具有单层或堆叠层结构。

[0106] 例如,作为栅电极层 401 的双层结构,优选以下结构:铝层和堆叠在其上的钼层的双层结构、铜层和堆叠在其上的钼层的双层结构、铜层和堆叠在其上的氮化钛层或氮化钽层的双层结构及氮化钛层和钼层的双层结构。作为三层结构,优选钨层或氮化钨层、铝和硅的合金或铝和钛的合金的层和氮化钛层或钛层的堆叠。

[0107] 接着,在栅电极层 401 上形成栅绝缘层 402。

[0108] 栅绝缘层 402 可用等离子体 CVD 方法或溅射方法使用氧化硅层、氮化硅层、氧氮化硅层和 / 或硅氮化物氧化物层的单层或堆叠层形成。例如,氧氮化硅层可用等离子体 CVD 方法使用含硅烷 (SiH_4)、氧气和氮气的沉积气体形成。

[0109] 随后,在栅绝缘层 402 上形成氧化物半导体膜。

[0110] 应注意,在该氧化物半导体膜通过溅射方法形成之前,在栅绝缘层 402 的表面上粉尘优选通过反溅射除去,在所述反溅射中,引入氩气且产生等离子体。所述反溅射为如下方法:通过使用 RF 电源在氩气氛下对衬底而非对靶侧施加电压且在衬底附近产生等离子体来修饰表面的方法。应注意,代替氩气氛,可使用氮气、氦气等。或者,可将氧气、一氧化二氮 (N_2O) 等加到氩气氛中。此外,或者,可在向加入了氯气 (Cl_2)、四氟化碳 (CF_4) 和 / 或类似物质的氩气氛中进行等离子体处理。

[0111] 氧化物半导体膜通过溅射方法使用基于 In-Ga-Zn-O 的氧化物半导体靶形成。所述溅射方法可在稀有气体 (通常氩气) 气氛、氧气气氛或包含稀有气体 (通常氩气) 和氧气的气氛下进行。

[0112] 栅绝缘层 402 和氧化物半导体膜可在不暴露于空气的情况下连续形成。在不暴露于空气的情况下连续形成膜使得可以获得没有空气中漂浮的大气组分或杂质元素如水分或碳氢化合物的堆叠双层之间的界面。因此,可降低薄膜晶体管的特性的变化。

[0113] 氧化物半导体膜通过光刻工艺加工成岛样形状,由此形成氧化物半导体层 430 (参见图 4A)。

[0114] 氧化物半导体层 430 优选为非晶的;然而,氧化物半导体层 430 可为部分结晶的。

[0115] 接着,在栅绝缘层 402 和氧化物半导体层 430 上形成导电膜。

[0116] 作为所述导电膜的材料,存在选自 Al、Cr、Ta、Ti、Mo 和 W 的元素、含有作为组分的这些元素中的任一种的合金、含有这些元素的组合的合金等。

[0117] 如果在形成导电膜之后进行加热处理,优选所述导电膜具有足以经受住所述加热的耐热性。因为仅使用 Al 带来如低耐热性和趋于被腐蚀的缺点,所以将铝与具有耐热性的导电材料组合使用。作为将与 Al 组合使用的具有耐热性的导电材料,可使用选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd) 和钪 (Sc) 的元素、包含所述元素中的任一种的合金、包含这些元素的组合的合金或包含这些元素中的任一种的氮化物。

[0118] 使氧化物半导体层 430 和导电膜经受蚀刻处理,以便形成氧化物半导体层 432 及源电极和漏电极层 405a 和 405b (参见图 4B)。应注意,在氧化物半导体层 432 中通过蚀刻处理形成凹槽 (凹陷)。

[0119] 如在实施方案 1 中所述,在将形成了氧化物半导体层 432 的衬底引入压力降低的反应室中之后,在氮气气氛下进行加热处理步骤和等离子体 (至少含有氧等离子体) 的引入步骤。随后,引入沉积气体以形成氧化物绝缘膜 407。

[0120] 在实施方案 2 中,将一氧化二氮 (N_2O) 和硅烷 (SiH_4) 分别用作含氧元素的气体 and 沉积气体以形成作为氧化物绝缘膜 407 的厚度为 300nm 的氧氮化硅膜。

[0121] 在压力降低的反应室中在氮气气氛下的氧化物半导体层 432 的加热处理优选在高于或等于 100℃ 且低于或等于 500℃ (更优选高于或等于 150℃ 且低于或等于 400℃) 下进行。

[0122] 从在氮气气氛下的加热处理的步骤到形成氧化物绝缘膜 407 的步骤进行氧化物半

导体层 432 的加热处理。在该加热处理期间的温度优选高于或等于 100℃ 且低于或等于 500℃（更优选高于或等于 150℃ 且低于或等于 400℃）。

[0123] 在形成氧化物绝缘膜 407 时反应室内的压力优选大于或等于 1Pa 且小于或等于 300Pa（大于或等于 7.5×10^{-3} 托且小于或等于 2.25 托）。

[0124] 当用以上方法形成与氧化物半导体层 432 接触的氧化物绝缘膜 407 时，在氧化物半导体层 432 中，可增加与氧化物绝缘膜 407 接触的至少一个区域的电阻（载流子浓度降低）。因此，所述区域变成高电阻氧化物半导体区域。因此，氧化物半导体层 432 变成具有高电阻氧化物半导体区域的氧化物半导体层 403，且因此可制造薄膜晶体管 470（参见图 4C）。

[0125] 此外，在形成氧化物绝缘膜 407 之后，薄膜晶体管 470 可经受在氮气氛或大气气氛（空气气氛）下的加热处理（优选在高于或等于 150℃ 且低于 350℃ 下）。通过所述加热处理，加热与氧化物绝缘膜 407 接触的氧化物半导体层 403，由此可降低薄膜晶体管 470 的电特性的变化。对加热处理的时间没有特定限制，只要其在形成氧化物绝缘膜 407 之后进行即可。通过进行另一加热处理步骤，例如，在形成树脂膜时的加热处理或降低透明导电膜的电阻的加热处理，可除去上述加热处理，由此可避免步骤数增加。

[0126] 通过以上方法形成与氧化物半导体层接触的氧化物绝缘膜，由此可制造并提供具有稳定电特性的薄膜晶体管。因此，可提供包括具有优异电特性的高度可靠的薄膜晶体管的半导体装置。

[0127] （实施方案 3）

[0128] 将参考图 6A-6C、图 7A-7C、图 8 和图 9A1、图 9A2、图 9B1 和图 9B2 描述包括薄膜晶体管的半导体装置的制造步骤。

[0129] 在图 6A 中，作为具有透光性质的衬底 100，可使用钽硼硅酸盐玻璃、铝硼硅酸盐玻璃等的玻璃衬底。

[0130] 接着，在衬底 100 的表面上形成导电层，且随后进行第一光刻工艺来形成抗蚀掩模。随后，不必要的部分通过蚀刻除去，以便形成接线和电极（包括栅电极层 101 的栅极接线、电容器接线 108 和第一终端 121）。此时，进行蚀刻以便栅电极层 101 的至少端部具有锥形形状。

[0131] 包括栅电极层 101 的栅极接线、电容器接线 108 和终端部分的第一终端 121 各自使用耐热性导电材料形成，所述耐热性导电材料诸如为选自钛（Ti）、钽（Ta）、钨（W）、钼（Mo）、铬（Cr）、钕（Nd）和钪（Sc）的元素；包含这些元素中的任一种的合金；包含这些元素中的任一种的组合物；或包含这些元素中的任一种的氮化物。

[0132] 接着，栅绝缘层 102 形成在栅电极层 101 的整个表面上。栅绝缘层 102 使用溅射方法、等离子体 CVD 方法等形成，厚度为 50nm-250nm。

[0133] 例如，对于栅绝缘层 102，厚度为 100nm 的氧化硅膜通过溅射方法形成。可以容易地理解栅绝缘层 102 的主要组分不限于氧化硅，且可为氧氮化硅、氮化硅、氧化铝、氧化钽等。或者，可使用这些材料中的任一种形成的单层或堆叠层。

[0134] 接着，氧化物半导体膜（基于 In-Ga-Zn-O 的非单晶膜）形成在栅绝缘层 102 上。在形成栅绝缘层 102 之后在不暴露于空气的情况下形成基于 In-Ga-Zn-O 的非单晶膜是有效的，这是由于在栅绝缘层与半导体膜之间的界面处不含粉尘和水分。使用包含 In、Ga 和 Zn（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1 [\text{mol} \%]$ 和 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5 [\text{at} \%]$ ）

的氧化物半导体靶。沉积条件如下设定：衬底与靶之间的距离为 100mm，压力为 0.2Pa，直流 (DC) 电源为 0.5kW 且气氛为氩气和氧气的混合气氛（氩气：氧气 = 30sccm : 20sccm 且氧气流量的比例为 40%）。应注意，优选脉冲直流 (DC) 电源，这是因为可抑制粉尘产生且可降低膜厚分散。形成厚度为 5nm-200nm 的基于 In-Ga-Zn-O 的非单晶膜。在实施方案 3 中，作为氧化物半导体膜，厚度为 20nm 的基于 In-Ga-Zn-O 的非单晶膜使用基于 In-Ga-Zn-O 的氧化物半导体靶通过溅射方法形成。

[0135] 溅射方法的实例包括将高频电源用作溅射电源的 RF 溅射方法、DC 溅射方法和以脉冲方式施加偏压的脉冲 DC 溅射方法。所述 RF 溅射方法主要在形成绝缘膜的情形下使用，且 DC 溅射方法主要在形成金属膜的情形下使用。

[0136] 此外，存在多源溅射设备，其中可安装多个不同材料的靶。利用所述多源溅射设备，不同材料的膜可在同一个反应室内堆叠，或含有多种材料材料膜可通过放电而在同一个反应室内同时沉积。

[0137] 另外，存在在反应室内部的提供有磁体系统且用于磁控溅射方法的溅射设备和用于 ECR 溅射方法的溅射设备，所述方法中，在不使用辉光放电的情况下使用利用微波产生的等离子体。

[0138] 此外，作为通过溅射进行的沉积方法，还有靶材料和溅射气体组分在沉积期间彼此化学反应以形成其薄化合物膜的反应溅射方法和在沉积期间也对衬底施加电压的偏压溅射方法。

[0139] 接着，进行第二光刻工艺以形成抗蚀掩模，且随后蚀刻氧化物半导体膜。例如，不必要的部分使用磷酸、乙酸和硝酸的混合溶液通过湿式蚀刻除去，以便形成氧化物半导体层 133（参见图 6A）。应注意，蚀刻在此不限于湿式蚀刻并且可使用干式蚀刻。

[0140] 作为用于干式蚀刻的蚀刻气体，优选使用含氯的气体（基于氯的气体，诸如氯气 (Cl₂)、氯化硼 (BCl₃)、氯化硅 (SiCl₄) 或四氯化碳 (CCl₄)）。

[0141] 或者，可使用含氟的气体（基于氟的气体，诸如四氟化碳 (CF₄)、氟化硫 (SF₆)、氟化氮 (NF₃) 或三氟甲烷 (CHF₃)）；溴化氢 (HBr)；氧气 (O₂)；加入稀有气体如氦气 (He) 或氩气 (Ar) 的这些气体中的任一种；等。

[0142] 作为所述干式蚀刻方法，可使用平行板 RIE（反应离子刻蚀）法或 ICP（感应耦合等离子体）蚀刻法。为了将膜蚀刻成所需形状，视情况调节蚀刻条件（施加到线圈形电极上的电功率、施加到在衬底侧的电极的电功率、在衬底侧的电极的温度等）。

[0143] 作为用以湿式蚀刻的蚀刻剂，可使用磷酸、乙酸和硝酸的混合溶液、氨过氧化氢混合物（过氧化氢：氨：水 = 5 : 2 : 2）等。另外，还可使用 IT007N（由 KANTO CHEMICAL CO., INC. 生产）。

[0144] 在湿式蚀刻之后的蚀刻剂通过清洗与蚀刻材料一起除去。可将包含蚀刻剂和蚀刻掉的材料的废液纯化且可重复使用该材料。当在蚀刻之后从废液收集诸如包含在氧化物半导体层中的铟的材料并将其重复使用时，可有效使用资源且可降低成本。

[0145] 根据用以获得所需形状的材料来适当调节蚀刻条件，诸如蚀刻剂、蚀刻时间和温度。在此，如图 6A 和图 8 中所示，进行蚀刻以使得整个氧化物半导体层 133 覆盖栅电极层 101 的一部分。

[0146] 接着，导电膜 132 使用金属通过溅射方法或真空蒸发方法形成在氧化物半导体层

133 上 (参见图 6B)。

[0147] 作为导电膜 132 的材料,存在选自 Al、Cr、Ta、Ti、Mo 和 W 的元素、含有这些元素中的任一种作为组分的合金、含有这些元素的组合的合金等。

[0148] 在在形成导电膜 132 之后进行加热处理的情形下,所述导电膜优选具有足以经受住所述加热处理的耐热性。

[0149] 接着,通过第三光刻工艺,形成抗蚀掩模且随后蚀刻掉不必要的部分,以便形成源电极和漏电极层 105a 和 105b 和第二终端 122 (参见图 6C)。此时使用湿式蚀刻或干式蚀刻作为蚀刻法。例如,当将铝膜或铝合金膜用作导电膜 132 时,可进行使用磷酸、乙酸和硝酸的混合溶液的湿式蚀刻。或者,导电膜 132 可使用氨过氧化氢混合物 (过氧化氢:氨:水 = 5 : 2 : 2) 湿式蚀刻以形成源电极和漏电极层 105a 和 105b。在该蚀刻步骤中,蚀刻氧化物半导体层 133 的一部分,以便形成氧化物半导体层 135。因此,位于源电极和漏电极层 105a 和 105b 之间的氧化物半导体层 135 的区域具有小厚度。如图 6C 中所示,暴露具有比与源电极层或漏电极层 (105a 或 105b) 重叠的区域小的厚度的氧化物半导体层 135 的区域 (暴露区域)。在图 6C 中,一度通过干式蚀刻进行用于形成源电极和漏电极层 105a 和 105b 及氧化物半导体层 135 的蚀刻。因此,使源电极和漏电极层 105a 和 105b 的端部与氧化物半导体层 135 的端部对准,因此,形成连续结构。换句话说,面向源电极层 105a 的漏电极层 105b 的侧面与暴露区域的侧面之一位于相同的平面上。以类似方式,面向漏电极层 105b 的源电极层 105a 侧面与暴露区域的另一侧面位于相同的平面上。换句话说,暴露区域的侧面与源电极层 105a 和漏电极层 105b 的至少一个侧面位于相同的平面上。

[0150] 在所述第三光刻工艺中,使由与源电极和漏电极层 105a 和 105b 相同的材料形成的第二终端 122 留在终端部分中。应注意,第二终端 122 与源极接线 (源极接线包括源电极和漏电极层 105a 和 105b) 电连接。

[0151] 此外,通过使用使用多色调掩模形成的包含具有多种厚度 (通常两种不同的厚度) 的区域的抗蚀掩模,可减少抗蚀掩模的数目,使工艺简化且成本降低。

[0152] 随后,除去抗蚀掩模,且使用等离子体 CVD 方法形成覆盖栅绝缘层 102、氧化物半导体层 103 及源电极和漏电极层 105a 和 105b 的保护性绝缘层 107。

[0153] 具体地讲,如在实施方案 1 中所述,在形成源电极和漏电极层 105a 和 105b 之后,将衬底 100 引入压力降低的反应室中,且在氮气氛下进行加热处理步骤。随后进行等离子体 (至少含有氧等离子体) 的引入步骤,接着进行沉积气体的引入以形成保护性绝缘层 107,所述保护性绝缘层 107 为氧化物绝缘膜。

[0154] 在实施方案 3 中,将一氧化二氮 (N_2O) 和硅烷 (SiH_4) 分别用作含氧元素的气体和沉积气体以形成厚度为 300nm 的保护性绝缘层 107。

[0155] 在压力降低的反应室中在氮气氛下的氧化物半导体层 135 的加热处理优选在高于或等于 100℃ 且低于或等于 500℃ (更优选高于或等于 150℃ 且低于或等于 400℃) 下进行。

[0156] 从在氮气氛下的加热处理的步骤到形成氧化物绝缘膜的步骤进行氧化物半导体层 135 的加热处理。在该加热处理期间的温度优选高于或等于 100℃ 且低于或等于 500℃ (更优选高于或等于 150℃ 且低于或等于 400℃)。

[0157] 在形成保护性绝缘层 107 时反应室内的压力优选大于或等于 1Pa 且小于或等于

300Pa(大于或等于 7.5×10^{-3} 托且小于或等于 2.25 托)。

[0158] 彼此接触地提供氧化物半导体层 135 的暴露区域与作为保护性绝缘膜 107 的氧化物绝缘膜,所述暴露区域提供在源电极和漏电极层 105a 和 105b 之间,以便增加在与保护性绝缘层 107 接触的氧化物半导体层 103 中的区域的电阻(降低载流子浓度),且因此可形成包括具有高电阻的通道形成区域的氧化物半导体层 103(参见图 7A)。

[0159] 接着,在形成保护性绝缘层 107 之后,可进行加热处理。所述加热处理可在高于或等于 150℃且低于 350℃下在大气气氛或氮气氛下进行。通过所述加热处理,加热与保护性绝缘层 107 接触的氧化物半导体层 103,由此进一步增加氧化物半导体层 103 的电阻。因此,可改善薄膜晶体管的电特性且可降低薄膜晶体管的电特性的变化。对加热处理的时间没有特定限制,只要其在形成保护性绝缘层 107 之后进行即可。通过进行另一加热处理步骤,诸如在形成树脂膜时的加热处理或降低透明导电膜的电阻的加热处理,可除去上述加热处理,由此可避免步骤数增加。

[0160] 通过以上步骤,可制造薄膜晶体管 170。

[0161] 接着,进行第四光刻工艺以形成抗蚀掩模。蚀刻保护性绝缘层 107 和栅绝缘层 102 以形成到达漏电极层 105b 的接触孔 125。另外,到达第二终端 122 的接触孔 127 和到达第一终端 121 的接触孔 126 也在同一蚀刻步骤中形成。图 7B 说明此阶段的横截面图。

[0162] 在除去抗蚀掩模之后,形成透明导电膜。所述透明导电膜使用氧化铟(In_2O_3)、氧化铟-氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,缩写为 ITO)等通过溅射方法、真空蒸发方法等形成。这种材料用基于盐酸的溶液蚀刻。然而,因为残余物易于留在衬底上,特别是在蚀刻 ITO 中,可使用氧化铟-氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)来改善蚀刻可加工性。在其中进行用以降低透明导电膜的电阻的加热处理的情形下,可以通过增加氧化物半导体层 103 的电阻来省略用于改善薄膜晶体管的电特性和用于降低薄膜晶体管的电特性变化的以上提到的加热处理。

[0163] 接着,进行第五光刻工艺以形成抗蚀掩模。随后,蚀刻掉不必要的部分,以便形成像素电极层 110。

[0164] 通过第五光刻工艺,形成具有电容器接线 108 和像素电极层 110 存储电容器,其中在电容器部分中的栅绝缘层 102 和保护性绝缘层 107 用作电介质。

[0165] 另外,在第五光刻工艺中,第一终端 121 和第二终端 122 用抗蚀掩模覆盖,且透明导电膜 128 和 129 留在终端部分中。透明导电膜 128 和 129 起到与 FPC 连接的电极或接线的作用。形成在第一终端 121 上的透明导电膜 128 为充当栅极接线的输入终端的连接端电极。形成在第二终端 122 上的透明导电膜 129 为起到源极接线的输入终端的作用的连接端电极。

[0166] 随后,除去抗蚀掩模,且在图 7C 中说明此阶段的横截面图。应注意,此阶段的平面图对应于图 8。

[0167] 图 9A1 和图 9A2 分别为此阶段的栅极接线终端部分的横截面图和平面图。图 9A1 为沿图 9A2 的线 E1-E2 的横截面图。在图 9A1 中,形成在保护性绝缘膜 154 上的透明导电膜 155 为起到输入终端的作用的连接端电极。另外,在图 9A1 的终端部分中,使用与栅极接线的材料相同的材料形成的第一终端 151 和使用与源极接线的材料相同的材料形成的连接电极层 153 与插入其间的栅绝缘层 152 彼此重叠且经透明导电膜 155 彼此电连接。应注意,图 7C 中说明的透明导电膜 128 和第一终端 121 彼此接触的部分对应于图 9A1 中透明导

电膜 155 和第一终端 151 彼此接触的部分。

[0168] 图 9B1 和图 9B2 分别为源极接线终端部分的横截面图和平面图,其与图 7C 中所说明的不同。图 9B1 的横截面图沿图 9B2 的线 F1-F2 取得。在图 9B1 中,形成在保护性绝缘膜 154 上的透明导电膜 155 为起到输入终端的作用的连接端电极。另外,在图 9B1 中,在该终端部分中,由与栅极接线相同的材料形成的电极层 156 位于第二终端 150 下面且与第二终端 150 重叠,所述电极层 15 与源极接线电连接,在其间插入栅绝缘层 152。电极层 156 不与第二终端 150 电连接,且如果将电极层 156 的电位设定到与第二终端 150 不同的电位如浮动(floating)、GND 或 0V,则可形成防止噪音或静电的电容器。第二终端 150 与透明导电膜 155 电连接,保护性绝缘膜 154 在其之间。

[0169] 根据像素密度提供多个栅极接线、源极接线和电容器接线。并且在所述终端部分中,处于与栅极接线相同的电位的第一终端、处于与源极接线相同的电位的第二终端、处于与电容器接线相同的电位的第三终端等各自多个排列。各种终端的数目可为任何数目,且终端的数目可由专业人员视情况而确定。

[0170] 通过这五个光刻步骤,可使用五种光掩模完成存储电容器和包括底栅错列薄膜晶体管的薄膜晶体管 170 的像素薄膜晶体管部分。通过在像素以矩阵形式排列的像素部分的各像素中布置薄膜晶体管和存储电容器,可获得用于制造有源矩阵显示装置的衬底之一。在本说明书中,为了方便起见,这类衬底称为有源矩阵衬底。

[0171] 在制造有源矩阵液晶显示器的情形下,有源矩阵衬底和提供有对电极的对衬底(counter substrate)用插入其间的液晶层彼此结合。应注意,在对衬底上与对电极电连接的公共电极提供在有源矩阵衬底上,且与公共电极电连接的第四终端提供在终端部分中。提供所述第四终端以便将公共电极设定到诸如 GND 或 0V 的固定电位。

[0172] 或者,可使像素电极与具有保护性绝缘膜和插入其间的栅绝缘层的相邻像素的栅极接线重叠以形成没有电容器接线的存储电容器。

[0173] 在有源矩阵液晶显示器中,驱动以矩阵形式排列的像素电极以在屏幕上形成显示图案。具体地讲,在选定的像素电极与对应于该像素电极的对电极之间施加电压,以便光调制在像素电极与对电极之间提供的液晶层且该光调制(optical modulation)被观察者识别为显示图案。

[0174] 在显示活动图像的过程中,液晶显示器的问题在于液晶分子的慢响应时间本身导致余象或活动图像模糊。为了改善液晶显示器的活动图像特性,使用称为插黑(black insertion)的驱动方法,其中黑色在每帧周期之后显示在整个屏幕上。

[0175] 或者,可使用称为双帧速率驱动的方法,其中垂直同步频率为高达常用垂直同步频率的 1.5 倍或更大,优选为 2 倍或更大,由此增加响应速度且对于各帧中的多个分场(divided field)选择待写的灰阶。

[0176] 此外,或者,为了改善液晶显示器的活动图像特性,可使用驱动方法,其中使用多个 LED(发光二极管)或多个 EL 光源以形成作为背光的平面光源(flat light source)且独立驱动所述平面光源的各光源以在一个帧周期中进行间歇光照。作为所述平面光源,可使用三种或更多种 LED 且可使用 LED 发射白光。因为可独立控制多个 LED,所以 LED 的光发射定时(light emitting timing)可与在其下光调制液晶层的定时同步。根据该驱动方法,可部分关掉 LED;因此,特别在显示具有大部分显示黑色的图像的情形下,可获得降低功耗

的效果。

[0177] 通过组合这些驱动方法,与常规液晶显示器相比,可改善液晶显示器的显示特性,诸如运动图像特性。

[0178] 在本说明书中公开的薄膜晶体管包括用于通道形成区域且具有优异动态特性的氧化物半导体膜;因此,可将其与这些驱动方法组合。

[0179] 在制造发光显示装置的过程中,将有机发光元件的电极(也称作阴极)设定到低电源电位如 GND 或 0V;因此,终端部分提供有用于阴极设定到低电源电位如 GND 或 0V 的第四终端。并且,在制造发光显示装置的过程中,除了源极接线和栅极接线以外,提供电源线。因此,终端部分提供有与电源线电连接的第五终端。

[0180] 此外,在制造发光显示装置的过程中,在一些情形下,使用在有机发光元件之间的有机树脂层提供分区。在该情形下,使有机树脂层经受加热处理。因此,可以通过增加氧化物半导体层 103 的电阻而省略用于改善晶体管的电特性和用于降低薄膜晶体管的电特性变化的加热处理。

[0181] 对于薄膜晶体管使用氧化物半导体引起生产成本降低。具体地说,使用以上方法形成与氧化物半导体层接触的氧化物绝缘膜,由此可制造并提供具有稳定电特性的薄膜晶体管。因此,可提供包括具有优异电特性的高度可靠的薄膜晶体管的半导体装置。

[0182] 在氧化物半导体层中的通道形成区域为高电阻区域;因此使薄膜晶体管的电特性稳定且可防止关态电流(off current)增加。因此,可提供包括具有优异电特性的高度可靠的薄膜晶体管的半导体装置。

[0183] 实施方案 3 可以与其他实施方案中所述的结构适当组合实施。

[0184] (实施方案 4)

[0185] 在实施方案 4 中,作为制造半导体装置的方法的实施方案,将描述如下实例,其中在形成氧化物绝缘膜之前使氧化物半导体层预先经受加热处理。在实施方案 4 中,所述加热处理在氮气氛下进行。

[0186] 在本说明书中,在实施方案 4 中描述的在氮气氛下的加热处理称作用于脱水和脱氢的加热处理,所述加热处理在形成氧化物绝缘膜之前(在将其上形成了氧化物半导体层的衬底引入形成氧化物绝缘膜的反应室中之前)进行。在本说明书中,脱氢并不指示通过加热处理脱除 H₂。为了方便起见,将 H、OH 等的脱除称作脱水和脱氢。

[0187] 在实施方案 4 中的加热处理步骤可在形成氧化物绝缘层的步骤(参考图 1、图 2 和图 3,在实施方案 1 中描述的步骤)之前且在形成氧化物半导体层之后进行。例如,在制造实施方案 2 的半导体装置的过程中,加热处理可在图 4A 和图 4B 之间在形成源电极和漏电极层 405a 和 405b 之前进行或在图 4B 和图 4C 之间在形成源电极和漏电极层 405a 和 405b 之后进行。或者,所述加热处理可对还未加工成如图 4A 所示的岛样氧化物半导体层 430 的氧化物半导体膜进行。

[0188] 在实施方案 4 中,进行加热处理(用于脱水和脱氢的加热处理),其中氧化物半导体膜的纯度增加且作为杂质的水分等减少。另外,不仅减少在氧化物半导体膜中的杂质,而且减少在栅绝缘层中的杂质,诸如水分,且减少在提供在之上和之下且彼此接触的膜与氧化物半导体膜之间的界面(an interface between a film and the oxide semiconductor film which are provided over and blow and in contact with each other)处存在的杂

质,诸如水分。

[0189] 为了减少诸如水分的杂质,在形成氧化物半导体膜之后,加热处理在其中氧化物半导体膜被暴露的状态下在 200℃或更高、优选高于或等于 400℃且低于或等于 600℃下在氮气或稀有气体(诸如氩气或氦气)的惰性气氛下或在减压下进行。因此,减少氧化物半导体膜中所含的水分。在加热处理之后,优选在惰性气氛下进行缓慢冷却,达到高于或等于室温且低于 100℃的温度。

[0190] 应注意,优选在用于脱水和脱氢的加热处理中,在氮气或诸如氦气、氖气或氩气的稀有气体中不含水、氢气等。优选将引入加热处理设备中的氮气或诸如氦气、氖气或氩气的稀有气体的纯度设定为 6N(99.9999%)或更高、优选 7N(99.99999%)或更高(也就是说,杂质浓度为 1ppm 或更低,优选 0.1ppm 或更低)。

[0191] 此外,作为所述加热处理,可使用使用电炉的加热方法、使用加热的气体的快速加热方法如气体快速热退火(GRTA)方法或使用灯光的灯快速热退火(LRTA)方法等。

[0192] 利用氧化物半导体膜改善了薄膜晶体管的电特性且获得提供有改善的质量生产率和高性能的薄膜晶体管,在所述膜中所含的水分通过在氮气、氩气等的惰性气氛下或在减压下加热处理而减少。

[0193] 氧化物半导体层中所含的杂质(H_2O 、 H 、 OH 等)通过在惰性气氛下的加热处理减少且载流子浓度增加,且随后进行缓慢冷却。随后,氧化物半导体层的载流子浓度通过形成与氧化物半导体层等接触的氧化物绝缘膜而降低,这引起可靠性改善。

[0194] 氧化物半导体层的电阻通过在氮气氛下进行的加热处理降低(也就是说,载流子浓度增加,优选增加到 $1 \times 10^{18}/cm^3$ 或更高);因此,可形成低电阻氧化物半导体层。然后,通过形成与低电阻氧化物半导体层接触的氧化物绝缘膜,增加与至少氧化物绝缘膜接触的低电阻氧化物半导体层的区域的电阻增加(也就是说,载流子浓度降低,优选降低到 $1 \times 10^{18}/cm^3$ 或更低,更优选 $1 \times 10^{14}/cm^3$ 或更低的载流子浓度);因此,可形成高电阻氧化物半导体区域。在制造在实施方案 4 中的半导体装置的过程期间,重要的是通过在惰性气氛下(或在减压下)加热、缓慢冷却、形成氧化物绝缘膜等来增加或降低氧化物半导体层的载流子浓度。载流子浓度的增加和降低将源于用于脱水和脱氢的加热处理,其首先使初始 i- 型氧化物半导体层变为缺氧的氧化物半导体层,使所述氧化物半导体层变为 n- 型(n^+ 、 n^- 等)氧化物半导体层。氧化物绝缘膜的贯序形成将导致氧化物半导体层处于氧过剩状态,这使得其变成 i- 型氧化物半导体。

[0195] 以此方式,在于氮气氛下经受用于脱水和脱氢的加热处理的氧化物半导体层上,通过在实施方案 1 中所述的方法形成氧化物绝缘膜,由此可制造半导体装置。

[0196] 因此,可制造并提供包括具有优异电特性的高度可靠的薄膜晶体管的半导体装置。

[0197] (实施方案 5)

[0198] 在实施方案 5 中,作为制造半导体装置的方法的实施方案,显示如下实例,其中在形成氧化物绝缘膜之前使氧化物半导体层预先经受加热处理。在实施方案 4 中,描述加热处理在氮气氛下进行的实例;然而,在实施方案 5 中,描述加热处理在大气气氛(空气气氛)下进行。

[0199] 在实施方案 5 中的加热处理步骤可在形成氧化物绝缘层的步骤(参考图 1、图 2 和

图 3,在实施方案 1 中描述的步骤)之前且在形成氧化物半导体层之后进行。例如,在制造实施方案 2 的半导体装置的步骤中,加热处理可在图 4A 和图 4B 之间在形成源电极和漏电极层 405a 和 405b 之前进行或在图 4B 和图 4C 之间在形成源电极和漏电极层 405a 和 405b 之后进行。或者,所述加热处理可对还未加工成如图 4A 所示的岛样氧化物半导体层 430 的氧化物半导体膜进行。所述加热处理优选在 200℃ -600℃、通常 300℃ -500℃ 下进行。例如,所述加热处理在 350℃ 下在大气气氛(空气气氛)下进行 1 小时。

[0200] 以此方式,在于大气气氛(空气气氛)下经受加热处理的氧化物半导体层上,通过在实施方案 1 中所述的方法形成氧化物绝缘膜,由此可制造半导体装置。

[0201] 因此,可制造并提供包括具有优异电特性的高度可靠的薄膜晶体管的半导体装置。

[0202] (实施方案 6)

[0203] 在实施方案 6 中,下文将描述如下实例,其中在一个衬底上形成将布置在像素部分中的薄膜晶体管和至少一部分驱动电路。

[0204] 将布置在像素部分中的薄膜晶体管根据实施方案 1-5 中的任一个形成。此外,在实施方案 1-5 中的任一个中描述的薄膜晶体管为 n- 通道 TFT。因此,在驱动电路之中可使用 n- 通道 TFT 形成的驱动电路的一部分与像素部分的薄膜晶体管形成在同一衬底上。

[0205] 图 20A 说明有源矩阵显示装置的方块图的实例。在显示装置中的衬底 5300 上,提供像素部分 5301、第一扫描线驱动电路 5302、第二扫描线驱动电路 5303 和信号线驱动电路 5304。在像素部分 5301 中,提供从信号线驱动电路 5304 延伸的多个信号线且提供从第一扫描线驱动电路 5302 和第二扫描线驱动电路 5303 延伸的多个扫描线。应注意,在矩阵中在扫描线和信号线彼此交叉的相应区中提供包括显示元件的像素。此外,显示装置中的衬底 5300 经诸如柔性印制电路(FPC)的连接部分连接到定时控制电路 5305(也称作控制器或控制器 IC)。

[0206] 在图 20A 中,在与像素部分 5301 相同的衬底 5300 上提供第一扫描线驱动电路 5302、第二扫描线驱动电路 5303 和信号线驱动电路 5304。因此,减少在外部提供的驱动电路等的组件的数目,从而可实现成本降低。另外,在驱动电路提供在衬底 5300 外的情形下,连接部分中连接的数目可通过延伸接线来减少,由此可实现可靠性改善和产率增加。

[0207] 应注意,例如,定时控制电路 5305 供应第一扫描线驱动电路起始信号(GSP1)和扫描线驱动电路时钟信号(GCK1)到第一扫描线驱动电路 5302。定时控制电路 5305 例如供应第二扫描线驱动电路起始信号(GSP2)(也称作起始脉冲)和扫描线驱动电路时钟信号(GCK2)到第二扫描线驱动电路 5303。定时控制电路 5305 供应信号线驱动器电路起始信号(SSP)、信号线驱动电路时钟信号(SCK)、视频信号数据(DATA)(也简称为视频信号)和锁存信号(LAT)到信号线驱动电路 5304。应注意,各时钟信号可为周期不同的多种时钟信号或可与反向时钟信号(CKB)一起供应。应注意,可省略第一扫描线驱动电路 5302 和第二扫描线驱动电路 5303 之一。

[0208] 图 20B 显示如下结构,其中具有低驱动频率的电路(例如,第一扫描线驱动电路 5302 和第二扫描线驱动电路 5303)与像素部分 5301 形成在同一衬底 5300 上,且信号线驱动电路 5304 形成在与其上形成了像素部分 5301 的衬底 5300 不同的衬底上。利用该结构,形成在衬底 5300 上的驱动电路可通过使用具有比使用单晶半导体形成的晶体管的场效应

迁移率低的场效应迁移率的薄膜晶体管构造。因此,可实现显示装置大小增加、步骤数减少、成本降低、产率改善等。

[0209] 在实施方案 1-5 中的任一个中描述的薄膜晶体管为 n- 通道 TFT。在图 21A 和图 21B 中,将使用 n- 通道 TFT 形成的信号线驱动电路的结构和操作的实例描述为一个实例。

[0210] 所述信号线驱动电路包括移位寄存器 5601 和开关电路 5602。开关电路 5602 包括多个开关电路 5602_1 至 5602_N(N 为自然数)。开关电路 5602_1 至 5602_N 各自包括多个薄膜晶体管 5603_1 至 5603_k(k 为自然数)。将描述以下实例,其中薄膜晶体管 5603_1 至 5603_k 为 n- 通道 TFT。

[0211] 例如,将通过使用开关电路 5602_1 描述信号线驱动电路的连接关系。薄膜晶体管 5603_1 至 5603_k 的第一终端分别与接线 5604_1 至 5604_k 连接。薄膜晶体管 5603_1 至 5603_k 的第二终端分别与信号线 S1 至 Sk 连接。薄膜晶体管 5603_1 至 5603_k 的栅极与接线 5605_1 连接。

[0212] 移位寄存器 5601 具有按次序输出 H 电平信号(也称作 H 信号或高电源电位电平)到接线 5605_1 至 5605_N 且按次序选择开关电路 5602_1 至 5602_N 的功能。

[0213] 开关电路 5602_1 具有控制在接线 5604_1 至 5604_k 与信号线 S1 至 Sk 之间的电连续性(在第一终端与第二终端之间的电连续性)的功能,换句话说控制是否供应接线 5604_1 至 5604_k 的电位到信号线 S1 至 Sk 的功能。如就此所述,开关电路 5602_1 起到选择器的作用。此外,薄膜晶体管 5603_1 至 5603_k 各自具有控制在接线 5604_1 至 5604_k 与信号线 S1 至 Sk 之间的电连续性的功能,换句话说控制是否供应接线 5604_1 至 5604_k 的电位到信号线 S1 至 Sk 的功能。以此方式,薄膜晶体管 5603_1 至 5603_k 各自起到开关的作用。

[0214] 应注意,将视频信号数据(DATA)输入各接线 5604_1 至 5604_k 中。在很多情形下,视频信号数据(DATA)为对应于图像数据或图像信号的模拟信号。

[0215] 接着,将参考在图 21B 中的时间图描述在图 21A 中的信号线驱动电路的操作。在图 21B 中,示出信号 Sout_1 至 Sout_N 和信号 Vdata_1 至 Vdata_k 的实例。信号 Sout_1 至 Sout_N 为移位寄存器 5601 的输出信号的实例,且信号 Vdata_1 至 Vdata_k 为输入接线 5604_1 至 5604_k 的信号的实例。应注意,信号线驱动电路的一个操作周期对应于显示装置中的一个栅极选择周期。例如,一个栅极选择周期被分成周期 T1 至 TN。周期 T1 至 TN 为用于将视频信号数据(DATA)写入属于选定行的像素的周期。

[0216] 在周期 T1 至 TN 中,移位寄存器 5601 将 H 电平信号贯序输出到接线 5605_1 至 5605_N。例如,在周期 T1 中,移位寄存器 5601 将 H 电平信号输出到接线 5605_1。随后,开启薄膜晶体管 5603_1 至 5603_k,以使得接线 5604_1 至 5604_k 和信号线 S1 至 Sk 具有电连续性。在该情形下,将数据(S1)至数据(Sk)分别输入接线 5604_1 至 5604_k。数据(S1)至数据(Sk)分别通过薄膜晶体管 5603_1 至 5603_k 输入在选定行中在第一至第 k 列中的像素中。因此,在周期 T1 至 TN 中,将视频信号数据(DATA)贯序写到在每个 k 列的选定行中的像素中。

[0217] 通过将视频信号数据(DATA)写到多列中每一列的像素中,可减少视频信号数据(DATA)的数目或接线的数目。因此,可减少对外电路的连接。通过将视频信号写入多列中每一列的像素中,可延长写入时间且可防止视频信号写入不充分。

[0218] 应注意,作为移位寄存器 5601 和开关电路 5602,可使用包括在实施方案 1-5 中的任一个中所述的薄膜晶体管的电路。

[0219] 将参考图 22A-22C 和图 23A 和 23B 描述用作扫描线驱动电路和 / 或信号线驱动电路的一部分的移位寄存器的实施方案。

[0220] 所述扫描线驱动电路包括移位寄存器。在一些情形下,所述扫描线驱动电路还可包括电位转换器、缓冲器等。在扫描线驱动电路中,当将时钟信号 (CLK) 和起始脉冲信号 (SP) 输入移位寄存器时,产生选择信号。所产生的选择信号通过缓冲器缓冲且放大,且将所得信号供应到相应扫描线。在一条线的像素中晶体管的栅电极与扫描线连接。因为必须同时开启在一条线的像素中的晶体管,故使用可供应大量电流的缓冲器。

[0221] 所述移位寄存器包括第一至第 N 脉冲输出电路 10_1 至 10_N (N 为 3 或更大的自然数) (参见图 22A)。来自第一接线 11 的第一时钟信号 CK1、来自第二接线 12 的第二时钟信号 CK2、来自第三接线 13 的第三时钟信号 CK3 和来自第四接线 14 第四时钟信号 CK4 供应到图 22A 中所示的移位寄存器的第一至第 N 脉冲输出电路 10_1 至 10_N。来自第五接线 15 的起始脉冲 SP1 (第一起始脉冲) 输入第一脉冲输出电路 10_1。来自先前级 10_(n-1) (n 为大于或等于 2 且小于或等于 N 的自然数) 的脉冲输出电路的信号输入在第二级或其后续级 10_n 中的第 n 脉冲输出电路。来自第三脉冲输出电路 10_3 (其为第一脉冲输出电路 10_1 之后两级) 的信号输入第一脉冲输出电路 10_1。以类似方式,来自第 (n+2) 脉冲输出电路 10_(n+2) (其为在第 n 脉冲输出电路 10_n 之后两级) 的信号 (称为下一级信号 OUT(n+2)) 输入在第二级或其后续级中的第 n 脉冲输出电路。因此,第一输出信号 (OUT(1) (SR) 至 OUT(N) (SR)) 从第 n 脉冲输出电路输出到下一级脉冲输出电路 (第 (n+1) 脉冲输出电路) 和 / 或在第 n 脉冲输出电路之前两级 (第 (n-2) 脉冲输出电路)), 且第二输出信号 (OUT(1) 至 OUT(N)) 从第 n 脉冲输出电路输出到另一电路等。应注意,如图 22A 中所示,下一级信号 OUT(n+2) 没有输入移位寄存器的最后二级;因此,例如,第二起始脉冲 SP2 和第三起始脉冲 SP3 可单独输入移位寄存器的最后两级。

[0222] 应注意,时钟信号 (CK) 为以恒定循环在 H 电平与 L 电平 (称为 L 信号或低电源电位电平) 之间摆动的信号。第一至第四时钟信号 (CK1) 至 (CK4) 连续以 1/4 周期延迟。在实施方案 6 中,通过使用第一至第四时钟信号 (CK1) 至 (CK4),控制脉冲输出电路的驱动。应注意,时钟信号根据输入时钟信号的驱动电路也称为 GCK 或 SCK;然而,使用 CK 描述时钟信号。

[0223] 第一输入终端 21、第二输入终端 22 和第三输入终端 23 与第一接线至第四接线 11 至 14 中的任一个电连接。例如,在图 22A 中,第一脉冲输出电路 10_1 的第一输入终端 21 与第一接线 11 电连接,第一脉冲输出电路 10_1 的第二输入终端 22 与第二接线 12 电连接,且第一脉冲输出电路 10_1 的第三输入终端 23 与第三接线 13 电连接。类似地,第二脉冲输出电路 10_2 的第一输入终端 21 与第二接线 12 电连接,第二脉冲输出电路 10_2 的第二输入终端 22 与第三接线 13 电连接,且第二脉冲输出电路 10_2 的第三输入终端 23 与第四接线 14 电连接。

[0224] 各个第一至第 N 脉冲输出电路 10_1 至 10_N 包括第一输入终端 21、第二输入终端 22、第三输入终端 23、第四输入终端 24、第五输入终端 25、第一和第二输出终端 26 和 27 (参见图 22B)。在第一脉冲输出电路 10_1 中,第一时钟信号 CK1 输入第一输入终端 21;第二时

钟信号 CK2 输入第二输入终端 22 ;第三时钟信号 CK3 输入第三输入终端 23 ;起始脉冲输入第四输入终端 24 ;下一级信号 OUT(3) 输入第五输入终端 25 ;第一输出信号 OUT(1) (SR) 从第一输出终端 26 输出 ;且第二输出信号 OUT(1) 从第二输出终端 27 输出。

[0225] 接着,将参考图 22C 描述在图 22B 中示出的脉冲输出电路的特定电路结构的实例。

[0226] 在图 22C 中所示的脉冲输出电路包括第一至第十三晶体管 31 至 43。除了上述第一至第五输入终端 21 至 25 和第一和第二输出终端 26 和 27 以外,信号或电源电位从供应第一电源电位 VDD 的电源线 51、供应第二电源电位 VCC 的电源线 52 和供应第三电源电位 VSS 的电源线 53 供应到第三晶体管 31 至第十三晶体管 43。在此,在图 22C 中各电源线的电源电位的量级关系如下:第一电源电位 VDD 高于第二电源电位 VCC,且第二电源电位 VCC 高于第三电源电位 VSS。尽管第一至第四时钟信号 (CK1) 至 (CK4) 为以恒定循环在 H 电平信号与 L 电平信号之间交替的信号,当时钟信号处于 H 电平时,将其电位调节到 VDD,且当时钟信号处于 L 电平时,将其电位调节到 VSS。应注意,当将电源线 51 的电位 VDD 设定到高于电源线 52 的电位 VCC 时,可在不会不利地影响操作的情况下降低施加到晶体管的栅电极的电位;因此,可降低晶体管的阈值的移位且可抑制劣化。

[0227] 在图 22C 中,第一晶体管 31 的第一终端与电源线 51 电连接,第一晶体管 31 的第二终端与第九晶体管 39 的第一终端电连接,且第一晶体管 31 的栅电极与第四输入终端 24 电连接。第二晶体管 32 的第一终端与电源线 53 电连接,第二晶体管 32 的第二终端与第九晶体管 39 的第一终端电连接,且第二晶体管 32 的栅电极与第四晶体管 34 的栅电极电连接。第三晶体管 33 的第一终端与第一输入终端 21 电连接,且第三晶体管 33 的第二终端与第一输出终端 26 电连接。第四晶体管 34 的第一终端与电源线 53 电连接,且第四晶体管 34 的第二终端与第一输出终端 26 电连接。第五晶体管 35 的第一终端与电源线 53 电连接,第五晶体管 35 的第二终端与第二晶体管 32 的栅电极和第四晶体管 34 的栅电极电连接,且第五晶体管 35 的栅电极与第四输入终端 24 电连接。第六晶体管 36 的第一终端与电源线 52 电连接,第六晶体管 36 的第二终端与第二晶体管 32 的栅电极和第四晶体管 34 的栅电极电连接,且第六晶体管 36 的栅电极与第五输入终端 25 电连接。第七晶体管 37 的第一终端与电源线 52 电连接,第七晶体管 37 的第二终端与第八晶体管 38 的第二终端电连接,且第七晶体管 37 的栅电极与第三输入终端 23 电连接。第八晶体管 38 的第一终端与第二晶体管 32 的栅电极和第四晶体管 34 的栅电极电连接,且第八晶体管 38 的栅电极与第二输入终端 22 电连接。第九晶体管 39 的第一终端与第一晶体管 31 的第二终端和第二晶体管 32 的第二终端电连接,第九晶体管 39 的第二终端与第三晶体管 33 的栅电极和第十晶体管 40 的栅电极电连接,且第九晶体管 39 的栅电极与电源线 52 电连接。第十晶体管 40 的第一终端与第一输入终端 21 电连接,第十晶体管 40 的第二终端与第二输出终端 27 电连接,且第十晶体管 40 的栅电极与第九晶体管 39 的第二终端电连接。第十一晶体管 41 的第一终端与电源线 53 电连接,第十一晶体管 41 的第二终端与第二输出终端 27 电连接,且第十一晶体管 41 的栅电极与第二晶体管 32 的栅电极和第四晶体管 34 的栅电极电连接。第十二晶体管 42 的第一终端与电源线 53 电连接,第十二晶体管 42 的第二终端与第二输出终端 27 电连接,且第十二晶体管 42 的栅电极与第七晶体管 37 的栅电极电连接。第十三晶体管 43 的第一终端与电源线 53 电连接,第十三晶体管 43 的第二终端与第一输出终端 26 电连接,且第十三晶体管 43 的栅电极与第七晶体管 37 的栅电极电连接。

[0228] 在图 22C 中,第三晶体管 33 的栅电极、第十晶体管 40 的栅电极和第九晶体管 39 的第二终端的连接点称为节点 A。另外,第二晶体管 32 的栅电极、第四晶体管 34 的栅电极、第五晶体管 35 的第二终端、第六晶体管 36 的第二终端、第八晶体管 38 的第一终端和第十一晶体管 41 的栅电极的连接点称为节点 B。

[0229] 图 23A 显示当将图 22C 中描述的脉冲输出电路施用到第一脉冲输出电路 10_1 时,输入到或从第一输入终端 21 输出到第五输入终端 25、第一输出终端 26 和第二输出终端 27 的信号。

[0230] 具体地讲,第一时钟信号 CK1 输入第一输入终端 21;第二时钟信号 CK2 输入第二输入终端 22;第三时钟信号 CK3 输入第三输入终端 23;起始脉冲 SP1 输入第四输入终端 24;下一级信号 OUT(3) 输入第五输入终端 25;第一输出信号 OUT(1) (SR) 从第一输出终端 26 输出;且第二输出信号 OUT(1) 从第二输出终端 27 输出。

[0231] 应注意,薄膜晶体管为具有栅极、漏极和源极的至少三个终端的元件。薄膜晶体管具有在与栅极重叠的区域中形成通道区域的半导体,且经通道区域在漏极和源极之间流动的电流可通过控制栅极的电位来控制。在此,由于薄膜晶体管的源极和漏极可根据薄膜晶体管的结构、操作条件等来互换,所以难以限定其为源极或漏极。因此,起到源极和漏极的作用的区域在一些情形下不称为源极或漏极。在这种情形下,例如,可将源极和漏极之一称为第一终端,且将其另一者称为第二终端。

[0232] 在此,图 23B 显示包括图 23A 中所示的多个脉冲输出电路的移位寄存器的时间图。应注意,当所述移位寄存器为扫描线驱动电路时,图 23B 中的周期 61 和周期 62 分别对应于垂直回描周期和栅极选择周期。

[0233] 应注意,如在图 23A 中所示,通过提供其栅极供应有第二电源电位 VCC 的第九晶体管 39,在自举操作 (bootstrap operation) 之前和之后获得如下所述的优势。

[0234] 在没有其栅极供应有第二电源电位 VCC 的第九晶体管 39 的情况下,如果节点 A 的电位通过自举操作升高,则作为第一晶体管 31 的第二终端的源极的电位增加到高于第一电源电位 VDD 的值。随后,第一晶体管 31 的第一终端 (即电源线 51) 变得充当其源极。因此,在第一晶体管 31 中,施加大偏压且因此在栅极与源极之间和在栅极与漏极之间施加显著应力,这可导致晶体管劣化。通过提供其栅极供应有第二电源电位 VCC 的第九晶体管 39,节点 A 的电位通过自举操作升高,但同时,可防止第一晶体管 31 的第二终端的电位增加。换句话说,通过提供第九晶体管 39,可降低在第一晶体管 31 的栅极与源极之间施加的负偏压。或者,利用在实施方案 6 中的电路结构,可降低在第一晶体管 31 的栅极与源极之间施加的负偏压,以便可进一步限制第一晶体管 31 中由于应力引起的劣化。

[0235] 应注意,提供第九晶体管 39 以通过其第一终端和第二终端在第一晶体管 31 的第二终端与第三晶体管 33 的栅极之间连接。当使用实施方案 6 中所示的包括多个脉冲输出电路的移位寄存器时,在具有比扫描线驱动电路多的级数的信号线驱动电路中,可省略第九晶体管 39 且可减少晶体管的数目。

[0236] 当氧化物半导体用于第一晶体管 31 至第十三晶体管 43 的半导体层时,可降低薄膜晶体管的关态电流,可增加开态电流 (on-current) 和场效应迁移率,且可降低劣化程度;因此,可减少电路中的故障。与使用非晶硅形成的晶体管相比较,使用氧化物半导体形成的晶体管的由对栅电极施加高电位而引起的劣化程度较小。因此,即使将第一电源电位

VDD 供应到供应有第二电源电位 VCC 的电源线,也可进行类似操作,且可减少在电路中提供的电源线的数目,从而可使电路微型化。

[0237] 应注意,即使改变接线连接使得经第三输入终端 23 供应到第七晶体管 37 的栅电极的时钟信号和经第二输入终端 22 供应到第八晶体管 38 的栅电极的时钟信号分别为经第二输入终端 22 供应到第七晶体管 37 的栅电极的时钟信号和经第三输入终端 23 供应到第八晶体管 38 的栅电极的时钟信号,也可获得类似操作效果。应注意,在图 23A 中所示的移位寄存器中,在第七晶体管 37 和第八晶体管 38 都开启之后,将第七晶体管 37 关闭且使第八晶体管 38 仍开启,且随后使第七晶体管 37 仍关闭且将第八晶体管 38 关闭。因此,由第二输入终端 22 和第三输入终端 23 的电位降低引起的节点 B 的电位降低发生两次,这是由于第七晶体管 37 的栅电极的电位降低且第八晶体管 38 的栅电极的电位降低。另一方面,在图 23A 中所示的移位寄存器中,由第二输入终端 22 和第三输入终端 23 的电位降低引起的节点 B 的电位的降低数可减少到一次,其在第八晶体管 38 的栅电极的电位降低时发生。节点 B 的电位的降低数可以如下方式降低:如在图 23B 的周期 62 中所展示,在第七晶体管 37 和第八晶体管 38 都开启之后,使第七晶体管 37 仍开启且将第八晶体管 38 关闭,且随后将第七晶体管 37 关闭且使第八晶体管 38 仍关闭。因此,利用经第三输入终端 23 供应到第七晶体管 37 的栅电极的时钟信号和经第二输入终端 22 供应到第八晶体管 38 的栅电极的时钟信号,降低节点 B 的电位的变化;因此,可减少噪音,这是优选的。

[0238] 以这种方式,在第一输出终端 26 和第二输出终端 27 的电位保持处于 L 电平的期间,将 H 电平信号定期供应到节点 B;因此,可抑制脉冲输出电路的故障。

[0239] (实施方案 7)

[0240] 当制造薄膜晶体管并将其用于像素部分且进一步用于驱动电路时,可制造具有显示功能的半导体装置(也称作显示装置)。另外,当使用薄膜晶体管的驱动电路的一部分或整体与像素部分形成在同一衬底上时,可获得系统面板(System-on-panel)。

[0241] 所述显示装置包括显示元件。作为所述显示元件,可使用液晶元件(也称作液晶显示元件)或发光元件(也称作发光显示元件)。发光元件在分类上包括亮度通过电流或电压控制的元件,且具体包括无机电致发光(EL)元件、有机 EL 元件等。另外,可使用对比度通过电作用改变的显示介质,如电子油墨。

[0242] 所述显示装置包括密封显示元件的面板和包括控制器的 IC 等安装在所述面板上的组件。所述显示装置还涉及元件衬底,其对应于在显示元件在显示器的制造过程中完成之前的一种模式,且所述元件衬底提供有用于供应电流到在多个像素中的每一个中的显示元件的设备。具体地讲,所述元件衬底可处于在仅形成显示元件的像素电极(像素电极层)之后的状态、在形成将成为像素电极的导电膜之后且在蚀刻该导电膜以形成像素电极之前的状态或任何其他状态。

[0243] 应注意,在本说明书中的显示装置是指图像显示装置、显示装置或光源(包括照明装置)。另外,所述显示装置在其分类上还包括以下组件:附接连接器如柔性印制电路(FPC)、卷带自动结合(TAB)带或带载封装(TCP)的组件;在提供了印刷电路板的顶端具有 TAB 带或 TCP 的组件;和集成电路(IC)通过玻璃上芯片(COG)方法直接安装在显示元件上的组件。

[0244] 将参考附图 16A1、16A2 和 16B 描述液晶显示器面板(其为半导体装置的一个实施

方案)的外观和横截面。图 16A1 和图 16A2 各自为面板的平面图,其中高度可靠的薄膜晶体管 4010 和 4011 各自包括形成在第一衬底 4001 上的氧化物半导体层,其在实施方案 3 中描述,且液晶元件 4013 用密封剂 4005 密封在第一衬底 4001 与第二衬底 4006 之间。图 16B 为沿图 16A1 和图 16A2 的 M-N 取得的横截面图。

[0245] 提供密封剂 4005 以包围提供在第一衬底 4001 上的像素部分 4002 和扫描线驱动电路 4004。第二衬底 4006 提供在像素部分 4002 和扫描线驱动电路 4004 上。因此,像素部分 4002 和扫描线驱动电路 4004 通过第一衬底 4001、密封剂 4005 和第二衬底 4006 而与液晶层 4008 密封在一起。使用单晶半导体膜或多晶半导体膜形成在单独制备的衬底上的信号线驱动电路 4003 安装在与由在第一衬底 4001 上的密封剂 4005 包围的区域不同的区域中。

[0246] 应注意,对于单独形成的驱动电路的连接方法没有特定限制,且可使用 COG 方法、金属线结合法、TAB 方法等。图 16A1 说明通过 COG 方法安装信号线驱动电路 4003 的实例,且图 16A2 说明通过 TAB 方法安装信号线驱动电路 4003 的实例。

[0247] 提供在第一衬底 4001 上的像素部分 4002 和扫描线驱动电路 4004 各自包括多个薄膜晶体管。图 16B 说明包括在像素部分 4002 中的薄膜晶体管 4010 和包括在扫描线驱动电路 4004 中的薄膜晶体管 4011。保护性绝缘层 4020 和 4021 提供在薄膜晶体管 4010 和 4011 上。

[0248] 作为薄膜晶体管 4010 和 4011,可使用在实施方案 3 中描述的包括氧化物半导体层的薄膜晶体管。或者,可使用在实施方案 1 或实施方案 2 中描述的薄膜晶体管。在实施方案 7 中,薄膜晶体管 4010 和 4011 为 n- 通道薄膜晶体管。

[0249] 包括在液晶元件 4013 中的像素电极层 4030 与薄膜晶体管 4010 电连接。液晶元件 4013 的对电极层 4031 形成在第二衬底 4006 上。像素电极层 4030、对电极层 4031 和液晶层 4008 相互重叠的部分对应于液晶元件 4013。应注意,像素电极层 4030 和对电极层 4031 分别提供有绝缘层 4032 和绝缘层 4033,其各自起到对准膜的作用。液晶层 4008 夹在像素电极层 4030 与对电极层 4031 之间,其中绝缘层 4032 和 4033 插入其间。

[0250] 应注意,第一衬底 4001 和第二衬底 4006 可由玻璃、金属(通常不锈钢)、陶瓷或塑料制成。作为塑料,可使用玻璃纤维增强塑料(FRP)板、聚(氟乙烯)(PVF)膜、聚酯膜或丙烯酸树脂膜。或者,可使用具有铝箔夹在 PVF 膜或聚酯膜之间的结构的薄片。

[0251] 柱状间隔物 4035 通过选择性蚀刻绝缘膜来获得且被提供以控制在像素电极层 4030 与对电极层 4031 之间的距离(隔室厚(cell gap))。应注意,可使用球形间隔物。对电极层 4031 与公共电位线电连接,所述公共电位线和薄膜晶体管 4010 提供在同一衬底上。利用公共连接部分,对电极层 4031 可经在该对衬底之间提供的导电粒子与公共电位线电连接。应注意,所述导电粒子包含在密封剂 4005 中。

[0252] 或者,可使用不需要对准膜的显示蓝相的液晶。蓝相为液晶相之一,其刚好在胆甾醇相变为各向同性相之前、同时增加胆甾醇型液晶的温度而产生。因为蓝相在相对窄范围的温度内产生,所以含有 5wt% 或更多的手性试剂的液晶组合物可用于液晶层 4008 以增加该温度范围。包含显示蓝相的液晶和具有 1 毫秒或更短的小响应时间的手性试剂的液晶组合物具有光学各向同性,这使得不需要对准工艺,且所述液晶组合物具有小视角相关性。

[0253] 除了透射液晶显示装置以外,本发明的一个实施方案还可适用于反射液晶显示装

置或透反液晶显示装置。

[0254] 将描述液晶显示装置的一个实例,其中偏振板提供在衬底的外表面上(在观察者侧上)且用于显示元件的着色层(滤色器)和电极层以该次序提供在衬底的内表面上;然而,偏振板可提供在衬底的内表面上。偏振板和着色层的堆叠结构不限于在实施方案7中所述的结构且可根据偏振板和着色层的材料或制造步骤的条件而视情况设定。另外,可提供充当黑矩阵的挡光膜。

[0255] 在薄膜晶体管 4010 和 4011 上,形成与包括通道形成区域的氧化物半导体层接触的作为保护性绝缘膜的绝缘层 4020。绝缘层 4020 使用与实施方案 1 中所示的氧化物绝缘膜 407 类似的材料和方法形成。为了降低薄膜晶体管的表面粗糙度,将薄膜晶体管用充当平面绝缘膜的绝缘层 4021 覆盖。

[0256] 在此,形成作为保护性绝缘膜的具有堆叠结构的绝缘层 4020。作为绝缘层 4020 的第一层,氧氮化硅膜通过实施方案 1 中所示的等离子体 CVD 方法形成。

[0257] 作为绝缘层 4020 的第二层,氮化硅膜通过等离子体 CVD 方法形成。使用氮化硅膜作为保护性膜可防止活动离子如钠离子进入半导体层,由此抑制 TFT 的电特性的变化。

[0258] 在形成保护性绝缘膜之后,可在氮气氛或大气气氛下进行加热处理(在 300℃或更低)。

[0259] 形成作为平面绝缘膜的绝缘层 4021。作为绝缘层 4021,可使用具有耐热性的有机物质,诸如聚酰亚胺、丙烯酸树脂、基于苯并环丁烯的树脂、聚酰胺或环氧树脂。除了这类有机物质以外,还可以使用低介电常数材料(低 k 材料)、基于硅氧烷的树脂、磷硅酸盐玻璃(PSG)、硼磷硅酸盐玻璃(BPSG)等。应注意,绝缘层 4021 可通过堆叠由这些材料形成的多个绝缘膜来形成。

[0260] 应注意,硅氧烷树脂为由作为原料且具有 Si-O-Si 键的硅氧烷材料形成的树脂。基于硅氧烷的树脂可包含作为取代基的有机基团,例如烷基或芳基。所述有机基团可包括氟基。

[0261] 对于形成绝缘层 4021 的方法没有特定限制,且绝缘层 4021 可视材料而通过溅射方法、SOG 法、旋涂法、浸涂法、喷涂法、液滴排放法(例如喷墨法、丝网印刷、平板印刷等)或用工具(设备)如刮刀、辊式涂布机、幕帘式涂布机或刮刀涂布机形成。绝缘层 4021 的烘烤步骤也充当氧化物半导体层的退火步骤,由此可有效地制造半导体装置。

[0262] 像素电极层 4030 和对电极层 4031 可由透光导电材料制成,所述透光导电材料诸如为含氧化钨的氧化铟、含氧化钨的氧化铟锌、含氧化钛的氧化铟、含氧化钛的氧化铟锡、氧化铟锡(下文称为 ITO)、氧化铟锌或向其中加入氧化硅的氧化铟锡。

[0263] 对于像素电极层 4030 和对电极层 4031,可使用含有导电高分子(也称作导电聚合物)的导电组合物。由所述导电组合物制成的像素电极优选具有 10000 欧姆/平方或更低的薄层电阻和在 550nm 的波长下的 70%或更大的透射率。另外,包含在所述导电组合物中的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 或更低。

[0264] 作为所述导电高分子,可使用所谓的 π -电子共轭的导电聚合物。例如,可以使用聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或其两种或更多种的共聚物。

[0265] 将多种信号和电位自 FPC 4018 供应到单独形成的信号线驱动电路 4003 以及扫描线驱动电路 4004 或像素部分 4002。

[0266] 连接端电极 4015 由与液晶元件 4013 中所包括的与像素电极层 4030 相同的导电膜形成,且端电极 4016 由与薄膜晶体管 4011 的源电极层和漏电极层相同的导电膜形成。

[0267] 连接端电极 4015 经各向异性导电膜 4019 与包括在 FPC 4018 中的终端电连接。

[0268] 应注意,图 16A1、16A2 和 16B 说明信号线驱动电路 4003 单独形成且安装在第一衬底 4001 上的实例;然而,实施方案 7 不限于该结构。可单独形成且随后安装扫描线驱动电路,或可单独形成且随后安装信号线驱动电路的仅一部分或扫描线驱动电路的仅一部分。

[0269] 图 26 说明通过使用根据在本说明书中公开的制造方法制造的 TFT 衬底 2600 形成作为半导体装置的液晶显示组件的实例。

[0270] 图 26 说明液晶显示组件的实例,其中 TFT 衬底 2600 和对衬底用密封剂 2602 彼此结合,且包括 TFT 等的像素部分 2603、包括液晶层的显示元件 2604 和着色层 2605 提供在所述衬底之间以形成显示区域。需要着色层 2605 来进行彩色显示。在 RGB 系统的情形下,对于相应像素提供对应于红色、绿色和蓝色的相应着色层。偏振板 2606 和 2607 和扩散板 2613 提供在 TFT 衬底 2600 和对衬底 2601 的外部。光源包括冷阴极管 2610 和反射板 2611。电路板 2612 经柔性接线板 2609 与 TFT 衬底 2600 的接线电路部分 2608 连接且包括外电路,诸如控制电路或电源电路。所述偏振板和所述液晶层可与插入其间的延迟板堆叠在一起。

[0271] 对于所述液晶显示组件,可使用 TN(扭曲向列)模式、IPS(面内开关)模式、FFS(边缘场开关)模式、MVA(多域垂直对准)模式、PVA(图案化垂直对准)模式、ASM(轴对称对准微胞)模式、OCB(光学补偿双折射)模式、FLC(铁电液晶)模式、AFLC(反铁电液晶)模式等。

[0272] 通过以上方法,可制造作为半导体装置的高度可靠的液晶显示面板。

[0273] 实施方案 7 可以与其他实施方案中所述的结构的适当组合实施。

[0274] (实施方案 8)

[0275] 在实施方案 8 中,将电子纸的实例描述为本发明的实施方案的半导体装置。

[0276] 对于电子纸,可使用可使用本发明制造的半导体装置,其中电子油墨通过与开关元件电连接的元件驱动。所述电子纸也称作电泳显示装置(电泳显示器)且其优点在于其具有与普通纸程度相同的易读性,其具有比其他显示装置低的功耗,且其可制得薄且轻。

[0277] 电泳显示器可具有各种模式。电泳显示器含有分散在溶剂或溶质中的多个微囊,各微囊含有带正电的第一粒子和带负电的第二粒子。通过对微囊施加电场,微囊中的粒子在彼此相反的方向上移动且仅显示在一侧聚集的粒子的颜色。应注意,第一粒子和第二粒子各自含有颜料且在无电场情况下不移动。此外,第一粒子和第二粒子具有不同颜色(其可为无色的)。

[0278] 因此,电泳显示器为利用所谓介电泳作用的显示器,通过所述作用,具有高介电常数的物质移动到高电场区域。电泳显示装置不需要使用在液晶显示装置中所需的偏振板。

[0279] 以上微囊分散在溶剂中的溶液称为电子油墨。该电子油墨可印刷在玻璃、塑料、织物、纸张等的表面上。另外,通过使用具有颜料的滤色器或粒子,还可获得彩色显示器。

[0280] 另外,如果多个以上微囊视情况排列在有源矩阵衬底上以插入两个电极之间,则可完成有源矩阵显示装置,且可通过对微囊施加电场进行显示。例如,可使用通过实施方案 1-4 中的任一个描述的薄膜晶体管获得的有源矩阵衬底。

[0281] 应注意,在微囊中的第一粒子和第二粒子各自可由选自导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料和磁泳材料的单一材料形成或由这些材料中的任一种的复合材料形成。

[0282] 图 24 说明半导体装置的作为实例的有源矩阵电子纸。用于半导体装置的薄膜晶体管 581 可以与在实施方案 2 中所述的薄膜晶体管类似的方式制造且为包括氧化物半导体层的高度可靠的薄膜晶体管。在实施方案 1 和 3-5 中的任一个中描述的薄膜晶体管也可用作实施方案 8 的薄膜晶体管 581。

[0283] 在图 24 中的电子纸为使用扭转球显示系统的显示装置的实例。所述扭转球显示系统涉及如下方法,其中各自着色为黑色和白色的球状粒子排列在作为用于显示元件的电极层的第一电极层和第二电极层之间,且在第一电极层与第二电极层之间产生电位差以控制球状粒子的定向,从而进行显示。

[0284] 形成在衬底 580 上的薄膜晶体管 581 为具有底栅结构的薄膜晶体管且用与氧化物半导体层接触的绝缘膜 583 覆盖。薄膜晶体管 581 的源电极层或漏电极层经在绝缘层 585 中形成的开口与第一电极层 587 接触,由此薄膜晶体管 581 与第一电极层 587 电连接。在第一电极层 587 与形成在衬底 596 上的第二电极层 588 之间,提供各自具有黑色区域 590a 和白色区域 590b 的球状粒子 589。包围球状粒子 589 的空间用诸如树脂的填料 595 填充。第一电极层 587 对应于像素电极,且第二电极层 588 对应于公共电极。第二电极层 588 与和薄膜晶体管 581 提供在同一衬底上的公共电位线电连接。利用公共连接部分,第二电极层 588 可经在一对衬底之间提供的导电粒子与公共电位线电连接。

[0285] 还可使用电泳元件代替使用扭转球的元件。使用直径为约 $10\ \mu\text{m}$ - $200\ \mu\text{m}$ 的微囊,其中包封透明液体、带正电的白色微粒和带负电的黑色微粒。在提供在第一电极层与第二电极层之间的微囊中,当在第一电极层与第二电极层之间施加电场时,白色微粒与黑色微粒移动到彼此相对侧,使得可显示白色或黑色。使用该原理的显示元件为电泳显示元件且通称为电子纸。该电泳显示元件具有比液晶显示元件高的反射率,且因此,不需要辅助灯,功耗低且在昏暗环境中可识别出显示部分。另外,即使不将电力供应到显示部分,也可保持曾经显示的图像。因此,即使具有显示功能的半导体装置(其可简称为显示装置或提供有显示装置的半导体装置)从电源断开,也可存储显示图像。

[0286] 通过以上方法,可制造作为半导体装置的高度可靠的电子纸。

[0287] 实施方案 8 可以与其他实施方案中所述的结构的适当组合实施。

[0288] (实施方案 9)

[0289] 发光显示装置的实例将描述为半导体装置。作为包括在显示装置中的显示元件,在此描述利用电致发光的发光元件。利用电致发光的发光元件根据发光材料为有机化合物还是无机化合物来分类。一般来讲,前者称为有机 EL 元件,且后者称为无机 EL 元件。

[0290] 在有机 EL 元件中,通过对发光元件施加电压,将电子和空穴从一对电极中单独注入含有发光有机化合物的层且电流流动。随后,重新组合载流子(电子和空穴),从而激发发光有机化合物。所述发光有机化合物从激发态回到基态,由此发射光。由于这一机制,该发光元件被称为电流激发的发光元件。

[0291] 无机 EL 元件根据其元件结构而分类为分散型无机 EL 元件和薄膜无机 EL 元件。分散型无机 EL 元件具有发光材料的粒子分散在粘合剂中的发光层,且其发光机制为利用施

主能级和受主能级的施主 - 受主重新结合型光发射。薄膜无机 EL 元件具有发光层夹在介电层之间的结构,所述介电层进一步夹在电极之间,薄膜无机 EL 元件的发光机制为利用金属离子的内层电子转换的定域型发光 (localized type light emission)。应注意,在此使用有机 EL 元件作为发光元件来进行描述。

[0292] 图 18 说明可通过数字时间灰阶方法驱动的作为例如半导体装置的像素结构的实例。

[0293] 将描述可通过数字时间灰阶方法驱动的像素的结构和操作。在此描述如下实例,其中一个像素包括在通道形成区域中使用氧化物半导体层的两个 n- 通道晶体管。

[0294] 像素 6400 包括开关晶体管 6401、用于驱动发光元件的晶体管 6402、发光元件 6404 和电容器 6403。开关晶体管 6401 的栅极与扫描线 6406 连接,开关晶体管 6401 的第一电极 (源电极和漏电极之一) 与信号线 6405 连接,且开关晶体管 6401 的第二电极 (源电极和漏电极中的另一个) 与晶体管 6402 的栅极连接以便驱动发光元件。用于驱动发光元件的晶体管 6402 的栅极经电容器 6403 与电源线 6407 连接,驱动晶体管 6402 的第一电极与电源线 6407 连接,且用于驱动发光元件的晶体管 6402 的第二电极与发光元件 6404 的第一电极 (像素电极) 连接。发光元件 6404 的第二电极对应公共电极 6408。公共电极 6408 与提供在同一衬底上的公共电极电连接。

[0295] 应注意,将发光元件 6404 的第二电极 (公共电极 6408) 设定到低电源电位。该低电源电位低于供应到电源线 6407 的高电源电位。例如,可将 GND 或 0V 设定为低电源电位。可将在高电源电位与低电源电位之间的电位差施加到发光元件 6404,从而电流流经发光元件 6404,由此发光元件 6404 发射光。因此,设定各电位,使得在高电源电位与低电源电位之间的电位差大于或等于正向阈值电压。

[0296] 当将用于驱动发光元件的晶体管 6402 的栅电容用作电容器 6403 的替代时,可省略电容器 6403。用于驱动发光元件的晶体管 6402 的栅电容可形成在通道区域与栅电极之间。

[0297] 在此,在使用电压 - 输入电压驱动方法的情形下,将视频信号输入用于驱动发光元件的晶体管 6402 的栅极中以使晶体管 6402 驱动发光元件使其完全开启或关闭。也就是说,用于驱动发光元件的晶体管 6402 在线性区域中操作,且因此,将高于电源线 6407 的电压的电压施加到用于驱动发光元件的晶体管 6402 的栅极。应注意,将大于或等于 (电源线电压 + 用于驱动发光元件的晶体管 6402 的 V_{th}) 的电压施加到信号线 6405。

[0298] 在使用模拟灰阶方法代替数字时间灰阶方法的情形下,可通过以不同方式输入信号来使用与图 18 中相同的像素结构。

[0299] 在使用模拟灰阶方法的情形下,将大于或等于 (发光元件 6404 的正向电压 + 用于驱动发光元件的晶体管 6402 的 V_{th}) 的电压施加到用于驱动发光元件的晶体管 6402 的栅极。发光元件 6404 的正向电压是指获得所需亮度的电压,且至少包括正向阈值电压。通过输入视频信号以使得用于驱动发光元件的晶体管 6402 能够在饱和区中操作,可将电流供应到发光元件 6404。为了使用于驱动发光元件的晶体管 6402 可在饱和区中操作,电源线 6407 的电位高于用于驱动发光元件的晶体管 6402 的栅极电位。因为所述视频信号为模拟信号,所以根据视频信号的电流在发光元件 6404 中流动,且可进行模拟灰阶方法。

[0300] 应注意,所述像素结构不限于图 18 中说明的像素结构。例如,在图 18 中的像素还

可包括开关、电阻器、电容器、晶体管、逻辑电路等。

[0301] 接着,将参考图 19A-19C 描述发光元件的结构。在此,像素的横截面结构例如将通过取得用于驱动发光元件的 n- 通道 TFT 描述。可以与在像素中使用的薄膜晶体管(其在实施方案 2 中描述)类似的方式制造 TFT 7001、7011 和 7021,所述 TFT 7001、7011 和 7021 为用于驱动用于图 19A-19C 中说明的半导体器件的发光元件的 TFT。TFT7001、7011 和 7021 为各自包括氧化物半导体层的高度可靠的薄膜晶体管。或者,在像素中使用的薄膜晶体管(其在实施方案 1 和 3-5 中描述)可用作驱动 TFT 7001、7011 和 7021。

[0302] 为了从发光元件中提取光,需要阳极和阴极中的至少一个来透射光。薄膜晶体管和发光元件形成在衬底上。发光元件可具有经与衬底相对的表面提取光的顶部发射结构、经在衬底侧上的表面提取光的底部发射结构或经与衬底相对的表面和在衬底侧上的表面提取光的双重发射结构。像素结构可施用到具有这些发射结构中的任何结构的发光元件。

[0303] 将参考图 19A 描述具有顶部发射结构的发光元件。

[0304] 图 19A 为在用于驱动发光元件的 TFT 7001 为 n- 型且光从发光元件 7002 发射到阳极 7005 侧的情形下的像素的横截面图。在图 19A 中,发光元件 7002 的阴极 7003 与用于驱动发光元件的 TFT 7001 电连接,且发光层 7004 和阳极 7005 以该次序堆叠在阴极 7003 上。阴极 7003 可由多种导电材料制成,只要其具有低功函数且发射光即可。例如,优选使用 Ca、Al、CaF、MgAg、AlLi 等。发光层 7004 可作为单层或多个堆叠层形成。当发光层 7004 作为多个层形成时,发光层 7004 通过使电子注入层、电子传输层、发光层、空穴传输层和空穴注入层以该次序堆叠在阴极 7003 上来形成。应注意,不需要提供所有这些层。阳极 7005 由透光导电材料制成,所述透光导电材料诸如为包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下文称为 ITO)、氧化铟锌或向其中加入了加入氧化硅的氧化铟锡。

[0305] 此外,分区 7009 提供在阴极 7003 与相邻像素的阴极之间,以覆盖其各自的端部。分区 7009 使用有机树脂膜(诸如聚酰亚胺、丙烯酸树脂、聚酰胺或环氧树脂)、无机绝缘膜或聚硅氧烷形成。特别优选分区 7009 使用感光树脂材料形成,以使分区 7009 的侧壁形成具有连续曲率的倾斜表面。在将感光树脂材料用于分区 7009 的情形下,可省略形成抗蚀掩模的步骤。

[0306] 发光元件 7002 对应于发光层 7004 夹在阴极 7003 与阳极 7005 之间的区域。在图 19A 中说明的像素的情形下,如由箭头所示,光从发光元件 7002 发射到阳极 7005 侧。

[0307] 接着,将参考图 19B 描述具有底部发射结构的发光元件。图 19B 为在用于驱动发光元件的 TFT 7011 为 n- 型且光从发光元件 7012 发射到阴极 7013 侧的情形下的像素的横截面图。在图 19B 中,发光元件 7012 的阴极 7013 形成在与用于驱动发光元件的 TFT 7011 电连接的透光导电膜 7017 上,且发光层 7014 和阳极 7015 以该次序堆叠在阴极 7013 上。应注意,可形成反射或阻挡光的挡光膜 7016 以在阳极 7015 具有透光性质时覆盖阳极 7015。对于阴极 7013,如在图 19A 的情形下,可使用各种材料,只要其为具有低功函数的导电材料即可。应注意,形成阴极 7013 以具有可透射光的厚度(优选约 5-30nm)。例如,可将厚度为 20nm 的铝膜用作阴极 7013。与图 19A 的情形类似,发光层 7014 可使用单层或多个堆叠层形成。不需要阳极 7015 来透射光,但如在图 19A 的情形下,阳极 7015 可由透光导电材料制成。作为挡光膜 7016,例如,可使用发射光的金属;然而,其不限于金属膜。例如,还可使用

加入了黑色颜料的树脂。

[0308] 此外,分区 7019 提供在导电膜 7017 与相邻像素的导电膜之间,以覆盖其各自的端部。分区 7019 使用有机树脂膜(诸如聚酰亚胺、丙烯酸树脂、聚酰胺或环氧树脂)、无机绝缘膜或聚硅氧烷形成。特别优选分区 7019 使用感光树脂材料形成,以使分区 7019 的侧壁形成为具有连续曲率的倾斜表面。在将感光树脂材料用于分区 7019 的情形下,可省略形成抗蚀掩模的步骤。

[0309] 发光元件 7012 对应于发光层 7014 夹在阴极 7013 与阳极 7015 之间的区域。在图 19B 中说明的像素的情形下,如由箭头所示,光从发光元件 7012 发射到阴极 7013 侧。

[0310] 接着,将参考图 19C 描述具有双重发射结构的发光元件。在图 19C 中,发光元件 7022 的阴极 7023 形成在与用于驱动发光元件的 TFT 7021 电连接的透光导电膜 7027 上,且发光层 7024 和阳极 7025 以该次序堆叠在阴极 7023 上。如在图 19A 的情形下,阴极 7023 可由多种导电材料制成,只要其具有低功函数即可。应注意,形成阴极 7023 以具有可透射光的厚度。例如,可将厚度为 20nm 的铝膜用作阴极 7023。如在图 19A 中一样,发光层 7024 可形成单层或多个堆叠层。如在图 19A 的情形下,阳极 7025 可由透光导电材料制成。

[0311] 此外,分区 7029 提供在导电膜 7027 与相邻像素的导电膜之间,以覆盖其各自的端部。分区 7029 使用有机树脂膜(诸如聚酰亚胺、丙烯酸树脂、聚酰胺或环氧树脂)、无机绝缘膜或聚硅氧烷形成。特别优选分区 7029 使用感光树脂材料形成,以使分区 7029 的侧壁形成为具有连续曲率的倾斜表面。在将感光树脂材料用于分区 7029 的情形下,可省略形成抗蚀掩模的步骤。

[0312] 发光元件 7022 对应于阴极 7023、发光层 7024 和阳极 7025 相互重叠的区域。在图 19C 中说明的像素的情形下,如由箭头所示,光从发光元件 7022 发射到阳极 7025 侧和阴极 7023 侧。

[0313] 尽管在此将有机 EL 元件描述为发光元件,但还可提供作为发光元件的无机 EL 元件。

[0314] 描述如下实例,控制发光元件的驱动的薄膜晶体管(用于驱动发光元件的 TFT)与发光元件电连接;然而,可使用用于电流控制的 TFT 连接在用于驱动发光元件的 TFT 与发光元件之间的结构。

[0315] 应注意,半导体装置的结构不限于在图 19A-19C 中说明的那些结构且可基于根据本发明的技术的精神以多种方式改进。

[0316] 接着,将参考图 17A 和 17B 描述发光显示面板(也称作发光面板)(其为半导体装置的一个实施方案)的外观和横截面。图 17A 为面板的平面图,其中薄膜晶体管和发光元件用密封剂密封在第一衬底与第二衬底之间。图 17B 为沿图 17A 的线 H-I 取得的横截面图。

[0317] 提供密封剂 4505 以包围提供在第一衬底 4501 上的像素部分 4502、信号线驱动电路 4503a 和 4503b 及扫描线驱动电路 4504a 和 4504b。另外,第二衬底 4506 提供在像素部分 4502、信号线驱动电路 4503a 和 4503b 及扫描线驱动电路 4504a 和 4504b 上。因此,像素部分 4502、信号线驱动电路 4503a 和 4503b 及扫描线驱动电路 4504a 和 4504b 通过第一衬底 4501、密封剂 4505 和第二衬底 4506 与填料 4507 密封在一起。优选显示装置用保护膜(诸如,结合膜或紫外光可固化树脂膜)或具有高气密性和低脱气性的覆盖材料如此封装(密封),以使得显示装置不暴露于室外空气。

[0318] 形成在第一衬底 4501 上的像素部分 4502、信号线驱动电路 4503a 和 4503b 及扫描线驱动电路 4504a 和 4504b 各自包括多个薄膜晶体管,且在像素部分 4502 中包括的薄膜晶体管 4510 和在信号线驱动电路 4503a 中包括的薄膜晶体管 4509 例如在图 17B 中说明。

[0319] 作为薄膜晶体管 4509 和 4510,可使用在实施方案 3 中描述的包括氧化物半导体层的薄膜晶体管。或者,可利用在实施方案 1、2、4 和 5 中的任一个中描述的薄膜晶体管。薄膜晶体管 4509 和 4510 为 n- 通道薄膜晶体管。

[0320] 参考数字 4511 指示发光元件。作为在发光元件 4511 中包括的像素电极的第一电极层 4517 与薄膜晶体管 4510 的源电极层或漏电极层电连接。应注意,发光元件 4511 的结构不限于在实施方案 9 中描述的堆叠结构,其包括第一电极层 4517、电致发光层 4512 和第二电极层 4513。发光元件 4511 的结构可根据光从发光元件 4511 中提取的方向等视情况而改变。

[0321] 分区壁 4520 由有机树脂膜、无机绝缘膜或聚硅氧烷制成。特别优选分区壁 4520 由光敏材料形成以在第一电极层 4517 上具有开口,以使得开口的侧壁形成具有连续曲率的倾斜表面。

[0322] 电致发光层 4512 可作为单层或多个堆叠层形成。

[0323] 保护性膜可形成在第二电极层 4513 和分区壁 4520 上以防止氧气、氢气、水分、二氧化碳等进入发光元件 4511 中。作为保护性膜,可形成氮化硅膜、硅氮化物氧化物膜、DLC 膜等。

[0324] 多种信号和电位可从 FPC 4518a 和 4518b 供应到信号线驱动电路 4503a 和 4503b、扫描线驱动电路 4504a 和 4504b 或像素部分 4502。

[0325] 连接端电极 4515 由与发光元件 4511 中包括的第一电极层 4517 相同的导电膜形成,且端电极 4516 由与薄膜晶体管 4509 中包括的源电极层和漏电极层相同的导电膜形成。

[0326] 连接端电极 4515 经各向异性导电膜 4519 与 FPC 4518a 的终端电连接。

[0327] 位于光从发光元件 4511 中提取出的方向中的衬底需要具有透光性质。在该情形下,使用诸如玻璃板、塑料板、聚酯膜或丙烯酸树脂膜的透光材料。

[0328] 作为填料 4507,除了诸如氮气或氩气的惰性气体以外,可使用紫外光可固化树脂或热固性树脂。例如,可使用 PVC(聚氯乙烯)、丙烯酸树脂、聚酰亚胺、环氧树脂、硅氧烷树脂、PVB(聚乙烯醇缩丁醛)或 EVA(乙烯与乙酸乙烯酯的共聚物)。

[0329] 如果需要,可视情况在发光元件的发光表面上提供光学膜,诸如偏振板、圆形偏振板(包括椭圆形偏振板)、延迟板(四分之一波板或二分之一波板)或滤色器。另外,偏振板或圆形偏振板可提供有抗反射膜。例如,可进行防眩处理,由此反射光可通过在表面上的突出和凹陷漫射以减少眩光。

[0330] 信号线驱动电路 4503a 和 4503b 及扫描线驱动电路 4504a 和 4504b 可作为使用单晶半导体膜或多晶半导体膜形成的驱动电路安装在单独制备的衬底上。或者,仅扫描线驱动电路或其部分或者仅扫描线驱动电路或其部分可单独形成并安装。实施方案 9 不限于在图 17A 和图 17B 中说明的结构。

[0331] 通过以上方法,可制造作为半导体装置的高度可靠的发光显示装置(显示面板)。

[0332] 实施方案 9 可以与其他实施方案中所述的结构适当组合实施。

[0333] (实施方案 10)

[0334] 在本说明书中公开的半导体装置可施用到电子纸上。可将电子纸用于多种领域的电子仪器,只要它们可显示数据即可。例如,可将电子纸施用到电子书阅读器(电子图书)、告示、在诸如火车的车辆中的广告或诸如信用卡的各种卡片的显示。在图 27 中说明电子仪器的实例。

[0335] 图 27 说明电子书阅读器 2700 的实例。例如,电子书阅读器 2700 包括外壳 2701 和外壳 2703。外壳 2701 和外壳 2703 与铰链 2711 组合,以使得电子书阅读器 2700 可用作铰链 2711 打开和闭合。利用这一结构,电子书阅读器 2700 可如纸书一样操作。

[0336] 显示部分 2705 和显示部分 2707 分别并入外壳 2701 和外壳 2703 中。显示部分 2705 和显示部分 2707 可显示一种图像或不同图像。在显示部分 2705 和显示部分 2707 显示不同图像的情形下,例如文字可显示在右侧的显示部分(在图 27 中的显示部分 2705)上且图形可显示在左侧的显示部分(在图 27 中的显示部分 2707)上。

[0337] 图 27 说明如下实例,其中外壳 2701 提供有操作部分等。例如,外壳 2701 提供有电源开关 2721、操作键 2723、扬声器 2725 等。利用操作键 2723,可翻页。应注意,键盘、触控装置等可与外壳的显示部分提供在同一表面上。另外,可在外壳的背面或侧面提供外接终端(耳机终端、USB 终端、可与诸如 AC 整流器和 USB 电缆的各种电缆连接的终端等)、记录介质插入部分等。此外,电子书阅读器 2700 可具有电子词典的功能。

[0338] 电子书阅读器 2700 可具有能够无线发送和接收数据的构造。通过无线通信,可从电子图书服务器购买并下载所需图书资料等。

[0339] (实施方案 11)

[0340] 可将本说明书中公开的半导体装置施用到多种电子仪器(包括娱乐机)。电子仪器的实例有电视机(也称作电视或电视接收机)、计算机等的监视器、诸如数字照相机或数字视频照相机的照相机、数字相框、蜂窝式电话(也称作移动电话或移动电话装置)、便携式游戏机、便携式信息终端、音频复制装置、诸如 pachinko 机的大型游戏机等

[0341] 图 28A 说明电视机 9600 的实例。在电视机 9600 中,显示部分 9603 并入外壳 9601 中。图像可显示在显示部分 9603 上。在此,外壳 9601 由台座 9605 支撑。

[0342] 电视机 9600 可用外壳 9601 的操作开关或单独的遥控器 9610 操作。通道和体积可用遥控器 9610 的操作键 9609 控制,以便可控制显示部分 9603 上显示的图像。此外,遥控器 9610 可提供有助于显示从遥控器 9610 输出的数据的显示部分 9607。

[0343] 应注意到,电视机 9600 提供有接收器、调制解调器等。利用所述接收器,可接收普通电视广播。此外,当电视机 9600 经调制解调器通过有线或无线连接连接到通信网络时,可进行单路(从发送器到接收器)或双路(在发送器与接收器之间或在接收器之间)数据通信。

[0344] 图 28B 说明数字相框 9700 的实例。例如,在数字相框 9700 中,显示部分 9703 并入外壳 9701 中。各种图像可显示在显示部分 9703 上。例如,显示部分 9703 可通过数字照相机等摄影的图像的数据以起到正常相框的作用。

[0345] 应注意,数字相框 9700 提供有操作部分、外接部分(USB 终端、可与诸如 USB 电缆的各种电缆连接的终端等)、记录介质插入部分等。尽管它们可与显示部分提供在同一表面上,但优选提供在数字相框 9700 的图案的侧面或背面上。例如,将通过数字照相机摄影的图像的记忆存储数据插入数字相框的记录介质插入部分中,由此图像数据可下载并显示在

显示部分 9703 上。

[0346] 数字相框 9700 可具有能够无线发送和接收数据的构造。通过无线通信,可下载所需图像数据以便显示。

[0347] 图 29A 说明便携式娱乐机,其包括两个外壳:外壳 9881 和外壳 9891。外壳 9881 和 9891 与连接部分 9893 连接以便打开和闭合。显示部分 9882 和显示部分 9883 分别并入外壳 9881 和外壳 9891 中。另外,在图 29A 中说明的便携式娱乐机包括扬声器部分 9884、记录介质插入部分 9886、LED 灯 9890、输入设备(操作键 9885、连接终端 9887、传感器 9888(具有测量力、位移、位置、速度、加速度、角速度、转动频率、距离、光、液体、磁力、温度、化学物质、声音、时间、硬度、电场、电流、电压、电功率、辐射、流速、湿度、梯度、振幅、气味或红外线的功能的传感器)和扩音器 9889)等。不用说,便携式娱乐机的结构不限于以上结构,且可使用提供有至少本说明书中公开的半导体装置的其他结构。所述便携式娱乐机视情况可包括其他辅助设备。在图 29A 中说明的便携式娱乐机具有读取在记录介质中存储的程序或数据以将其显示在显示部分上的功能和通过无线通信与另一便携式娱乐机共享信息的功能。应注意,在图 29A 中说明的便携式娱乐机可具有不限于以上功能的各种功能。

[0348] 图 29B 说明自动贩卖机 9900 的实例,其为大型娱乐机。在自动贩卖机 9900 中,显示部分 9903 并入外壳 9901 中。另外,自动贩卖机 9900 包括诸如起动机或停止开关的操作设备、投币孔、扬声器等。不用说自动贩卖机 9900 的结构不限于以上结构,且可使用提供有至少本说明书中公开的半导体装置的其他结构。自动贩卖机 9900 可视情况包括其他辅助设备。

[0349] 图 30A 为说明便携式计算机的实例的透视图。

[0350] 在图 30A 的便携式计算机中,具有显示部分 9303 的顶部外壳 9301 和具有键盘 9304 的底部外壳 9302 可通过闭合连接顶部外壳 9301 与底部外壳 9302 的铰链单元互相重叠。图 30A 的便携式计算机可便于携带,且在使用用于输入的键盘的情形下,打开铰链单元且使用者可注视显示部分 9303 输入。

[0351] 除了键盘 9304 以外,底部外壳 9302 包括可用其进行输入的触控装置 9306。此外,当显示部分 9303 为触摸输入面板时,输入可通过触摸显示部分的一部分进行。底部外壳 9302 包括算术功能部分,诸如 CPU 或硬盘。另外,底部外壳 9302 包括另一装置,例如符合 USB 的通讯标准的电信电缆插入其中的外接孔口 9305。

[0352] 包括显示部分 9307 且可通过向顶部外壳 9301 内部滑动而在其中保持显示部分 9307 的顶部外壳 9301 可具有大显示屏幕。另外,使用者可调节可保持在顶部外壳 9301 中的显示部分 9307 的屏幕的定向。当可保持在顶部外壳 9301 中的显示部分 9307 为触摸输入面板时,可通过触摸可保持在顶部外壳 9301 中的显示部分 9307 的一部分进行输入。

[0353] 可保持在顶部外壳 9301 中的显示部分 9303 或显示部分 9307 使用液晶显示面板、发光显示面板如有机发光元件或无机发光元件等的图像显示装置形成。

[0354] 另外,图 30A 的便携式计算机可提供有接收器等且可接收电视广播以将图像显示在显示部分 9303 或显示部分 9307 上。当显示部分 9307 的整个屏幕通过滑动显示部分 9307 而暴露、同时连接顶部外壳 9301 和底部外壳 9302 的铰链单元保持闭合时,使用者可收看电视广播。在该情形下,铰链单元不打开且显示不在显示部分 9303 上进行。另外,仅起用于显示电视广播的电路。因此,功耗可最少,其可用于电池容量有限的便携式计算机。

[0355] 图 30B 为说明使用者可像手表一样佩戴在手腕上的蜂窝式电话的实例的透视图。

[0356] 该蜂窝式电话形成有以下各部分：主体，其包括至少包括电话功能的通信装置和电池；带部分 9204，其使得所述主体能够佩戴在手腕上；调节部分 9205，其用于调节固定在手腕上的带部分的固定；显示部分 9201；扬声器 9207；和扩音器 9208。

[0357] 另外，所述主体包括操作开关 9203。除了用作打开电源的开关、用于移位显示器的开关、用于通知起始采集图像的开关等以外，操作开关 9203 例如用作用以在按下开关时起始对于国际互联网的程序的按钮，且可使用各开关以对应各自的功能。

[0358] 对该蜂窝式电话的输入通过用手指或输入笔触碰显示部分 9201、操作操作开关 9203 或将语音输入扩音器 9208 来进行操作。应注意，在图 30B 中说明显示在显示部分 9201 上的所显示的按钮 9202。可通过用手指等触摸所显示的按钮 9202 进行输入。

[0359] 此外，所述主体包括照相机部分 9206，照相机部分 9206 包括具有将通过照相机镜头形成的目标的图像转换为电子图像信号的功能的摄像设备。应注意，不一定提供照相机部分。

[0360] 在图 30B 中说明的蜂窝式电话提供有电视广播等的接收器，且可通过接收电视广播将图像显示在显示部分 9201 上。另外，在图 30B 中说明的蜂窝式电话提供有记忆装置等，诸如记忆器，且可将电视广播记录在记忆器中。在图 30B 中说明的蜂窝式电话可具有检测定位信息的功能，诸如 GPS。

[0361] 将液晶显示面板、发光显示面板如有机发光元件或无机发光元件等的图像显示装置用作显示部分 9201。在图 30B 中说明的蜂窝式电话紧凑且重量轻且在图 30B 中说明的蜂窝式电话的电池容量有限。因此，优选将可用低功耗驱动的面板用作用于显示部分 9201 的显示装置。

[0362] 应注意，图 30B 说明佩戴在手腕上的电子设备；然而，该实施方案不限于此，只要使用便携式形状即可。

[0363] （实施例 1）

[0364] 在实施例 1 中，制造本发明的实施方案的薄膜晶体管且显示电特性评估的结果。

[0365] 将描述制造实施例 1 的薄膜晶体管的方法。厚度为 150nm 的氮化硅膜和厚度为 100nm 的氧氮化硅膜的堆叠层膜通过等离子体 CVD 方法作为基膜形成在玻璃衬底上。随后，厚度为 150nm 的钨膜通过溅射方法作为栅电极层形成在该氧氮化硅膜上。厚度为 100nm 的氧氮化硅膜通过等离子体 CVD 方法作为栅绝缘层形成在该栅电极层上。

[0366] 使用基于 In-Ga-Zn-O 的氧化物半导体靶 (In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1[mol%] 且 In : Ga : Zn = 1 : 1 : 0.5[at%]) 来形成厚度为 20nm 的氧化物半导体层。沉积条件如下设定：衬底与靶之间的距离为 100mm，压力为 0.2Pa，直流 (DC) 电源为 0.5kW，且气氛为氩气和氧气的混合气氛（氩气：氧气 = 30sccm : 20sccm 且氧气流量的比例为 40%）。

[0367] 作为源电极层和漏电极层，钛膜（100nm 厚）、铝膜（200nm 厚）和钛膜（100nm 厚）通过溅射方法堆叠在氧化物半导体层上。

[0368] 接着，将氧化物半导体层在 350℃ 下在大气气氛下加热 1 小时。

[0369] 首先，将在形成氧化物绝缘膜的反应室的压力降低到 1×10^{-3} Pa（降低压力所需要的时间为约 5 分钟）。随后，将其上形成了氧化物半导体层的衬底转移到压力已经降低的反

应室中。在将氮气引入反应室中历时 5 分钟且在 330℃ 下加热 5 分钟之后,降低反应室的压力(降低压力所需的时间为约 3 分钟)。将一氧化二氮(N_2O)引入反应室中且将反应室的压力调节到 22Pa。

[0370] 在已引入了一氧化二氮(N_2O)且引入了硅烷(SiH_4)的反应室中产生等离子体,以使得形成与氧化物半导体层接触的厚度为 300nm 的氧氮化硅膜,其为氧化物绝缘膜。将 SiH_4 和 N_2O ($SiH_4 : N_2O = 10sccm : 1200sccm$) 用作沉积气体。在产生等离子体时且在形成氧化物绝缘膜时,条件如下设定:反应室的压力为 22Pa;电功率为 30W;电源频率为 13.56MHz;且温度为 330℃。

[0371] 将为接触孔的开口形成在氧化物绝缘膜和栅绝缘层上,且随后将衬底在 350℃ 下在大气气氛下加热 1 小时。

[0372] 以该方式,形成实施例 1 的薄膜晶体管。应注意,在该薄膜晶体管中包括的氧化物半导体层具有 20 μm 的通道长度(L)和 20 μm 的通道宽度(W)。

[0373] 作为用于检查薄膜晶体管的可靠性的方法,有偏压-温度应力试验(在下文中,称为 BT 试验)。该 BT 试验为一类加速试验,且可在短时间内评估由长期使用引起的薄膜晶体管的特性的改变。在进行 BT 试验前后之间的薄膜晶体管的阈电压的差异为用于检查薄膜晶体管的可靠性的重要指数。因为在进行 BT 试验前后之间的阈电压之差较小,故薄膜晶体管具有较高可靠性。

[0374] 具体地讲,将其上形成了薄膜晶体管的衬底的温度(衬底温度)保持为恒定值,且同时将薄膜晶体管的源极和漏极设定到相同电位,在一定时间内将与源极和漏极不同的电位施加到薄膜晶体管的栅极上。可视情况根据试验目的确定衬底温度。施加到栅极的电位高于源极和漏极的电位的 BT 试验称为 +BT 试验,而施加到栅极的电位低于源极和漏极的电位的 BT 试验称为 -BT 试验。

[0375] BT 试验的试验强度可根据衬底温度、施加到栅绝缘膜的电场强度的强度和施加电场的时间确定。施加到栅绝缘膜的电场的强度根据通过栅极与源极和漏极之间的电位差除以栅绝缘膜的厚度得到的值确定。例如,在施加到厚度为 100nm 的栅绝缘膜的电场的强度调节到 2MV/cm 的情况下,可将电位差设定为 20V。

[0376] 将描述实施例 1 的薄膜晶体管的 BT 试验的结果。

[0377] 应注意到,电压是指两点的电位之差,且电位是指在静电场中在给定点处的单位电荷的静电能(电位能量)。应注意到,一般而言,一个点的电位与参考电位之差仅仅称为电位或电压,且在许多情形下电位和电压作为同义词使用。因此,在本说明书中,除非另有规定,否则电位可改述为电压,且电压可改述为电位。

[0378] +BT 试验和 -BT 试验二者都在下列条件下进行:衬底温度为 150℃;施加到栅绝缘膜的电场的强度为 2MV/cm;且施加时间为 1 小时。

[0379] 首先,描述 +BT 试验。为了测量将作为 BT 试验靶的薄膜晶体管的初始特性,衬底温度设定为 40℃ 且源极-漏极电压设定为 10V。因此,测量在 -20V 至 +20V 的源-漏电压(在下文中,称为栅电压)、即 V_g - I_d 特性的改变下源-漏电流(在下文中,称为漏电流)的改变。尽管为了防范样品表面的吸湿而将衬底温度设定为 40℃,但衬底温度可为室温(25℃),只要没有特别的问题即可。

[0380] 接着,在将衬底温度升高到 150℃ 之后,将薄膜晶体管的源极和漏极的电位设定为

0V。随后,施加电压,从而施加到栅绝缘膜的电场的强度为 2MV/cm。因为在该薄膜晶体管中栅绝缘膜的厚度为 100nm,所以将 +20V 的电压施加到栅极并将该电压保持 1 小时。在此,电压施加时间为 1 小时;然而,视情况可根据目的确定该时间。

[0381] 接着,将衬底温度降低到 40℃,同时在栅极与源极和漏极之间施加电压。此时,如果在衬底温度完全降低之前停止施加电压,在 BT 试验期间已被损坏的薄膜晶体管由于余热而被修复;因此,在施加电压的同时,必须降低衬底温度。在衬底温度降到 40℃之后,停止施加电压。严格地讲,温度降低时间必须加到电压施加时间中;然而,因为温度实际上能够在数分钟内降低到 40℃,这被视为误差范围,且温度降低时间未加到施加时间中。

[0382] 随后,在与初始特性测量相同的条件下测量 V_g - I_d 特性,且在 +BT 试验之后得到 V_g - I_d 特性。

[0383] 接着,说明 -BT 试验。-BT 试验用与 +BT 试验几乎相同的方式进行;然而,-BT 试验与 +BT 试验的不同之处在于在衬底温度增加到 150℃之后,施加到栅极的电压为 -20V。

[0384] 应注意,在 BT 试验中,重要的是对未曾经受 BT 试验的薄膜晶体管进行 BT 试验。例如,当对已经经受 +BT 试验的薄膜晶体管进行 -BT 试验时,由于预先进行的 +BT 试验的影响,不能正确评估 -BT 试验的结果。此外,上述情况对于在对已经受 +BT 试验的薄膜晶体管进行 +BT 试验的情形也适用。应注意到,考虑到这些影响,上述情况不适于有意重复 BT 试验的情况。

[0385] 图 25A 和图 25B 显示 BT 试验前后薄膜晶体管的 V_g - I_d 特性。在图 25A 和图 25B 二者中,横轴指示栅电压 (V_g) 且纵轴指示以对数标度的漏电流 (I_d)。

[0386] 图 25A 显示 +BT 试验前后薄膜晶体管的 V_g - I_d 特性。初始特性的曲线 811 表示 +BT 试验之前薄膜晶体管的 V_g - I_d 特性且曲线 812 表示 +BT 试验之后薄膜晶体管的 V_g - I_d 特性。

[0387] 图 25B 显示 -BT 试验前后薄膜晶体管的 V_g - I_d 特性。初始特性的曲线 821 表示 -BT 试验之前薄膜晶体管的 V_g - I_d 特性且曲线 822 表示 -BT 试验之后薄膜晶体管的 V_g - I_d 特性。

[0388] 应注意,在实施例 1 的薄膜晶体管的 V_g - I_d 特性测量中, I_d 变得小于或等于在断开区域(其中 V_g 为约 0V 至对于大多数 n- 通道晶体管为负值的区域)中测量装置的检测极限。因此,图 25A 和图 25B 没有显示其中 I_d 小于或等于测量装置的检测极限的部分。

[0389] 在图 25A 中,与初始特性的曲线 811 相比,曲线 812 的阈电压在正方向上位移,且在图 25B 中,与初始特性的曲线 821 相比,曲线 822 在反方向上位移。因此,由于在两种 BT 试验中阈电压的变化量小至数伏特,故在 BT 试验中证实实施例 1 的薄膜晶体管为具有高可靠性的薄膜晶体管。

[0390] (实施例 2)

[0391] 在实施例 2 中,显示使用模型在实施方案 1 中从引入含有氧元素的气体的步骤(步骤 8005 或步骤 8105)到形成氧化物绝缘膜的步骤(步骤 8008 或步骤 8108)的计算结果。

[0392] 首先,显示通过计算将氧气用作含有氧元素的气体的实施例获得的结果。氧化物半导体层与氧分子 (O_2) 之间的相互作用使用第一原理 MD(分子动力学)方法计算。作为用于计算的软件,使用由 Accelrys Software Inc. 生产的 CASTEP,且计算条件如下:使用 NVT 系综(NVTensemble);时间为 0.5 皮秒;且温度为 350℃。使用利用平面波基赝势法的密度

泛函理论。作为泛函数 (functional), 使用 GGAPBE。

[0393] 在此, 作为 IGZO 表面的计算模型, 使用由 12 个 In 原子、12 个 Ga 原子、12 个 Zn 原子和 46 个 O 原子形成的非晶结构。用于计算的原始晶格为 $1.02\text{nm} \times 1.02\text{nm} \times 2.06\text{nm}$ 的长方体。将周期边界条件用作边界。下文将加了氧分子 (O_2) 或一氧化二氮 (N_2O) 分子的模型用作以上表面模型。

[0394] 图 10A 显示排列在氧化物半导体层表面上或氧化物半导体层表面附近的氧分子 (O_2) 的初始状态, 且图 10B 显示在 0.5 皮秒之后氧分子的位置。在图 10B 中, 氧分子 (O_2) 吸附到在氧化物半导体层表面上的金属上。氧分子 (O_2) 的共价键在 0.5 皮秒内没有损失。

[0395] 然而, 氧原子在热力学上比在氧-氧键裂解的状态下更稳定且所得氧原子比氧原子彼此结合的状态更接近金属原子。另外, 使用氧化物半导体层的密度测量值制备的结构模型显示在氧化物半导体层内的空间太窄而不能在保持共价键的情况下扩散氧分子 (O_2)。因此, 氧原子在热力学平衡的状态下在氧化物半导体层内扩散。

[0396] 接着, 显示通过计算将氧化氮用作含有氧元素的气体的实施例获得的结果。氧化氮 (一氧化二氮 (N_2O)) 分子排列在氧化物半导体层的表面附近, 且氧化物半导体层与氮氧化物 (一氧化二氮 (N_2O)) 分子之间的相互作用使用第一原理 MD 方法计算。计算条件如下: 使用 NVT 系综; 时间为 0.5 皮秒; 且温度为 350°C 。

[0397] 图 11A 显示排列在氧化物半导体层表面上或氧化物半导体层表面附近的 N_2O 分子的初始状态, 且图 11B 显示在 0.5 皮秒之后 N_2O 分子的位置。在图 11B 中, N_2O 分子分解且在氧化物半导体层表面附近观察到氮分子。另外, 来源于 N_2O 分子的氧原子扩散到氧化物半导体层中。

[0398] N_2O 分子的结构示于图 12A 和图 12B 中。在所述 N_2O 分子中, 如在图 12A 中所示, 氮原子和氧原子线性排列。如在图 12B 中所示, 在共振状态下线性排列的氮原子和氧原子彼此结合。

[0399] 接着, 计算在包括具有高氧密度的区域和具有低氧密度的区域的氧化物半导体层中的关于加热处理的氧扩散现象。结果参考图 13 和图 14 描述。在此, 作为用于计算的软件, 使用由 Fujitsu Limited 制造的 Materials Explorer 5.0。

[0400] 图 13 显示用于计算的氧化物半导体层的模型。氧化物半导体层 701 具有具有低氧密度的层 703 和具有高氧密度的层 705 的堆叠层状结构。

[0401] 在此, 作为具有低氧密度的层 703, 使用由 15 个 In 原子、15 个 Ga 原子、15 个 Zn 原子和 54 个 O 原子形成的非晶结构。

[0402] 作为具有高氧密度的层 705, 使用由 15 个 In 原子、15 个 Ga 原子、15 个 Zn 原子和 66 个 O 原子形成的非晶结构。

[0403] 氧化物半导体层 701 的密度设定为 $5.9\text{g}/\text{cm}^3$ 。

[0404] 接着, 使用 NVT 系综在 250°C 下对氧化物半导体层 701 进行传统 MD (分子动力学) 计算。将时间步长宽度和总计算时间分别设定为 0.2fs 和 200ps。将 Born-Mayer-Huggins 电位施加到金属-氧键和氧-氧键。固定氧化物半导体层 701 的上端和下端的原子。

[0405] 计算结果示于图 14 中。具有低氧密度的层 703 由在 z 轴坐标中的 0nm-1.15nm 的范围表示且具有高氧密度的层 705 由在 z 轴坐标中 1.15nm-2.3nm 的范围表示。在 MD 计算之前氧的密度分布由实线 707 表示, 且在 MD 计算之后氧的密度分布由虚线 709 表示。

[0406] 在实线 707 中,具有高氧密度的层 705 的氧密度高于在具有低氧密度的层 703 与具有高氧密度的层 705 之间的界面的氧密度。另一方面,如由虚线 709 所展示,具有低氧密度的层 703 和具有高氧密度的层 705 具有几乎相同的氧密度。

[0407] 因此,在如在具有低氧密度的层 703 和具有高氧密度的层 705 的堆叠层中密度分布不均匀的情形下,发现氧密度通过加热处理变均匀。

[0408] 换句话说,如在实施方案 1 中所示,由于通过使氧化物绝缘膜形成在氧化物半导体层上,在氧化物半导体层与氧化物绝缘层之间的界面处的氧密度增加,氧扩散到氧化物半导体层中且氧化物半导体层的电阻增加。因此,可改善薄膜晶体管的可靠性。

[0409] 如在实施例 2 中所示,在氧吸附到氧化物半导体层表面上之后,氧与在氧化物半导体层中所含的金属离子 (Me) 离子结合且以氧原子的状态在氧化物半导体层内扩散 (参见图 15A-15C)。

[0410] 本申请基于 2009 年 7 月 3 日向日本专利局提交的日本专利申请 2009-159065 号,其全部内容通过引用结合到本文中。

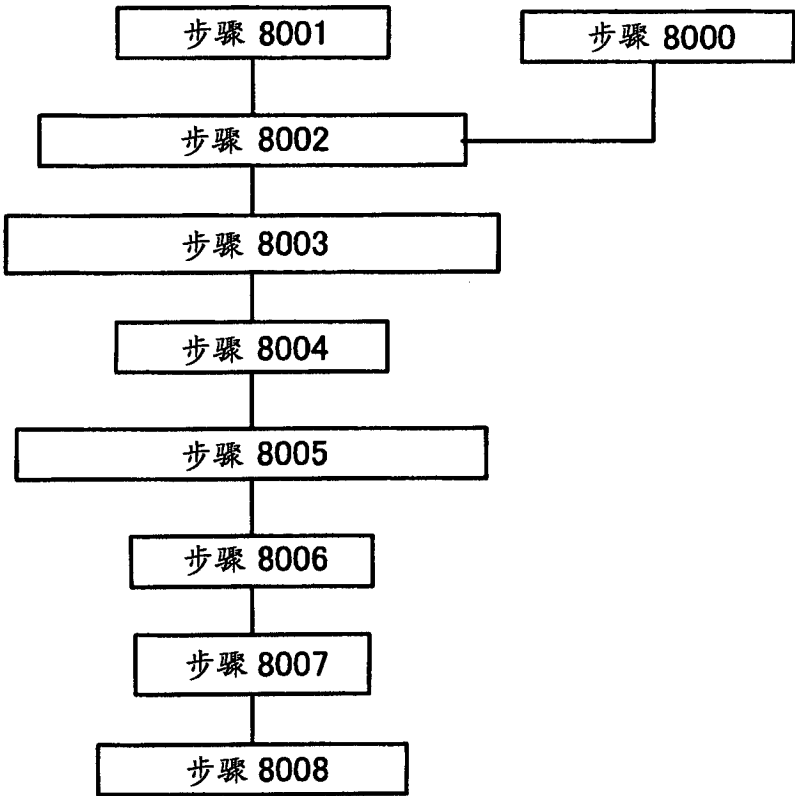


图 1

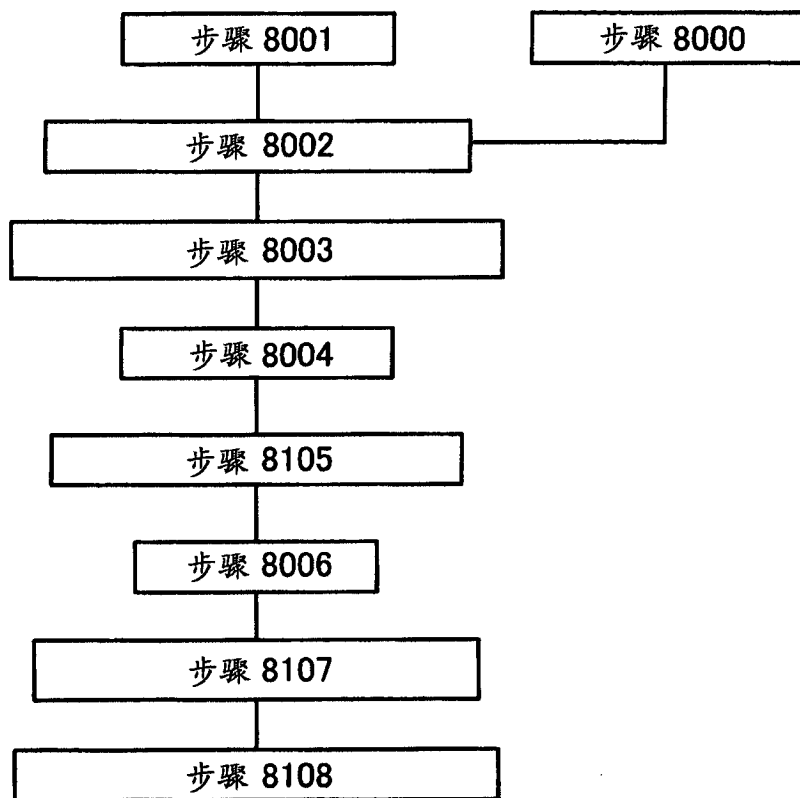


图 2

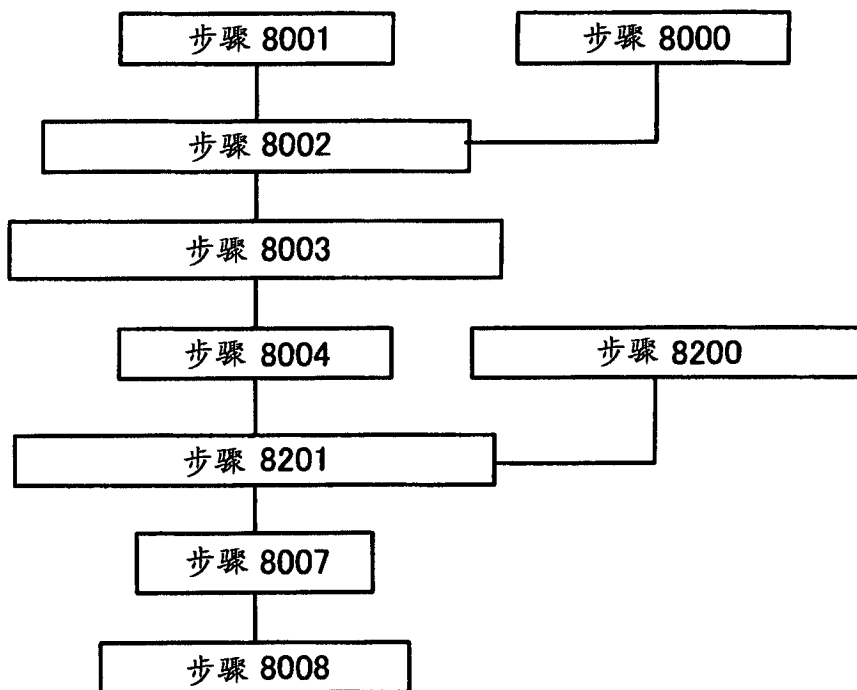


图 3

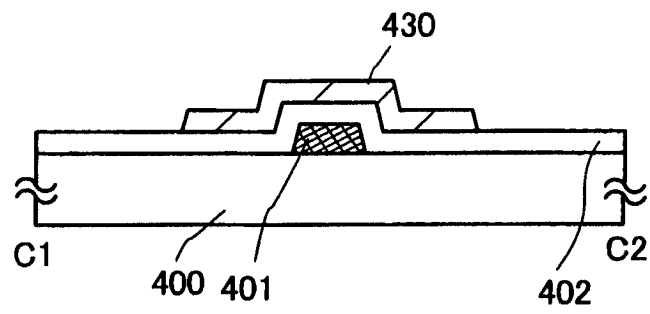


图 4A

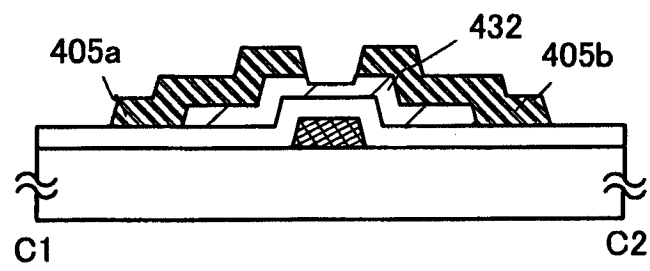


图 4B

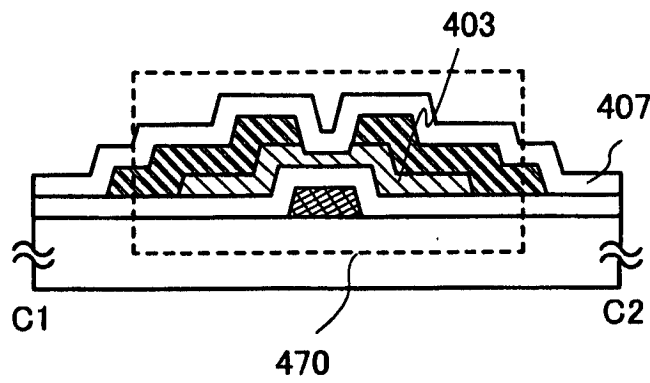


图 4C

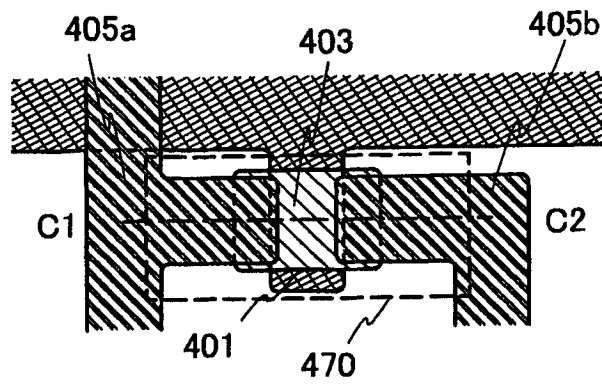


图 5A

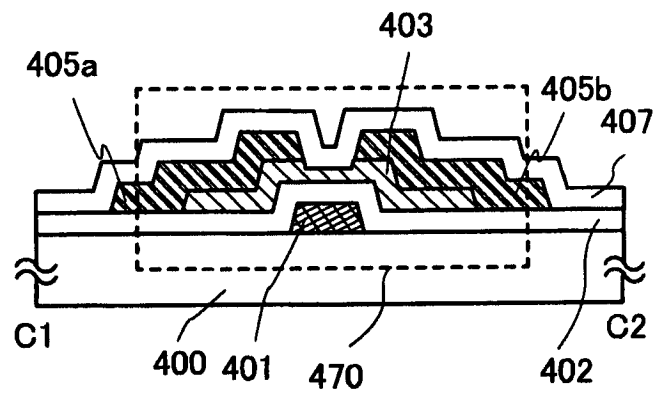
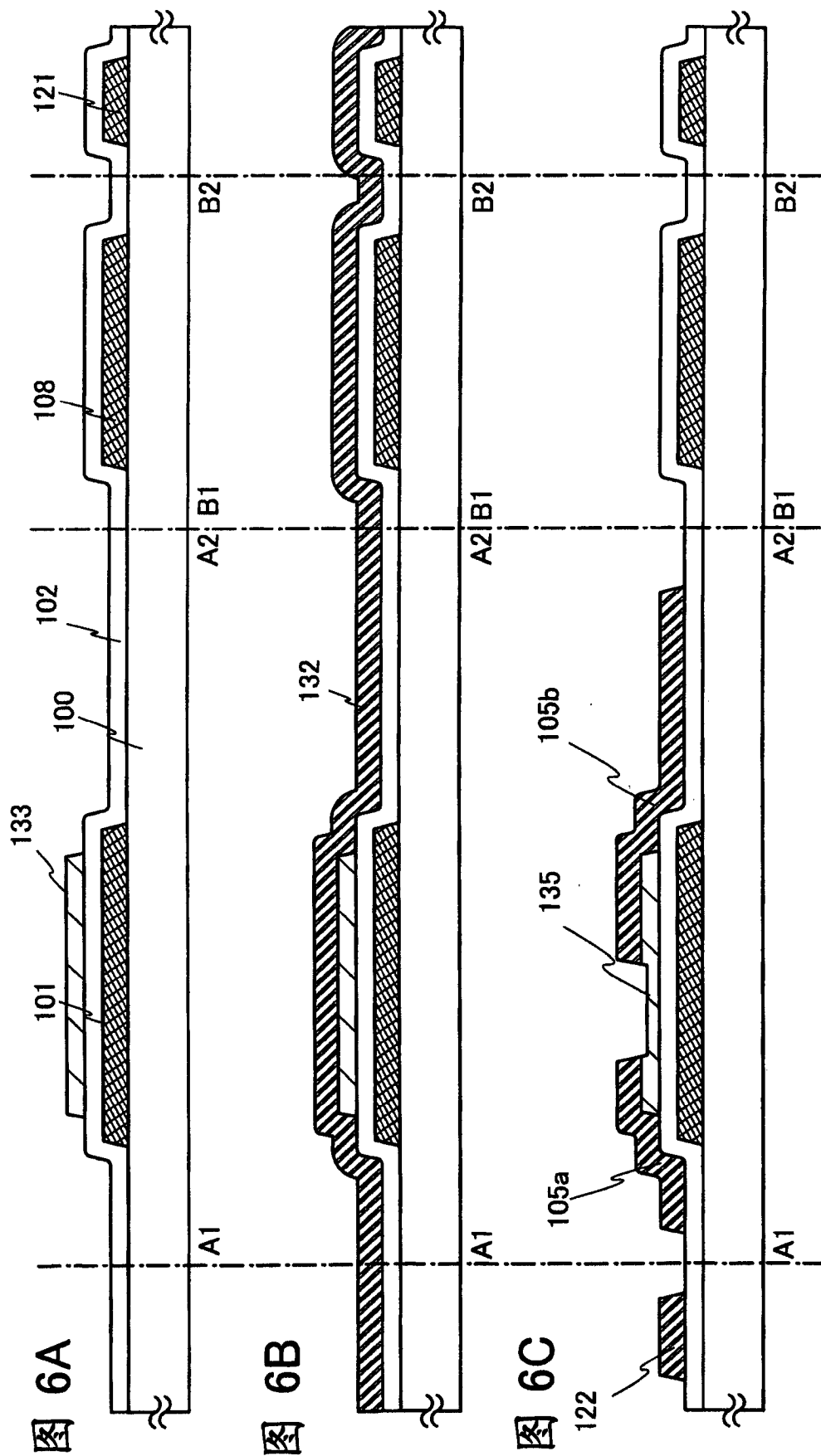
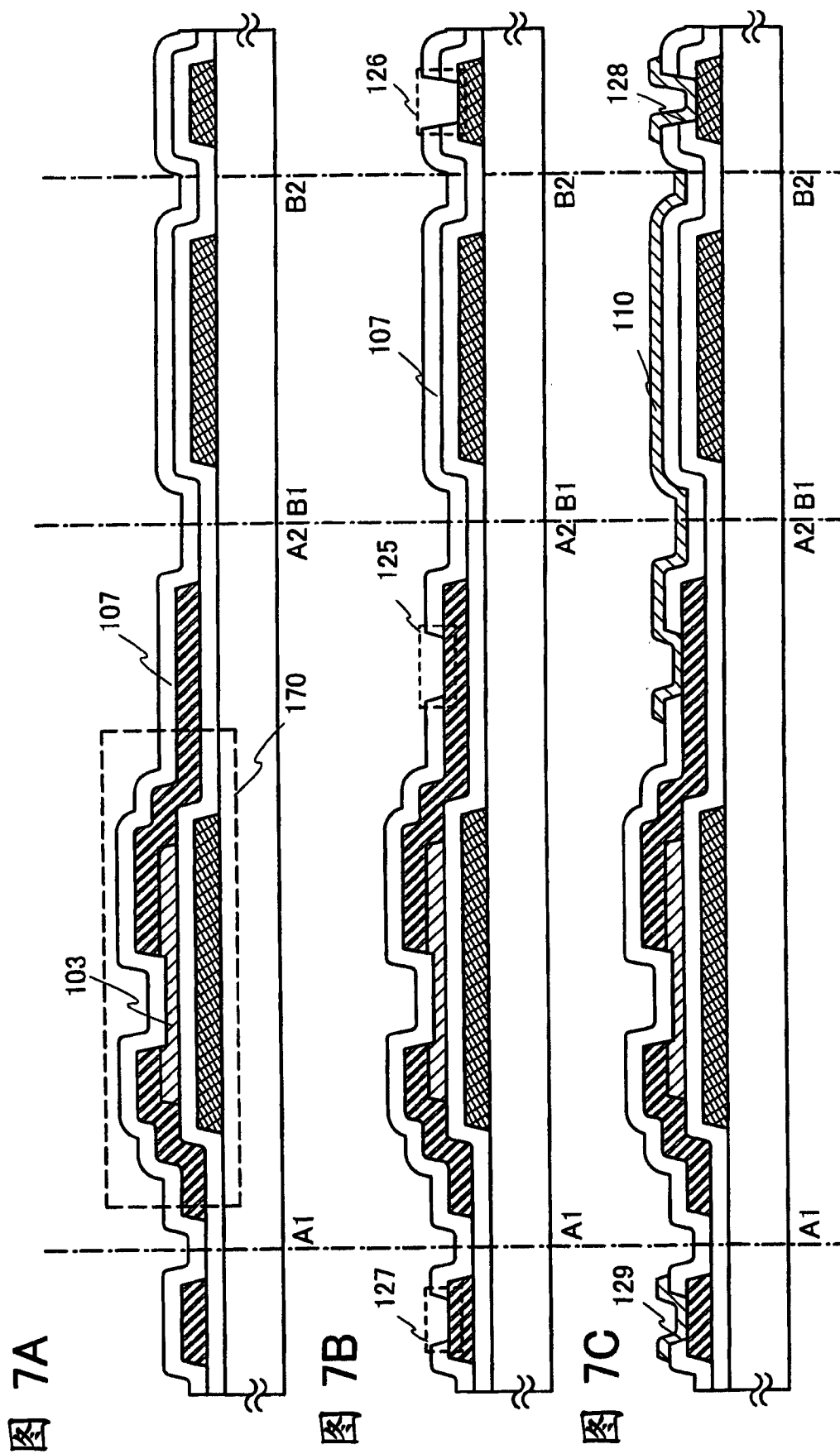


图 5B





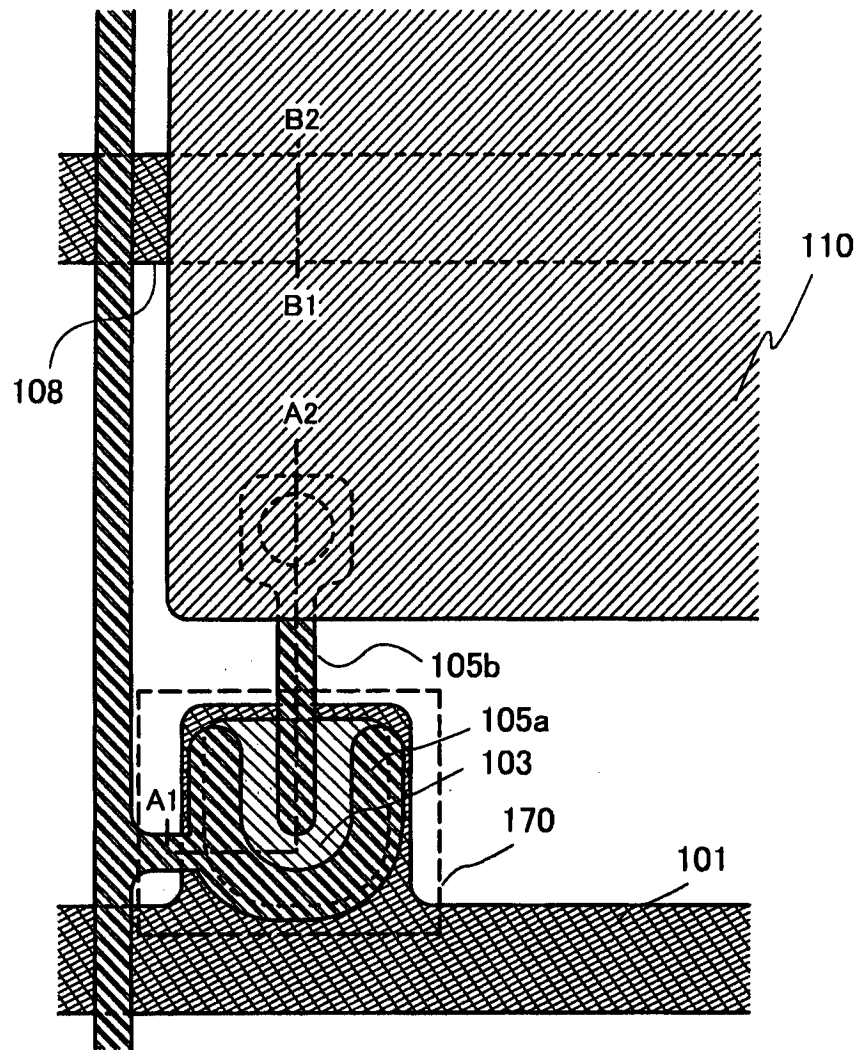


图 8

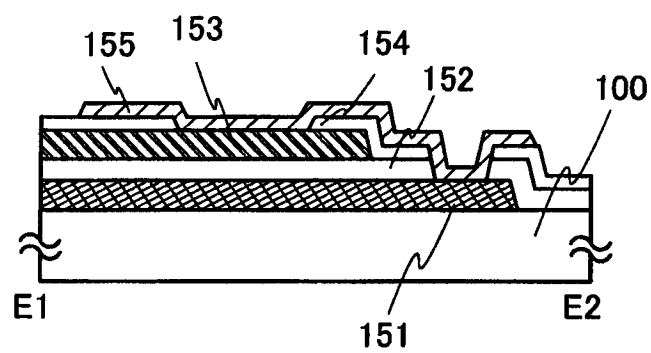


图 9A1

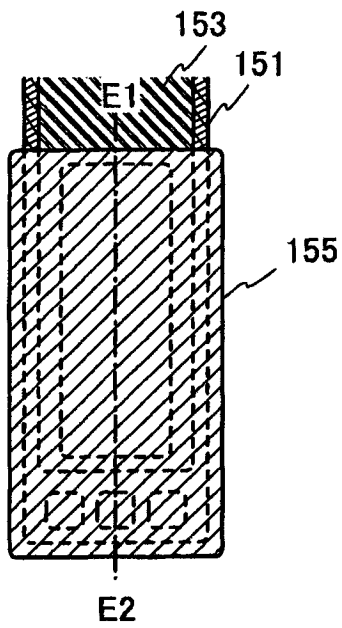


图 9A2

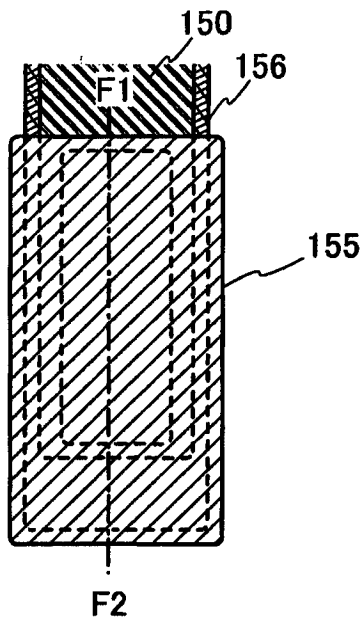


图 9B2

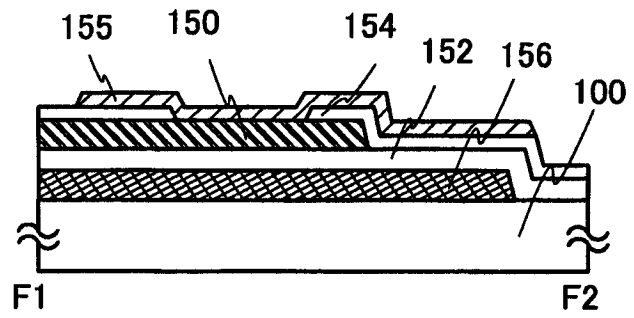


图 9B1

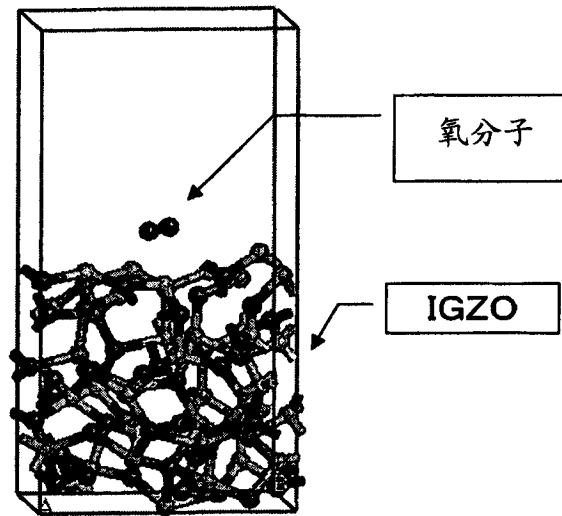


图 10A

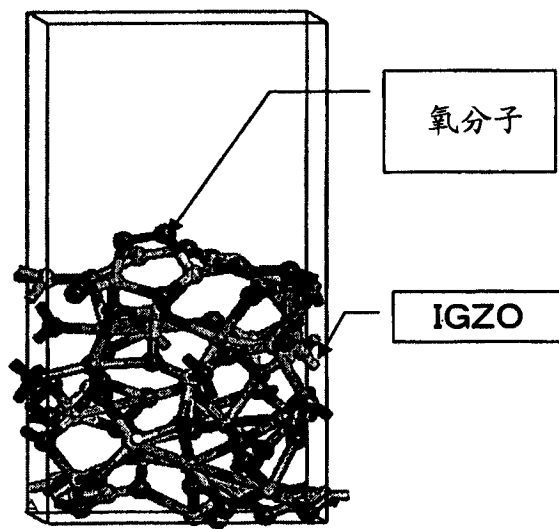


图 10B

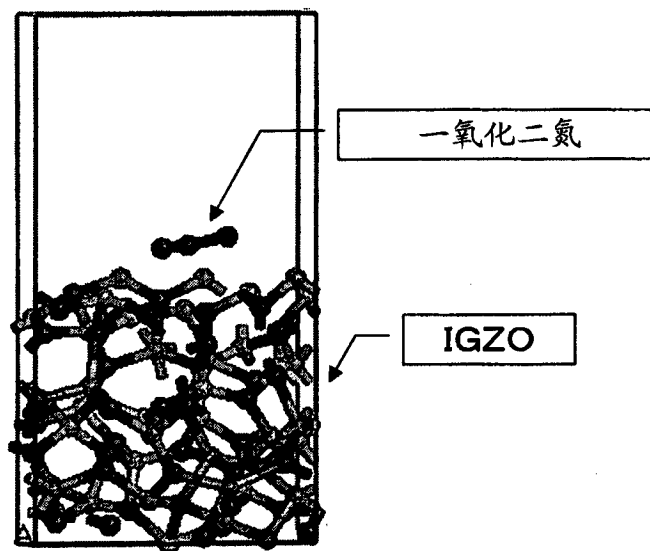


图 11A

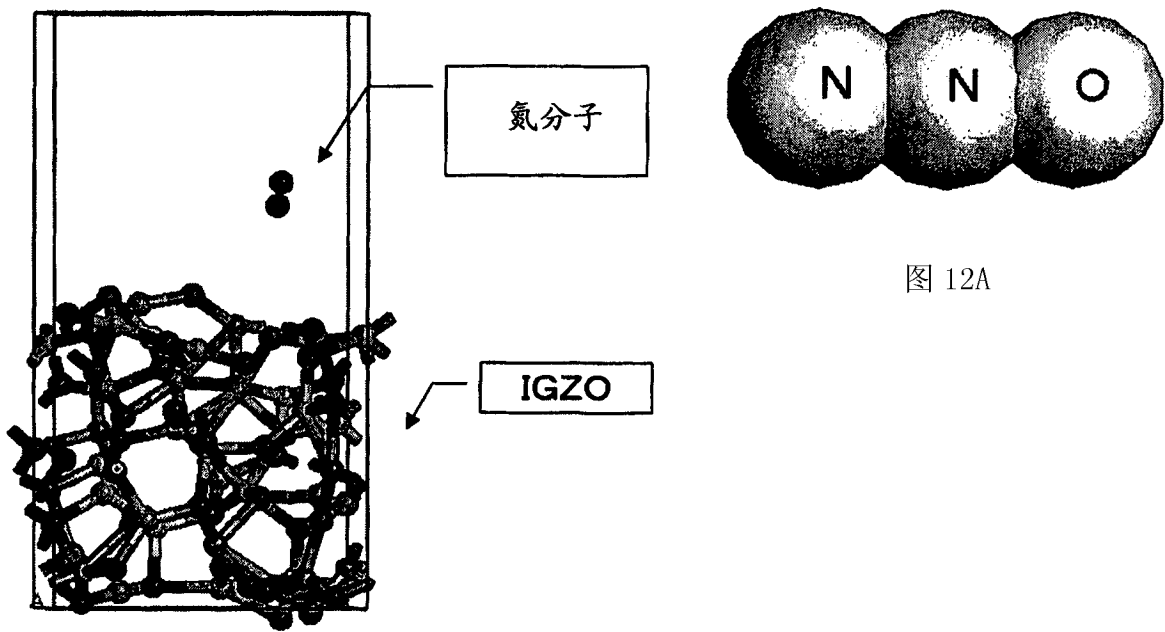


图 12A

图 11B

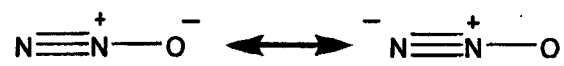


图 12B

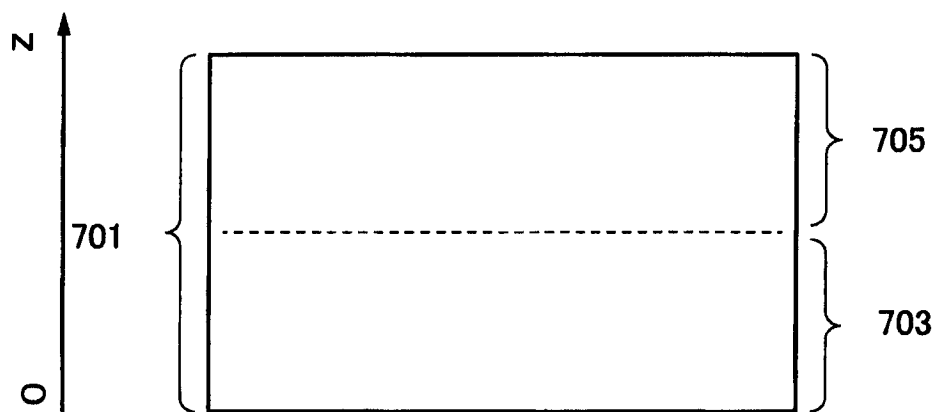


图 13

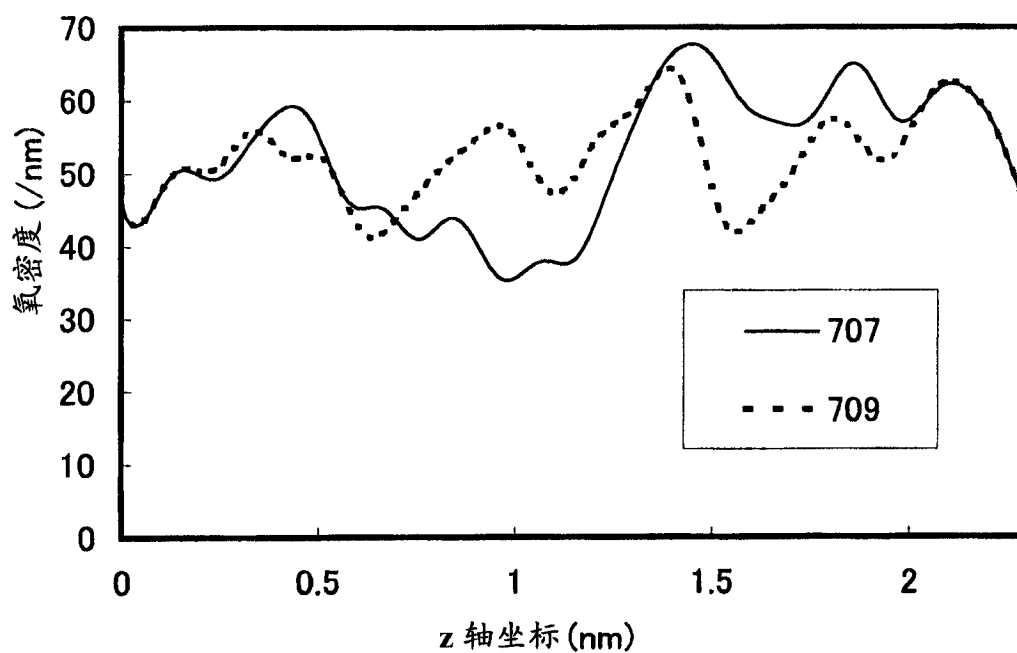


图 14

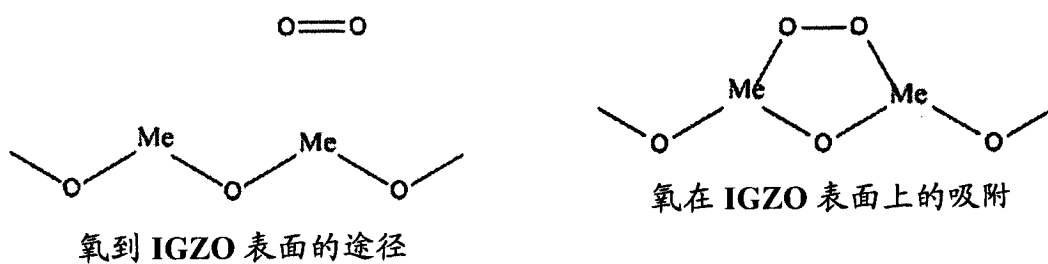


图 15A

图 15B

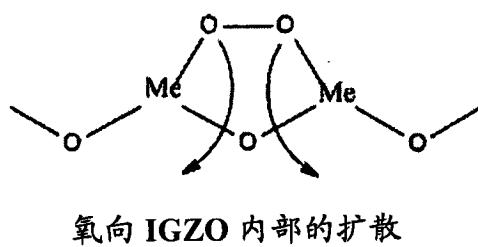


图 15C

图 16A1

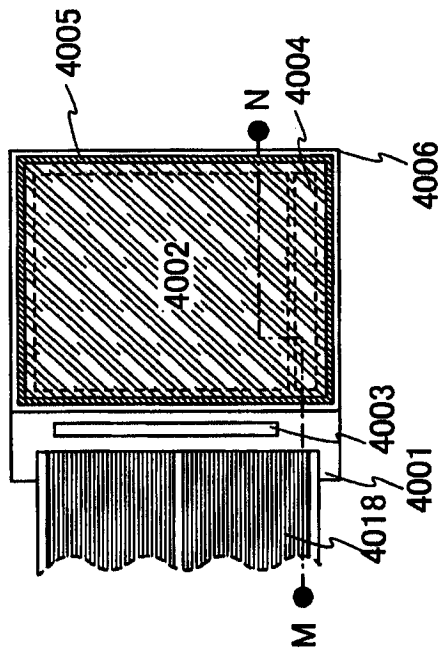


図 16A2

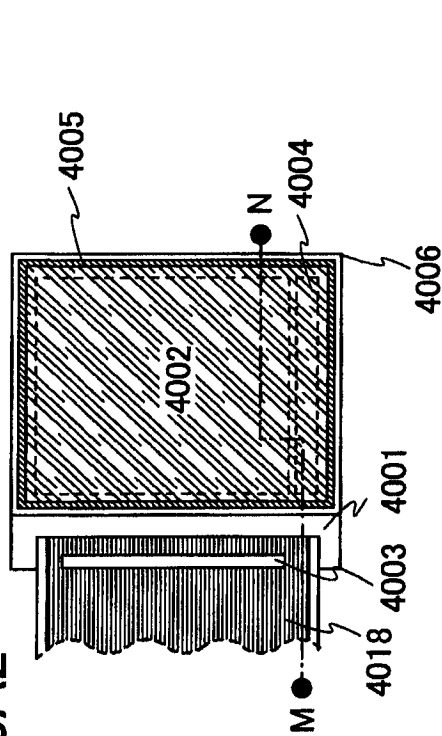
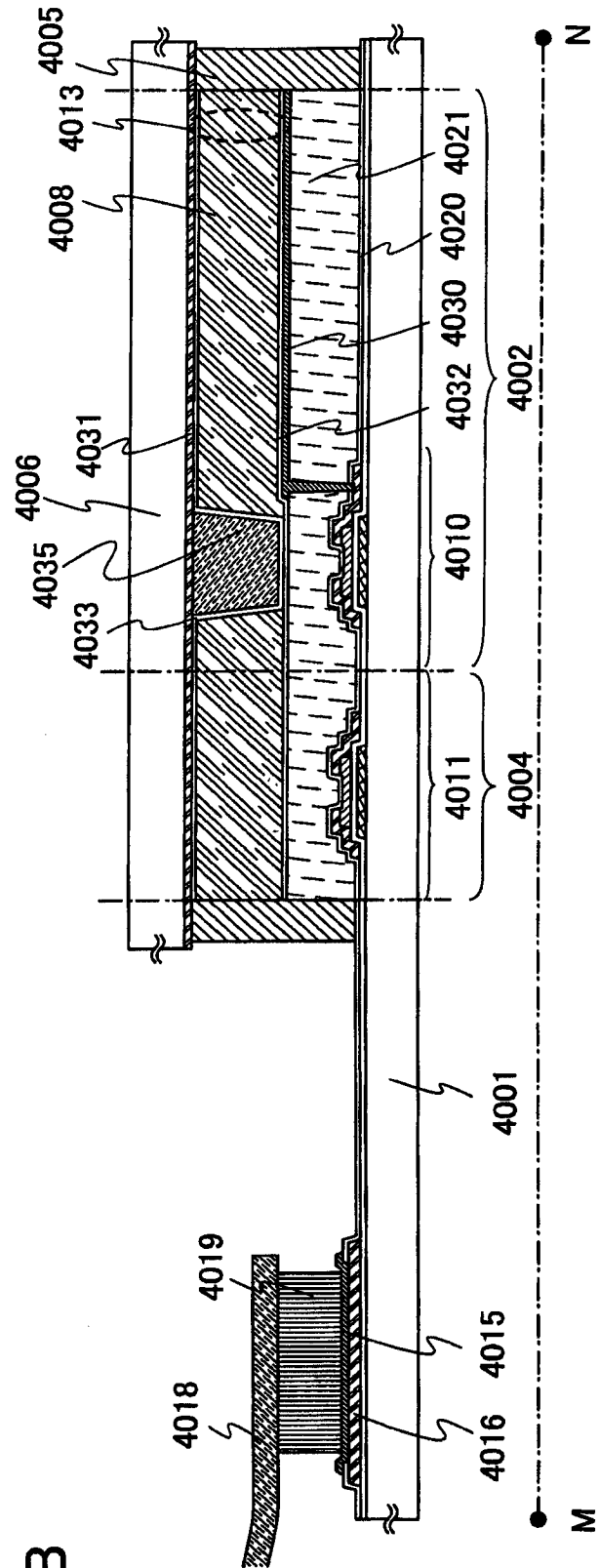


图 16B



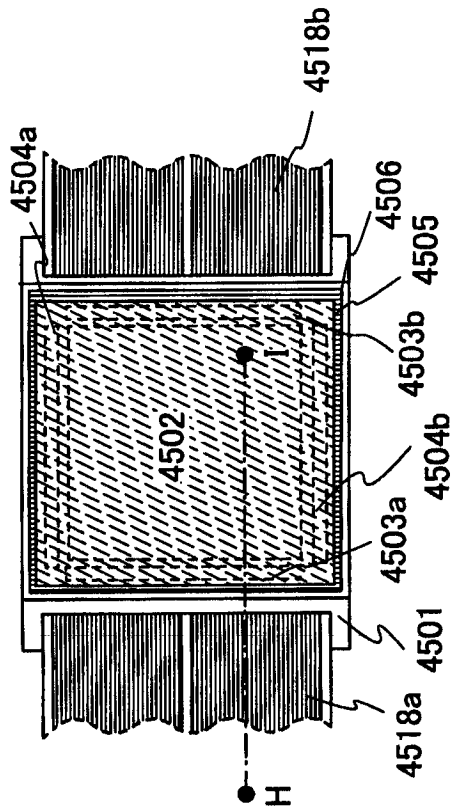


图 17A

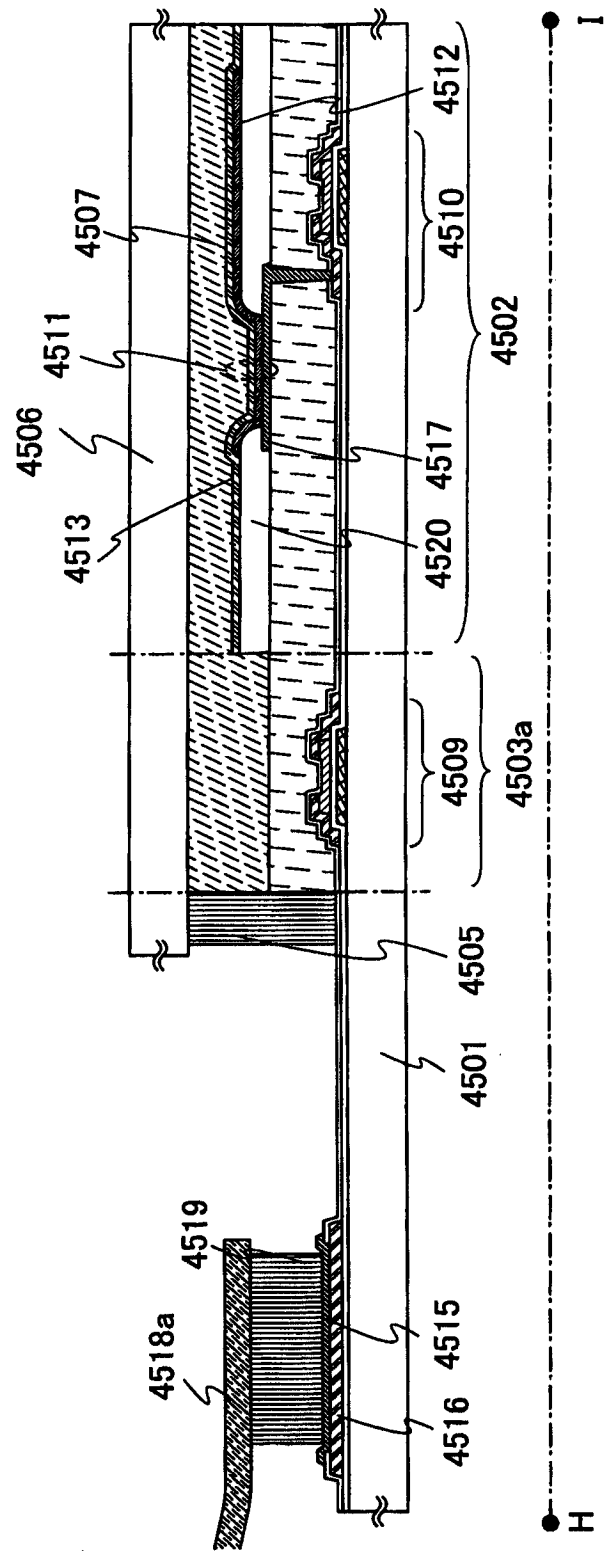


图 17B

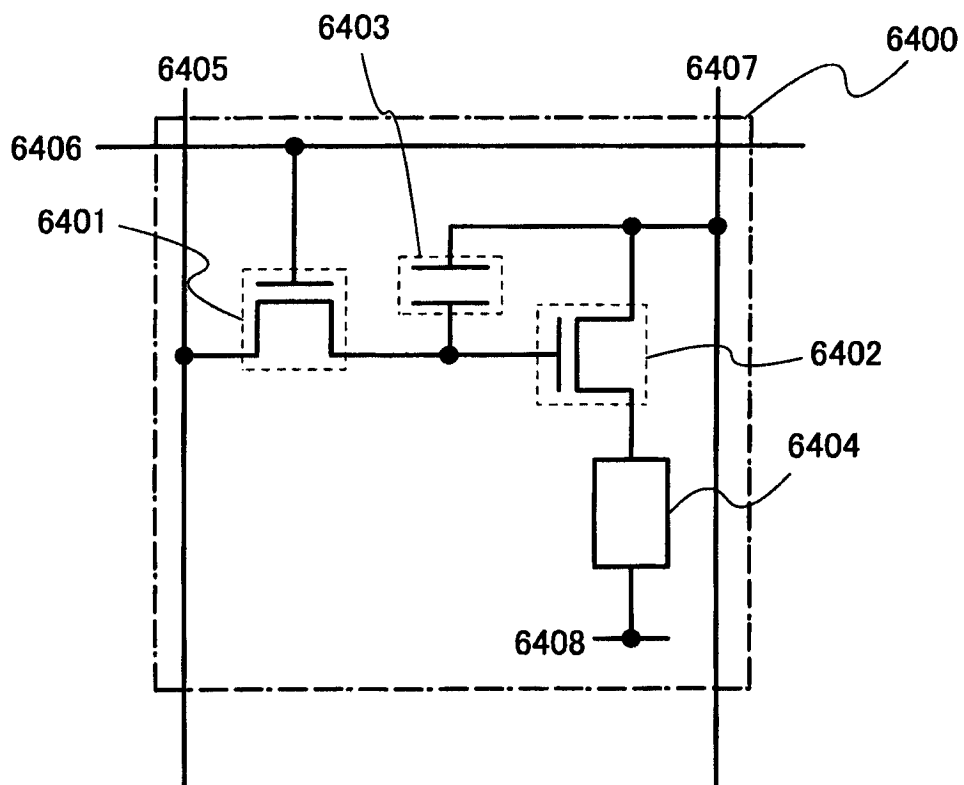


图 18

图 19A

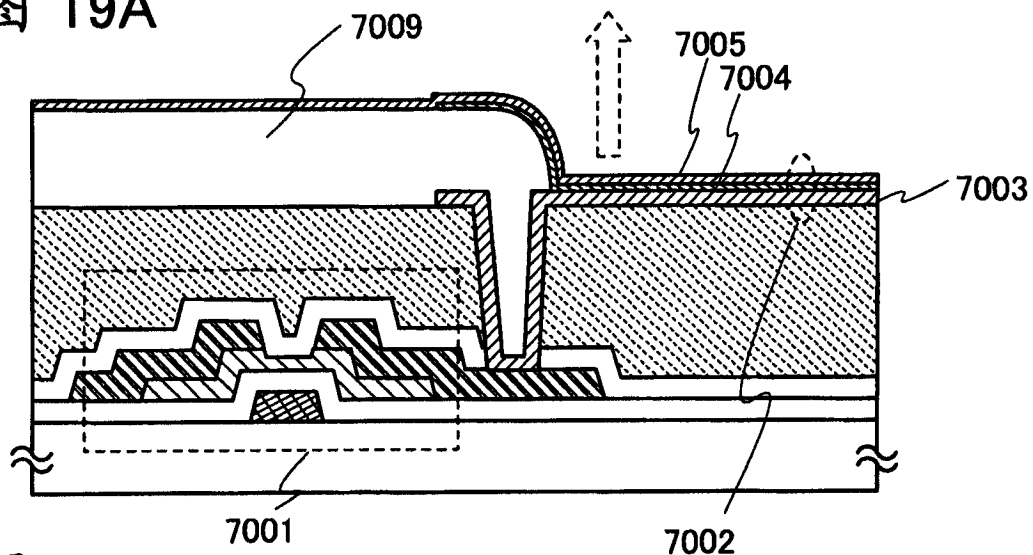


图 19B

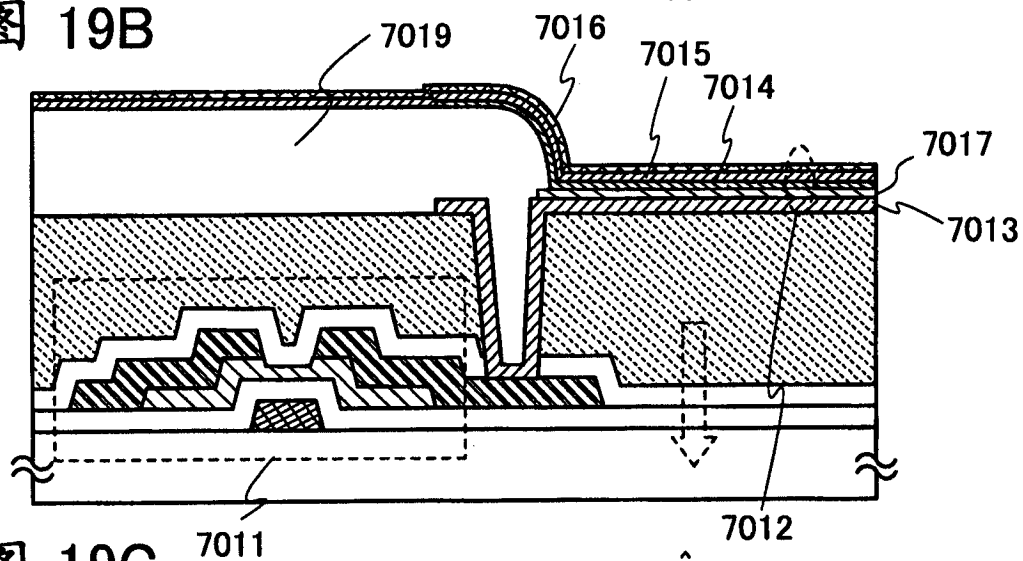
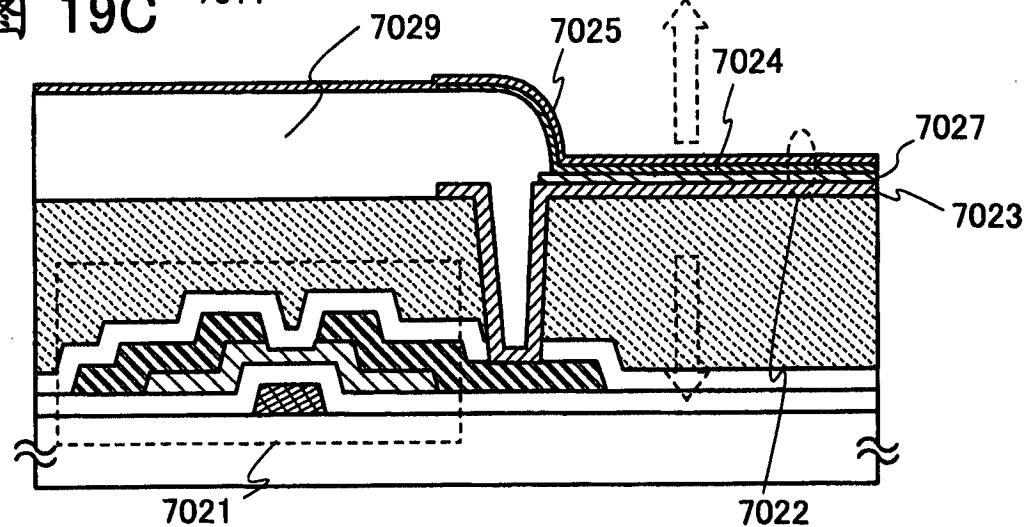


图 19C



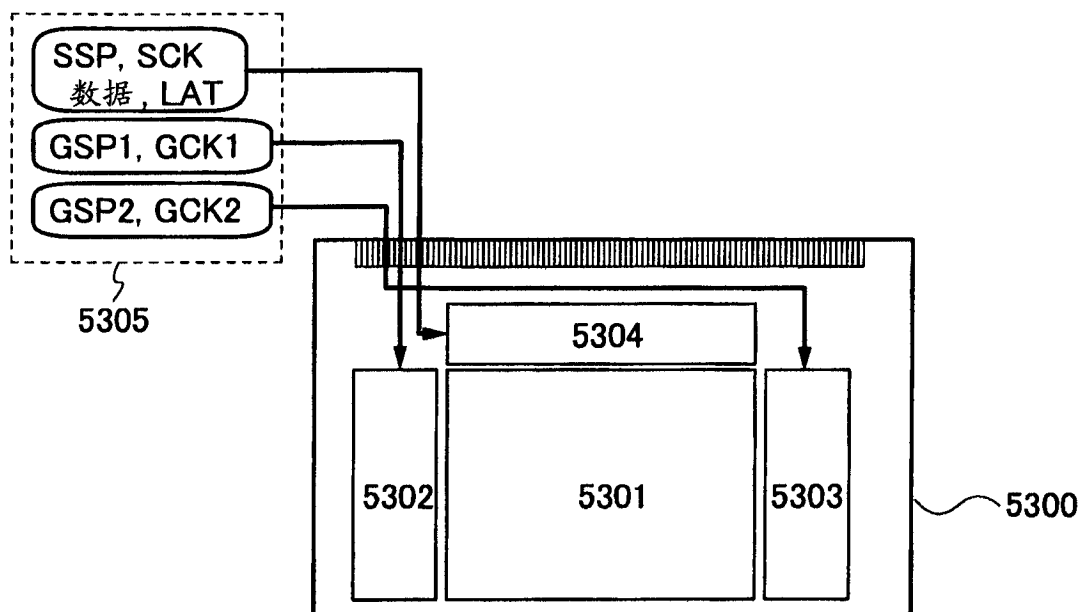


图 20A

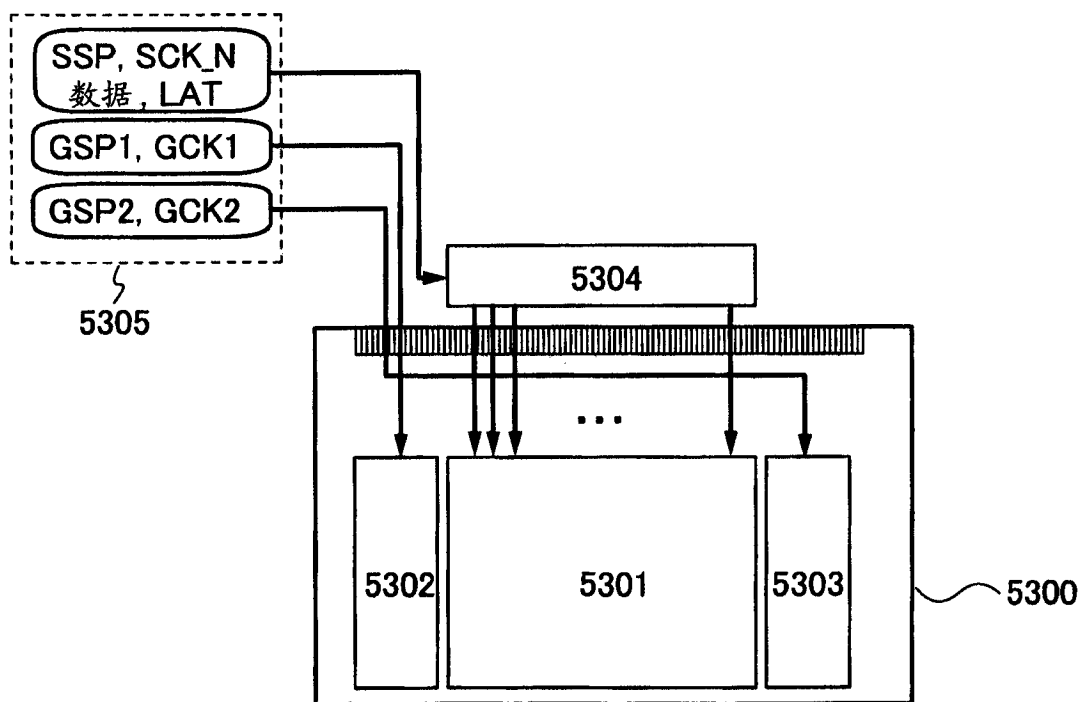


图 20B

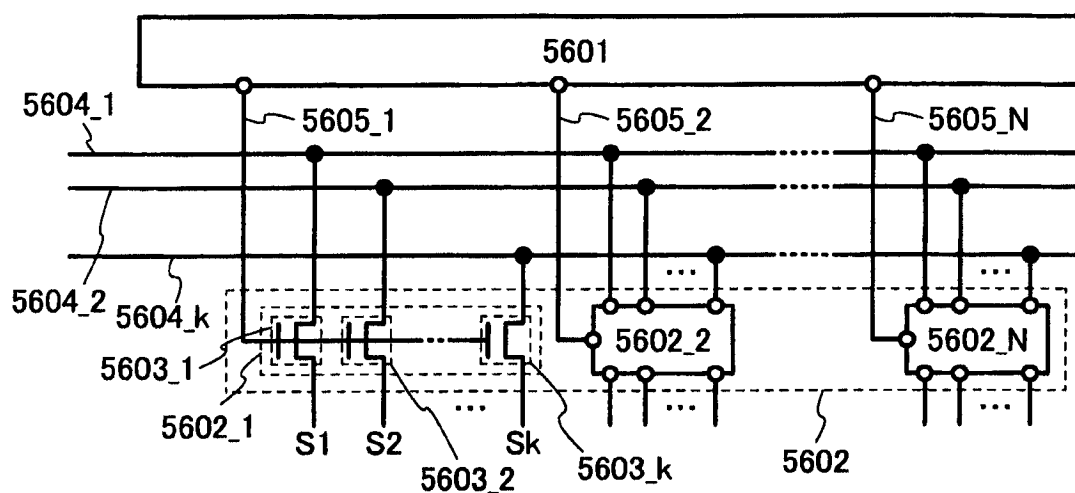


图 21A

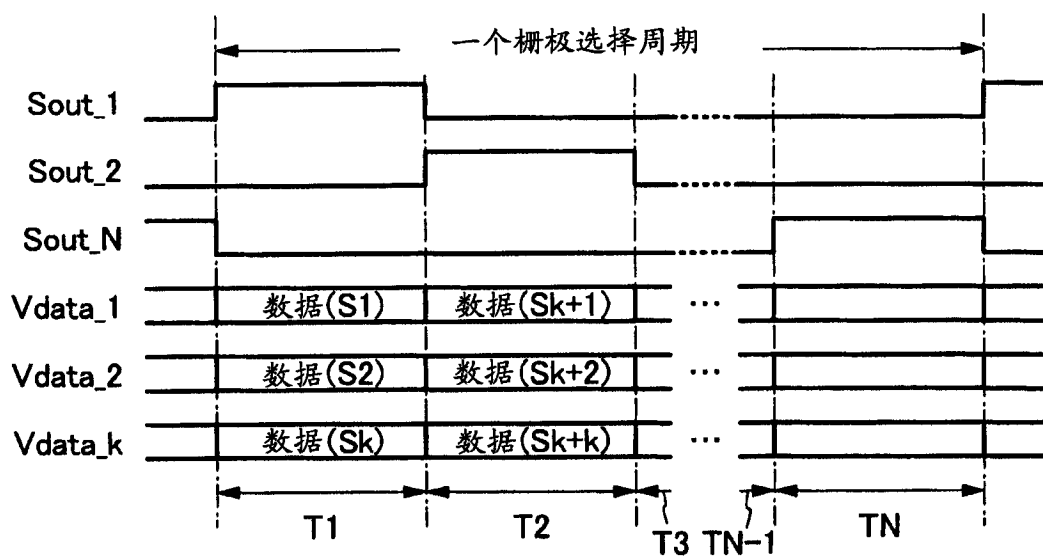


图 21B

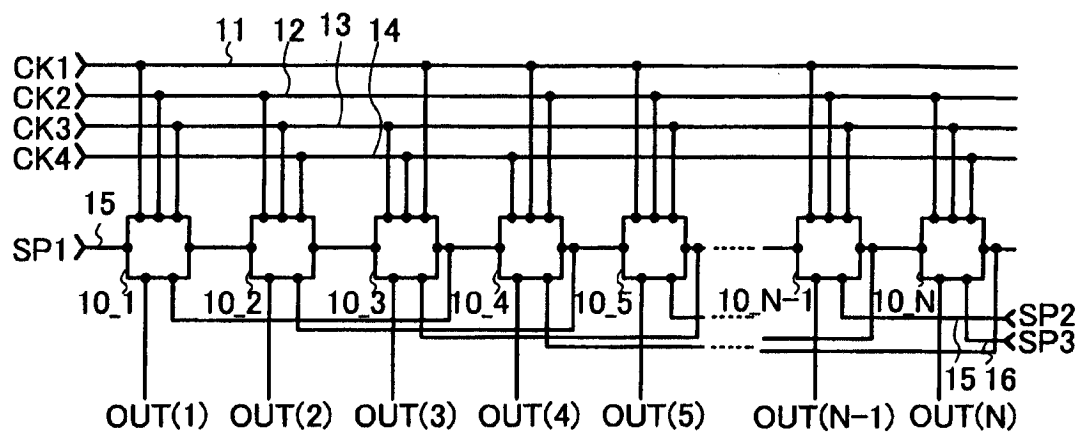


图 22A

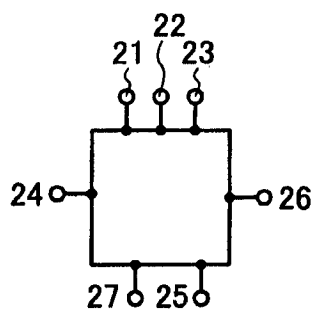


图 22B

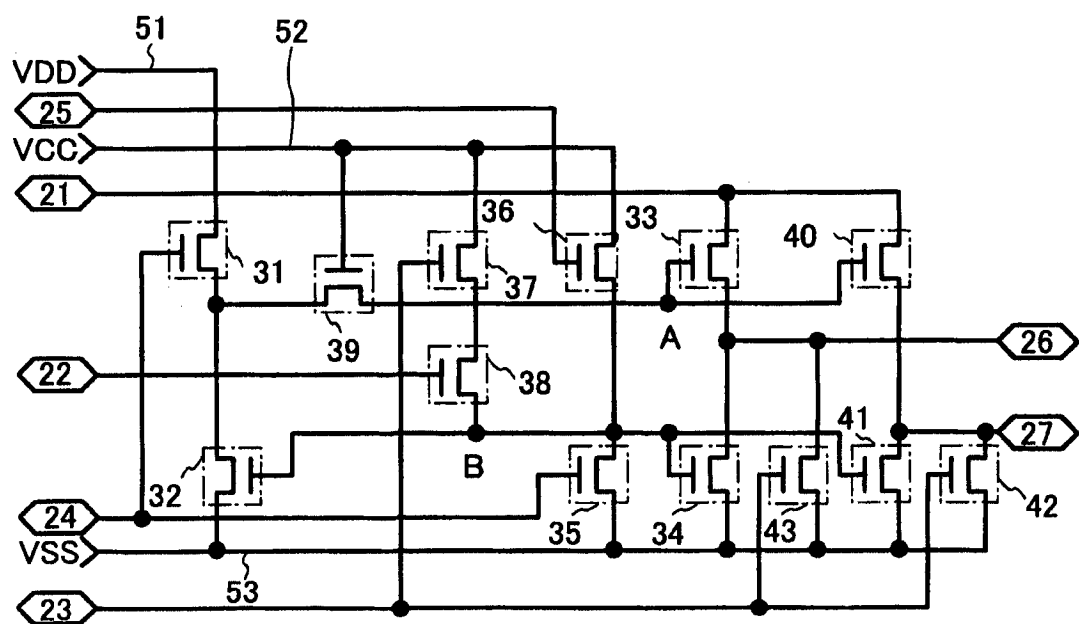


图 22C

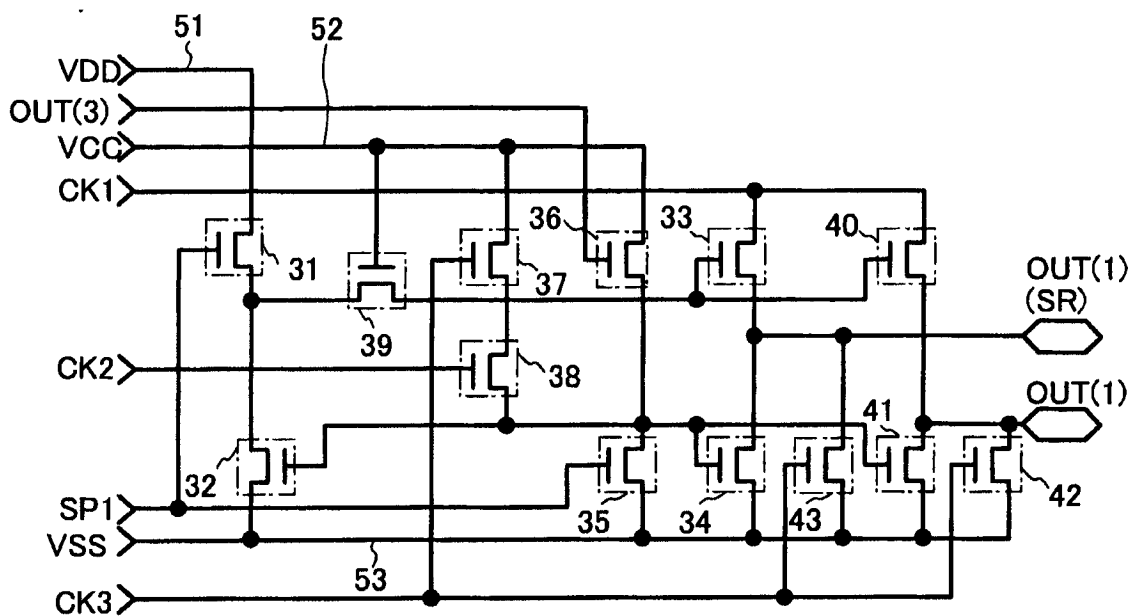


图 23A

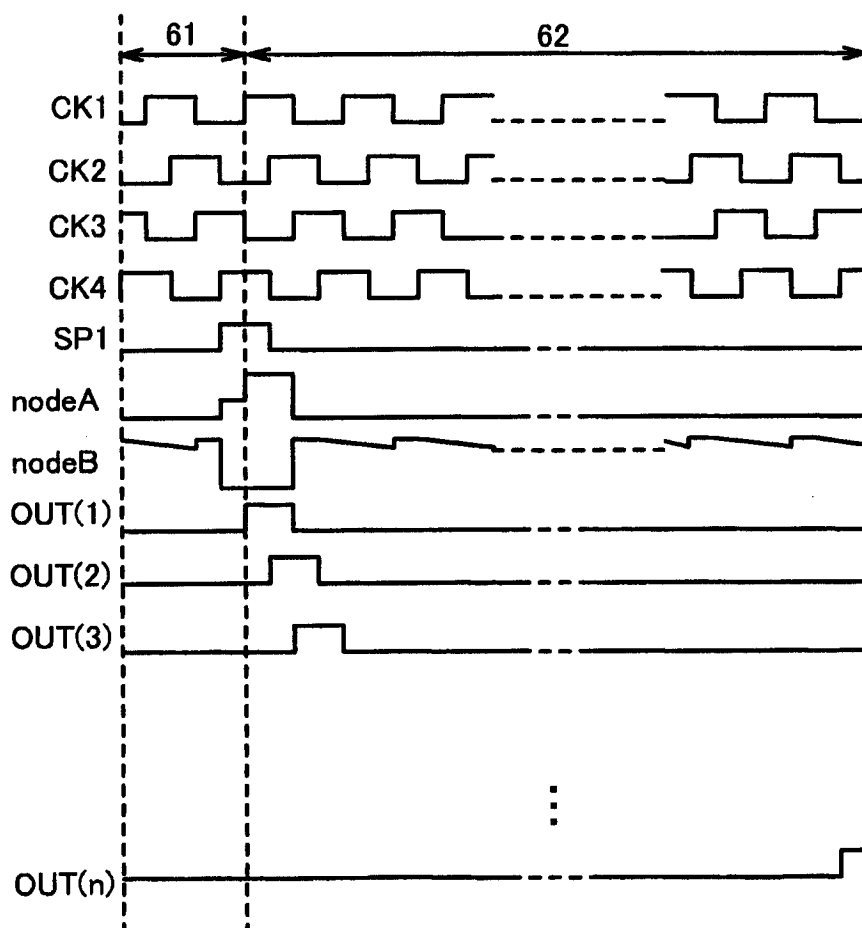


图 23B

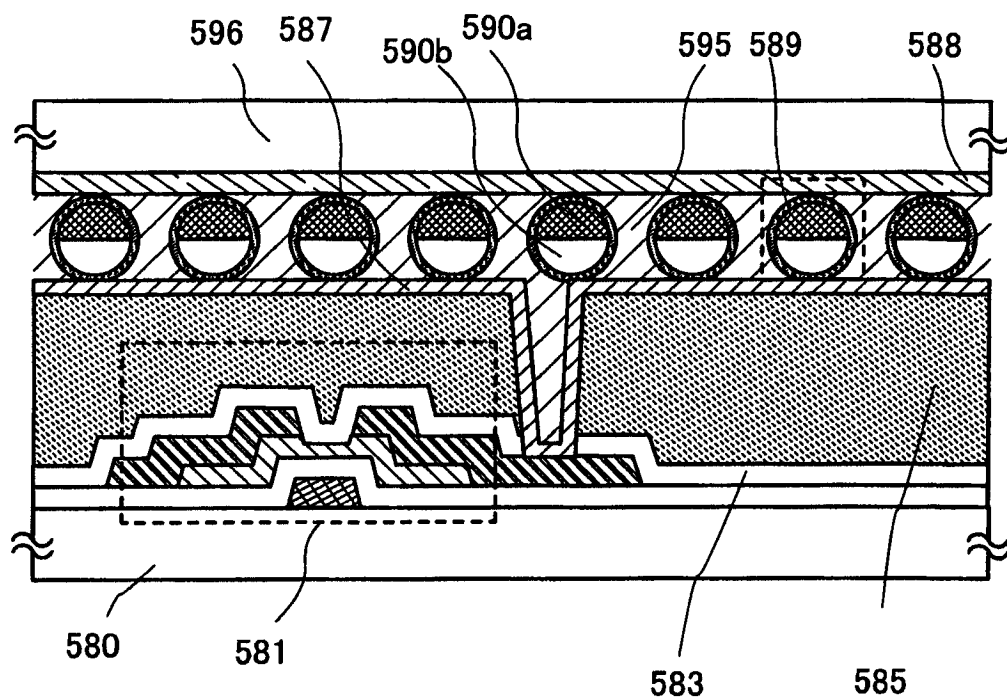


图 24

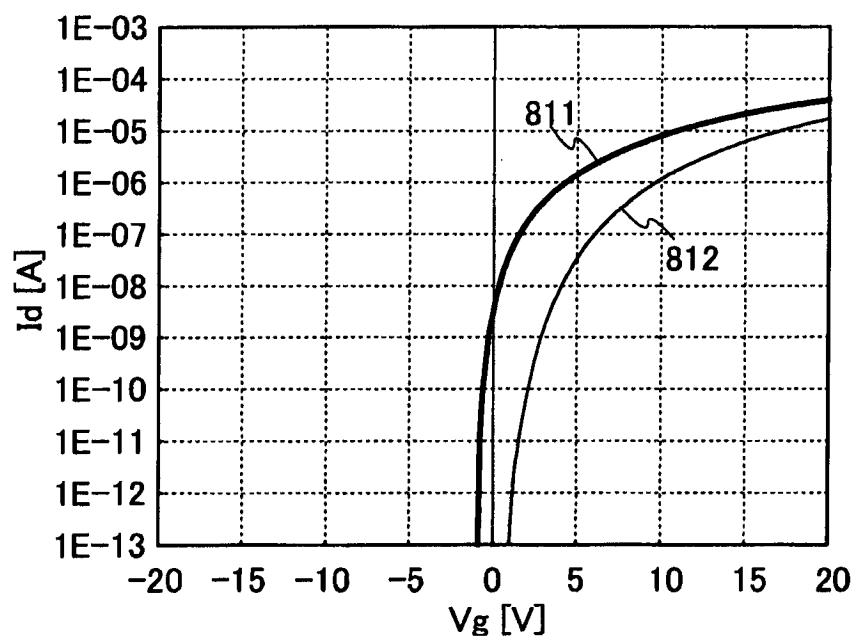


图 25A

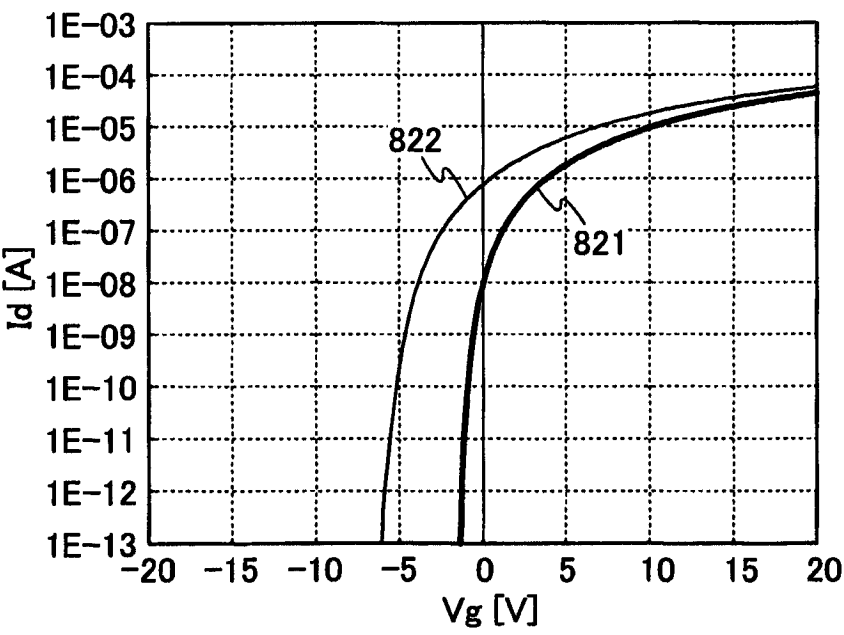


图 25B

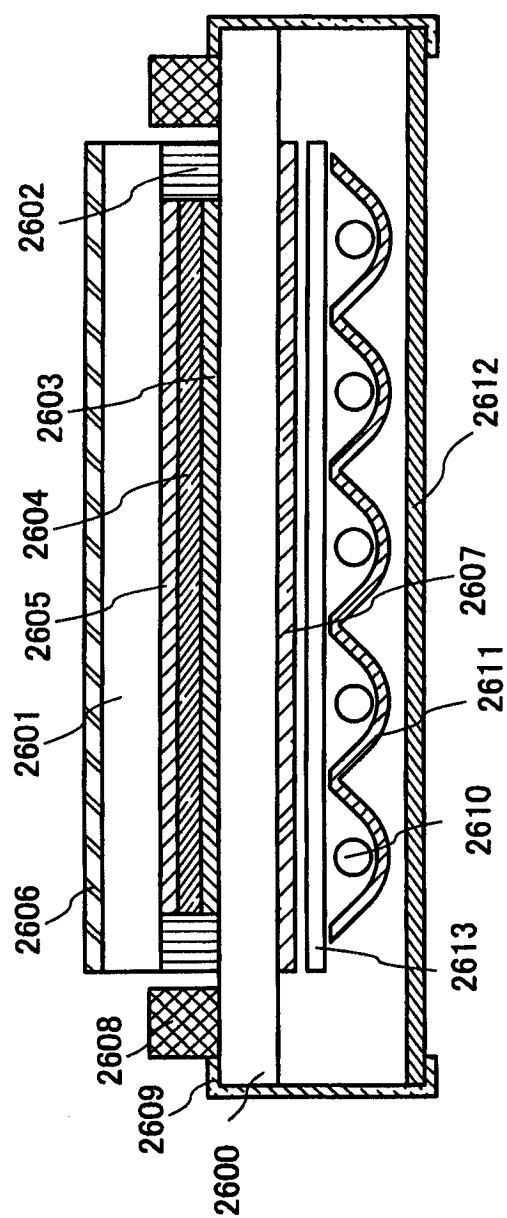


图 26

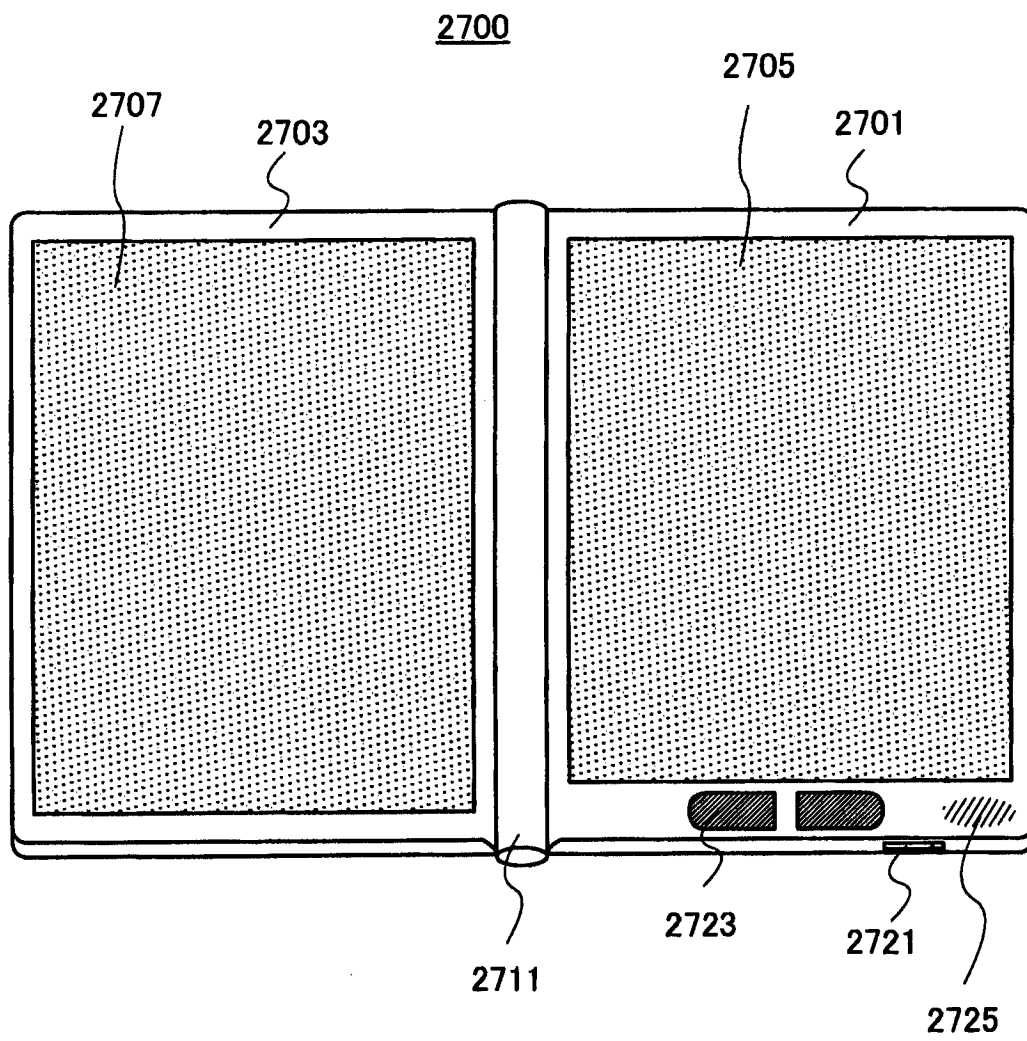


图 27

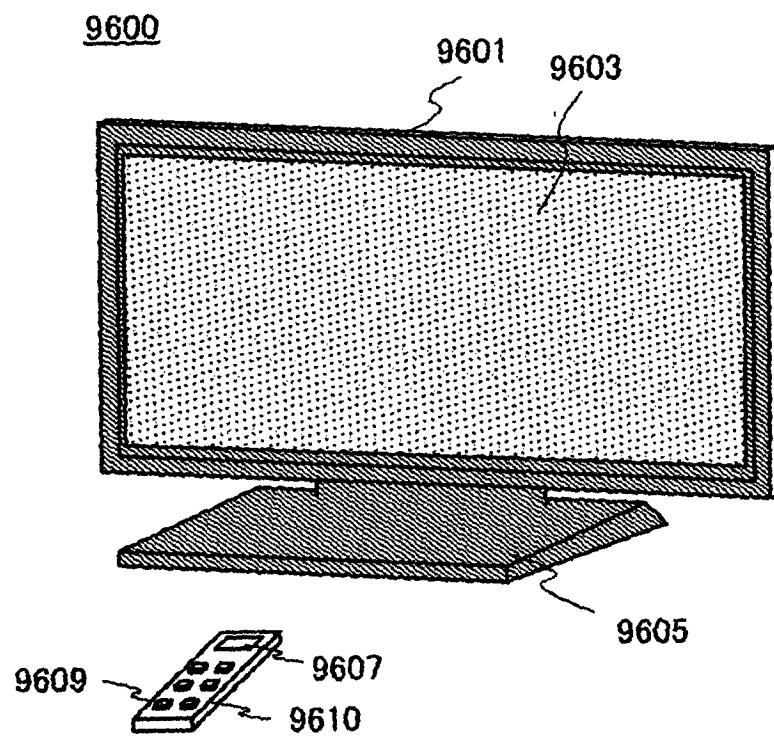


图 28A

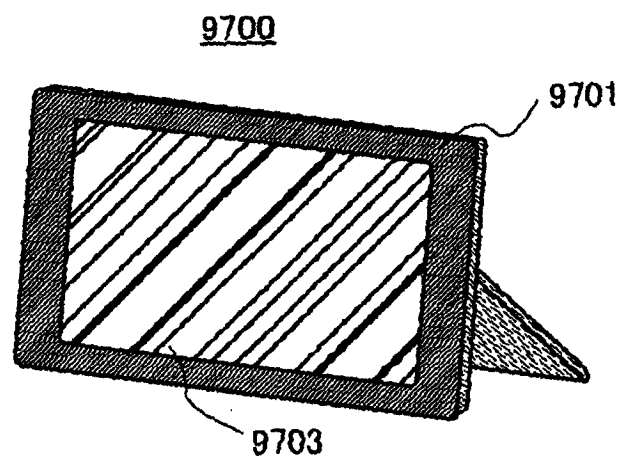


图 28B

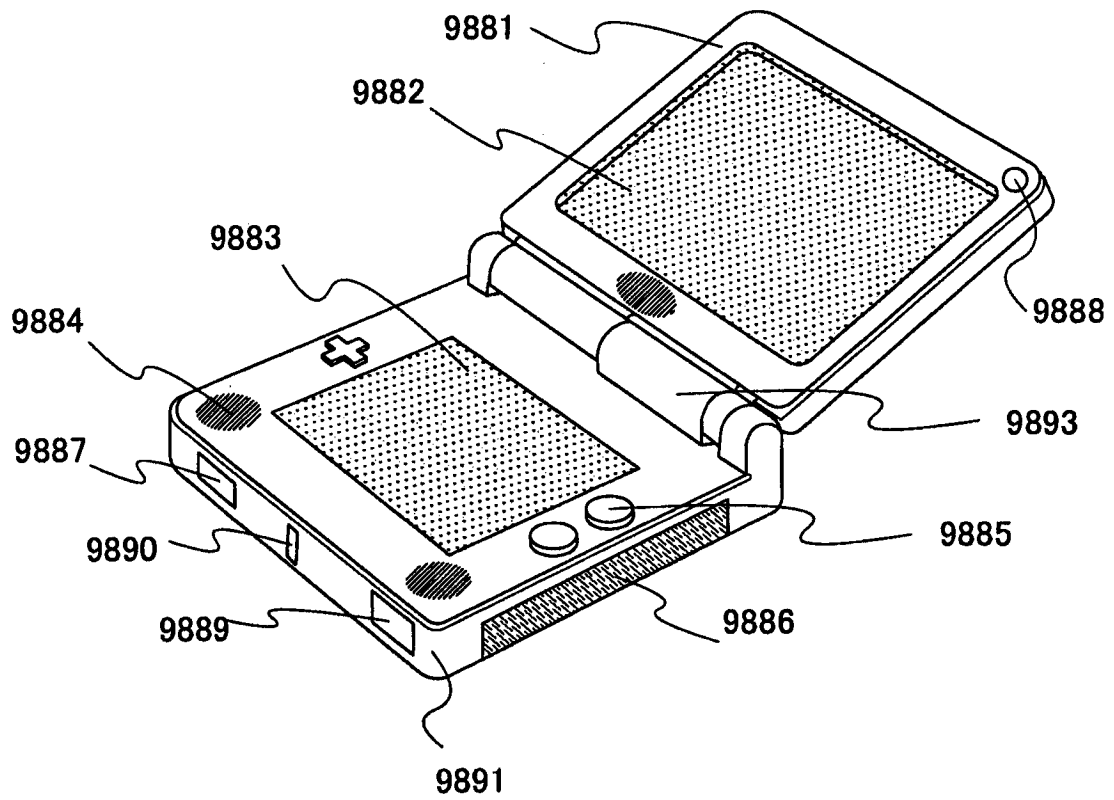


图 29A

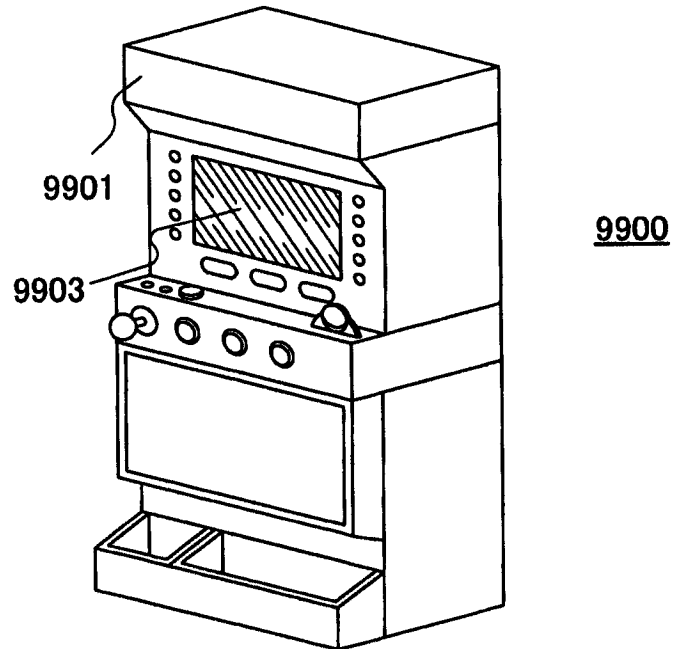


图 29B

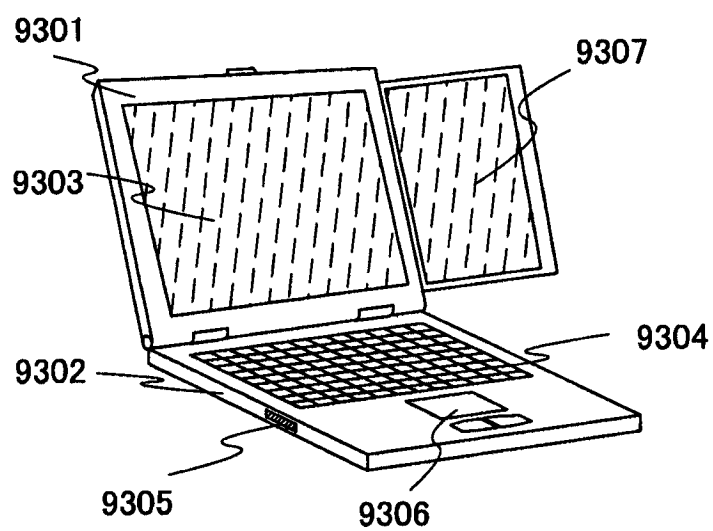


图 30A

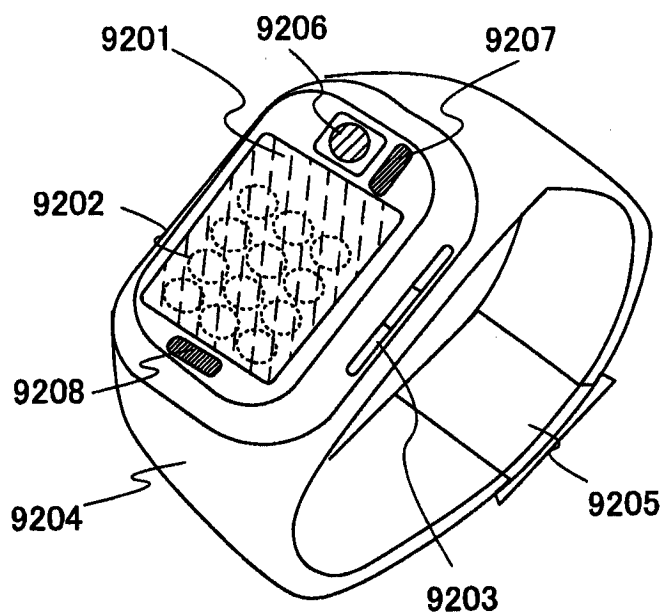


图 30B

参考说明

100:衬底;101:栅电极层;102:栅绝缘层;103:氧化物半导体层;105a:源电极层;105b:漏电极层;107:保护性绝缘层;108:电容器接线;110:像素电极层;121:第一终端;122:第二终端;125:接触孔;126:接触孔;127:接触孔;128:透明导电膜;129:透明导电膜;132:导电膜;133:氧化物半导体层;135:氧化物半导体层;150:第二终端;151:第一终端;152:栅绝缘层;153:连接电极层;154:保护性绝缘层;155:透明导电膜;156:电极层;170:薄膜晶体管;400:衬底;401:栅电极层;402:栅绝缘层;403:氧化物半导体层;405a:源电极层;407:氧化物绝缘层;430:氧化物半导体层;431:氧化物半导体层;432:氧化物半导体层;470:薄膜晶体管;580:衬底;581:薄膜晶体管;583:绝缘膜;585:绝缘层;587:第一电极层;588:第二电极层;589:球状粒子;590a:黑色区域;590b:白色区域;595:填料;596:衬底;701:氧化物半导体层;703:层;705:层;2600:TFT衬底;2601:对衬底;2602:密封剂;2603:像素部分;2604:显示元件;2605:着色层;2606:偏振板;2607:偏振板;2608:接线电路部分;2609:软性接线板;2610:冷阴极管;2611:反射板;2612:电路板;2613:扩散板;2700:电子书阅读器;2701:外壳;2703:外壳;2705:显示部分;2707:显示部分;2711:铰链;2721:电源开关;2723:操作键;2725:扬声器;4001:第一衬底;4002:像素部分;4003:信号线驱动电路;4004:扫描线驱动电路;4005:密封剂;4006:第二衬底;4008:液晶层;4010:薄膜晶体管;4011:薄膜晶体管;4013:液晶元件;4015:连接端电极;4016:端电极;4018:FPC;4019:各向异性导电膜;4020:保护性绝缘层;4021:保护性绝缘层;4030:像素电极层;4031:对电极层;4032:绝缘层;4035:间隔物;4501:第一衬底;4502:像素部分;4503a:信号线驱动电路;4504a:扫描线驱动电路;4505:密封剂;4506:第二衬底;4507:填料;4509:薄膜晶体管;4510:薄膜晶体管;4511:发光元件;4512:电致发光层;4513:第二电极层;4515:连接端电极;4516:端电极;4517:第一电极层;4518a:FPC;4519:各向异性导电膜;4520:分区壁;5300:衬底;5301:像素部分;5302:第一扫描线驱动电路;5303:第二扫描线驱动电路;5304:信号线驱动电路;5305:定时控制电路;5601:移位寄存器;5602:开关电路;5603:薄膜晶体管;5604:接线;5605:接线;6400:像素;6401:开关晶体管;6402:用于驱动发光元件的晶体管;6403:电容器;6404:发光元件;6405:信号线;6406:扫描线;6407:电源线;6408:公共电极;7001:TFT;7002:发光元件;7003:阴极;7004:发光层;7005:阳极;7009:分区;7011:用于驱动发光元件的晶体管;7012:发光元件;7013:阴极;7014:发光层;7015:阳极;7016:挡光膜;7017:导电膜;7019:分区;7021:用于驱动发光元件的晶体管;7022:发光元件;7023:阴极;7024:发光层;7025:阳极;7027:导电膜;7029:分区;9201:显示部分;9202:显示按钮;9203:操作开关;9204:带部分;9205:调节部分;9206:照相机部分;9207:扬声器;9208:扩音器;9301:顶部外壳;9302:底部外壳;9303:显示部分;9304:键盘;9305:外接孔口;9306:触控装置;9307:显示部分;9600:电视机;9601:外壳;9603:显示部分;9605:台座;9607:显示部分;9609:操作键;9610:遥控器;9700:数字相框;9701:外壳;9703:显示部分;9881:外壳;9882:显示部分;9883:显示部分;9884:扬声器部分;9885:输入设备;9886:记录介质插入部分;9887:连接终端;9888:传感器;9889:扩音器;9890:LED灯;9891:外壳;9893:连接部分;9900:自动贩卖机;9901:外壳;和9903:显示部分。