

## (19) 대한민국특허청(KR)

### (12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0105459  
*H01L 27/146* (2006.01) (43) 공개일자 2006년10월11일

(21) 출원번호 10-2006-0027287  
(22) 출원일자 2006년03월27일

(30) 우선권주장 JP-P-2005-00106681 2005년04월01일 일본(JP)

(71) 출원인 마쓰시다덴기산교 가부시키가이샤  
일본국 오사카후 가도마시 오아자 가도마 1006반지

(72) 발명자 야마다 도오루  
일본국 도쿄도 오오타쿠 시모마루코 3-22-15-203

(74) 대리인 한양특허법인

**심사청구 : 없음**

#### (54) 고체 콜상 장치 및 그 제조 방법

##### 요약

광전 변환부(11a), 수직 CCD(2), 수직 버스 라인부(16)가 설치된 반도체 기판을 구비하고, 수직 CCD(2)는 전송 채널(2a), 제1 수직 전송 전극(6), 제2 수직 전송 전극(9), 차광막(13)을 구비하고 있는 고체 콜상 장치에 있어서, 제1 전송 전극(6) 및 제2 전송 전극(9)은 전송 채널(2a)이 형성되어 있지 않은 영역 상에 있어서, 제2 전송 전극(9)이 제1 전송 전극(6)의 위에 위치하도록 배치되고, 전송 채널(2a)이 형성된 영역 상에 있어서, 제1 전송 전극(6)과 제2 전송 전극(9)이 이웃이 되도록 배치되고, 제2 전송 전극(9)의 전송 채널(2a)이 형성된 영역 상의 부분은 제1 전송 전극(9)에 반도체 기판의 두께 방향에서 겹치지 않도록 되어 있다.

##### 대표도

도 1

##### 명세서

##### 도면의 간단한 설명

도 1은, 본 발명의 실시형태 1에서의 고체 콜상 장치의 수직 CCD 및 수직 버스 라인부의 구성을 도시하는 평면도이다.

도 2는, 도 1에 도시하는 수직 CCD 및 수직 버스 라인부를 절단하여 얻어진 단면도이고, 도 2a는 절단선 A-A'를 따른 단면도, 도 2b는 절단선 B-B'를 따른 단면도, 도 2c는 절단선 C-C'를 따른 단면도이다.

도 3은, 본 발명의 실시형태 1에서의 고체 콜상 장치의 수평 CCD 및 수평 버스 라인부의 구성을 도시하는 평면도이다.

도 4는, 도 3에 도시하는 수평 CCD 및 수평 버스 라인부를 절단하여 얻어진 단면도이고, 도 4a는 절단선 D-D'를 따른 단면도, 도 4b는 절단선 E-E'를 따른 단면도이다.

도 5는, 도 1~도 4에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 5a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 6은, 도 1~도 4에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 6a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 7은, 도 1~도 4에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 7a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 8은, 실시형태 2에서의 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 8a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 9는, 실시형태 2에서의 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 9a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 10은, 실시형태 2에서의 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 10a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 11은, 실시형태 1에 있어서 도 5d에 도시한 공정을 상세하게 도시하는 단면도이고, 도 11a 및 b는 등방성 예칭의 전후를 각각 도시하고 있다.

도 12는, 실시형태 2에 있어서 도 8b에 도시한 공정을 상세하게 도시하는 단면도이고, 도 12a 및 b는 등방성 예칭의 전후를 각각 도시하고 있다.

도 13은 본 발명의 실시형태 3에서의 고체 촬상 장치의 수직 CCD 및 수직 버스 라인부의 구성을 도시하는 평면도이다.

도 14는, 도 13에 도시하는 수직 CCD 및 수직 버스 라인부를 절단하여 얻어진 단면도이고, 도 14a는 절단선 F-F'를 따른 단면도, 도 14b는 절단선 G-G'를 따른 단면도, 도 14c는 절단선 H-H'를 따른 단면도이다.

도 15는, 실시형태 1 및 실시형태 3에서의 화소 분리부의 단면 구조를 도시하는 단면도이고, 도 15a는 실시형태 1의 고체 촬상 장치의 화소 분리부의 단면 구조를 도시하는 단면도, 도 15b는 실시형태 3의 고체 촬상 장치의 화소 분리부의 단면 구조를 도시하는 단면도이다.

도 16은, 본 발명의 실시형태 3에서의 고체 촬상 장치의 수평 CCD 및 수평 버스 라인부의 구성을 도시하는 평면도이다.

도 17은, 도 16에 도시하는 수평 CCD 및 수평 버스 라인부를 절단하여 얻어진 단면도이고, 도 17a는 절단선 I-I'를 따른 단면도, 도 17b는 절단선 J-J'를 따른 단면도이다.

도 18은, 도 13, 도 14, 도 16 및 도 17에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 18a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 19는, 도 13, 도 14, 도 16 및 도 17에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 19a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 20은, 도 13, 도 14, 도 16 및 도 17에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이고, 도 20a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 21은, 종래부터의 션트 배선 구조를 갖는 고체 촬상 장치의 전체 구성을 개략적으로 도시하는 구성도이다.

도 22는, 도 21에 도시하는 고체 콤상 장치의 화소의 구성을 확대하여 도시하는 구성도이고, 도 22a는 차광막보다 하층을 도시하고, 도 22b는 차광막이 설치된 상태를 도시하고 있다.

도 23은, 도 21에 도시하는 고체 콤상 장치의 수직 CCD 및 수직 버스 라인부의 구성을 도시하는 평면도이고, 도 21 중의 파선으로 둘러싸인 영역 X에 대응하고 있다.

도 24는, 도 23에 도시하는 구성을 절단하여 얻어진 단면도이고, 도 24a는 절단선 Q-Q'를 따른 단면도, 도 24b는 절단선 R-R'를 따른 단면도, 도 24c는 절단선 S-S'를 따른 단면도이다.

도 25는, 도 21에 도시하는 고체 콤상 장치의 수평 전송 전극 및 수평 버스 라인부의 구성을 구체적으로 도시하는 평면도이다.

도 26은, 도 25에 도시하는 구성을 절단하여 얻어진 단면도이고, 도 26a는 절단선 T-T'를 따른 단면도, 도 26b는 절단선 U-U'를 따른 단면도이다.

도 27은, 도 21~도 26에 도시한 고체 콤상 장치의 제조 방법을 도시하는 단면도이고, 도 27a~d는 각각 주된 일련의 공정을 도시하고 있다.

도 28은, 도 21~도 26에 도시한 고체 콤상 장치의 제조 방법을 도시하는 단면도이고, 도 28a~d는 각각 주된 일련의 공정을 도시하고 있다.

도 29는, 도 21~도 26에 도시한 고체 콤상 장치의 제조 방법을 도시하는 단면도이고, 도 29a~d는 각각 주된 일련의 공정을 도시하고 있다.

도 30은, 종래부터의 션트 배선 구조를 갖는 고체 콤상 장치의 다른 예에서의 수직 전송 전극, 수직 버스 라인부 및 차광막의 구성을 도시하는 평면도이다.

도 31은, 도 30에 도시하는 구성을 절단선을 따라 절단하여 얻어진 단면도이고, 도 31a는 절단선 V-V'를 따른 단면도, 도 31b는 절단선 W-W'를 따른 단면도, 도 31c는 절단선 X-X'를 따른 단면도이다.

도 32는, 종래부터의 션트 배선 구조를 갖는 고체 콤상 장치의 다른 예에서의 수평 전송 전극, 수평 버스 라인부의 구성을 도시하는 평면도이다.

도 33은, 도 32에 도시하는 구성을 절단선을 따라 절단하여 얻어진 단면도이고, 도 33a는 절단선 Y-Y'를 따른 단면도, 도 33b는 절단선 Z-Z'를 따른 단면도이다.

도 34는, 도 30~도 33에 도시한 고체 콤상 장치의 제조 방법을 도시하는 단면도이고, 도 34a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 35는, 도 30~도 33에 도시한 고체 콤상 장치의 제조 방법을 도시하는 단면도이고, 도 35a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 36은, 도 30~도 33에 도시한 고체 콤상 장치의 제조 방법을 도시하는 단면도이고, 도 36a~f는 각각 주된 일련의 공정을 도시하고 있다.

도 37은, 도 30~도 33에 도시한 고체 콤상 장치의 제조 방법에서의 1공정만을 도시하는 단면도이고, 도 37a~c는 동일 공정 중의 다른 부위의 단면을 도시하고 있다.

도 38은, 도 30~도 33에 도시한 고체 콤상 장치의 제조 방법에서의 제2 수직 전송 전극의 형성 공정을 도시하는 단면도이고, 도 38a 및 b는 연속한 공정을 도시하고 있다.

### 별명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 고체 활상 장치 및 그 제조 방법에 관한 것이다.

최근, 디지털 카메라나 디지털 무비 카메라, 나아가서는 카메라 부착 휴대 전화의 급속한 보급에 의해, 고체 활상 장치의 수요가 급속히 신장되고 있다. 특히 최근에는, 다화소화나 동영상 대응의 요구에 의해 고체 활상 장치의 고속 구동화가 요구되고 있다. 그 하나의 해결책으로서, 차광막이 수직 CCD(charge coupled device)의 전송 전극으로의 전송 펄스의 공급도 겸하는 센트 배선 구조가 알려지고 있다(예컨대, 일본 공개 특허 공보 평10-223881호 참조).

도 21~도 29를 이용하여, 센트 배선 구조를 갖는 고체 활상 장치의 일례(종래 예 1)에 관해서 설명한다. 처음에, 고체 활상 장치의 전체 구성에 관해서 설명한다. 도 21은, 종래부터의 센트 배선 구조를 갖는 고체 활상 장치의 전체 구성을 개략적으로 도시하는 구성도이다. 도 21에 도시하는 바와 같이, 고체 활상 장치는 반도체 기판(101) 상의 수광 영역(101a)에 복수의 화소(104)를 매트릭스형상으로 배치하여 형성되어 있다. 반도체 기판(101)으로서는, 예컨대, 실리콘 기판을 들 수 있다.

또한, 도 21에 도시하는 고체 활상 장치는 인터라인 전송을 채용하고 있고, 각 화소는 수직 CCD(102)와 포토다이오드(Photo diode)부(111)를 구비하고 있다. 반도체 기판(101)에는 맨 마지막 줄의 수직 CCD(102)에 인접하여 수평 CCD(103)가 형성되어 있다. 수평 CCD(103)의 출력단에는 출력 앰프(103b)가 설치되어 있다. 수직 CCD(102) 및 수평 CCD(103)는 전하 전송 장치로서 기능한다. 도 21 중의 화살표는 전하의 전송 방향을 나타내고 있다.

도 21에 있어서는 도시하지 않지만, 수직 CCD(102) 및 수평 CCD(103) 각각은 전송 채널과, 제1 전송 전극과, 제2 전송 전극을 구비하고 있다. 한편, 본 명세서에 있어서는, 수직 CCD의 전송 전극을 「수직 전송 전극」이라고 칭하고, 수평 CCD의 전송 전극을 「수평 전송 전극」이라고 칭한다.

수광 영역(101a)의 주변 영역에는, 수광 영역(101a)의 외부 가장자리를 따라 수직 버스 라인부(116)가 설치되어 있다. 수직 버스 라인부(116)는 수직 버스 라인 배선(116a~116d)을 구비하고 있다. 수직 버스 라인 배선(116a~116d) 각각은, 상이한 전송 펄스( $\Phi V1 \sim \Phi V4$ )가 외부로부터 공급되고 있다. 수평 CCD(103)에서의 수직 CCD측의 반대측(도면 중 하측)에는 수평 CCD(103)를 따라, 수평 버스 라인부(117)가 설치되어 있다. 수평 버스 라인부(117)는 수평 버스 라인 배선(117a 및 117b)을 구비하고 있다. 수평 버스 라인 배선(117a 및 117b) 각각에는 상이한 전송 펄스( $\Phi H1$  및  $\Phi H2$ )가 외부로부터 공급되고 있다.

또한, 수직 CCD(102)에 광이 입사하지 않도록 하기 위해서, 수직 CCD(102)를 열마다 덮는 스트라이프형상의 복수의 차광막(113)이 형성되어 있다. 차광막(113)은 금속 재료로 형성되어 있고, 하나의 차광막(113)은 수직 버스 라인 배선(116a~116d) 중 어느 하나와 접속되어 있다. 또한, 차광막(113)은 콘택트 홀(114)에 의해서 수직 전송 전극에 접속된다. 이 때문에, 차광막(113)은 수직 CCD(102)의 전송 전극으로 전송 펄스를 공급하는 센트 배선으로서도 기능한다. 한편, 도 21에 있어서는 차광막(113)의 일부를 생략하고 있다.

다음에, 도 21에 도시하는 고체 활상 장치의 화소의 구성에 관해서 도 22를 이용하여 구체적으로 설명한다. 도 22는 도 21에 도시하는 고체 활상 장치의 화소의 구성을 확대하여 도시하는 구성도이고, 도 22a는 차광막보다 하층을 도시하고, 도 22b는 차광막이 설치된 상태를 도시하고 있다.

도 22a에 도시하는 바와 같이, 수직 CCD(102)는 반도체 기판(101)에 형성된 전송 채널(102a)과, 그 위에 형성된 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)을 구비하고 있다. 포토다이오드부(111)는 광전 변환부(111a)와, 독출부(111b)와, 화소 분리부(111c)를 구비하고 있다. 이들은 반도체 기판(101)에 형성되어 있다.

광전 변환부(111a)는 광이 입사하면 신호 전하를 생성하고 이것을 축적한다. 독출부(111b)는 광전 변환부(111a)와 그것에 대응하는 수직 CCD(102) 사이의 영역에 형성되어 있고, 광전 변환부(111a)에 축적된 전하의 독출을 행한다. 독출된 전하는 전송 채널(102a)에 전송된다. 화소 분리부(111c)는 광전 변환부(111a)를, 인접하는 다른 광전 변환부(111a)와 대응하지 않는 수직 CCD(102)로부터 전기적으로 분리하고 있다.

제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)은 전송 채널(102a), 독출부(111b) 및 화소 분리부(111c)를 덮도록 형성되어 있다. 도 22a에 있어서, 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)에는 해칭을 실시하고 있다.

또한, 도 22b에 도시하는 바와 같이, 차광막(113)은 광전 변환부(111a)의 상면이 개구되고, 전송 채널(102a), 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)이 차광되도록 형성되어 있다. 차광막(113)의 개구를 통과하는 광만이 광전 변환부(111a)로 입사한다. 도 22b의 예에서는, 콘택트 홀(114)은 차광막(113)과 제2 수직 전송 전극(109)을 접속하고 있다.

도 21 및 도 22에 도시한 고체 활상 장치의 동작에 관해서 설명한다. 이하의 설명에 있어서는 적절하게 도 21 및 도 22를 참조한다. 우선, 반도체 기판(101)의 수광 영역(101a)에 광학상이 결상되면, 각 포토다이오드부(111)의 광전 변환부(111a)는 광전 변환을 행하고, 광의 강도과 광의 입사 시간에 따른 신호 전하를 축적한다. 이 상태에 있어서, 제2 수직 전송 전극(109)에 수직 버스 라인부(116) 및 차광막(113)을 통하여 하이 레벨 전압(10V~15V)을 인가한다. 이에 따라, 각 포토다이오드부(111)의 광전 변환부(111a)에 축적된 신호 전하는 독출부(111b)를 통하여 수직 CCD(102)의 전송 채널(102a)에 전송된다.

다음에, 상기와 마찬가지로, 수직 버스 라인부(116) 및 차광막(113)을 통하여, 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)에 미들 레벨 전압(0V)과 로우 레벨 전압(-5V~-10V)을 교대로 인가한다. 이에 따라, 신호 전하는 수직 방향으로 나란한 수직 CCD(102)를 순차 전송하여 수평 CCD(103)에 도달한다.

그 후, 수평 CCD(103)의 제1 수평 전송 전극(도시하지 않음) 및 제2수평 전송 전극에, 수평 버스 라인부(117)를 통해 하이 레벨 전압(2V~5V)과 로우 레벨 전압(0V)을 교대로 인가한다. 이에 따라, 신호 전하는 수평 CCD(103)로부터 출력 앰프(103b)로 전송된다.

출력 앰프(103b)는 신호 전하를 전압으로 변환하고, 외부에 전압 신호를 출력한다. 이와 같이, 광전 변환부(111a)에 축적된 신호 전하는 수직 CCD(102)에 의해서 수직 방향으로 전송되고, 수평 CCD(103)에 의해서 수평 방향으로 전송된 후, 외부에 출력된다.

다음에, 도 21에 도시하는 종래예 1의 고체 활상 장치의 수직 CCD 및 수평 CCD에서의 전송 전극, 차광막, 버스 라인부의 구성에 관해서 도 23~도 26을 이용하여 구체적으로 설명한다. 우선, 수직 CCD에 관해서 설명한다. 도 23은, 도 21에 도시하는 고체 활상 장치의 수직 CCD 및 수직 버스 라인부의 구성을 도시하는 평면도이고, 도 21 중의 파선으로 둘러싸인 영역 X에 대응하고 있다. 도 24는, 도 23에 도시하는 구성을 절단하여 얻어진 단면도이고, 도 24a는 절단선 Q-Q'를 따른 단면도, 도 24b는 절단선 R-R'를 따른 단면도, 도 24c는 절단선 S-S'를 따른 단면도이다. 한편, 도 24에 있어서는, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다.

도 23에 도시하는 바와 같이, 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)은 수직 방향을 따라서 형성된 복수의 전송 채널(102a)을 가로지르도록 형성되어 있다. 차광막(113)은 전송 채널(102a)을 따라, 요컨대, 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)을 가로지르도록 형성되어 있다.

또한, 제1 수직 전송 전극(106)은 콘택트 홀(118a)에 의해서, 수직 버스 라인 배선(116b 또는 116d)에 접속되어 있다. 제2 수직 전송 전극(109)은 콘택트 홀(118b)에 의해서, 수직 버스 라인 배선(116a 또는 116c)에 접속되어 있다. 차광막(113)은 콘택트 홀(114a)에 의해서 제1 수직 전송 전극(106)에 접속되고, 콘택트 홀(114b)에 의해서 제2 수직 전송 전극(109)에 접속되어 있다.

도 24a~c에 도시하는 바와 같이, 복수의 제1 수직 전송 전극(106)은 게이트 절연막(105) 상에 일정한 간격을 두어 형성되어 있다. 제1 수직 전송 전극(106)의 주위에는 제1층간 절연막(108)이 형성되어 있다. 또한, 도 24b 및 c에 도시하는 바와 같이, 제2 수직 전송 전극(109)은 전송 채널(102a)이 형성되어 있지 않은 영역 상에서는, 제1 층간 절연막(108)을 통해, 제1 수직 전송 전극(106)의 위에 형성되어 있다.

한편, 도 24a에 도시하는 바와 같이, 제2 수직 전송 전극(109)은 전송 채널(102a)이 형성된 영역 상에 있어서는, 전하를 전송하기 위해서, 이웃이 되는 제1 수직 전송 전극(106) 사이의 게이트 절연막(105) 상에 형성되어 있다. 단, 제2 수직 전송 전극(109)은 그 단부(109a 및 109b)가 제1 수직 전송 전극(106)의 단부와 겹치도록 형성되어 있다.

또한, 도 24a에 도시하는 바와 같이, 게이트 절연막(105), 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)을 피복하도록 제2 층간 절연막(112)이 형성되어 있다. 또한, 차광막(113)은 제2 층간 절연막(112)의 위에 형성되어 있다. 차광막

(113)과 제1 수직 전송 전극(106)을 접속하는 개소에는, 제1 층간 절연막(108) 및 제2 층간 절연막(112)을 관통하는 콘택트 홀(114a)이 형성되어 있다. 또한, 도 24에는 도시하지 않지만, 차광막(113)과 제2 수직 전송 전극(109)을 접속하는 개소에는, 제2 층간 절연막(112)을 관통하는 콘택트 홀(114b)이 형성되어 있다(도 23 참조).

또한, 차광막(113)을 피복하도록(차광막(113)이 형성되어 있지 않은 영역에 있어서는 제2 층간 절연막(112)을 피복하도록), 제3 층간 절연막(115)이 형성되어 있다. 수직 버스 라인부(116)는 제3 층간 절연막(115)의 위에 형성되어 있다. 도 24c에 도시하는 바와 같이, 수직 버스 라인 배선(116b)(또는 116d)과 제1 수직 전송 전극(106)을 접속하는 개소에는, 제1 층간 절연막(108), 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통하는 콘택트 홀(118a)이 형성되어 있다. 수직 버스 라인 배선(116c)(또는 116a)과 제2 수직 전송 전극(109)을 접속하는 개소에는, 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통하는 콘택트 홀(118b)이 형성되어 있다.

이어서, 수평 CCD에 관해서 설명한다. 도 25는 도 21에 도시하는 고체 활상 장치의 수평 전송 전극 및 수평 버스 라인부의 구성을 구체적으로 도시하는 평면도이다. 도 26은, 도 25에 도시하는 구성을 절단하여 얻어진 단면도이고, 도 26a는 절단 선 T-T'를 따른 단면도, 도 26b는 절단 선 U-U'를 따른 단면도이다. 한편, 도 26에 있어서는, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다.

도 25에 도시하는 바와 같이, 수평 CCD(103)는 수평 방향을 따라서 반도체 기판(101)(도 21 참조)에 설치된 전송 채널(103a)과, 전송 채널(103a)의 위에 이것을 가로지르도록 형성된 제1 수평 전송 전극(107) 및 제2 수평 전송 전극(110)을 구비하고 있다. 제1 수평 전송 전극(107)은 콘택트 홀(119a)에 의해서, 수평 버스 라인 배선(117a 또는 117b)에 접속되어 있다. 제2 수평 전송 전극(109)은 콘택트 홀(119b)에 의해서, 수평 버스 라인 배선(117a 또는 117b)에 접속되어 있다.

도 26a 및 b에 도시하는 바와 같이, 수직 CCD의 경우와 마찬가지로(도 24 참조), 제1 수평 전송 전극(107)은 게이트 절연막(105)의 위에 형성되어 있고, 그 주위에는 제1 층간 절연막(108)이 형성되어 있다. 또한, 도 26b에 도시하는 바와 같이, 수평 CCD(103)의 전송 채널(103a)이 형성되어 있지 않은 영역에서는, 제2 수평 전송 전극(110)은 제1 층간 절연막(108)을 통해 제1 수평 전송 전극(107)의 위에 형성되고 있다.

또한, 수직 CCD와 마찬가지로, 도 26a에 도시하는 바와 같이, 제2 수평 전송 전극(110)은 전송 채널(103a)이 형성된 영역 상에서는, 전하를 전송하기 위해서, 이웃이 되는 제1 수평 전송 전극(107)의 사이의 게이트 절연막(105) 상에 형성되어 있다. 또한, 전송 채널(103a)이 형성된 영역 상에서는, 제2 수평 전송 전극(110)은 그 단부(110a 및 110b)가 제1 수평 전송 전극(107)의 단부와 중합되도록 형성되어 있다.

또한, 도 26a 및 b에 도시하는 바와 같이, 게이트 절연막(105), 제1 수평 전송 전극(107) 및 제2 수평 전송 전극(110)은 제2 층간 절연막(112)에 의해서 피복되어 있다. 제2 층간 절연막(112)은 제3 층간 절연막(115)에 의해서 피복되어 있다. 또한, 도 26b에 도시하는 바와 같이, 제3 층간 절연막(115)의 위에 금속 재료에 의해서, 수평 버스 라인 배선(117a 또는 117b)이 형성되어 있다.

수평 버스 라인 배선(117a)(또는 117b)과 제1 수평 전송 전극(107)을 접속하는 개소에는, 제1 층간 절연막(108), 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통하는 콘택트 홀(119a)이 형성되어 있다. 또한, 수평 버스 라인 배선(117a)(또는 117b)과 제2 수평 전송 전극(109)을 접속하는 개소에는, 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통하는 콘택트 홀(119b)이 형성되어 있다.

또한, 도 26a에 도시하는 바와 같이, 전송 채널(103a)이 설치된 영역에서는 제3 층간 절연막(115)의 위에 차광막(120)이 형성되어 있다. 차광막(120)은 버스 라인 배선(117a 및 117b)과 동일한 금속 재료에 의해서 동일한 프로세스로 형성되어 있다.

다음에, 도 21~도 26에 도시한 종래예 1의 고체 활상 장치의 제조 방법에 관해서 도 27~도 29를 이용하여 설명한다. 도 27~도 29는 도 21~도 26에 도시한 고체 활상 장치의 제조 방법을 도시하는 단면도이다. 도 27a~d는 각각 주된 일련의 공정을 도시하고 있다. 마찬가지로, 도 28a~d, 도 29a~d도 각각 주된 일련의 공정을 도시하고 있다. 또한, 도 27은 도 24a에 도시한 단면도에 대응하고, 도 28은 도 24b에 도시한 단면도에 대응하며, 도 29는 도 26a) 도시한 단면도에 대응한다. 한편, 도 27~도 29에 있어서는, 도전성의 부재(반도체 기판을 제외함)와 레지스트 패턴에만 해칭을 실시하고 있다.

처음에, 도 27a, 도 28a 및 도 29a에 도시하는 바와 같이, 예컨대 실리콘 기판 등의 반도체 기판(101)의 표면에 열산화법이나 감압 CVD(화학 기상 성장)법을 이용하여, 산화막이나 질화막 등으로 형성된 게이트 절연막(105)을 형성한다. 그 위에, 감압 CVD법을 이용하여, 제1 수직 전송 전극(106) 또는 제1 수평 전송 전극(107)이 되는 폴리실리콘막을 형성한다.

이어서, 포트리소그래피법 및 RIE(반응성 이온 에칭)법을 실시하고, 폴리실리콘막을 패터닝 제거한다. 이에 따라, 제1 수직 전송 전극(106) 및 제1 수평 전송 전극(107)이 설치된 간격을 두어 형성된다. 그 후, 열산화법 등을 실시하여 제1 수직 전송 전극(106) 및 제1 수평 전송 전극(107)의 주위에 제1 충간 절연막(108)을 형성한다.

다음에, 도 27b, 도 28b 및 도 29b에 도시하는 바와 같이, 감압 CVD법을 이용하여, 제1 수직 전송 전극(106) 및 제1 수평 전송 전극(107)의 위에 폴리실리콘막(121)을 형성한다. 폴리실리콘막(121)은 제2 수직 전송 전극(109) 및 제2 수평 전송 전극(110)이 된다.

다음에, 도 27c, 도 28c 및 도 29c에 도시하는 바와 같이, 포트리소그래피법을 실시하여 제2 수직 전송 전극(109) 및 제2 수평 전송 전극(110)의 형성 영역만을 덮는 레지스트 패턴(122)을 형성한다. 또한, 레지스트 패턴(122)을 마스크로 하여 RIE법을 실시하고, 폴리실리콘막(121)을 패터닝 제거한다. 이에 따라, 제2 수직 전송 전극(109) 및 제2 수평 전송 전극(110)이 형성된다. RIE법의 종료 후, 레지스트 패턴(122)을 제거한다.

그 후, 도 27d, 도 28d 및 도 29d에 도시하는 바와 같이, 제2 충간 절연막(112), 제3 충간 절연막(115), 콘택트 홀(114a, 114b, 119a, 119b), 차광막(113)을 형성한다. 차광막(113)은, 예컨대, 알루미늄이나 텅스텐이라는 금속 재료에 의해서 형성한다. 또한, 도시하지 않지만, 콘택트 홀(118a 및 118b), 수직 버스 라인 배선(116a~116d), 수평 버스 라인 배선(117a 및 117b)도 형성한다. 또한, 차광막(120)도 형성한다. 이에 따라, 도 21~도 26에 도시한 고체 활상 장치가 얻어진다.

이러한 션트 배선 구조를 갖는 고체 활상 장치에서는, 전술한 바와 같이, 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)은 콘택트 홀(114a 또는 114b)을 통해 차광막(113)에 전기적으로 접속되어 있다. 제1 수직 전송 전극(106) 및 제2 수직 전송 전극(109)에는 차광막(113)으로부터도 전송 펄스가 공급된다. 또한, 일반적으로 전송 전극은 비교적 저항이 높은 폴리실리콘(시트저항 : 약  $50\Omega/\square$ )에 의해서 형성되지만, 차광막(113)은 알루미늄(시트저항 :  $0.1\Omega/\square$ )이나 텅스텐(시트저항:  $0.5\Omega/\square$ )에 의해서 형성된다.

이 때문에, 션트 배선 구조를 갖는 고체 활상 장치를 이용하면, 션트 배선 구조를 갖지 않는(폴리실리콘의 전송 전극에만 전송 펄스가 인가되는) 고체 활상 장치에 비교하여, 전송 펄스의 과형 둔화를 극적으로 억제할 수 있어 10배 이상의 고속 구동이 가능해진다.

또한, 션트 배선 구조를 갖는 고체 활상 장치로서는, 도 21~도 29에 도시한 고체 활상 장치(종래예 1) 이외의 것도 제안되어 있다(예컨대, 일본 특허 공개 공보 평5-267356호 참조). 도 30~도 36을 이용하여, 션트 배선 구조를 갖는 고체 활상 장치의 다른 예(종래예 2)에 대해서 설명한다. 우선, 종래예 2의 수직 CCD에 대해서 설명한다.

도 30은, 종래부터의 션트 배선 구조를 갖는 고체 활상 장치의 다른 예에서의 수직 전송 전극, 수직 버스 라인부 및 차광막의 구성을 도시하는 평면도이다. 도 31은, 도 30에 도시하는 구성을 절단선을 따라 절단하여 얻어진 단면도이고, 도 31a는 절단선 V-V'를 따른 단면도, 도 31b는 절단선 W-W'를 따른 단면도, 도 31c는 절단선 X-X'를 따른 단면도이다. 한편, 도 31에 있어서도, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다. 또한, 도 30 및 도 31에 있어서, 종래예 1과 동일하게 구성된 부분에 대해서는 도 23 및 도 24에서 도시한 부호를 사용하고 있다.

도 30에 도시하는 바와 같이, 수직 CCD(202)는 전송 채널(102a)과, 제1 수직 전송 전극(206) 및 제2 수직 전송 전극(209)을 구비하고 있다. 종래예 2에 있어서도, 종래예 1과 마찬가지로, 제1 수직 전송 전극(206) 및 제2 수직 전송 전극(209)은 전송 채널(102a)을 가로지르도록 형성되어 있다. 차광막(113)은 전송 채널(102a)을 따라 형성되어 있다.

또한, 종래예 1과 마찬가지로, 제1 수직 전송 전극(206)은 콘택트 홀(218a)에 의해서, 수직 버스 라인 배선(116b 또는 116d)에 접속되어 있다. 제2 수직 전송 전극(209)은 콘택트 홀(218b)에 의해서, 수직 버스 라인 배선(116a 또는 116c)에 접속되어 있다. 차광막(113)은 콘택트 홀(214a)에 의해서 제1 수직 전송 전극(206)에 접속되고, 콘택트 홀(214b)에 의해서 제2 수직 전송 전극(209)에 접속되어 있다. 도 31a~c에 도시하는 바와 같이, 종래예 1과 마찬가지로, 제1 수직 전송 전극(206)은 게이트 절연막(105) 상에, 일정한 간격을 두고 형성되어 있다. 제1 수직 전송 전극(206)의 주위에는 제1 충간 절연막(108)이 형성되어 있다.

단, 도 30 및 도 31에 도시하는 바와 같이, 종래예 2에서는, 종래예 1과 상이하고, 제2 수직 전송 전극(109)은 전송 채널(102a)이 형성되어 있지 않은 영역에 있어서도, 이웃이 되는 제1 수직 전송 전극(106)의 사이의 게이트 절연막(105) 상에 형성되어 있다. 또한, 제2 수직 전송 전극(109)은 전송 채널(102a)이 형성된 영역 상에 있어서, 그 단부가 제1 수직 전송 전극(106)과 겹치지 않도록 형성되어 있다.

한편, 도 31a~c에 도시하는 바와 같이, 종래예 1과 마찬가지로, 종래예 2에 있어서도, 제2 층간 절연막(112), 차광막(113) 및 제3 층간 절연막(115)이 형성된다(도 24 참조). 또한, 콘택트 홀(214a)은 제1 층간 절연막(108) 및 제2 층간 절연막(112)을 관통한다. 도 31에는 도시하지 않지만, 콘택트 홀(214b)은 제2 층간 절연막(112)을 관통한다. 또한, 도 31c에 도시하는 바와 같이, 콘택트 홀(218a)은 제1 층간 절연막(108), 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통하고, 콘택트 홀(218b)은 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통한다.

다음에, 종래예 2의 수평 CCD에 관해서 설명한다. 도 32는 종래부터의 션트 배선 구조를 갖는 고체 활상 장치의 다른 예에서의 수평 전송 전극, 수평 버스 라인부의 구성을 도시하는 평면도이다. 도 33은, 도 32에 도시하는 구성을 절단선을 따라 절단하여 얻어진 단면도이고, 도 33a는 절단선 Y-Y'를 따른 단면도, 도 33b는 절단선 Z-Z'를 따른 단면도이다. 한편, 도 33에 있어서도, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다. 또한, 도 32 및 도 33에 있어서, 종래예 1과 마찬가지로 구성된 부분에 관해서는 도 25 및 도 26에서 도시한 부호를 사용하고 있다.

도 32에 도시하는 바와 같이, 수평 CCD(203)는 전송 채널(103a)과, 제1 수평 전송 전극(207) 및 제2 수평 전송 전극(210)을 구비하고 있다. 종래예 2에 있어서도, 종래 1과 마찬가지로, 제1 수평 전송 전극(207) 및 제2 수평 전송 전극(210)은 전송 채널(103a)의 상에 이것을 가로지르도록 형성되어 있다.

또한, 종래예 1과 마찬가지로, 제1 수평 전송 전극(207)은 콘택트 홀(219a)에 의해서, 수평 버스 라인 배선(117a 또는 117b)에 접속되어 있다. 제2 수평 전송 전극(210)은 콘택트 홀(219b)에 의해서, 수평 버스 라인 배선(117a 또는 117b)에 접속되어 있다. 또한, 제1 수평 전송 전극(207)은 게이트 절연막(105) 상에 일정한 간격을 두고 형성되어 있다. 제1 수평 전송 전극(207)의 주위에는 제1 층간 절연막(108)이 형성되어 있다.

단, 도 33a 및 b에 도시하는 바와 같이, 종래예 2에서는 수직 CCD(202)의 경우와 마찬가지로, 수평 CCD(203)에 있어서도 제2 수평 전송 전극(210)은 전체 영역에서 인접하는 제1 수평 전송 전극(207)의 사이의 게이트 절연막(105) 상에 형성되어 있다. 또한, 제2 수평 전송 전극(210)은 전송 채널(103a)이 형성된 영역 상에 있어서, 그 단부가 제1 수평 전송 전극(207)과 중합되지 않도록 형성되어 있다. 따라서, 전송 채널(103a)이 형성되어 있지 않은 영역 상에서는 제1 수평 전송 전극(207) 및 제2 수평 전송 전극(210)의 폭은 종래예 1의 경우보다 좁게 되어 있다.

또한, 종래예 1과 마찬가지로, 제2 층간 절연막(112) 및 제3 층간 절연막(115)이 형성되어 있다. 제3 층간 절연막(115)의 위에는 수평 버스 라인 배선(117a, 117b) 및 차광막(120)이 형성되어 있다. 또한, 도 33b에 도시하는 바와 같이, 콘택트 홀(219a)은 제1 층간 절연막(108), 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통하고 있다. 콘택트 홀(219b)은 제2 층간 절연막(112) 및 제3 층간 절연막(115)을 관통하고 있다.

다음에, 도 30~도 33에 도시한 종래예 2의 고체 활상 장치의 제조 방법에 관해서 도 34~도 36을 이용하여 설명한다. 도 34~도 36은, 도 30~도 33에 도시한 고체 활상 장치의 제조 방법을 도시하는 단면도이다. 도 34a~f는 각각 주된 일련의 공정을 도시하고 있다. 마찬가지로, 도 35a~f, 도 36a~f도 각각 주된 일련의 공정을 도시하고 있다. 또한, 도 34는 도 31a에 도시한 단면도에 대응하고, 도 35는 도 31b에 도시한 단면도에 대응하며, 도 36은 도 33a에 도시한 단면도에 대응한다. 한편, 도 34~도 36에 있어서는, 도전성의 부재(반도체 기판을 제외함)와 레지스트 패턴에만 해칭을 실시하고 있다.

처음에, 도 34a, 도 35a 및 도 36a에 도시하는 바와 같이, 반도체 기판(101)의 위에 게이트 절연막(105), 폴리실리콘막을 순차 형성하고, 포트리소그래피법 및 RIE법을 실시한다. 이에 따라 제1 수직 전송 전극(206) 및 제1 수평 전송 전극(207)이 형성된다. 그 후, 제1 층간 절연막(108)을 형성한다. 도 34a, 도 35a 및 도 36a에 도시하는 공정은, 도 27a, 도 28a 및 도 29a에 도시하는 공정과 동일한 공정이다.

다음에, 도 34b, 도 35b 및 도 36b에 도시하는 바와 같이, 감압 CVD법을 이용하여 반도체 기판(101)의 표면을 덮도록 새로운 폴리실리콘막(221)을 형성한다. 이어서, 포트리소그래피법에 의해서 레지스트 패턴(222)을 형성한다. 레지스트 패턴(222)은 반도체 기판(101)의 두께 방향에 있어서 제1 층간 절연막(108)과 겹치지 않도록 형성한다.

다음에, 도 34c, 도 35c 및 도 36c에 도시하는 바와 같이, CMP(화학적 기계 연마 : Chemical Mechanical Polishing)법을 실시하여 레지스트 패턴(222) 및 폴리실리콘막(221)을 연마한다. 이 때, 폴리실리콘막(221)의 연마 레이트는 제1 층간 절연막(108)의 연마 레이트에 비교해서 크게 설정되어 있다. 따라서, 제1 층간 절연막(108)은 연마되지 않고, 폴리실리콘막(221)만이 연마 및 제거된다. CMP의 실시에 의해, 제1 층간 절연막(108)의 상면과 폴리실리콘막(221)의 상면은 연속한 평면이 된다.

다음에, 도 34d, 도 35d 및 도 36d에 도시하는 바와 같이, 연마 후의 폴리실리콘막(221)을 제2 수직 전송 전극(209) 및 제2 수평 전송 전극(210)으로 하기 위해서, 포토리소그래피법에 의해서 레지스트 패턴(223)을 형성한다. 또한, 도 34e, 도 35e 및 도 36e에 도시하는 바와 같이, 레지스트 패턴(223)을 마스크로 하여 RIE법을 실시한다. 이에 따라, 폴리실리콘막(221)은 패터닝되고, 제2 수직 전송 전극(209) 및 제2 수평 전송 전극(210)이 형성된다.

그 후, 도 34f, 도 35f 및 도 36f에 도시하는 바와 같이, 종래 예 1과 마찬가지로, 제2 층간 절연막(112), 제3 층간 절연막(115), 콘택트 홀(214a, 214b, 219a, 219b), 차광막(113 및 120)을 형성한다. 또한, 도시하지 않지만, 콘택트 홀(118a 및 118b), 수직 버스 라인 배선(116a~116d), 수평 버스 라인 배선(117a 및 117b)을 형성한다. 또한, 차광막(120)도 형성한다. 이에 따라, 도 30~도 33에 도시한 종래 예 2의 고체 활상 장치가 얻어진다. 종래 예 2에서는, 종래 예 1과 상이하게 CMP법이 이용되는 점에서 종래 예 1과 크게 상이하다.

전술한 종래 예 1 및 종래 예 2의 고체 활상 장치는 이하의 문제를 갖고 있다. 이 점에 관해서 이하에 설명한다.

종래 예 1의 고체 활상 장치에서는, 도 23 및 도 24에 도시하는 바와 같이, 제2 수직 전송 전극(109)은 전송 채널(102a)이 형성된 영역 상에서는, 그 단부(109a 및 109b)가 제1 수직 전송 전극(106)의 단부와 겹치도록 형성된다. 이 때문에, 차광막(113)과 제1 수직 전송 전극(106)을 접속하는 콘택트 홀(114a)은 이웃이 되는 제2 수직 전송 전극(109)의 한 쪽의 단부(109a)와 다른 쪽의 단부(109b)의 사이에 형성해야 한다.

그러나, 이웃이 되는 제2 수직 전송 전극(109)의 한 쪽의 단부(109a)와 다른 쪽의 단부(109b)의 거리는 작고, 예컨대, 화소 사이즈가  $3\mu\text{m}$  각보다도 작아지면,  $0.6\mu\text{m}$  미만이 된다. 이 경우, 콘택트 홀(114a)은  $0.3\mu\text{m}$  각보다도 작게 형성해야 하고, 그 형성은 매우 곤란해진다.

또한, 이웃이 되는 제2 수직 전송 전극(109)의 한 쪽의 단부(109a)와 다른 쪽의 단부(109b)의 거리가 작아지기 때문에, 콘택트 홀(114a)과 제2 수직 전송 전극의 단부(109a 또는 109b)의 거리도 작아진다. 이 결과, 콘택트 홀(114a)의 홀 치수의 불균일이나, 콘택트 홀(114a) 및 제2 수직 전송 전극(109)의 형성 시의 마스크 맞춤의 어긋남 등에 의해서, 차광막(113)과 제2 수직 전송 전극(109)이 접촉하여 쇼트하는 경우도 있다.

또한, 전술한 바와 같이, 수직 CCD(102)의 전송 채널(102a)이 형성된 영역 상에서도, 제1 수직 전송 전극(106)과 제2 수직 전송 전극(109)은 서로의 단부가 중합되도록 형성되어 있고, 양자 사이에는 층간 용량이 형성된다. 또한, 양자에는, 각각 상이한 펄스가 인가되기 때문에(도 23 참조), 이 층간 용량에 기인하는 소비 전력의 증가가 큰 문제가 된다.

마찬가지로, 수평 CCD(103)의 전송 채널(103a)이 형성된 영역 상에서도, 다른 펄스가 인가되는 제1 수평 전송 전극(107)과 제2 수평 전송 전극(110)이 각각의 단부가 서로 중합되도록 형성되고(도 26a 참조), 양자에는 층간 용량이 형성된다. 이 때문에, 종래 예 1의 고체 활상 장치에서는 수평 CCD(103)에 있어서도 이 층간 용량에 기인하는 소비 전력의 증가가 문제가 된다.

한편, 종래 예 2의 고체 활상 장치에서는, 도 30 및 도 31에 도시하는 바와 같이, 제2 수직 전송 전극(209)은 모든 영역에 있어서도 제1 수직 전송 전극(206)에 겹쳐지고 있지 않다. 따라서, 종래 예 1에 비교하여, 차광막(113)과 제1 수직 전송 전극(206)을 접속하는 콘택트 홀(214a)의 홀 치수를 크게 할 수 있다. 따라서, 예컨대, 화소 사이즈가  $3\mu\text{m}$  각인 경우라도,  $0.3\mu\text{m}$  각 이상의 콘택트 홀(214a)을 형성할 수 있다. 또한, 종래 예 1에 비교하여, 제2 수직 전송 전극(209)과 차광막(113)의 쇼트도 발생하기 어렵다.

또한, 종래 예 2의 고체 활상 장치에서는, 제1 수직 전송 전극(206)과 제2 수직 전송 전극(209), 제1 수평 전송 전극(207)과 제2 수평 전송 전극(210)은, 서로 겹치지 않도록 형성되어 있기 때문에, 종래 예 1에 비교하여 층간 용량을 저감시킬 수 있고, 소비 전력을 저감시킬 수 있다.

그러나, 종래 예 2의 고체 활상 장치에서는, 전송 전극을 중합시키지 않기 때문에, 수직 버스 라인부(116)가 형성되는 영역에 있어서 제1 수직 전송 전극(206) 및 제2 수직 전송 전극(209)의 폭(단변 방향의 길이)은, 종래 예 1에 비교해서 작아진다. 마찬가지로, 수평 버스 라인부(117)가 형성되는 영역에 있어서도 제1 수평 전송 전극(207) 및 제2 수평 전송 전극(210)의 폭(단변 방향의 길이)은 종래 예 1에 비교해서 작아진다.

이 때문에, 수직 전송 전극과 수직 버스 라인부(116)를 접속하는 콘택트 홀(218a 및 218b), 수평 전송 전극과 수평 버스 라인부(117)를 접속하는 콘택트 홀(219a 및 219b)의 홀 치수를 작게 해야 한다. 이 결과, 홀 형성이나, 수평 전송 전극(207 및 210)과 버스 라인 배선(117a 및 117b)의 콘택트가 곤란해진다.

특히, 종래에 2와 같이 수평 CCD(103)가 2상 구동 방식인 경우, 수평 버스 라인부(217)에는 1화소당 4개의 수평 전송 전극(207 및 210)을 형성해야 한다. 이 때문에, 고화소화를 도모하고자 하면, 수평 전송 전극(207 및 210)의 폭(단변 방향의 길이)은 매우 작아지고, 콘택트 홀(219a 및 219b)의 형성이나, 수평 전송 전극(207 및 210)과 수평 버스 라인 배선(117a 및 117b)의 콘택트가 매우 곤란해진다.

또한, 고체 활상 장치가 전체 화소 독출 방식을 채용하는 경우에는, 수직 버스 라인부(116)에는 1화소 당 3개 이상의 수직 전송 전극(206 및 209)을 형성해야만 한다. 이 때문에, 수직 CCD(102)에 있어서도 수평 CCD(103)와 마찬가지로, 수직 전송 전극(206 및 209)의 폭(단변 방향의 길이)은 매우 작아진다. 따라서, 콘택트 홀(218a 및 218b)의 형성이나, 수직 전송 전극(206 및 209)과 수직 버스 라인 배선(116a~116d)의 콘택트도 매우 곤란해진다.

또한, 종래에 2의 고체 활상 장치의 제조는 CMP법을 이용하기 때문에, 도 37 및 도 38에 도시하는 문제가 발생한다. 도 37은 도 30~도 33에 도시한 고체 활상 장치의 제조 방법에서의 1공정만을 도시하는 단면도이고, 도 37a~c는 동일 공정 중의 상이한 부위의 단면을 도시하고 있다. 도 37a는 도 31c에 도시한 단면도에 대응하고, 도 37b는 도 31b에 도시한 단면도에 대응하며, 도 37c는 도 33a에 도시한 단면도에 대응한다.

도 37에 도시하는 바와 같이, 종래에 2의 제조 방법을 이용한 경우, 제1 수직 전송 전극(206) 및 제1 수평 전송 전극(207)의 패턴의 밀도가 영역마다 상이하기 때문에, CMP 후의 폴리실리콘막(221)의 막두께(t1~t3)에 불균일이 발생한다.

구체적으로 설명하면, 제1 수평 전송 전극(207)의 밀도는 제1 수직 전송 전극(206)의 밀도보다도 높아지고 있다. 따라서, 수평 CCD의 형성 영역에서는, 예컨대, 폴리실리콘막(221)의 연마 레이트보다도 레지스트 패턴(222)(도 34~도 36 참조)의 연마 레이트가 빠른 경우, 폴리실리콘막(221)의 두께(t3)는 제1 충간 절연막(108)의 두께와 대략 동일해진다. 한편, 제1 수직 전송 전극(206)의 밀도는, 제1 수평 전송 전극(207)의 밀도보다 낮게 되어 있다. 이 때문에, 수직 CCD의 형성 영역에서는 폴리실리콘막(221)의 두께(t1 및 t2)는 수평 CCD의 형성 영역에서의 폴리실리콘막(221)보다도 얇게 형성된다.

특히, 도 37b에 도시하는 바와 같이, 포토다이오드부의 주변 영역에서는 제1 수직 전송 전극(206)의 밀도는 가장 낮기 때문에 폴리실리콘막(221)의 두께(t2)는 더욱 얇아진다. 따라서, 종래에 2에 있어서는, 제2 수직 전송 전극(209) 및 제2 수평 전송 전극(210)에서의 저항 불균일이 커지고, 결과, 전송 펄스의 파형 둔화가 커져 전송 효율이 저하될 우려가 있다. 또한, 폴리실리콘막(221)의 두께가 극단적으로 얇아진 경우에는, 제2 수직 전송 전극(209) 및 제2 수평 전송 전극(210)이 단선될 우려도 있다.

도 38은, 도 30~도 33에 도시한 고체 활상 장치의 제조 방법에서의 제2 수직 전송 전극의 형성 공정을 도시하는 단면도이고, 도 38a 및 b는 연속한 공정을 도시하고 있다. 종래에 2의 고체 활상 장치의 제조 공정에서는, 포토다이오드부의 주변 영역에 있어서 제1 충간 절연막(108)의 한 쪽의 단부와 레지스트 패턴(223)의 단부를 일치시킬 필요가 있다(도 35d 참조).

그러나, 도 38a에 도시하는 바와 같이, 레지스트 패턴(223)이 화소의 수직 방향을 따라서 어긋나 형성되는 일이 있다. 이 상태에서, 레지스트 패턴(223)을 마스크로 하여 RIE법을 실시하면, 도 38b에 도시하는 바와 같이, 포토다이오드부의 주변 영역(화소 분리부가 형성되는 영역)에 있어서 제1 수직 전송 전극(206)의 측벽에, 고립된 폴리실리콘막(221)의 에칭 잔여(224)가 형성된다. 이 경우, 에칭 잔여(224)와 제1 충간 절연막(108)으로 용량이 형성되고 소비 전력이 증가된다. 또한, 에칭 잔여(224)를 원인으로 하여, 수직 전송 전극사이의 쇼트나 화상의 검은 상처 등도 발생한다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 상기 문제를 해소하여 충간 용량에 기인하는 소비 전력을 저감시키면서, 배선 설계의 자유도를 높일 수 있는 고체 활상 장치 및 그 제조 방법을 제공하는 것에 있다.

상기 목적을 달성하기 위해서 본 발명에서의 고체 활상 장치는, 신호 전하를 전송하는 전하 전송부와, 전하 전송부에 전송 펄스를 공급하는 버스 라인부가 설치된 반도체 기판을 구비하고, 전하 전송부는 상기 반도체 기판에 형성된 전송 채널과, 상기 전송 채널 상에 그것을 가로지르도록 설치된 복수의 제1 전송 전극 및 복수의 제2 전송 전극과, 상기 제1 전송 전극

및 상기 제2 전송 전극의 위에 상기 전송 채널을 덮도록 형성된 차광막을 구비하고, 상기 버스 라인부는 다른 전송 펠스를 공급하는 복수의 버스 라인 배선을 갖고, 상기 복수의 버스 라인 배선 각각은 상기 복수의 제1 전송 전극 및 상기 복수의 제2 전송 전극 중 어느 하나와 접속되어 있는 고체 활상 장치로서, 상기 복수의 제1 전송 전극 및 상기 복수의 제2 전송 전극은, 적어도 상기 버스 라인 배선이 형성되는 영역에 상기 반도체 기판의 두께 방향에서 겹치는 영역에 있어서, 상기 제2 전송 전극이 상기 제1 전송 전극의 위에 위치하도록 배치되고, 상기 전송 채널이 형성된 영역 상에 있어서 상기 제1 전송 전극과 상기 제2 전송 전극이 이웃이 되도록 배치되고, 상기 제2 전송 전극은 그 상기 전송 채널이 형성된 영역 상의 부분이, 적어도, 다른 전송 펠스가 인가되는 상기 제1 전송 전극에 상기 반도체 기판의 두께 방향에 있어서 겹치지 않도록 형성되어 있는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위해서 본 발명에서의 고체 활상 장치의 제조 방법은, 신호 전하를 전송하는 전하 전송부와, 전하 전송부에 전송 펠스를 공급하는 버스 라인부가 설치된 반도체 기판을 구비하고, 전하 전송부는 상기 반도체 기판에 형성된 전송 채널과, 상기 전송 채널 상에 그것을 가로지르도록 설치된 복수의 제1 전송 전극 및 복수의 제2 전송 전극을 구비하는 고체 활상 장치의 제조 방법으로서, (a)상기 반도체 기판에 상기 전송 채널을 형성하는 공정과, (b)상기 반도체 기판상에 제1 도전막을 성막하고, 상기 제1 도전막을 패터닝하여 상기 복수의 제1 전송 전극을 형성하는 공정과, (c)상기 제1 전송 전극의 주위에 상기 제1 전송 전극과 상기 제2 전송 전극을 절연하는 제1 충간 절연막을 형성하는 공정과, (d)상기 제1 전송 전극 및 상기 반도체 기판을 덮도록 제2 도전막을 성막하는 공정과, (e)적어도 상기 버스 라인 배선이 형성되는 영역에 상기 반도체 기판의 두께 방향에서 겹치는 영역에 있어서, 상기 제1 전송 전극의 위에 상기 제2 도전막이 잔존하도록 상기 제2 도전막을 패터닝하는 공정과, (f)상기 전송 채널이 형성된 영역 상에 있어서, 상기 제2 도전막의 상기 제1 충간 절연막과 상기 반도체 기판의 두께 방향에 있어서 겹치는 부분의 전부 또는 일부가 개구하도록 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 등방성 에칭을 행하여 상기 제2 전송 전극을 형성하는 공정을 갖는 것을 특징으로 한다.

이상의 특징에 의해, 본 발명에서의 고체 활상 장치 및 그 제조 방법에 의하면, 전송 채널이 형성된 영역에 있어서, 제2 수직 전송 전극 사이의 거리를 크게 취할 수 있다. 따라서, 제1 전송 전극에 접속하는 콘택트 홀을 형성하기 위한 영역을 넓게 할 수 있다. 또한, 적어도, 버스 라인 배선이 형성되는 영역에 반도체 기판의 두께 방향에서 겹치는 영역, 즉, 제1 전송 전극 및 제2 전송 전극을 버스 라인 배선에 접속하는 영역에서는, 제1 전송 전극과 제2 전송 전극은 상하에 배치된다. 따라서, 이들의 폭이 좁아지는 것을 억제할 수 있다. 이들의 점에서, 본 발명에서의 고체 활상 장치 및 그 제조 방법에 의하면, 배선 설계의 자유도를 높일 수 있다.

또한, 본 발명에서의 고체 활상 장치 및 그 제조 방법에 의하면, 전송 채널이 형성된 영역에 있어서 제2 전송 전극은, 적어도, 다른 전송 펠스가 공급되는 제1 전송 전극에는 겹치지 않도록 형성된다. 따라서, 제1 전송 전극, 제2 전송 전극 및 이들을 절연하는 절연막에 의해서 형성되는 충간 용량이 커지는 것을 억제할 수 있고, 소비 전력의 증가도 억제할 수 있다.

### 발명의 구성 및 작용

본 발명에서의 고체 활상 장치는, 신호 전하를 전송하는 전하 전송부와, 전하 전송부에 전송 펠스를 공급하는 버스 라인부가 설치된 반도체 기판을 구비하고, 전하 전송부는 상기 반도체 기판에 형성된 전송 채널과, 상기 전송 채널 위에 그것을 가로지르도록 설치된 복수의 제1 전송 전극 및 복수의 제2 전송 전극과, 상기 제1 전송 전극 및 상기 제2 전송 전극의 위에 상기 전송 채널을 덮도록 형성된 차광막을 구비하고, 상기 버스 라인부는 다른 전송 펠스를 공급하는 복수의 버스 라인 배선을 갖고, 상기 복수의 버스 라인 배선 각각은, 상기 복수의 제1 전송 전극 및 상기 복수의 제2 전송 전극 중 어느 하나와 접속되어 있는 고체 활상 장치로서, 상기 복수의 제1 전송 전극 및 상기 복수의 제2 전송 전극은 적어도 상기 버스 라인 배선이 형성되는 영역에 상기 반도체 기판의 두께 방향에서 겹치는 영역에 있어서, 상기 제2 전송 전극이 상기 제1 전송 전극의 위에 위치하도록 배치되고, 상기 전송 채널이 형성된 영역 상에 있어서 상기 제1 전송 전극과 상기 제2 전송 전극이 이웃이 되도록 배치되고, 상기 제2 전송 전극은 그 상기 전송 채널이 형성된 영역 상의 부분이 적어도, 다른 전송 펠스가 인가되는 상기 제1 전송 전극에 상기 반도체 기판의 두께 방향에 있어서 겹치지 않도록 형성되어 있는 것을 특징으로 한다.

또한, 상기 본 발명에서의 고체 활상 장치는, 상기 전하 전송부가 상기 신호 전하를 수직 방향으로 전송하는 수직 전하 전송부를 포함하고, 상기 수직 전하 전송부의 상기 전송 채널은 수직 방향을 따라서 복수 설치되고, 상기 수직 전하 전송부의 상기 제1 전송 전극 및 상기 제2 전송 전극은, 상기 수직 전하 전송부의 상기 복수의 전송 채널을 가로지르도록 설치되고, 상기 수직 전하 전송부의 상기 제2 전송 전극은 그 상기 수직 전하 전송부의 상기 전송 채널이 형성된 영역 상의 부분이 상기 수직 전하 전송부의 상기 제1 전송 전극에, 상기 반도체 기판의 두께 방향에서 겹치지 않도록 형성되어 있는 태양으로 할 수 있다.

또한, 상기 태양에 있어서는, 상기 수직 전하 전송부의 상기 차광막은, 상기 수직 전하 전송부의 상기 복수의 전송 채널 각각을 개별로 덮도록 형성되고, 상기 차광막은, 상기 전송 채널이 형성된 영역 상에 있어서, 콘택트 홀을 통해 상기 수직 전하 전송부의 상기 제1 전송 전극 또는 상기 제2 전송 전극에 접속되어 있어도 좋다.

상기 태양으로 하면, 수직 전하 전송부(수직 CCD)에 있어서, 제1 전송 전극 및 제2 전송 전극의 버스 라인부와 접속하는 부분의 폭을 좁히지 않고, 제1 전송 전극과 차광막을 접속하는 콘택트 홀의 형성 영역을 넓게 할 수 있다. 따라서, 제1 전송 전극과 차광막을 접속하는 콘택트 홀이나, 제1 전송 전극 및 제2 전송 전극과 버스 라인부를 접속하는 콘택트 홀의 설계의 자유도를 높일 수 있다. 또한, 제1 전송 전극과 차광막을 접속하는 콘택트 홀이 제2 전송 전극의 단부에 접촉하여 쇼트가 발생하는 것도 억제할 수 있다. 또한, 수직 전하 전송부에서의 충간 용량을 저감시킬 수 있다.

또한, 상기 본 발명에서의 고체 활상 장치에 있어서는, 상기 반도체 기판에 입사광을 신호 전하로 변환하는 광전 변환부가 추가로 설치되고, 상기 광전 변환부가, 상기 반도체 기판 상에 수직 방향 및 수평 방향을 따라서 매트릭스형상으로 복수 배치되어 있어도 좋다. 이 경우에는, 상기 반도체 기판에 수직 방향에 있어서 서로 이웃이 되는 상기 광전 변환부를 분리하는 화소 분리부가 형성되어 있고, 상기 수직 전하 전송부의 상기 제2 전송 전극은, 그 상기 화소 분리부가 형성된 영역상의 부분도 상기 수직 전하 전송부의 상기 제1 전송 전극에, 상기 반도체 기판의 두께 방향에 있어서 겹치지 않도록 형성되어 있는 것이 바람직하다. 이와 같이 함으로써, 광전 변환부의 주변 영역의 단차를 작게 할 수 있기 때문에, 광전 변환부에 입사하는 광의 입사각을 확대할 수 있고 고감도의 화소를 얻을 수 있다.

또한, 상기 본 발명에서의 고체 활상 장치는 상기 전하 전송부가 상기 신호 전하를 상기 수평 방향으로 전송하는 수평 전하 전송부를 포함하고, 상기 수평 전하 전송부의 상기 전송 채널은 수평 방향을 따라서 설치되고, 상기 수평 전하 전송부의 상기 제1 전송 전극 및 상기 제2 전송 전극은 상기 수평 전하 전송부의 상기 전송 채널을 가로지르도록 설치되며, 상기 수평 전하 전송부의 상기 제2 전송 전극은 그 상기 수평 전하 전송부의 상기 전송 채널이 형성된 영역 상의 부분이, 적어도, 다른 전송 펠스가 인가되는 상기 수평 전하 전송부의 상기 제1 전송 전극에 상기 반도체 기판의 두께 방향에 있어서 겹치지 않도록 형성되어 있는 태양으로 할 수 있다.

상기 태양으로 하면, 수평 전하 전송부(수평 CCD)에 있어서, 제1 전송 전극 및 제2 전송 전극의 버스 라인부와 접속하는 부분의 폭이 좁혀지는 것을 억제하면서 고화소화에 대응할 수 있다. 요컨대, 고화소화에 의해 제1 전송 전극과 제2 전송 전극의 폐치가 작아진 경우라도, 제1 전송 전극 및 제2 전송 전극과 버스 라인부를 접속하는 콘택트 홀의 설계의 자유도를 확보할 수 있다. 또한, 수평 전하 전송부에서의 충간 용량을 저감시킬 수 있다.

또한, 상기 태양에 있어서는, 상기 수평 전하 전송부의 상기 제2 전송 전극에서의 상기 전송 채널이 형성된 영역 상의 부분이, 다른 전송 펠스가 인가되는 상기 수평 전하 전송부의 상기 제1 전송 전극 및 동일한 전송 펠스가 인가되는 상기 수평 전하 전송의 상기 제1 전송 전극에, 상기 반도체 기판의 두께 방향에 있어서 겹치지 않도록, 상기 수평 전하 전송부의 상기 제2 전송 전극을 형성하는 것이 바람직하다. 이 경우에는, 수평 전하 전송부에서의 충간 용량을 한층 더 저감시킬 수 있다. 또한, 수평 전하 전송부의 제2 전송 전극에 의한 단차를 작게 할 수 있기 때문에, 그 위에 도전성의 차광막이 형성된 경우에 있어서 배선간 용량을 저감시킬 수 있다.

또한, 본 발명에서의 고체 활상 장치의 제조 방법은, 신호 전하를 전송하는 전하 전송부와, 전하 전송부에 전송 펠스를 공급하는 버스 라인부가 설치된 반도체 기판을 구비하고, 전하 전송부는 상기 반도체 기판에 형성된 전송 채널과, 상기 전송 채널 상에 그것을 가로지르도록 설치된 복수의 제1 전송 전극 및 복수의 제2 전송 전극을 구비하는 고체 활상 장치의 제조 방법으로서, (a)상기 반도체 기판에 상기 전송 채널을 형성하는 공정과,

(b)상기 반도체 기판 상에 제1 도전막을 성막하고, 상기 제1 도전막을 패터닝하여 상기 복수의 제1 전송 전극을 형성하는 공정과, (c)상기 제1 전송 전극의 주위에, 상기 제1 전송 전극과 상기 제2 전송 전극을 절연하는 제1 충간 절연막을 형성하는 공정과, (d)상기 제1 전송 전극 및 상기 반도체 기판을 덮도록 제2 도전막을 성막하는 공정과, (e)적어도 상기 버스 라인 배선이 형성되는 영역에 상기 반도체 기판의 두께 방향에서 겹치는 영역에 있어서, 상기 제1 전송 전극의 위에 상기 제2 도전막이 잔존하도록 상기 제2 도전막을 패터닝하는 공정과, (f)상기 전송 채널이 형성된 영역 상에 있어서, 상기 제2 도전막의 상기 제1 충간 절연막과 상기 반도체 기판의 두께 방향에 있어서 겹치는 부분의 전부 또는 일부가 개구하도록 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 등방성 에칭을 행하여 상기 제2 전송 전극을 형성하는 공정을 갖는 것을 특징으로 한다.

상기 본 발명에서의 고체 활상 장치의 제조 방법은, 상기 (f)의 공정을 실시한 후에, 상기(e)의 공정을 실시하여 상기 제2 전송 전극을 형성하는 태양으로 할 수 있다. 이 태양에 의하면, 제2 전송 전극의 상면의 평탄화를 용이하게 달성할 수 있고 단차가 적은 구조를 얻을 수 있다.

또한, 상기 본 발명에서의 고체 활상 장치의 제조 방법은, 상기 반도체 기판에, 수직 방향 및 수평 방향을 따라서 매트릭스 형상으로 배치되고, 또한, 입사광을 신호 전하로 변환하는 복수의 광전 변환부를 형성하는 공정과, 상기 반도체 기판에 수직 방향에서 서로 이웃이 되는 상기 광전 변환부를 분리하는 화소 분리부를 형성하는 공정을 더욱 갖고, 상기 (f)의 공정에 있어서, 상기 화소 분리부가 형성된 영역 상에 있어서도, 상기 제2 도전막의 상기 제1 층간 절연막과 상기 반도체 기판의 두께 방향에 있어서 겹치는 부분이 개구하도록 상기 레지스트 패턴을 형성하여 상기 등방성 에칭을 행하는 태양으로 할 수도 있다. 이 태양으로 하면, 얻어진 고체 활상 장치에 있어서, 광전 변환부의 주변 영역의 단차를 작게 할 수 있기 때문에, 광전 변환부에 입사하는 광의 입사각을 확대할 수 있고 고감도의 화소를 얻을 수 있다.

청구항 7 또는 8에 기재된 고체 활상 장치의 제조 방법.

또한, 상기 본 발명에서의 고체 활상 장치의 제조 방법은, 상기 제1 전송 전극 및 상기 제2 전송 전극을 덮는 제2 층간 절연막을 형성하는 공정과, 상기 전송 채널이 형성된 영역 상에 있어서, 상기 제2 층간 절연막에 상기 제1 전송 전극 또는 상기 제2 전송 전극이 저면에 노출하는 콘택트 홀을 형성하는 공정과, 상기 콘택트 홀 내에 도전성 재료를 충전하고, 또한 상기 제2 층간 절연막의 위에 상기 도전성 재료의 막을 형성하는 공정과, 상기 도전성 재료의 막을 패터닝하고, 상기 전송 채널을 덮는 차광막을 형성하는 공정을 더욱 갖는 태양으로 할 수도 있다.

(실시형태 1)

이하, 본 발명의 실시형태 1에서의 고체 활상 장치 및 고체 활상 장치의 제조 방법에 관해서, 도 1~도 7을 참조하면서 설명한다. 처음에, 본 실시형태 1에서의 고체 활상 장치의 구성에 관해서 도 1~도 4를 이용하여 설명한다.

본 실시형태 1에서의 고체 활상 장치도, 배경 기술에 도시한 종래예 1 및 2에 도시한 고체 활상 장치와 마찬가지로, 반도체 기판 상의 수광 영역에 복수의 화소를 매트릭스 형상으로 배치하여 형성되어 있다. 또한, 각 화소는 수직 전하 전송부(이하, 「수직 CCD」)와 포토다이오드부를 구비하고 있다. 또한, 반도체 기판에는 수평 전하 전송부(이하, 「수평 CCD」)나, 수직 버스 라인부 및 수평 버스 라인부도 형성되어 있다.

또한, 본 실시형태 1에 있어서도, 고체 활상 장치는 인터 라인 전송을 채용한 인터 라인 전송 CCD이다. 단, 본 발명에 있어서는, 전송 방식은 특별히 한정되는 것이 아니라, 고체 활상 장치는 풀 프레임 CCD나, 프레임 전송 CCD라도 좋다. 또한, 고체 활상 장치가 풀 프레임 CCD나 프레임 전송 CCD인 경우는, 수직 전하 전송부가 입사광을 신호 전하로 변환하는 광전 변환부로서 기능한다.

본 실시형태 1에서의 고체 활상 장치의構成을 부분마다 설명한다. 우선, 본 실시형태 1에서의 수직 CCD에 관해서 설명한다. 도 1은, 본 발명의 실시형태 1에서의 고체 활상 장치의 수직 CCD 및 수직 버스 라인부의 구성을 도시하는 평면도이다. 도 2는, 도 1에 도시하는 수직 CCD 및 수직 버스 라인부를 절단하여 얻어진 단면도이고, 도 2a는 절단선 A-A'를 따른 단면도, 도 2b는 절단선 B-B'를 따른 단면도, 도 2c는 절단선 C-C'를 따른 단면도이다. 한편, 도 2에 있어서는, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다.

도 1에 도시하는 바와 같이, 본 실시형태 1에 있어서도, 배경 기술에 도시한 종래예 1 및 2와 마찬가지로, 수직 CCD(2)는 수직 방향을 따라서 형성된 복수의 전송 채널(2a)과, 그것들을 가로지르도록 형성된 제1 전송 전극(6) 및 제2 전송 전극(9)을 구비하고 있다. 전송 채널(2a)은 반도체 기판(1)(도 2 참조)에 형성되어 있다. 한편, 이후의 설명에 있어서는, 수직 CCD(2)의 제1 전송 전극(6)은 「제1 수직 전송 전극」(6), 수직 CCD(2)의 제2 전송 전극(9)은 「제2 수직 전송 전극」(9)로 한다.

또한, 도 2a~c에 도시하는 바와 같이, 제1 수직 전송 전극(6)은 반도체 기판(1) 상의 게이트 절연막(5)의 위에 형성되어 있다. 제1 수직 전송 전극(6)과 제2 수직 전송 전극(9)은, 제1 층간 절연막(8)에 의해서 절연되어 있다. 전송 채널(2a)이 형성된 영역 상에 있어서는, 제1 전송 전극(6)과 제2 전송 전극(9)은 이웃이 되도록 배치되어 있다.

또한, 본 실시형태 1에 있어서도, 포토다이오드부(11)는 입사광의 강도과 입사 시간에 따라서 신호 전하를 축적하는 광전 변환부(11a)와, 신호 전하의 독출을 행하는 독출부(도 1에 있어서 도시하지 않음(도 22a 참조))와, 화소 분리부(11c)를 구

비하고 있다. 제1 수직 전송 전극(6) 및 제2 수직 전송 전극(9)의 위에는, 복수의 전송 채널(2a)을 개별로 덮는 스트라이프 형상의 차광막(13)이 형성되어 있다. 또한, 도 1 및 도 2a에 도시하는 바와 같이, 차광막(13)은 콘택트 홀(14a)을 통해 제1 수직 전송 전극(6)에 접속되고, 콘택트 홀(14b)을 통해 제2 수직 전송 전극(9)에 접속되어 있다.

또한, 본 실시형태 1에 있어서도, 수직 버스 라인부(16)는 수직 버스 라인 배선(16a~16d)을 구비하고 있고, 수직 버스 라인 배선(16a~16d) 각각에는, 다른 전송 펄스( $\Phi V1 \sim \Phi V4$ )가 공급되어 있다. 또한, 제1 수직 전송 전극(6)은 콘택트 홀(18a)을 통해, 수직 버스 라인 배선(16b 및 16d)에 접속되어 있다. 제2 수직 전송 전극(9)은 콘택트 홀(18b)를 통해, 수직 버스 라인 배선(16a 및 16c)에 접속되어 있다. 이 구성에 의해, 제1 수직 전송 전극(6)과 제2 수직 전송 전극(9)은 상이한 전송 펄스가 인가된다.

단, 본 실시형태 1에서의 고체 콤벌상 장치의 수직 CCD(2) 및 수직 버스 라인부(16)의 구성은, 배경 기술에 도시한 종래예 1 및 2와 이하의 점에서 다르다. 본 실시형태 1에서는, 도 1, 도 2b 및 c에 도시하는 바와 같이, 복수의 제1 수직 전송 전극(6) 및 복수의 제2 수직 전송 전극(9)은 전송 채널(2a)이 형성되어 있지 않은 영역 상에 있어서는, 제2 수직 전송 전극(9)이 제1 수직 전송 전극(6)의 위에 위치하도록 배치되어 있다.

또한, 본 실시형태 1에서는, 도 1 및 도 2a에 도시하는 바와 같이, 제2 수직 전송 전극(9)은 그 전송 채널(2a)이 형성된 영역 상의 부분이, 제1 전송 전극(6)에 반도체 기판(1)의 두께 방향에서 겹치지 않도록, 즉, 제2 수직 전송 전극(9)의 단부가 제1 수직 전송 전극(6)의 위로 돌출되지 않도록 형성되어 있다.

이와 같이, 본 실시형태 1에 있어서는, 전송 채널(2a)이 형성된 영역 상에 있어서, 제1 수직 전송 전극(6)의 위에는 제2 수직 전송 전극(9)이 존재하지 않기 때문에, 콘택트 홀(14a)의 형성 영역은 종래예 1에 비교해서 넓게 되어 있다. 예컨대, 화소 사이즈가  $3\mu m$  각인 경우, 수직 CCD(2)의 제1 수직 전송 전극(6)의 전송 방향의 길이는  $1\mu m$ 를 확보할 수 있으므로, 콘택트 홀(14a)을  $0.3\mu m$  각 이상의 크기로 용이하게 형성할 수 있다.

또한, 전송 채널(2a)이 형성되어 있지 않은 영역 상, 구체적으로는, 버스 라인 배선(16a~16d)이 형성되는 영역에 반도체 기판의 두께 방향에서 겹치는 영역에 있어서, 제1 수직 전송 전극(6) 및 제2 수직 전송 전극(9)의 폭의 제약은 작다. 이 때문에, 콘택트 홀(18a 및 18b)의 형성 영역은, 종래예 2에 비교해서 넓게 되어 있다. 예컨대, 화소 사이즈가  $3\mu m$  각인 경우, 제1 수직 전송 전극(6) 및 제2 수직 전송 전극(9)에서의 수직 버스 라인 배선(16a~16d)과 접촉하는 부분의 폭은,  $1\mu m$ 을 확보할 수 있다. 따라서, 콘택트 홀(18a 및 18b)을  $0.3\mu m$  각 이상의 크기로 용이하게 형성할 수 있다.

이상과 같이, 본 실시형태 1에 의하면, 종래예 1 및 2에 비교해서, 수직 CCD(2) 및 수평 버스 라인부(16)에서의 설계의 자유도를 높일 수 있고, 화소의 미세화를 용이하게 할 수 있다. 또한, 본 실시형태 1에 의하면, 종래예 1과 마찬가지로 제2 수직 전송 전극(9)의 단부가 제1 수직 전송 전극(6)과 겹치지 않기 때문에, 수직 CCD(2)에서의 수직 전송 전극 사이의 총간 용량(C)을 저감시킬 수 있다. 따라서, 종래예 1에 비교해서 총간 용량(C)에 의한 소비 전력( $=4CV^2f$ )을 저감시킬 수 있다. 한편, 수직 CCD(2)에 있어서, 전압(V)은  $4V \sim 10V$ , 바람직하게는  $6V \sim 8V$ 로 설정된다. 또한, 주파수(f)는  $1kHz \sim 100kHz$ , 바람직하게는  $5kHz \sim 30kHz$ 로 설정된다.

다음에, 본 실시형태 1에서의 수평 CCD에 관해서 설명한다. 도 3은, 본 발명의 실시형태 1에서의 고체 콤벌상 장치의 수평 CCD 및 수평 버스 라인부의 구성을 도시하는 평면도이다. 도 4는 도 3에 도시하는 수평 CCD 및 수평 버스 라인부를 절단하여 얻어진 단면도이고, 도 4a는 절단선 D-D'를 따른 단면도, 도 4b는 절단선 E-E'를 따른 단면도이다. 한편, 도 4에 있어서도, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다.

도 3에 도시하는 바와 같이, 본 실시형태 1에 있어서도, 배경 기술에 도시한 종래예 1 및 2와 마찬가지로, 수평 CCD(3)는 수평 방향을 따라 형성된 전송 채널(3a)과, 이것을 가로지르도록 형성된 제1 전송 전극(7) 및 제2 전송 전극(9)을 구비하고 있다. 전송 채널(3a)도 반도체 기판(1)(도 4 참조)에 형성되어 있다. 한편, 이후의 설명에 있어서는, 수평 CCD(3)의 제1 전송 전극(7)은 「제1 수평 전송 전극」(7), 수평 CCD(3)의 제2 전송 전극(10)은 「제2 수평 전송 전극」(10)으로 한다.

또한, 후술하는 바와 같이, 제1 수평 전송 전극(7)은 제1 수직 전송 전극(6)과 동일한 프로세스에 의해서 형성되고, 제2 수평 전송 전극(10)은, 제2 수직 전송 전극(9)과 동일한 프로세스에 의해서 형성되어 있다. 따라서, 제1 수평 전송 전극(7)도 반도체 기판(1) 상의 게이트 절연막(5)의 위에 형성되어 있다. 또한, 제1 수평 전송 전극(7)과 제2 수평 전송 전극(10)도, 제1 총간 절연막(8)에 의해서 절연되어 있다. 전송 채널(3a)이 형성된 영역 상에 있어서는, 제1 수평 전송 전극(7)과 제2 수평 전송 전극(10)은 이웃이 되도록 배치되어 있다.

또한, 본 실시형태 1에 있어서도, 수평 버스 라인부(17)는 수평 버스 라인 배선(17a 및 17b)을 구비하고 있고, 수평 버스 라인 배선(17a 및 17b) 각각에는, 다른 전송 펠스(ΦH1 및 ΦH2)가 공급되어 있다. 또한, 제1 수평 전송 전극(7)은 콘택트 홀(19a)을 통해 수평 버스 라인 배선(17a 또는 17b)에 접속되어 있다. 제2 수직 전송 전극(9)은 콘택트 홀(19b)을 통해 수평 버스 라인 배선(17a 또는 17b)에 접속되어 있다.

또한, 이웃이 되는 1개의 제1 수평 전송 전극(7)과 1개의 제2 수평 전송 전극(10)은 1조가 되고, 동일한 수평 버스 라인 배선(17a 또는 17b)에 접속되어 있다. 따라서, 1조가 된 제1 수평 전송 전극(7) 및 제2 수평 전송 전극(10)에는 동일한 전송 펠스가 인가된다. 한편, 인접하지만, 조가 다른 제1 수평 전송 전극(7)과 제2 수평 전송 전극(10)은 각각 다른 전송 펠스가 인가된다.

또한, 본 실시형태 1에 있어서도, 도 4a에 도시하는 바와 같이, 전송 채널(3a)이 설치된 영역에서는, 제3 충간 절연막(15)의 위에 차광막(20)이 형성되어 있다. 차광막(20)은 수평 버스 라인 배선(17a 및 17b)과 동일한 금속 재료에 의해서, 동일한 프로세스로 형성되어 있다.

단, 본 실시형태 1에서의 고체 촬상 장치의 수평 CCD(3) 및 수평 버스 라인부(17)의 구성은, 배경 기술에 도시한 종래예 1 및 2와 이하의 점에서 다르다. 본 실시형태 1에서는, 도 3 및 도 4b에 도시하는 바와 같이 복수의 제1 수평 전송 전극(7) 및 복수의 제2 수평 전송 전극(10)은, 전송 채널(3a)이 형성되어 있지 않은 영역 상, 예컨대 수평 버스 라인부(17)의 형성 영역에 있어서는 제2 수평 전송 전극(10)이 제1 수평 전송 전극(7) 위에 위치하도록 배치되어 있다.

따라서, 전송 채널(3a)이 형성되어 있지 않은 영역 상에 있어서, 제1 수평 전송 전극(7) 및 제2 수평 전송 전극(10)의 폭의 제약은 작아지기 때문에, 콘택트 홀(19a 및 19b)의 형성 영역은, 종래예 2에 비교해서 넓게 되어 있다. 예컨대, 화소 사이즈가  $3\mu\text{m}$  각인 경우, 제1 수평 전송 전극(7) 및 제2 수평 전송 전극(10)에서의 수평 버스 라인 배선(17a 또는 17b)과 접촉하는 부분의 폭은,  $1\mu\text{m}$ 을 확보할 수 있다. 이 때문에, 콘택트 홀(19a 및 19b)을  $0.3\mu\text{m}$  각 이상의 크기로 용이하게 형성할 수 있다.

이로부터, 본 실시형태 1에 의하면, 고화소화에 의해 제1 수평 전송 전극(7)과 제2 수평 전송 전극(10)의 피치가 작아지는 경우라도, 종래예 2에 비교해서 수평 버스 라인부(17)에서의 설계의 자유도를 높일 수 있고, 화소의 미세화를 용이하게 할 수 있다.

또한, 본 실시형태 1에서는, 도 3 및 도 4a에 도시하는 바와 같이, 제2 수평 전송 전극(10)은 그 전송 채널(3a)이 형성된 영역 상의 부분이, 다른 전송 펠스가 인가되는 제1 수평 전송 전극(7)에 반도체 기판(1)의 두께 방향에서 겹치지 않도록 형성되어 있다. 즉, 본 실시형태 1에서는, 제2 수평 전송 전극(10)의 단부 중, 동일한 수평 버스 라인 배선에 접속된 제1 수평 전송 전극(7)측의 단부(10a)만이 제1 수평 전송 전극(7)의 위로 돌출되어 있다.

이 때문에, 본 실시형태 1에 의하면, 종래예 1에 비교해서, 수평 CCD(3)에서의 수평 전송 전극 간의 충간 용량(C)을 저감 시킬 수 있다. 따라서, 종래예 1에 비교해서 충간 용량(C)에 의한 소비 전력( $-2CV^2f$ )을 저감시킬 수 있고, 나아가서는 수평 CCD의 소비 전력도 저감시킬 수 있다. 한편, 수평 CCD(3)에 있어서, 전압(V)은  $1V \sim 5V$ , 바람직하게는  $3V$  정도로 설정된다. 또한, 주파수(f)는  $1\text{kHz} \sim 100\text{kHz}$ , 바람직하게는  $10\text{kHz} \sim 40\text{kHz}$ 로 설정된다.

다음에, 본 실시형태 1에서의 고체 촬상 장치의 제조 방법에 관해서 도 5~도 7을 이용하여 설명한다. 도 5~도 7은, 도 1~도 4에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이다. 도 5a~f는 각각 주된 일련의 공정을 도시하고 있다. 마찬가지로, 도 6a~f, 도 7a~f도 각각 주된 일련의 공정을 도시하고 있다. 또한, 도 5는 도 2a에 도시한 단면도에 대응하고, 도 6은 도 2b에 도시한 단면도에 대응하며, 도 7은 도 4a에 도시한 단면도에 대응한다. 한편, 도 5~도 7에 있어서는, 도전성의 부재(반도체 기판을 제외함)와 레지스트 패턴에만 해칭을 실시하고 있다.

처음에, 예컨대 실리콘 기판 등의 반도체 기판(1)에 불순물을 이온 주입하고, 광전 변환부(11a)(도 1 참조), 화소 분리부(11c)(도 1 참조), 전송 채널(2a 및 3a)(도 1 및 도 3 참조) 등을 형성한다. 이어서, 도 5a, 도 6a 및 도 7a에 도시하는 바와 같이, 반도체 기판(1)의 표면에 열산화법이나 감압 CVD(화학 기상 성장)법을 이용하여, 산화막이나 질화막 등으로 형성된 게이트 절연막(5)을 형성한다. 그 위에, 감압 CVD법을 이용하여 폴리실리콘막 등의 제1 도전막을 형성한다. 제1 도전막은, 제1 수직 전송 전극(6) 또는 제1 수평 전송 전극(7)이 된다.

이어서, 포트리소그래피법 및 RIE(반응성 이온 에칭)법을 실시하고, 제1 도전막을 패터닝 제거한다. 이에 따라, 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)이 설정된 간격을 두어 형성된다. 그 후, 열산화법 등을 실시하여 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 주위에 제1 층간 절연막(8)을 형성한다.

다음에, 도 5b, 도 6b 및 도 7b에 도시하는 바와 같이, 감압 CVD법을 이용하여, 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 위에, 폴리실리콘막 등의 제2 도전막(21)을 형성한다. 제2 도전막(21)은 제2 수직 전송 전극(9) 및 제2 수평 전송 전극(10)이 된다.

이어서, 포트리소그래피법을 실시하여 레지스트 패턴(22)을 형성한다. 레지스트 패턴(22)은 전송 채널(2a 및 3a)이 형성되어 있지 않은 영역 상에서는 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 위쪽의 영역이 마스크되도록 형성되어 있다(도 6b 참조). 한편, 레지스트 패턴(22)은 전송 채널(2a 및 3a)이 형성된 영역 상에서는 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 위쪽의 영역이 개구하도록 형성되어 있다(도 5b 및 도 7b 참조).

다음에, 도 5c, 도 6c 및 도 7c에 도시하는 바와 같이, 레지스트 패턴(22)을 마스크로 하여 이방성 에칭을 행하고 제2 도전막(21)을 패터닝 제거한다. 구체적으로는 RIE 법을 실시한다. 이에 따라, 전송 채널(2a 및 3a)이 형성되어 있지 않은 영역 상에 있어서는, 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 위에만 제2 도전막(21)이 잔존하게 된다(도 6c 참조). 또한, 전송 채널(2a 및 3a)이 형성된 영역 상에 있어서는, 제1 수직 전송 전극(6) 또는 제1 수평 전송 전극(7)의 단부와 제2 도전막(21)이 겹쳐진 상태가 된다(도 5c 및 도 7c 참조). RIE법의 종료 후, 레지스트 패턴(22)을 제거한다.

다음에, 도 5d, 도 6d 및 도 7d에 도시하는 바와 같이, 포트리소그래피법을 실시하여 레지스트 패턴(23)을 형성한다. 레지스트 패턴(23)은 수직 CCD의 전송 채널(2a)이 형성된 영역 상에 있어서는, 제2 도전막(21)에서의 제1 층간 절연막(8)(제1 수직 전송 전극(6))과 반도체 기판(1)의 두께 방향에서 겹치는 부분이 개구되도록 형성되어 있다(도 5d 참조).

또한, 레지스트 패턴(23)은 수평 CCD의 전송 채널(3a)이 형성된 영역 상에 있어서는, 제2 도전막(21)에서의 제1 층간 절연막(8)(제1 수평 전송 전극(7))과 반도체 기판(1)의 두께 방향에서 겹치는 부분의 일부가 개구되도록 형성되어 있다(도 7d 참조). 본 예에서는, 레지스트 패턴(23)은 제1 수평 전송 전극(7)에서의, 동일한 수평 버스 라인 배선에 접속되어 있지 않은 제2 도전막(21)측의 단부 표면을 개구하고 있다.

이어서, 레지스트 패턴(23)을 마스크로 하여 등방성 에칭을 행한다. 이 때, 제2 도전막(21)의 에칭은 레지스트 패턴(23)의 개구부의 아래쪽뿐만 아니라, 가로로도 진행하기 때문에, 제2 도전막(21)의 상면은 제1 층간 절연막(8)의 상면과 대략 일치하게 된다. 그리고, 레지스트 패턴(23)을 제거한다. 이 결과, 도 5e, 도 6e 및 도 7e에 도시하는 바와 같이 제2 수직 전송 전극(9)과 제2 수평 전송 전극(10)가 동시에 형성된다.

그 후, 도 5f, 도 6f 및 도 7f에 도시하는 바와 같이, 제2 층간 절연막(12), 제3 층간 절연막(15), 콘택트 홀(14a, 14b, 19a, 19b), 차광막(13)을 형성한다. 차광막(13)은, 예컨대, 알루미늄이나 텅스텐이라는 금속 재료에 의해서 형성한다. 또한, 도시하지 않지만, 콘택트 홀(18a 및 18b), 수직 버스 라인 배선(16a~16d), 수평 버스 라인 배선(17a 및 17b)도 형성한다. 또한 차광막(20)도 형성한다. 이에 따라, 도 1~도 4에 도시한 고체 활상 장치를 얻을 수 있다.

이와 같이, 본 실시형태 1에서의 고체 활상 장치의 제조 방법을 실시하면, 도 1~도 4에 도시한 본 실시형태 1에서의 고체 활상 장치를 얻을 수 있다. 또한, 본 실시형태 1에서의 고체 활상 장치의 제조 방법에 의하면, 종래에 2와 같이 CMP법을 실시하지 않고, 제1 수직 전송 전극(6)에 겹치는 제2 수직 전송 전극(9)의 단부와, 제1 수평 전송 전극(7)에 겹치는 제2 수평 전송 전극(10)의 단부를 제거할 수 있다. 이 때문에, 종래에 2와 같이, 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 패턴의 조밀에 의해서, 제2 도전막(21)의 두께가 불균일해지는 것을 억제할 수 있고, 막두께가 안정된 제2 수직 전송 전극(9) 및 제2 수평 전송 전극(10)을 얻을 수 있다. 따라서, 본 실시형태 1에 의하면, 제2 수직 전송 전극(9) 및 제2 수평 전송 전극(10)에서의 저항 불균일이 커지고, 소비 전력이 증가하는 것을 억제할 수 있다.

한편, 본 실시형태 1에서는, 수직 CCD(2) 및 수평 CCD(3)의 양쪽에 있어서, 제1 전송 전극과 제2 전송 전극이 반도체 기판(1)의 두께 방향에서 겹치지 않게 되고 있지만, 이것에 한정되는 것이 아니다. 수직 CCD 및 수평 CCD의 어느 한 쪽에 있어서만, 제1 전송 전극과 제2 전송 전극이 반도체 기판의 두께 방향에서 겹치지 않게 된 태양이라도 좋다.

예컨대, 제1 수직 전송 전극(6)에 접속하는 콘택트 홀(14a)의 형성을 용이하는 것만을 목적으로 하면, 제1 수직 전송 전극(6)과 제2 수직 전송 전극(9)의 겹침만을 제거하면 좋다. 또한, 수평 CCD(3)의 소비 전력의 저감만을 목적으로 하는 경우에는, 제1 수평 전송 전극(7)과 제2 수평 전송 전극(10)의 겹침만을 제거하면 좋다. 이러한 양 태양은 필요에 따라서 각각 독립적으로 선택할 수 있다.

#### (실시형태 2)

다음에, 본 발명의 실시형태 2에서의 고체 활상 장치 및 고체 활상 장치의 제조 방법에 관해서, 도 8~도 12를 참조하면서 설명한다. 본 실시형태 2에서의 고체 활상 장치는, 도 1~도 4에 도시한 실시형태 1의 고체 활상 장치와 동일한 구성을 갖고 있다. 단, 본 실시형태 2에서의 고체 활상 장치의 제조 방법은, 이하의 점에서 실시형태 1과 다르다.

도 8~도 10을 이용하여 본 실시형태 2에서의 고체 활상 장치의 제조 방법에 관해서 설명한다. 도 8~도 10은, 실시형태 2에서의 고체 활상 장치의 제조 방법을 도시하는 단면도이다. 도 8a~f는 각각 주된 일련의 공정을 도시하고 있다. 마찬가지로, 도 9a~f, 도 10a~f도 각각 주된 일련의 공정을 도시하고 있다. 또한, 도 8은 도 2a에 도시한 단면도에 대응하고, 도 9는 도 2b에 도시한 단면도에 대응하며, 도 10은 도 4a에 도시한 단면도에 대응한다. 한편, 도 8~도 10에 있어서도, 도전성의 부재(반도체 기판을 제외함)와 레지스트 패턴에만 해칭을 실시하고 있다.

처음에, 도 8a, 도 9a 및 도 10a에 도시하는 바와 같이, 전송 채널(2a 및 3a)(도 1 및 도 3 참조) 등이 형성된 반도체 기판(1) 상에, 게이트 절연막(5), 제1 수직 전송 전극(6), 제1 수평 전송 전극(7), 및 제1 층간 절연막(8)을 형성한다. 한편, 도 8a, 도 9a 및 도 10a에 도시하는 공정은, 실시형태 1에 있어서도 5a, 도 6a 및 도 7a에 도시한 공정과 마찬가지로 행해진다.

다음에, 도 8b, 도 9b 및 도 10b에 도시하는 바와 같이, 감압 CVD법을 이용하여, 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 위에 제2 도전막(21)을 형성한다. 이어서, 포트리소그래피법을 실시하여 레지스트 패턴(24)을 형성한다. 레지스트 패턴(24)은, 실시형태 1에 있어서도 5d, 도 6d 및 도 7d에 도시한 레지스트 패턴(23)과 동일한 것이다.

구체적으로는, 레지스트 패턴(24)도, 수직 CCD의 전송 채널(2a)이 형성된 영역 상에 있어서는, 제2 도전막(21)에서의, 제1 층간 절연막(8)(제1 수직 전송 전극(6))과 반도체 기판(1)의 두께 방향에서 겹치는 부분이 개구되도록 형성되어 있다(도 8b 참조).

또한, 도 10b에 도시하는 바와 같이, 레지스트 패턴(24)은 수평 CCD의 전송 채널(3a)이 형성된 영역 상에 있어서는, 제2 도전막(21)에서의 제1 층간 절연막(8)(제1 수평 전송 전극(7))과 반도체 기판(1)의 두께 방향에서 겹치는 부분의 일부가 개구되도록 형성되어 있다. 도 10b의 예에서도, 도 7d의 예와 마찬가지로, 레지스트 패턴(24)은 제1 수평 전송 전극(7)에서의 동일한 수평 버스 라인 배선에 접속되어 있지 않은 제2 도전막(21)측의 단부 상면을 개구하고 있다.

이어서, 도 8c, 도 9c 및 도 10c에 도시하는 바와 같이, 레지스트 패턴(24)을 마스크로 하여 등방성 에칭을 행한다. 이 때에도, 실시형태 1에 있어서도 5d 및 도 7d에 도시한 공정과 마찬가지로, 제2 도전막(21)의 에칭은 레지스트 패턴(24)의 개구부의 아래쪽뿐만 아니라, 가로로도 진행한다. 따라서, 제2 도전막(21)의 상면은 제1 층간 절연막(8)의 상면과 대략 일치하게 된다. 그리고, 레지스트 패턴(24)을 제거한다.

다음에, 도 8d, 도 9d 및 도 10d에 도시하는 바와 같이, 포트리소그래피법을 실시하여 레지스트 패턴(25)을 형성한다. 레지스트 패턴(25)은, 실시형태 1에 있어서도 5b, 도 6b 및 도 7b에 도시한 레지스트 패턴(22)과 마찬가지로, 전송 채널(2a 및 3a)이 형성되어 있지 않은 영역 상에서는, 제1 수직 전송 전극(6) 및 제1 수평 전송 전극(7)의 위쪽의 영역이 마스크되도록 형성되어 있다(도 9d 참조).

한편, 레지스트 패턴(25)은 전송 채널(2a)이 형성된 영역에서는, 해당 영역 및 그 주변 전체부를 덮도록 형성되어 있다(도 8d 참조). 또한, 레지스트 패턴(25)은 전송 채널(3a)이 형성된 영역 상에서는, 제2 도전막(21)의 제1 수평 전송 전극(6)에 겹친 부분의 일부가 개구하도록 형성되어 있다(도 10d 참조).

이어서, 레지스트 패턴(25)을 마스크로 하여 이방성 에칭을 행하여 제2 도전막(21)을 패터닝 제거한다. 구체적으로는, RIE 법을 실시한다. 그리고, 레지스트 패턴(25)을 제거한다. 이 결과, 도 8e, 도 9e 및 도 10e에 도시하는 바와 같이, 제2 수직 전송 전극(9)과 제2 수평 전송 전극(10)이 동시에 형성된다.

그 후, 도 8f, 도 9f 및 도 10f에 도시하는 공정을 실시하면, 본 실시형태 2에 있어서도, 실시형태 1에 있어서 도 1~도 4에 도시한 고체 촬상 장치가 얻어진다. 한편, 도 8f, 도 9f 및 도 10f에 도시하는 공정은, 도 5f, 도 6f 및 도 7f에 도시하는 공정과 동일하게 행해진다.

이와 같이, 본 실시형태 2에서의 고체 촬상 장치의 제조 방법은, 등방성 예칭을 행한 후에 이방성 예칭을 행함으로써, 제2 수직 전송 전극(9) 및 제2 수평 전송 전극(10)을 형성하고 있고, 이 점에서, 실시형태 1에서의 고체 촬상 장치의 제조 방법과 다르다. 요컨대, 본 실시형태 2에 있어서는, 배경 기술에 있어서 도 24 a에 도시한 제2 수직 전송 전극(109)의 단부(109a)나 제2 수평 전송 전극(110)의 단부(110a)에 해당하는 제2 도전막(21)의 일부를 먼저 제거한다. 그 후, 제2 도전막(21)에 대하여 최종적인 패터닝이 행해진다.

이 때문에, 본 실시형태 2에서의 고체 촬상 장치의 제조 방법을 이용하면, 실시형태 1에 있어서 설명한 효과의 외에, 더욱 뛰어난 효과를 얻을 수 있다. 이 점에 관해서, 도 11 및 도 12를 이용하여 설명한다. 도 11은, 실시형태 1에 있어서 도 5d에 도시한 공정을 상세히 도시하는 단면도이고, 도 11a 및 b는 등방성 예칭 전후를 각각 도시하고 있다. 도 12는, 실시형태 2에 있어서 도 8b에 도시한 공정을 상세하게 도시하는 단면도이고, 도 12a 및 b는 등방성 예칭의 전후를 각각 도시하고 있다. 한편, 도 11 및 도 12에 있어서는, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다. 또한, 도 11 및 도 12 중의 파선은 예칭의 진행을 개념적으로 도시하고 있다.

도 11a에 도시하는 바와 같이, 실시형태 1에 있어서, 레지스트 패턴(23)을 마스크로 하여 등방성 예칭을 행하면, 제2 도전막(21)은 상방향과 가로방향의 2방향에서 동시에 예칭된다. 따라서, 도 11b에 도시하는 바와 같이, 실시형태 1에 있어서는 제2 도전막(21)의 제1 수직 전송 전극(6)과 겹치는 부분이 완전히 제거되어 있어도, 레지스트 패턴(23)과 제2 도전막(21)의 경계 부근에 약간의 돌기(21a)가 잔존하는 경우가 있다.

그것에 대하여, 도 12a에 도시하는 바와 같이, 실시형태 2에 있어서는, 제1 층간 절연막(8)의 상면 전체가 제2 도전막(21)에 의해서 피복된 상태로 등방성 예칭이 행해진다. 따라서, 제2 도전막(21)은 우선, 상방향으로부터 예칭되고, 그 후, 상방향과 가로방향의 2방향으로부터 예칭된다. 이 때문에, 제2 도전막(21)의 제1 수직 전송 전극(6)과 겹치는 부분이 완전히 제거되었을 때에, 도 11b에 도시하는 바와 같은 돌기(21a)는 형성되어 어렵고, 제2 수직 전송 전극(9)의 상면은 대략 평탄해지고, 제1 층간 절연막(8)의 상면과 일치한다. 이로부터, 본 실시형태 2에 의하면, 실시형태 1에 비교하여 단차가 적은 전송 전극을 형성할 수 있다.

### (실시형태 3)

다음에, 본 발명의 실시형태 3에서의 고체 촬상 장치 및 고체 촬상 장치의 제조 방법에 관해서, 도 13~도 20을 참조하면서 설명한다. 처음에, 본 실시형태 3에서의 고체 촬상 장치의 구성에 관해서 도 13~도 17을 이용하여 설명한다.

본 실시형태 3에서의 고체 촬상 장치는, 제1 수직 전송 전극, 제2 수직 전송 전극, 제1 수평 전송 전극, 및 제2 수평 전송 전극의 구조에 있어서, 실시형태 1에서의 고체 촬상 장치와 상이하다. 단, 본 실시형태 3에서의 고체 촬상 장치는, 그 이외의 점에 관해서는, 실시형태 1에서의 고체 촬상 장치와 동일하게 구성되어 있다.

본 실시형태 3에서의 고체 촬상 장치의 구성은 부분마다 설명한다. 우선, 본 실시형태 3에서의 수직 CCD에 대해서 설명한다. 도 13은, 본 발명의 실시형태 3에서의 고체 촬상 장치의 수직 CCD 및 수직 버스 라인부의 구성을 도시하는 평면도이다. 도 14는, 도 13에 도시하는 수직 CCD 및 수직 버스 라인부를 절단하여 얻어진 단면도이고, 도 14a는 절단선 F-F'를 따른 단면도, 도 14b는 절단선 G-G'를 따른 단면도, 도 14c는 절단선 H-H'를 따른 단면도이다. 한편, 도 14에 있어서도, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다.

도 13 및 도 14a에 도시하는 바와 같이, 본 실시형태 3에 있어서도, 실시형태 1과 마찬가지로, 제2 수직 전송 전극(39)은, 전송 채널(2a)이 형성된 영역 상의 부분이 제1 수직 전송 전극(36)에, 반도체 기판(1)의 두께 방향에서 겹치지 않도록 형성되어 있다. 또한, 도 13 및 도 14c에 도시하는 바와 같이, 본 실시형태 3에 있어서도, 실시형태 1과 마찬가지로 제1 수직 전송 전극(36) 및 제2 수직 전송 전극(39)은 수직 버스 라인부(16)가 형성되는 영역에서는, 제2 수직 전송 전극(39)이 제1 수직 전송 전극(36)의 위에 위치하도록 배치되어 있다.

이 때문에, 본 실시형태 3에서의 고체 콜상 장치에 있어서도, 실시형태 1과 마찬가지로, 종래예 1 및 2에 비교해서 수직 CCD(2) 및 수평 버스 라인부(16)에서의 설계의 자유도를 높일 수 있고, 화소의 미세화를 용이하게 할 수 있게 된다. 또한, 본 실시형태 1과 마찬가지로, 수직 CCD(2)에서의 수직 전송 전극 사이의 충간 용량(C)을 저감시킬 수 있기 때문에, 수직 CCD(2)의 소비 전력의 저감을 도모할 수 있다.

단, 도 13, 도 14b에 도시하는 바와 같이, 본 실시형태 3에서는 실시형태 1과 달리, 제2 수직 전송 전극(39)은 그 화소 분리부(11c)가 형성된 영역상의 부분도, 제1 수직 전송 전극(36)에 반도체 기판(1)의 두께 방향에서 겹치지 않도록 형성되어 있다. 본 실시형태 3에서는 제2 수직 전송 전극(9)이 제1 수직 전송 전극(6)의 위에 배치되는 것은, 버스 라인 배선(16a~16d)이 형성되는 영역과 반도체 기판의 두께 방향에서 겹치는 영역 및 그 근방의 영역만이다.

이 때문에, 본 실시형태 3에 의하면, 도 14b에 도시하는 바와 같이, 화소 분리부(11c)가 형성된 영역 상에 있어서, 제1 수직 전송 전극(36)과 제2 수직 전송 전극(39)이 이루는 단차를, 실시형태 1에 비교해서 작게 할 수 있다. 이 점에 관해서 도 15를 이용하여 설명한다.

도 15는, 실시형태 1 및 실시형태 3에서의 화소 분리부의 단면 구조를 도시하는 단면도이고, 도 15a는 실시형태 1의 고체 콜상 장치의 화소 분리부의 단면 구조를 도시하는 단면도, 도 15b는 실시형태 3의 고체 콜상 장치의 화소 분리부의 단면 구조를 도시하는 단면도이다. 한편, 도 15a는 도 2b에 대응하고, 도 15b는 도 14b에 대응하고 있다. 또한, 도 15에 있어서도, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다.

도 15a에 도시하는 바와 같이, 실시형태 1에 있어서는, 제2 수직 전송 전극(9)은 화소 분리부(11c)가 형성된 영역 상의 부분이 제1 수직 전송 전극(6)의 위에 위치하도록 형성되어 있다. 이것에 대하여, 도 15a에 도시하는 바와 같이, 실시형태 3에 있어서는 제2 수직 전송 전극(39)은 화소 분리부(11c)가 형성된 영역상의 부분이 제1 수직 전송 전극(36)에 겹치지 않도록 형성되어 있다. 이 때문에, 실시형태 3에서의 단차의 높이(h2)는, 실시형태 1에서의 단차의 높이(h1)보다도 낮아진다. 요컨대, 실시형태 3에 의하면, 광전 변환부(11a)(도 1 및 도 13 참조)의 주변의 영역의 단차를 작게 할 수 있다.

이 때문에, 도 15a 및 b에 도시하는 바와 같이, 실시형태 3에 있어서 광전 변환부(11a)에 집광할 수 있는 광의 입사 각도( $\Theta'$ )는, 실시형태 1에 있어서 광전 변환부(11a)에 집광할 수 있는 광의 입사 각도( $\Theta$ )에 비교해서 커진다. 따라서, 실시형태 3에 의하면, 실시형태 1에 비교해서, 화소의 감도를 향상시킬 수 있다.

또한, 광전 변환부(11a)(도 1 및 도 13 참조)의 주변의 영역의 단차를 작게 할 수 있기 때문에, 차광막(13)이 복수의 단책형상 부분으로 구성되어 있는 경우(도 1, 도 13, 도 21 참조)에는, 이웃이 되는 단책형상 부분 사이에 공극을 형성하는 것이 용이해진다. 이 때문에, 차광막(13)에 있어서 셀트가 발생하는 것을 억제할 수도 있다.

다음에, 본 실시형태 3에서의 수평 CCD에 관해서 설명한다. 도 16은, 본 발명의 실시형태 3에서의 고체 콜상 장치의 수평 CCD 및 수평 버스 라인부의 구성을 도시하는 평면도이다. 도 17은, 도 16에 도시하는 수평 CCD 및 수평 버스 라인부를 절단하여 얻어진 단면도이고, 도 17a는 절단선 I-I를 따른 단면도, 도 17b는 절단선 J-J를 따른 단면도이다. 한편, 도 17에 있어서도, 도전성의 부재(반도체 기판을 제외함)에만 해칭을 실시하고 있다.

도 16 및 도 17b에 도시하는 바와 같이, 본 실시형태 3에 있어서도, 실시형태 1과 마찬가지로, 제1 수평 전송 전극(37) 및 제2 수평 전송 전극(40)은, 전송 채널(3a)이 형성되어 있지 않은 영역 상, 예컨대 수평 버스 라인부(17)의 형성 영역에서 제2 수평 전송 전극(40)이 제1 수평 전송 전극(37)의 위에 위치하도록 배치되어 있다.

따라서, 본 실시형태 3을 이용해도, 실시형태 1과 마찬가지로 고화소화에 의해 제1 수평 전송 전극(37)과 제2 수평 전송 전극(40)의 피치가 작아진 경우에도, 종래예 2와 비교해서, 수평 버스 라인부(17)에서의 설계의 자유도를 높일 수 있고 화소의 미세화를 용이하게 행할 수 있다.

또한, 도 16 및 도 17a에 도시하는 바와 같이, 본 실시형태 3에 있어서도, 실시형태 1과 마찬가지로 제2 수평 전송 전극(40)은 전송 채널(3a)이 형성된 영역 상의 부분이, 다른 전송 펠스가 인가되는 제1 수평 전송 전극(37)에, 반도체 기판(1)의 두께 방향에서 겹치지 않도록 형성되어 있다. 따라서, 본 실시형태 3을 이용해도, 종래예 1에 비교해서 수평 CCD(3)에서의 수평 전송 전극 사이의 충간 용량(C)을 저감시킬 수 있고, 수평 CCD(3)의 소비 전력의 저감을 도모할 수 있다.

단, 도 16 및 도 17a에 도시하는 바와 같이, 본 실시형태 3에 있어서는, 실시형태 1과 다르고, 제2 수평 전송 전극(40)의 전송 채널(3a)이 형성된 영역상의 부분은, 동일한 전송 펠스가 인가되는 제1 수평 전송 전극(37)에도 반도체 기판(1)의 두께

방향에서 겹치지 않도록 되고 있다. 이 때문에, 본 실시형태 3에 의하면, 실시형태 1에 비교하여 수평 CCD(3)에서의 수평 전송 전극 사이의 충간 용량을 더욱 저감시킬 수 있고, 수평 CCD(3)의 소비 전력의 저감화를 더욱 촉진할 수 있다. 또한, 전송 채널(3a)이 형성된 영역 상에 있어서, 실시형태 1에 비교해서 제2 수평 전송 전극(40)에 의한 단차를 작게 할 수 있기 때문에, 제1 수평 전송 전극(37) 및 제2 수평 전송 전극(40)과 차광막(20)으로 형성되는 배선간 용량(C'')을 저감시킬 수 있다.

다음에, 본 실시형태 3에서의 고체 촬상 장치의 제조 방법에 관해서 도 18~도 20을 이용하여 설명한다. 도 18~도 20은 도 13, 도 14, 도 16 및 도 17에 도시한 고체 촬상 장치의 제조 방법을 도시하는 단면도이다. 도 18a~f는 각각 주된 일련의 공정을 도시하고 있다. 마찬가지로, 도 19a~f, 도 20a~f도 각각 주된 일련의 공정을 도시하고 있다. 또한, 도 18은 도 14a에 도시한 단면도에 대응하고, 도 19는 도 14b에 도시한 단면도에 대응하며, 도 20은 도 17a에 도시한 단면도에 대응한다. 한편, 도 18~도 20에 있어서는, 도전성의 부재(반도체 기판을 제외함)와 레지스트 패턴에만 해칭을 실시하고 있다.

처음에, 반도체 기판(1)에 광전 변환부(11a)(도 13 참조), 화소 분리부(11c), 전송 채널(2a 및 3a)(도 13 및 도 16 참조) 등을 형성한다. 이어서, 도 18a, 도 19a 및 도 20a에 도시하는 바와 같이, 반도체 기판(1) 상에 게이트 절연막(5), 제1 수직 전송 전극(36), 제1 수평 전송 전극(37), 및 제1 충간 절연막(8)을 형성한다. 한편, 도 18a, 도 19a 및 도 20a에 도시하는 공정은, 실시형태 1에 있어서 도 5a, 도 6a 및 도 7a에 도시한 공정과 마찬가지로 행해진다.

다음에, 도 18b, 도 19b 및 도 20b에 도시하는 바와 같이, 감압 CVD법을 이용하여, 제1 수직 전송 전극(36) 및 제1 수평 전송 전극(37)의 위에 폴리실리콘막 등의 제2 도전막(41)을 형성한다. 이어서, 포트리소그래피법을 실시하여 레지스트 패턴(42)을 형성한다.

레지스트 패턴(42)은 전송 채널(2a 및 3a)이 형성되어 있지 않은 영역 상에서는, 화소 분리부(11c)(도 13 참조)가 형성된 영역 상을 제외하고, 제1 수직 전송 전극(36) 및 제1 수평 전송 전극(37)의 위쪽의 영역이 마스크되도록 형성된다. 한편, 레지스트 패턴(42)은 도 19b에 도시하는 바와 같이, 화소 분리부(11c)가 형성된 영역 상에서는 제1 수직 전송 전극(37)에 대해서 상승된 부분의 상면의 절반인 마스크되도록 형성된다. 또한, 레지스트 패턴(42)은 전송 채널(2a 및 3a)이 형성된 영역 상에서는, 제1 수직 전송 전극(36) 및 제1 수평 전송 전극(37)의 위쪽의 영역이 개구하도록 형성되어 있다(도 18b 및 도 20b 참조).

다음에, 도 18c, 도 19c 및 도 20c에 도시하는 바와 같이, 레지스트 패턴(42)을 마스크로 하여 이방성 에칭을 행하고 제2 도전막(41)을 패터닝한다. 구체적으로는, RIE법을 행한다. 이에 따라, 전송 채널(2a 및 3a)이 형성되어 있지 않은 영역 상에 있어서는, 제1 수직 전송 전극(36) 및 제1 수평 전송 전극(37)의 위에만 제2 도전막(41)이 잔존하게 된다(도시하지 않음). 또한, 전송 채널(2a 및 3a)이 형성된 영역 상 및 화소 분리부(11c)가 형성된 영역 상에 있어서는, 제1 수직 전송 전극(36) 또는 제1 수평 전송 전극(37)의 단부와 제2 도전막(41)이 겹친 상태가 된다. RIE법의 종료 후, 레지스트 패턴(42)을 제거한다.

다음에, 도 18d, 도 19d 및 도 20d에 도시하는 바와 같이, 포트리소그래피법을 실시하여 레지스트 패턴(43)을 형성한다. 레지스트 패턴(43)은 수직 CCD의 전송 채널(2a)이 형성된 영역 상 및 화소 분리부(11c)가 형성된 영역 상에 있어서는, 제2 도전막(41)에서의 제1 충간 절연막(8)(제1 수직 전송 전극(36))과 반도체 기판(1)의 두께 방향에서 겹치는 부분이 개구되도록 형성되어 있다(도 18d 및 도 19d).

또한, 레지스트 패턴(43)은 수평 CCD의 전송 채널(3a)이 형성된 영역 상에 있어서는, 제2 도전막(41)에서의 제1 충간 절연막(8)(제1 수평 전송 전극(37))과 반도체 기판(1)의 두께 방향에서 겹치는 부분이 개구되도록 형성되어 있다(도 20d).

이어서, 레지스트 패턴(43)을 마스크로 하여 등방성 에칭을 행한다. 이 때, 제2 도전막(41)의 에칭은 레지스트 패턴(43)의 개구부의 아래쪽뿐만 아니라, 가로에도 진행하기 때문에, 제2 도전막(41)의 상면은 제1 충간 절연막(8)의 상면과 대략 일치하게 된다. 그리고, 레지스트 패턴(43)을 제거한다. 이 결과, 도 18e, 도 19e 및 도 20e에 도시하는 바와 같이, 제2 수직 전송 전극(39)과 제2 수평 전송 전극(40)이 동시에 형성된다.

그 후, 도 18f, 도 19f 및 도 20f에 도시하는 바와 같이, 제2 충간 절연막(12), 제3 충간 절연막(15), 콘택트 홀(14a, 14b, 19a, 19b), 차광막(13)을 형성한다. 또한, 도시하지 않지만, 콘택트 홀(18a 및 18b), 수직 버스 라인 배선(16a~16d), 수평 버스 라인 배선(17a 및 17b)을 형성한다. 또한, 차광막(20)도 형성한다. 이에 따라, 도 13, 도 14, 도 16 및 도 17에 도시한 고체 촬상 장치가 얻어진다.

이와 같이, 본 실시형태 3에서의 고체 활상 장치의 제조 방법에 있어서도, 실시형태 1 및 2와 마찬가지로, 종래 예 2와 같이 CMP법을 실시하지 않고 제1 수직 전송 전극(36)에 겹치는 제2 수직 전송 전극(39)의 단부와, 제1 수평 전송 전극(37)에 겹치는 제2 수평 전송 전극(40)의 단부를 제거할 수 있다. 이 때문에, 종래 예 2와 같이, 제1 수직 전송 전극(36) 및 제1 수평 전송 전극(37)의 패턴의 조밀에 의해 제2 도전막(41)의 두께가 불균일해지는 것을 억제할 수 있고, 막두께가 안정된 제2 수직 전송 전극(39) 및 제2 수평 전송 전극(40)을 얻을 수 있다. 따라서, 본 실시형태 3에 있어서도, 제2 수직 전송 전극(39) 및 제2 수평 전송 전극(40)에서의 저항 불균일이 커져 소비 전력이 증가하는 것을 억제할 수 있다.

또한, 본 실시형태 3에서의 고체 활상 장치의 제조 방법에 의하면, 등방성 에칭을 행하기 위해서, 화소 분리(11c)가 형성된 영역 상에 있어서, 배경 기술에 있어서 도 38b에 도시한 에칭 잔여(224)가 형성되는 것도 억제할 수 있다. 따라서, 에칭 잔여를 원인으로 하여 수직 전송 전극사이의 쇼트나, 화상의 검은 상처 등이 발생하는 것을 회피할 수 있다.

한편, 본 실시형태 3에 있어서는, 실시형태 1과 마찬가지로, 이방성 에칭을 실시한 후에 등방성 에칭을 실시하고 있지만, 이것에 한정되는 것이 아니다. 본 실시형태 3에 있어서도, 실시형태 2와 마찬가지로 등방성 에칭을 실시한 후에 이방성 에칭을 실시해도 좋다. 이 경우, 제2 수직 전송 전극(39) 및 제2 수평 전송 전극(40)의 평탄화를 촉진할 수 있다.

또한, 본 실시형태 3에 있어서도, 수직 CCD(2) 및 수평 CCD(3)의 양쪽에 있어서, 제1 전송 전극과 제2 전송 전극이 반도체 기판(1)의 두께 방향에서 겹치지 않도록 되어 있지만, 이것에 한정되는 것이 아니다. 수직 CCD 및 수평 CCD의 어느 한쪽에 있어서만 제1 전송 전극과 제2 전송 전극이 반도체 기판의 두께 방향에서 겹치지 않게 된 태양이라도 좋다.

예컨대, 제1 수직 전송 전극(36)에 접속하는 콘택트 훌(14a)의 형성을 용이한 것만을 목적으로 하면, 제1 수직 전송 전극(36)과 제2 수직 전송 전극(39)의 겹침만을 제거하면 좋다. 또한, 수평 CCD(3)의 소비 전력의 저감만을 목적으로 하는 경우는, 제1 수평 전송 전극(37)과 제2 수평 전송 전극(40)의 겹침만을 제거하면 좋다. 이러한 양 태양은 필요에 따라서 각각 독립적으로 선택할 수 있다.

### 발명의 효과

본 발명에 의하면, 소비 전력이 적고, 또한 배선 설계의 자유도가 높은 고체 활상 장치를 얻을 수 있다. 이 고체 활상 장치는 비디오 카메라나 디지털 스틸 카메라 등에 대한 적용에 유용하고 산업상의 이용 가능성을 구비하고 있다.

### (57) 청구의 범위

#### 청구항 1.

신호 전하를 전송하는 전하 전송부와, 전하 전송부에 전송 펠스를 공급하는 버스 라인부가 설치된 반도체 기판을 구비하고,

전하 전송부는 상기 반도체 기판에 형성된 전송 채널과, 상기 전송 채널 상에 그것을 가로지르도록 설치된 복수의 제1 전송 전극 및 복수의 제2 전송 전극과, 상기 제1 전송 전극 및 상기 제2 전송 전극의 위에 상기 전송 채널을 덮도록 형성된 차광막을 구비하고,

상기 버스 라인부는 다른 전송 펠스를 공급하는 복수의 버스 라인 배선을 갖고, 상기 복수의 버스 라인 배선 각각은, 상기 복수의 제1 전송 전극 및 상기 복수의 제2 전송 전극 중 어느 하나와 접속되어 있는 고체 활상 장치로서,

상기 복수의 제1 전송 전극 및 상기 복수의 제2 전송 전극은 적어도 상기 버스 라인 배선이 형성되는 영역에 상기 반도체 기판의 두께 방향에서 겹치는 영역에 있어서, 상기 제2 전송 전극이 상기 제1 전송 전극의 위에 위치하도록 배치되고, 상기 전송 채널이 형성된 영역 상에 있어서, 상기 제1 전송 전극과 상기 제2 전송 전극이 이웃이 되도록 배치되고,

상기 제2 전송 전극은 그 상기 전송 채널이 형성된 영역 상의 부분이, 적어도, 다른 전송 펠스가 인가되는 상기 제1 전송 전극에, 상기 반도체 기판의 두께 방향에서 겹치지 않도록 형성되어 있는 것을 특징으로 하는 고체 활상 장치.

## 청구항 2.

제1항에 있어서, 상기 전하 전송부가 상기 신호 전하를 수직 방향으로 전송하는 수직 전하 전송부를 포함하고,  
 상기 수직 전하 전송부의 상기 전송 채널은 수직 방향을 따라서 복수 설치되고,  
 상기 수직 전하 전송부의 상기 제1 전송 전극 및 상기 제2 전송 전극은, 상기 수직 전하 전송부의 상기 복수의 전송 채널을  
 가로지르도록 설치되고,  
 상기 수직 전하 전송부의 상기 제2 전송 전극은 그 상기 수직 전하 전송부의 상기 전송 채널이 형성된 영역 상의 부분이 상  
 기 수직 전하 전송부의 상기 제1 전송 전극에, 상기 반도체 기판의 두께 방향에서 겹치지 않도록 형성되어 있는 고체 콤상  
 장치.

## 청구항 3.

제2항에 있어서, 상기 수직 전하 전송부의 상기 차광막은, 상기 수직 전하 전송부의 상기 복수의 전송 채널 각각을 개별로  
 덮도록 형성되고,  
 상기 차광막은, 상기 전송 채널이 형성된 영역 상에 있어서, 콘택트 홀을 통해 상기 수직 전하 전송부의 상기 제1 전송 전극  
 또는 상기 제2 전송 전극에 접속되어 있는 고체 콤상 장치.

## 청구항 4.

제2항에 있어서, 상기 반도체 기판에 입사광을 신호 전하로 변환하는 광전 변환부가 더욱 설치되고,  
 상기 광전 변환부는 상기 반도체 기판 상에 수직 방향 및 수평 방향을 따라서 매트릭스형상으로 복수 배치되어 있는 고체  
 콤상 장치.

## 청구항 5.

제4항에 있어서, 상기 반도체 기판에 수직 방향에 있어서 서로 이웃이 되는 상기 광전 변환부를 분리하는 화소 분리부가  
 형성되어 있고,  
 상기 수직 전하 전송부의 상기 제2 전송 전극은 그 상기 화소 분리부가 형성된 영역 상의 부분도, 상기 수직 전하 전송부의  
 상기 제1 전송 전극에 상기 반도체 기판의 두께 방향에서 겹치지 않도록 형성되어 있는 고체 콤상 장치.

## 청구항 6.

제1항에 있어서, 상기 전하 전송부가 상기 신호 전하를 상기 수평 방향으로 전송하는 수평 전하 전송부를 포함하고,  
 상기 수평 전하 전송부의 상기 전송 채널은 수평 방향을 따라서 설치되고,  
 상기 수평 전하 전송부의 상기 제1 전송 전극 및 상기 제2 전송 전극은, 상기 수평 전하 전송부의 상기 전송 채널을 가로지  
 르도록 설치되고,  
 상기 수평 전하 전송부의 상기 제2 전송 전극은 그 상기 수평 전하 전송부의 상기 전송 채널이 형성된 영역 상의 부분이, 적  
 어도, 다른 전송 펄스가 인가되는 상기 수평 전하 전송부의 상기 제1 전송 전극에 상기 반도체 기판의 두께 방향에서 겹치  
 지 않도록 형성되어 있는 고체 콤상 장치.

## 청구항 7.

제6항에 있어서, 상기 수평 전하 전송부의 상기 제2 전송 전극은 그 상기 수평 전하 전송부의 상기 전송 채널이 형성된 영역 상의 부분이, 다른 전송 펠스가 인가되는 상기 수평 전하 전송부의 상기 제1 전송 전극 및 동일한 전송 펠스가 인가되는 상기 수평 전하 전송의 상기 제1 전송 전극에, 상기 반도체 기판의 두께 방향에서 겹치지 않도록 형성되어 있는 고체 활상 장치.

## 청구항 8.

신호 전하를 전송하는 전하 전송부와, 전하 전송부에 전송 펠스를 공급하는 버스 라인부가 설치된 반도체 기판을 구비하고, 전하 전송부는 상기 반도체 기판에 형성된 전송 채널과, 상기 전송 채널 상에 그것을 가로지르도록 설치된 복수의 제1 전송 전극 및 복수의 제2 전송 전극을 구비하는 고체 활상 장치의 제조 방법으로서,

- (a)상기 반도체 기판에 상기 전송 채널을 형성하는 공정과,
- (b)상기 반도체 기판 상에 제1 도전막을 성막하여 상기 제1 도전막을 패터닝하여 상기 복수의 제1 전송 전극을 형성하는 공정과,
- (c)상기 제1 전송 전극의 주위에, 상기 제1 전송 전극과 상기 제2 전송 전극을 절연하는 제1 충간 절연막을 형성하는 공정과,
- (d)상기 제1 전송 전극 및 상기 반도체 기판을 덮도록 제2 도전막을 성막하는 공정과,
- (e)적어도 상기 버스 라인 배선이 형성되는 영역에 상기 반도체 기판의 두께 방향에서 겹치는 영역에 있어서, 상기 제1 전송 전극의 위에 상기 제2 도전막이 잔존하도록 상기 제2 도전막을 패터닝하는 공정과,
- (f)상기 전송 채널이 형성된 영역 상에 있어서, 상기 제2 도전막의 상기 제1 충간 절연막과 상기 반도체 기판의 두께 방향에서 겹치는 부분의 전부 또는 일부가 개구하도록 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 등방성 에칭을 행하고, 상기 제2 전송 전극을 형성하는 공정을 갖는 것을 특징으로 하는 고체 활상 장치의 제조 방법.

## 청구항 9.

제8항에 있어서, 상기 (f)의 공정을 실시한 후에 상기 (e)의 공정을 실시하여 상기 제2 전송 전극을 형성하는 고체 활상 장치의 제조 방법.

## 청구항 10.

제8항에 있어서, 상기 반도체 기판에 수직 방향 및 수평 방향을 따라서 매트릭스형상으로 배치되고, 또한, 입사광을 신호 전하로 변환하는 복수의 광전 변환부를 형성하는 공정과,

상기 반도체 기판에 수직 방향에 있어서 서로 이웃이 되는 상기 광전 변환부를 분리하는 화소 분리부를 형성하는 공정을 더욱 갖고,

상기 (f)의 공정에 있어서, 상기 화소 분리부가 형성된 영역 상에 있어서도, 상기 제2 도전막의 상기 제1 충간 절연막과 상기 반도체 기판의 두께 방향에서 겹치는 부분이 개구하도록 상기 레지스트 패턴을 형성하여 상기 등방성 에칭을 행하는 고체 활상 장치의 제조 방법.

## 청구항 11.

제8항에 있어서, 상기 제1 전송 전극 및 상기 제2 전송 전극을 덮는 제2 층간 절연막을 형성하는 공정과,

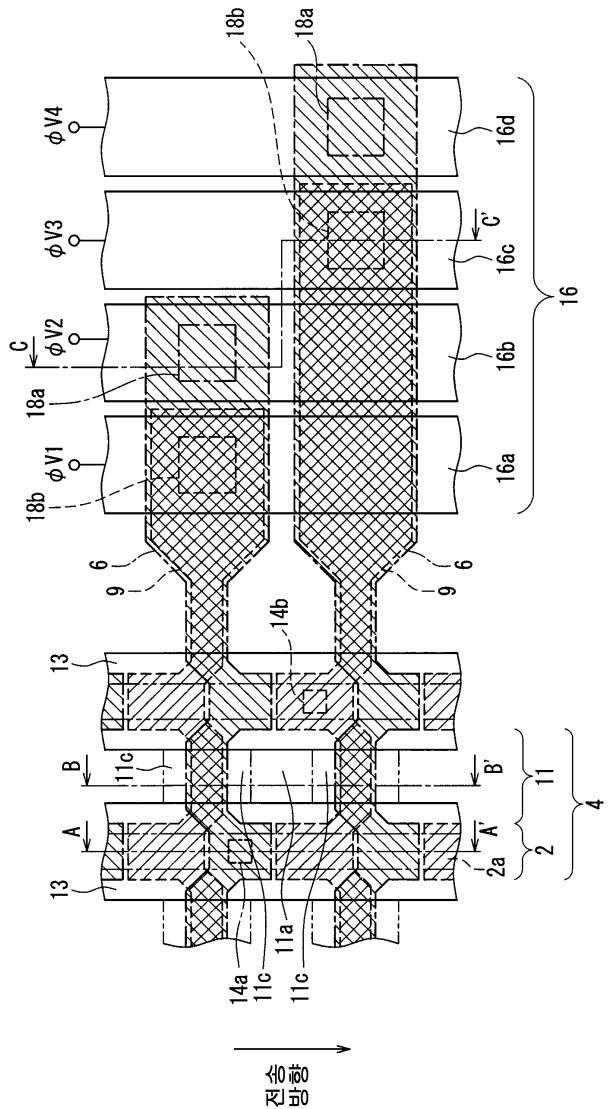
상기 전송 채널이 형성된 영역 상에 있어서, 상기 제2 층간 절연막에 상기 제1 전송 전극 또는 상기 제2 전송 전극이 저면에 노출되는 콘택트 홀을 형성하는 공정과,

상기 콘택트 홀 내에 도전성 재료를 충전하고, 또한 상기 제2 층간 절연막의 위에 상기 도전성 재료의 막을 형성하는 공정과,

상기 도전성 재료의 막을 패터닝하여 상기 전송 채널을 덮는 차광막을 형성하는 공정을 더욱 갖는 고체 활상 장치의 제조방법.

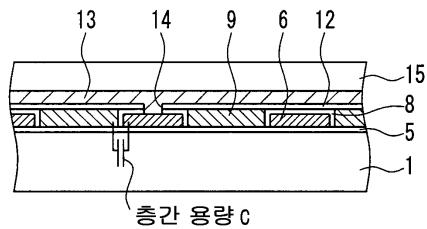
**도면**

도면1



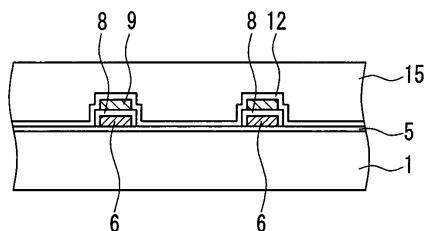
## 도면2

A-A'



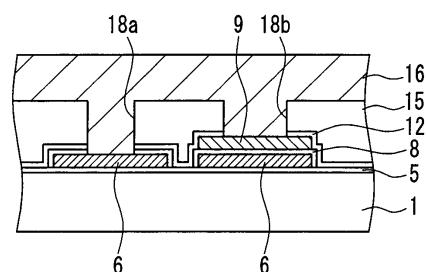
(a)

B-B'



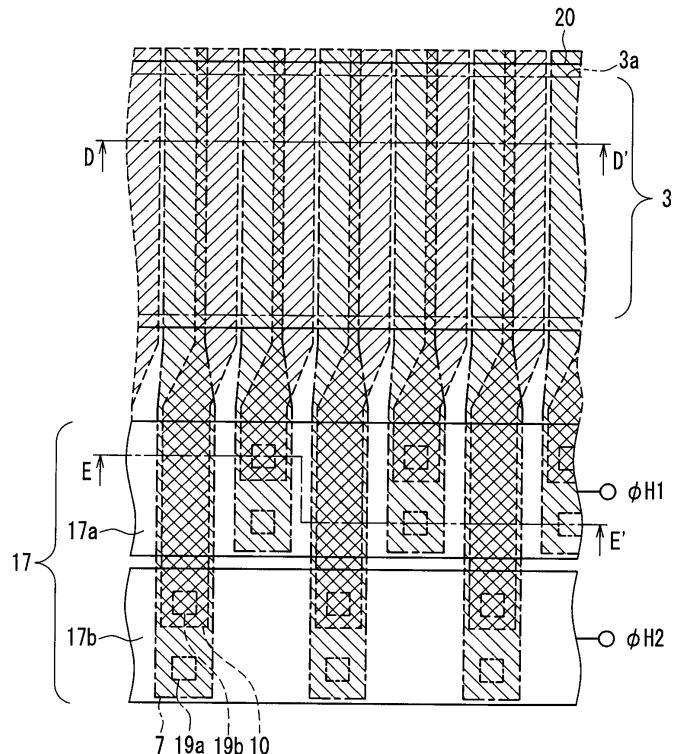
(b)

C-C'

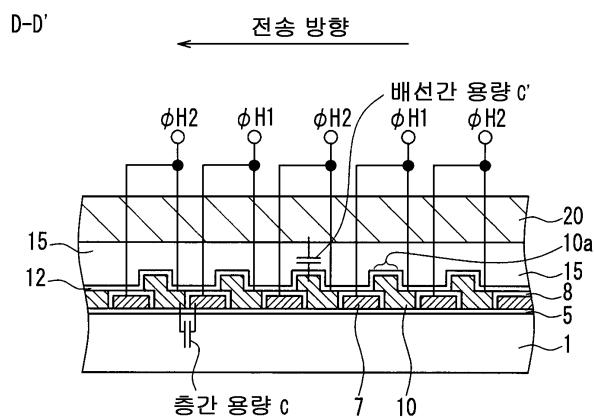


(c)

도면3

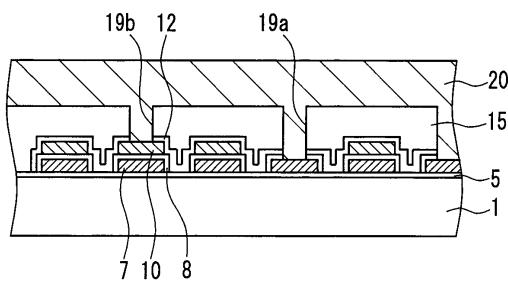


도면4



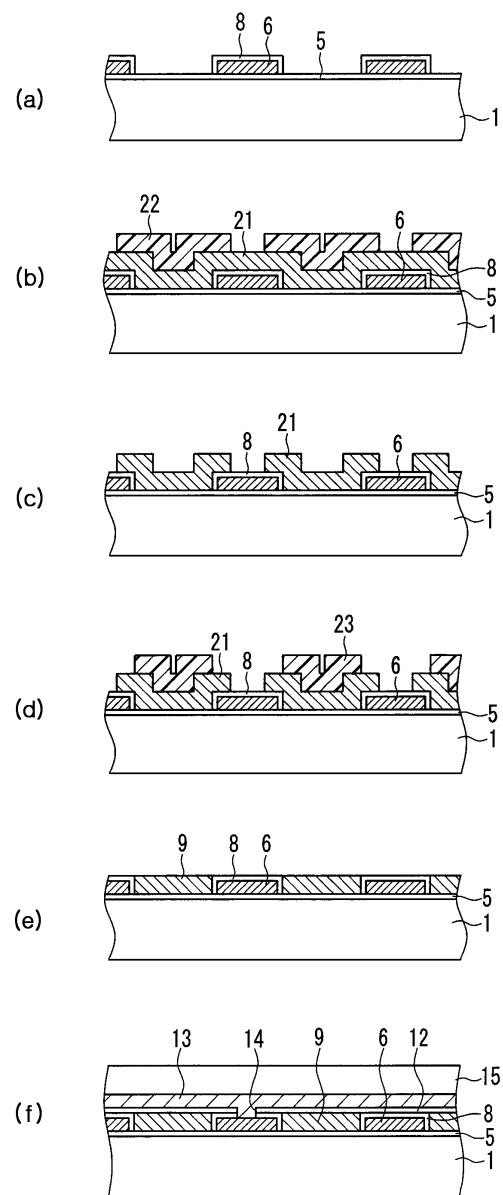
(a)

E-E'

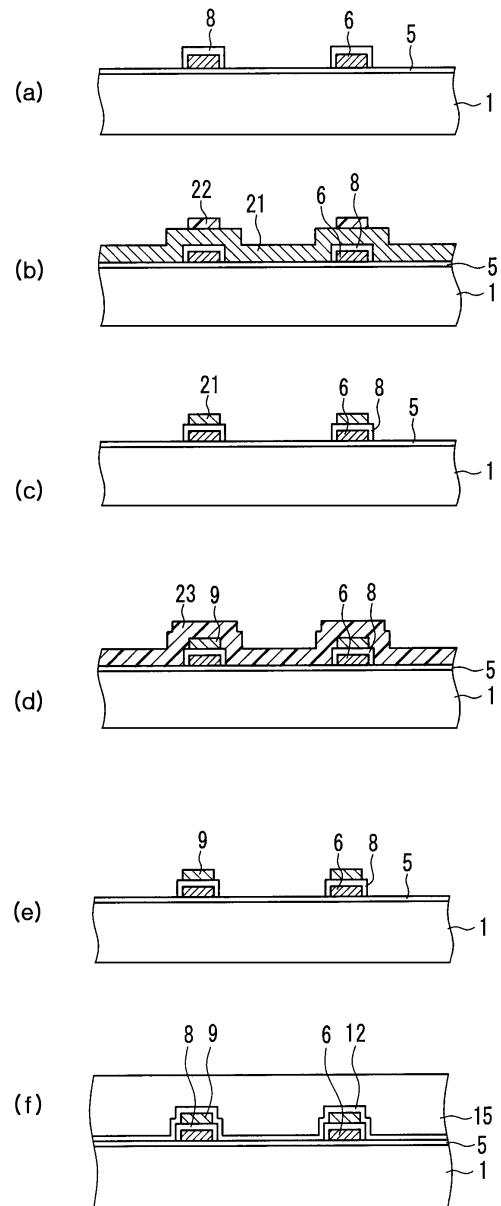


(b)

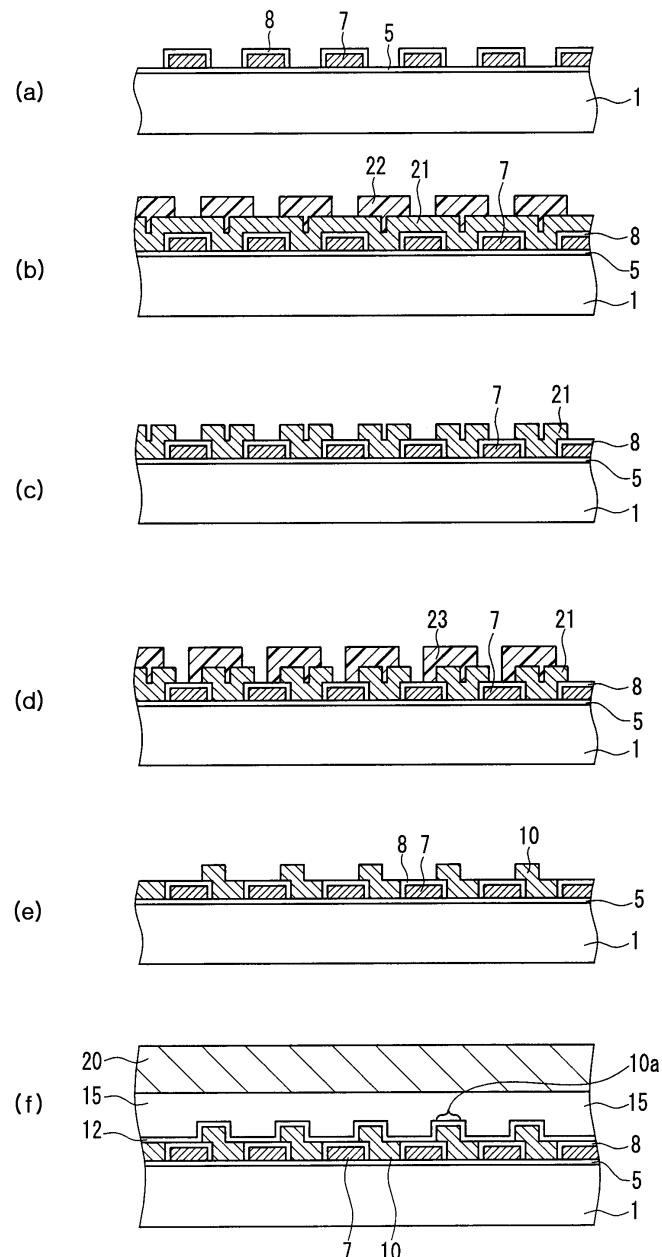
도면5



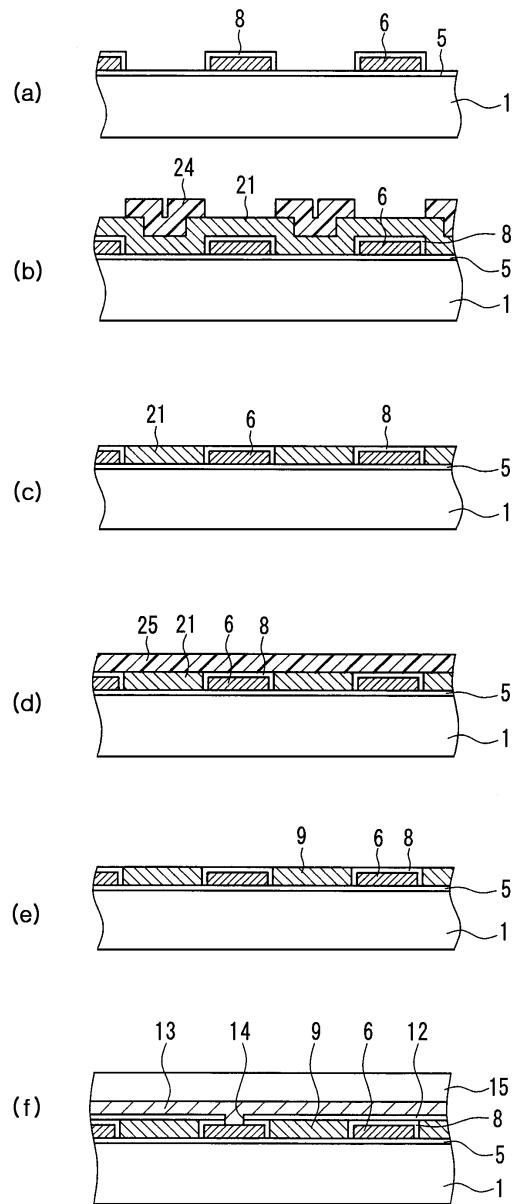
## 도면6



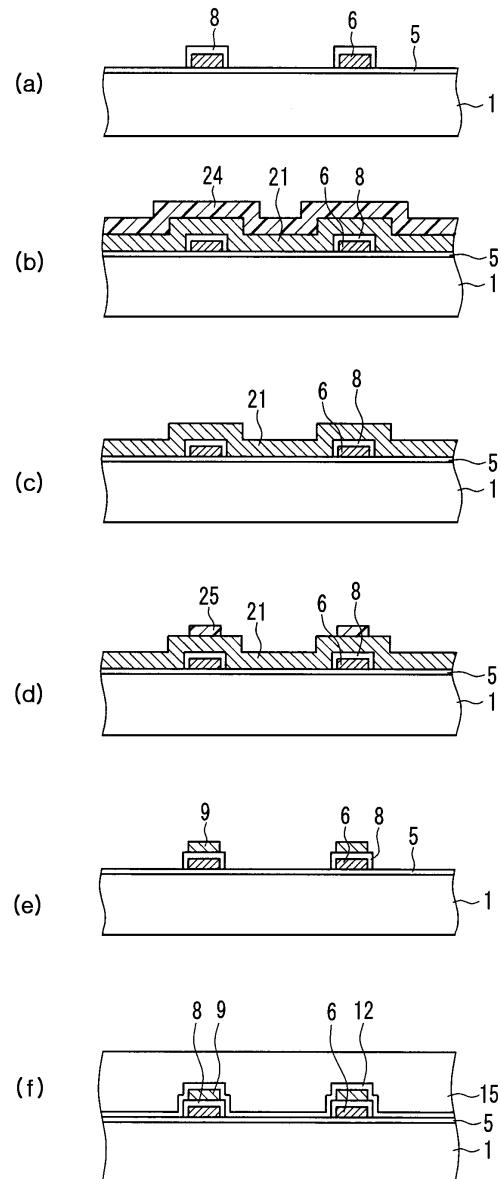
## 도면7



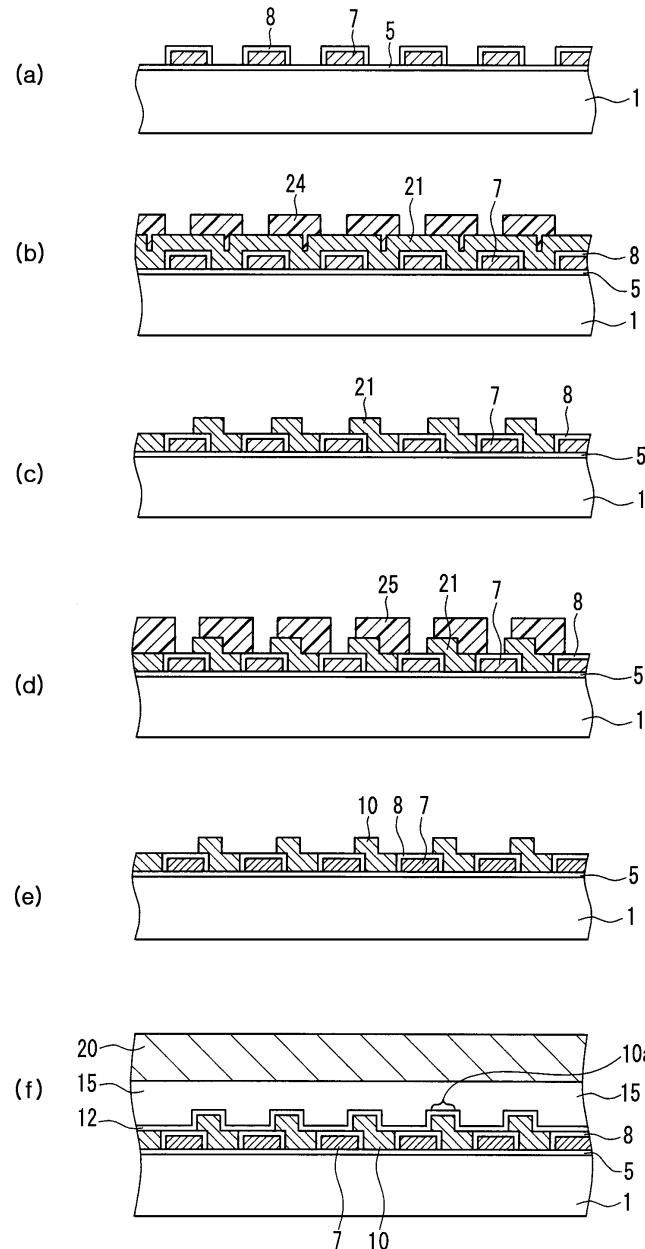
## 도면8



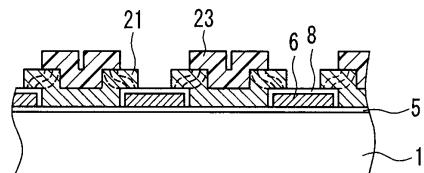
## 도면9



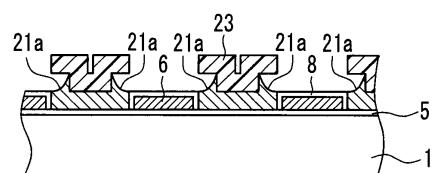
## 도면10



도면11

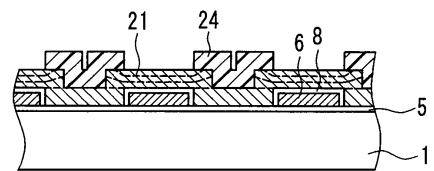


(a)

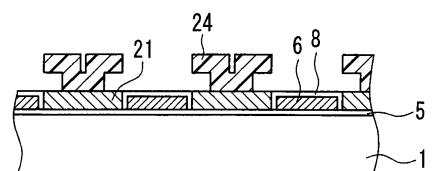


(b)

도면12

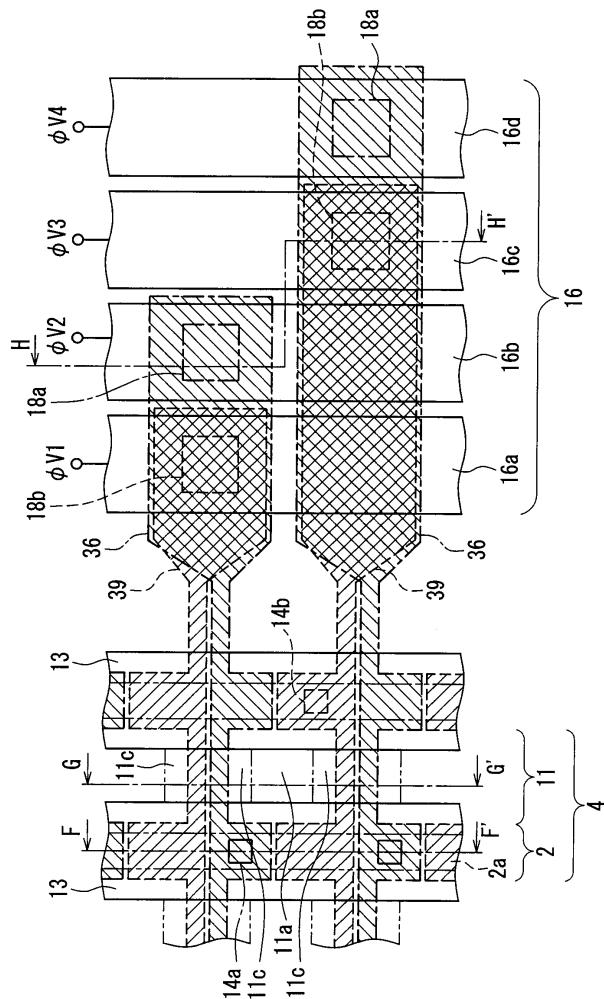


(a)



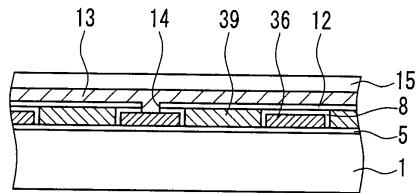
(b)

도면13



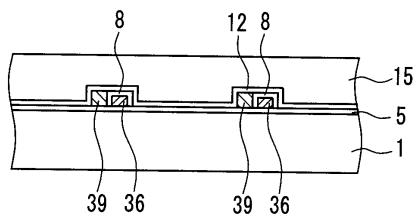
## 도면14

F-F'



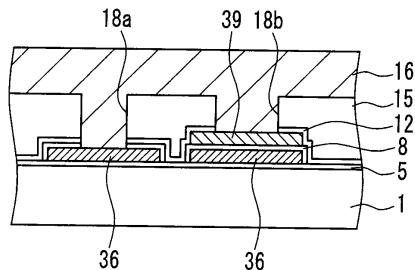
(a)

G-G'



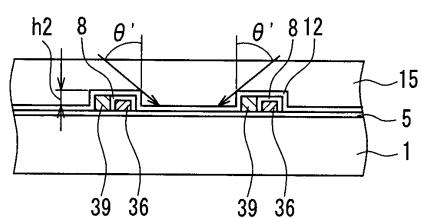
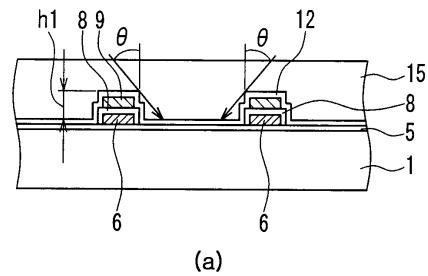
(b)

H-H'

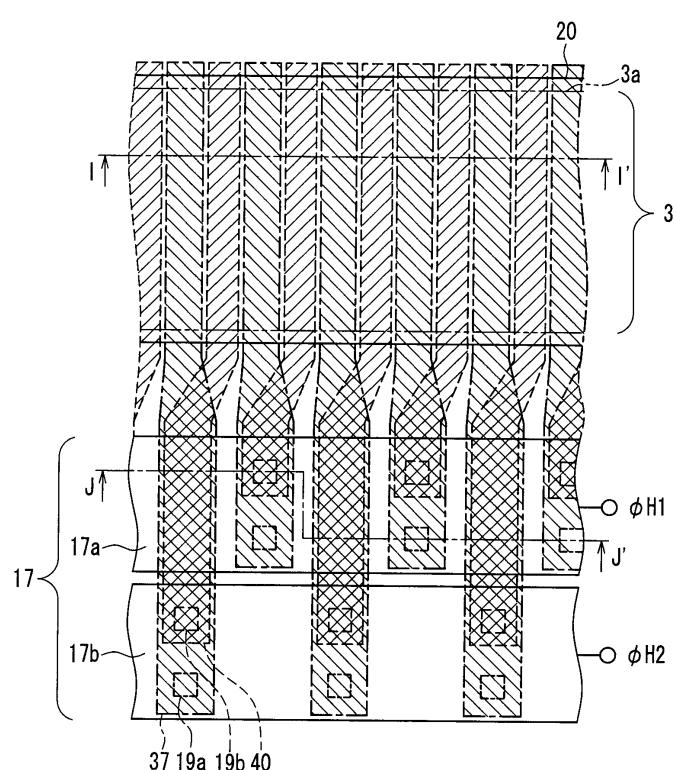


(c)

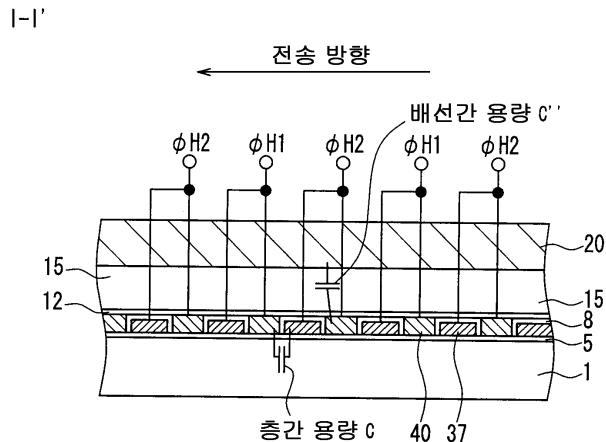
도면15



도면16

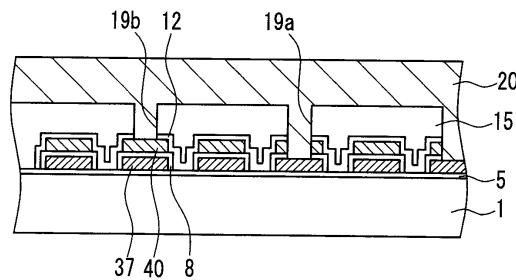


## 도면17



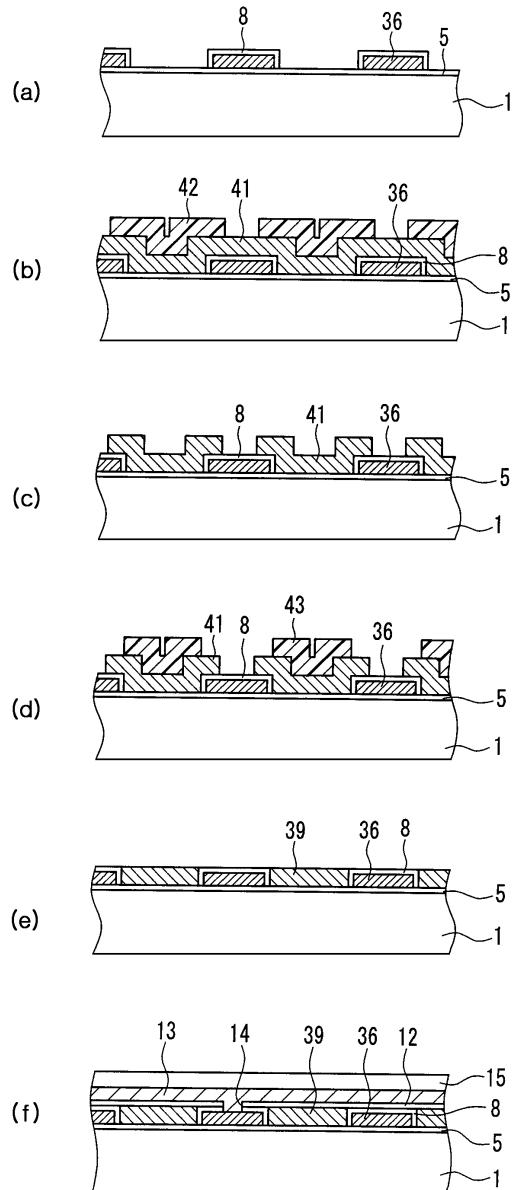
(a)

## J-J'

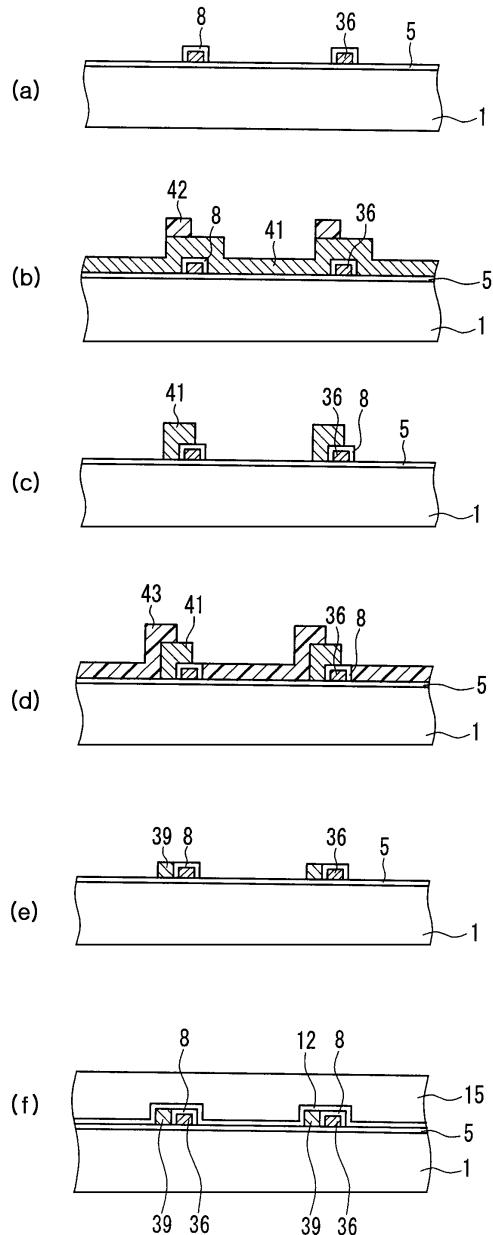


(b)

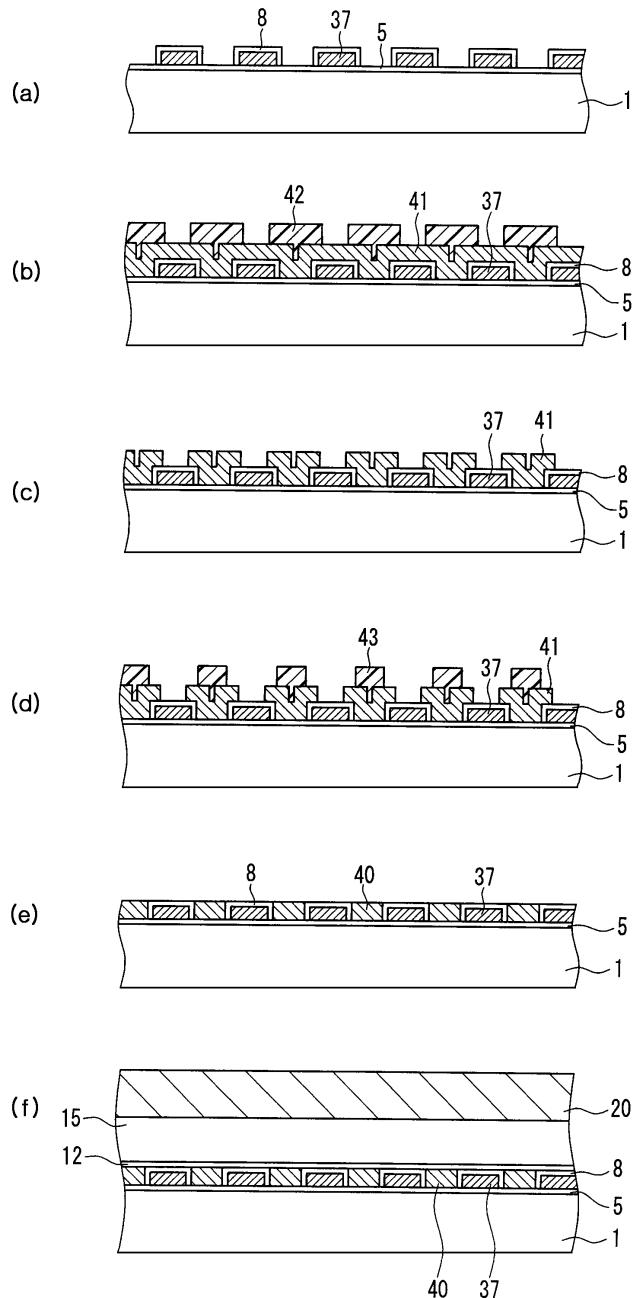
## 도면18



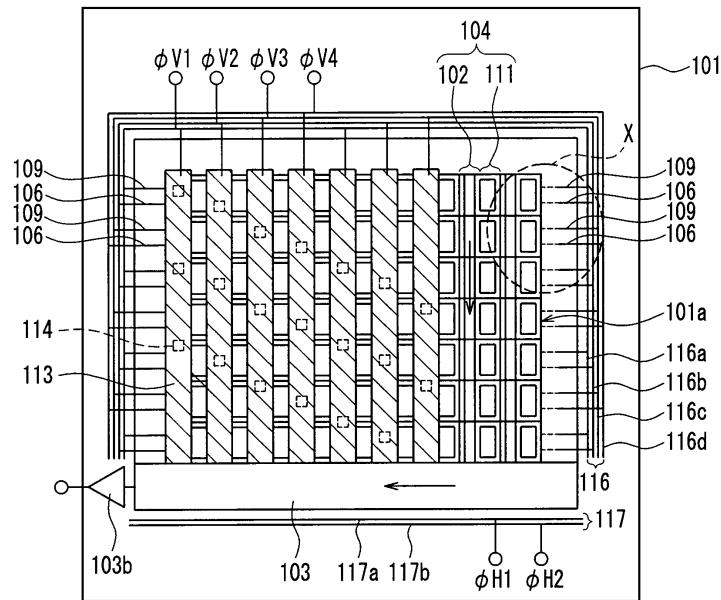
## 도면19



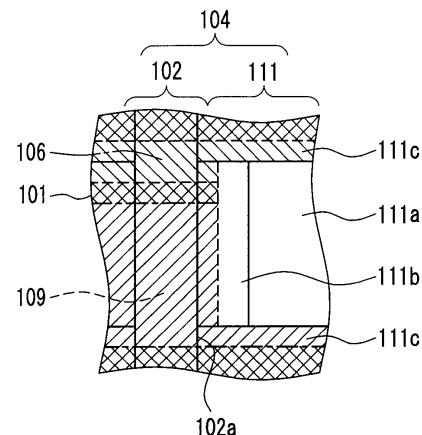
도면20



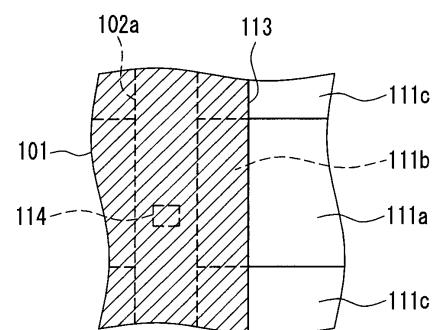
도면21



도면22

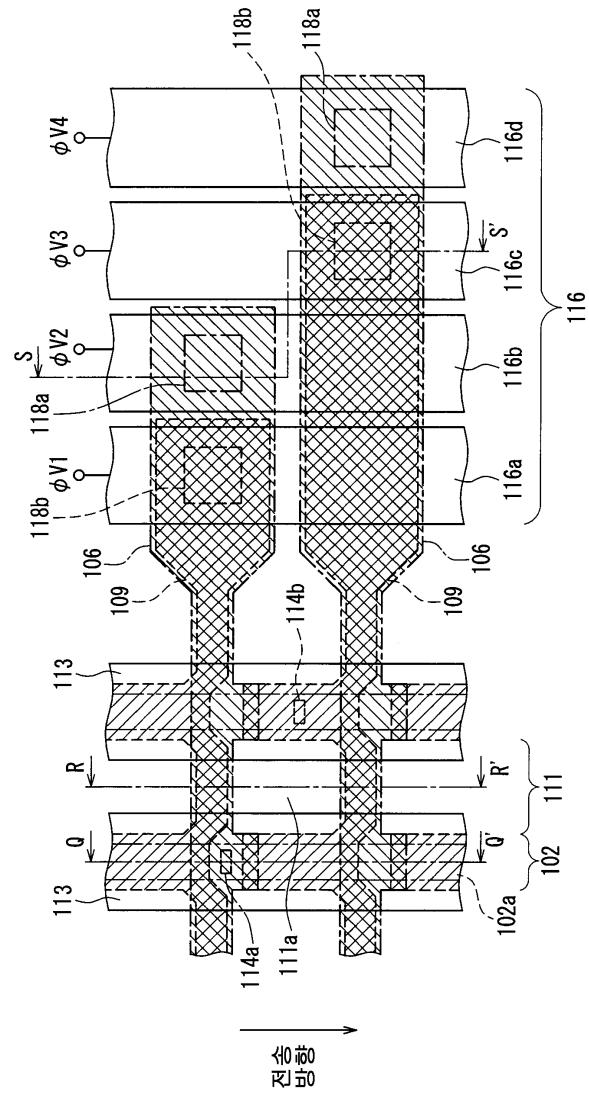


(a)



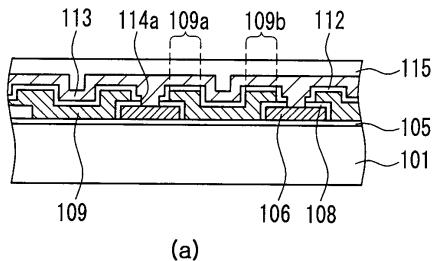
(b)

도면23



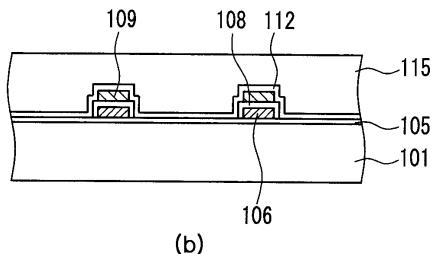
## 도면24

Q-Q'



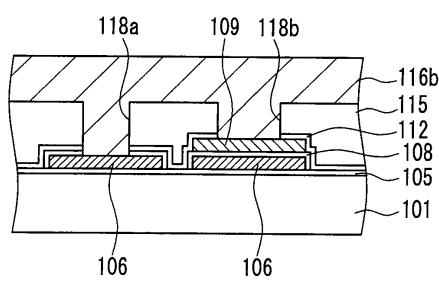
(a)

R-R'



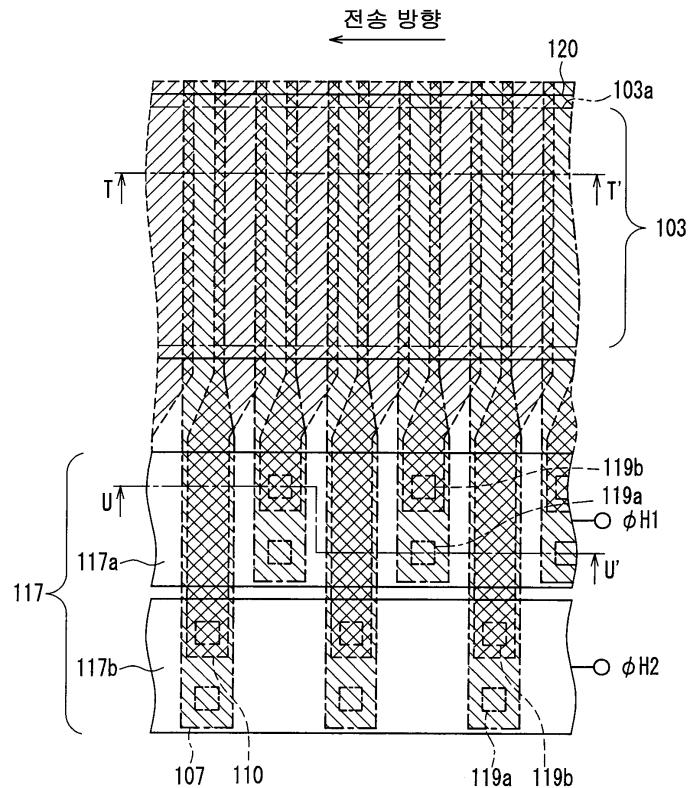
(b)

S-S'



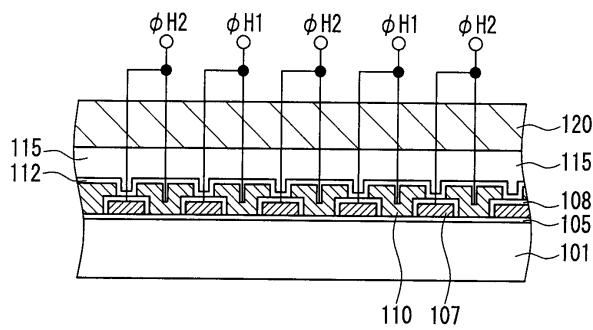
(c)

도면25



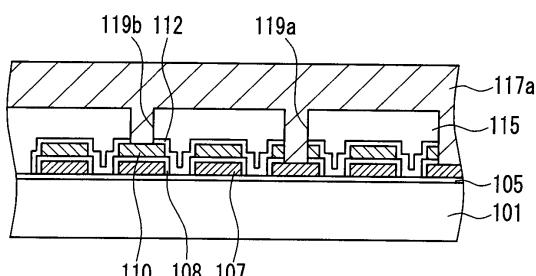
도면26

T-T'



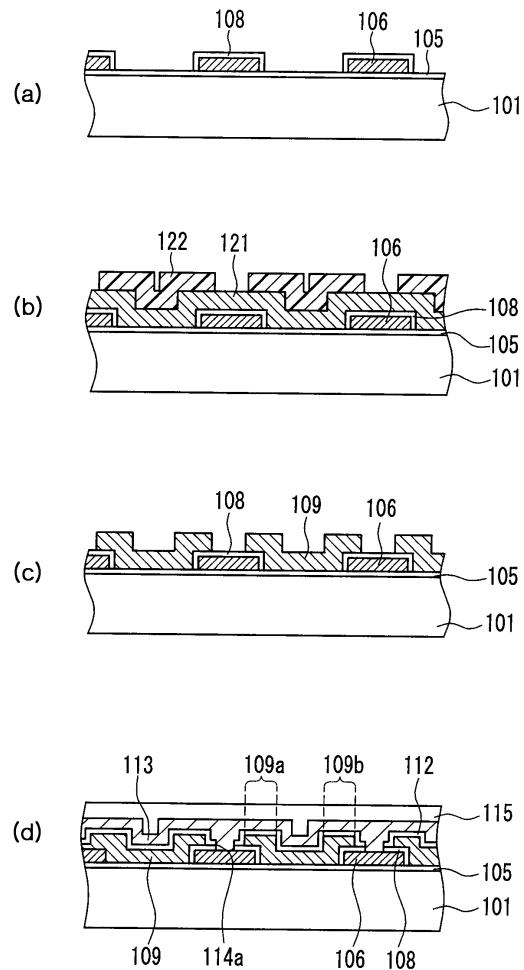
(a)

U-U'

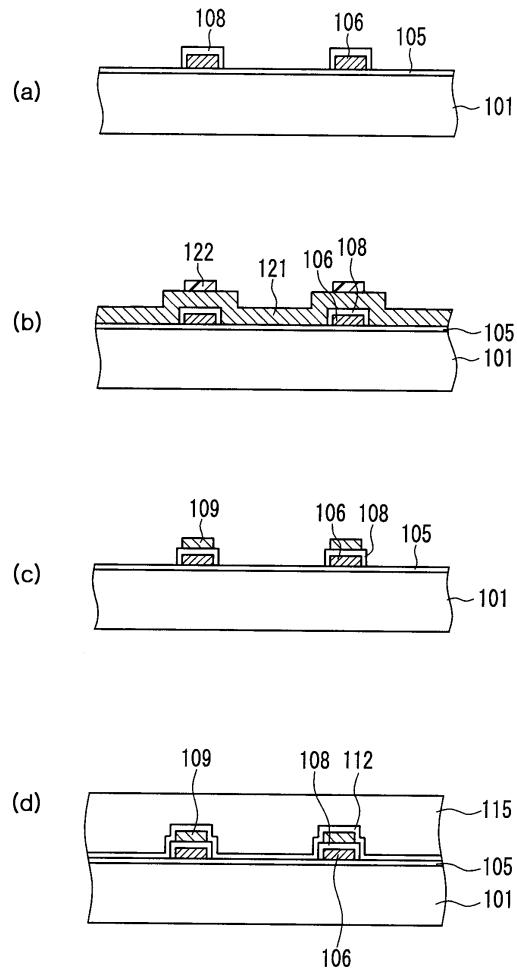


(b)

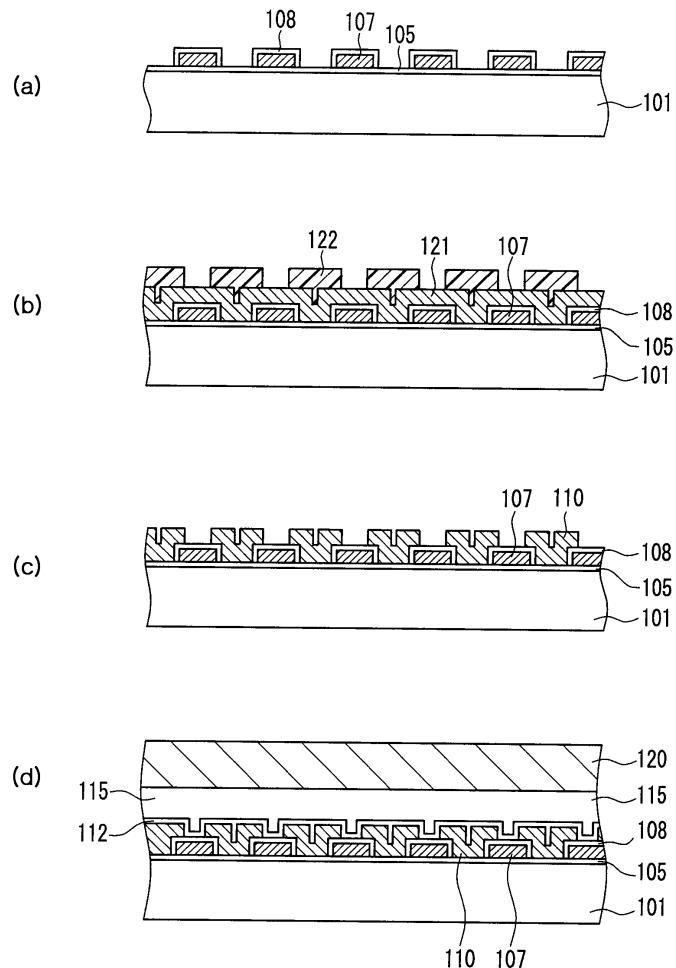
도면27



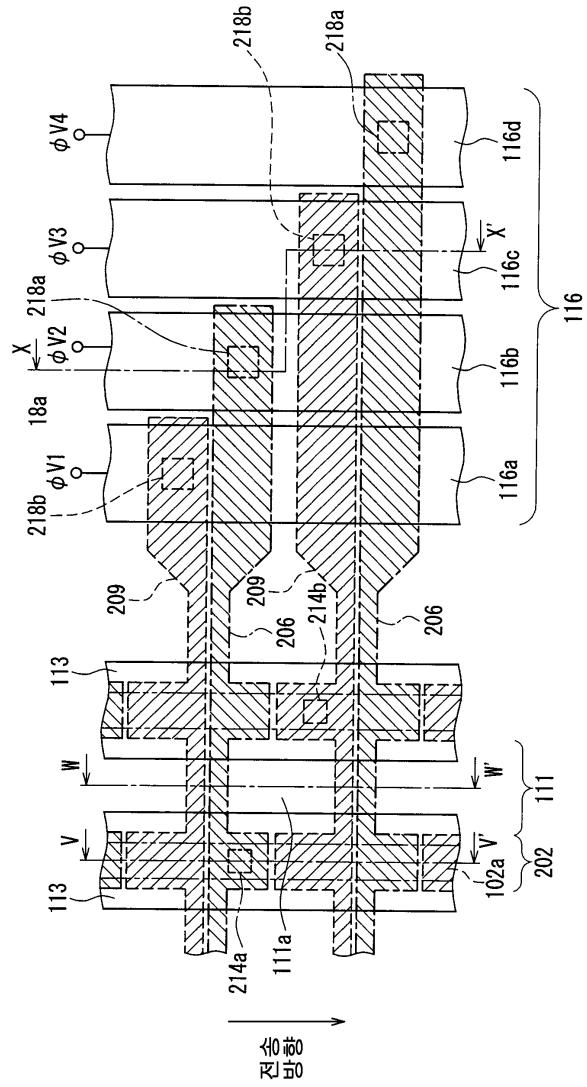
## 도면28



## 도면29

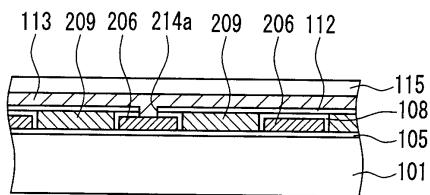


## 도면30



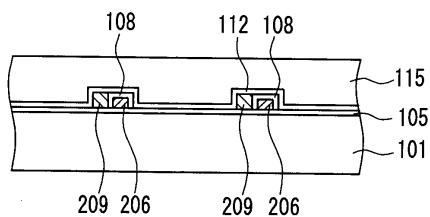
## 도면31

V-V'



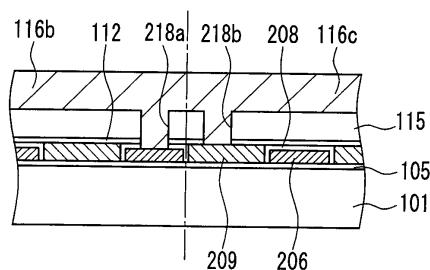
(a)

W-W'



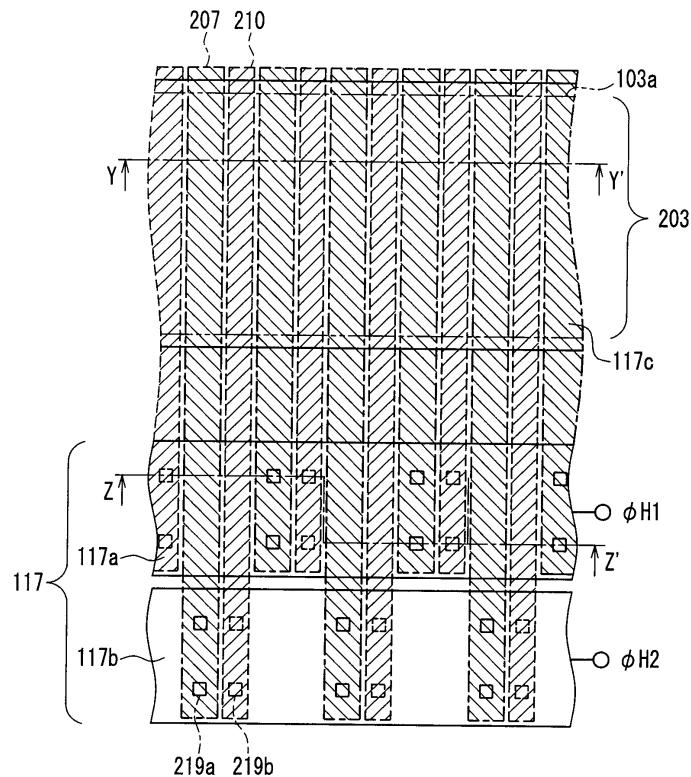
(b)

X-X'

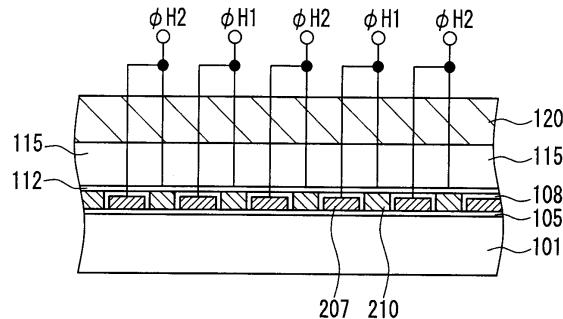


(c)

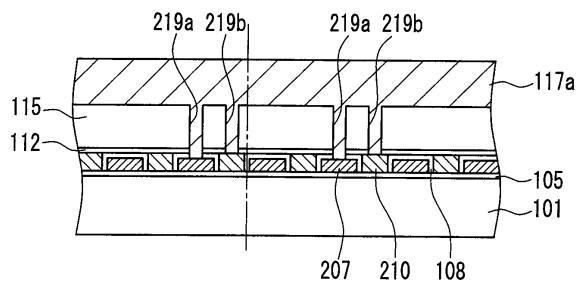
## 도면32



## 도면33

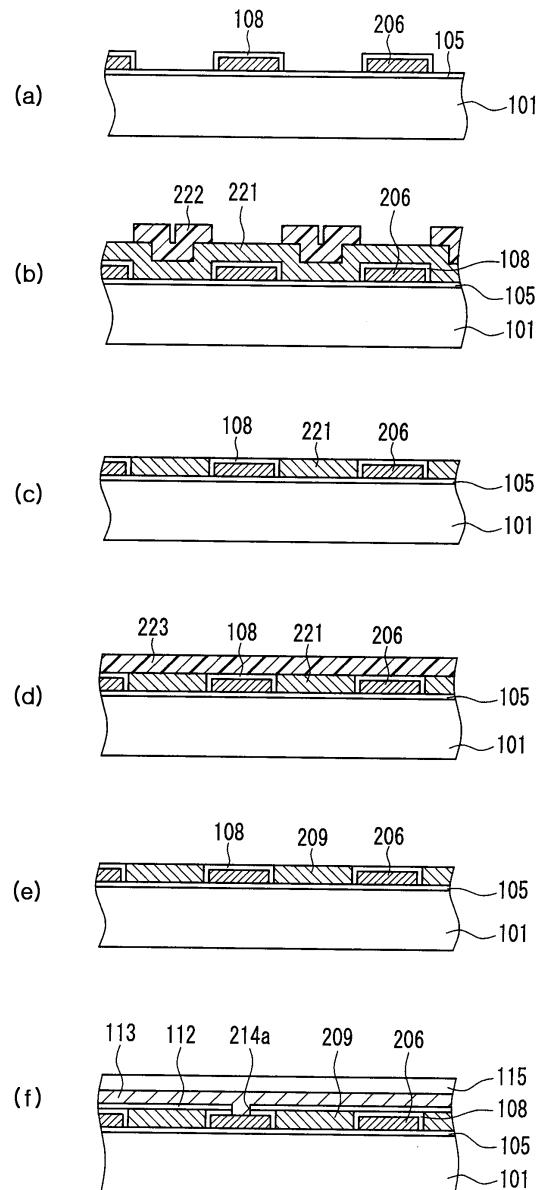
 $\gamma-\gamma'$ 

(a)

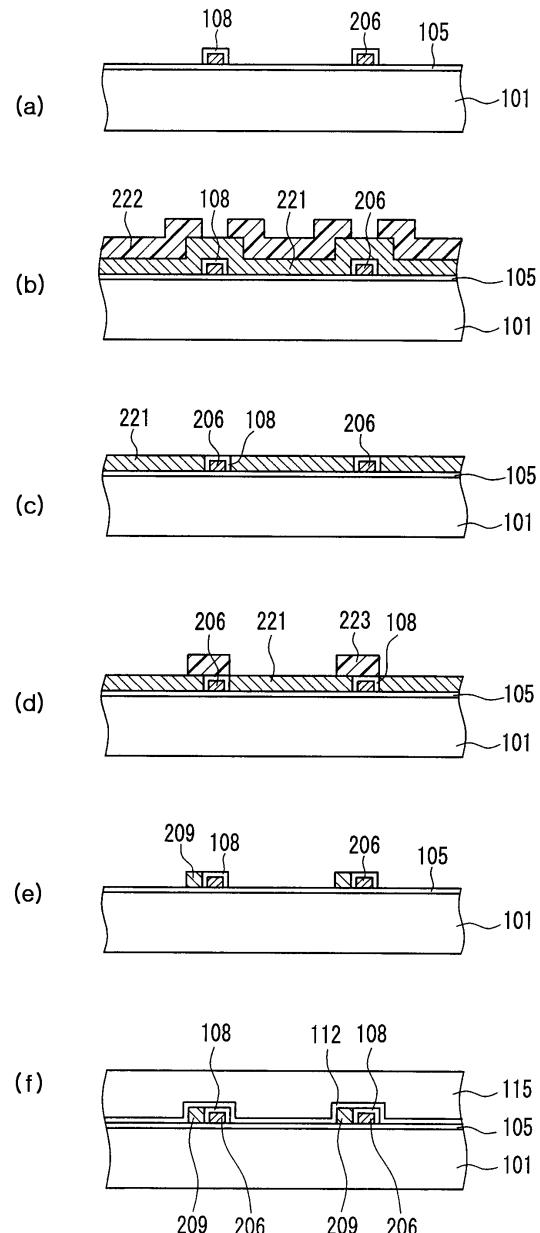
 $z-z'$ 

(b)

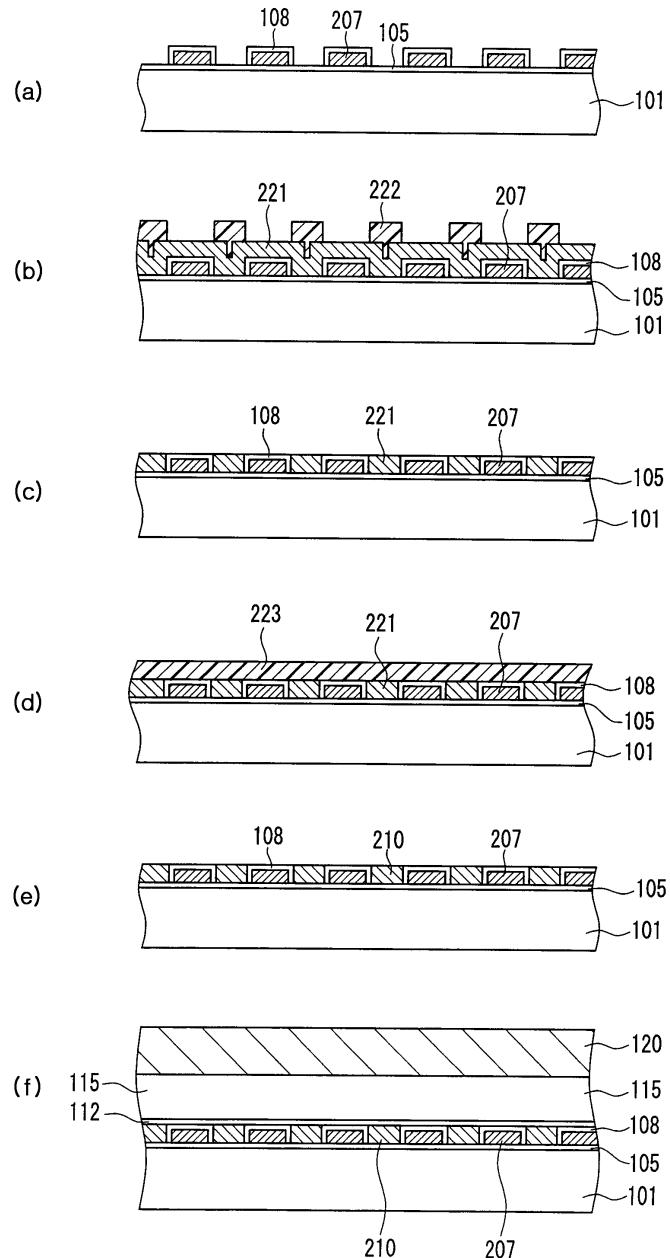
## 도면34



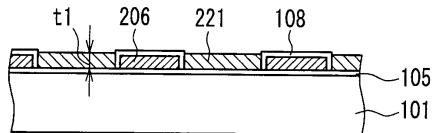
도면35



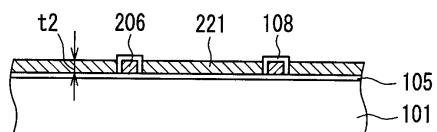
## 도면36



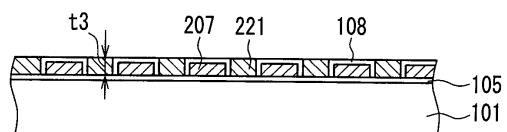
## 도면37



(a)

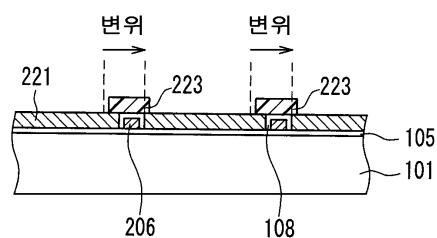


(b)

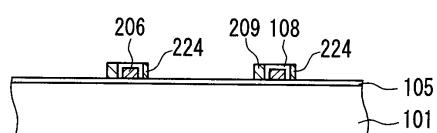


(c)

## 도면38



(a)



(b)