

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45238

(P2010-45238A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.

H01L 29/78 (2006.01)

F I

H01L 29/78 652H

H01L 29/78 652N

H01L 29/78 652S

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2008-208910 (P2008-208910)
(22) 出願日 平成20年8月14日 (2008.8.14)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100075812
弁理士 吉武 賢次
(74) 代理人 100082991
弁理士 佐藤 泰和
(74) 代理人 100096921
弁理士 吉元 弘
(74) 代理人 100103263
弁理士 川崎 康
(74) 代理人 100124372
弁理士 山ノ井 傑

最終頁に続く

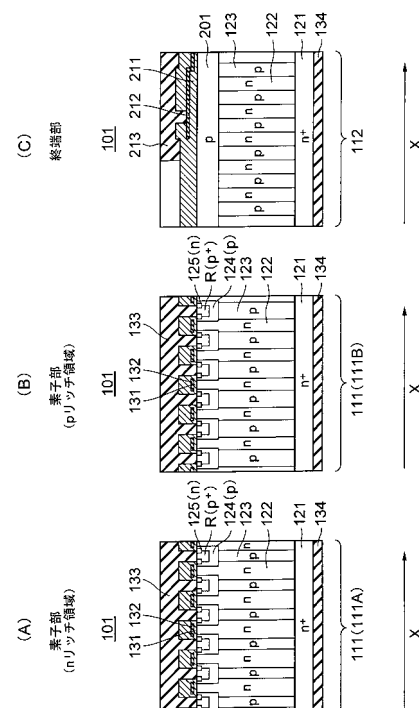
(54) 【発明の名称】 電力用半導体装置

(57) 【要約】

【課題】素子部と終端部とを有する電力用半導体装置に関し、素子部の耐圧と終端部の耐圧との関係を好適化して、アバランシェ耐量を改善する。

【解決手段】素子部と終端部とを有する電力用半導体装置であって、第1半導体層と；前記第1半導体層上に形成された第2半導体層及び第3半導体層であって、前記素子部には、前記第2及び第3半導体層を有する第1領域と、前記第2及び第3半導体層を有する第2領域とが設けられており、前記第2半導体層の単位長さあたりの不純物量 N_A から前記第3半導体層の単位長さあたりの不純物量 N_B を引いた差分値 $\Delta N (= N_A - N_B)$ については、前記素子部の前記第1領域の差分値 ΔN_{C1} と、前記素子部の前記第2領域の差分値 ΔN_{C2} と、前記終端部の差分値 ΔN_T との間に、 $\Delta N_{C1} > \Delta N_T > \Delta N_{C2}$ の関係が成り立つ、第2及び第3半導体層と；第4半導体層と；第5半導体層とを備える電力用半導体装置。

【選択図】図1



【特許請求の範囲】

【請求項 1】

素子部と終端部とを有する電力用半導体装置であって、

第 1 導電型の第 1 半導体層と；

前記第 1 半導体層上に形成され、前記第 1 半導体層の表面に平行な方向に沿って交互に配置された、第 1 導電型の第 2 半導体層及び第 2 導電型の第 3 半導体層であって、

前記素子部には、前記第 2 及び第 3 半導体層を有する第 1 領域と、前記第 2 及び第 3 半導体層を有する第 2 領域とが設けられており、前記第 1 領域と前記第 2 領域は、前記第 1 半導体層の表面に平行な方向に隣接しており、

前記第 2 半導体層の単位長さあたりの不純物量 N_A から前記第 3 半導体層の単位長さあたりの不純物量 N_B を引いた差分値 $\Delta N (= N_A - N_B)$ については、前記素子部の前記第 1 領域の差分値 ΔN_{C1} と、前記素子部の前記第 2 領域の差分値 ΔN_{C2} と、前記終端部の差分値 ΔN_T との間に、 $\Delta N_{C1} > \Delta N_T > \Delta N_{C2}$ の関係が成り立つ、

第 2 及び第 3 半導体層と；

前記第 2 及び第 3 半導体層の表面に選択的に形成された第 2 導電型の第 4 半導体層と；

前記第 4 半導体層の表面に選択的に形成された第 1 導電型の第 5 半導体層と；

前記第 2、第 4、及び第 5 半導体層上に絶縁膜を介して形成された制御電極と；

前記第 4 及び第 5 半導体層に電氣的に接続された第 1 の主電極と；

前記第 1 半導体層に電氣的に接続された第 2 の主電極とを備えることを特徴とする電力用半導体装置。

【請求項 2】

前記素子部の前記第 1 領域の差分値 ΔN_{C1} は、0 よりも大きく、

前記素子部の前記第 2 領域の差分値 ΔN_{C2} は、0 よりも小さいことを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 3】

前記終端部では、前記第 2 半導体層の単位長さあたりの不純物量と、前記第 3 半導体層の単位長さあたりの不純物量とが等しいことを特徴とする請求項 1 又は 2 に記載の電力用半導体装置。

【請求項 4】

前記第 1 領域と前記第 2 領域は、前記第 2 半導体層と前記第 3 半導体層とが交互に配置された方向の平行方向又は垂直方向に隣接していることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の電力用半導体装置。

【請求項 5】

前記素子部には、前記第 2 及び第 3 半導体層を有する 1 つ以上の前記第 1 領域と、前記第 2 及び第 3 半導体層を有する 1 つ以上の前記第 2 領域とが設けられていることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体装置に関する。

【背景技術】

【0002】

大電流を取り扱うためのパワートランジスタとして例えば、縦型パワー MOSFET が広く知られている。

【0003】

縦型パワー MOSFET のオン抵抗は、ドリフト層（伝導層）の電気抵抗に大きく依存する。ドリフト層の電気抵抗はドリフト層のドーパ濃度に応じて変化するが、このドーパ濃度を増加させる際には、ドリフト層とベース層とが形成する pn 接合の耐圧を考慮する必要がある。ドリフト層のドーパ濃度は、この耐圧に応じて決まる限界濃度以上には上げられないからである。このように、素子耐圧とオン抵抗との間にはトレードオフの関係が

10

20

30

40

50

存在する。素子耐圧の向上とオン抵抗の抑制との両立には、素子材料により決まる限界がある。

【0004】

この問題を解決するための構造の一例として、ドリフト層にnピラー層とpピラー層とを埋め込んだスーパージャンクション構造が知られている。スーパージャンクション構造では、nピラー層とpピラー層の不純物量（チャージ量）を等しくすることで、擬似的にノンドープ層を作り出す。そして、高ドープされたnピラー層を通して電流を流すことにより、高耐圧を保持しつつ、材料限界を超える低オン抵抗を実現する。高耐圧を保持するためには、nピラー層とpピラー層の不純物量を精度よく制御する必要がある。

【0005】

スーパージャンクション構造のドリフト層上にMOSFETが形成される電力用半導体装置では、素子部だけでなく終端部にもスーパージャンクション構造を形成する。しかしながら、この場合には、終端部の耐圧を素子部の耐圧よりも高めることが難しい、ということが問題となる。この場合には、アバランシェ降伏が生じると、終端部に局所的に電界が集中し、終端部が破壊に至る可能性がある。

【0006】

なお、特許文献1には、p型半導体領域とn型半導体領域とを有する並列pn接続層を備え、各半導体領域の中央部の不純物濃度を、側部の不純物濃度よりも高くした半導体素子の例が記載されている。ただし、中央部は、隣接する半導体領域との接合面から離れた部分に相当し、側部は、隣接する半導体領域との接合面に近い部分に相当する。

【0007】

また、特許文献2には、第1導電型半導体層と第2導電型半導体層とを有する並列pn接続層を備え、第2導電型半導体層の不純物濃度が、第1導電型半導体層の不純物濃度の1.15倍以上であるような半導体装置の例が記載されている。

【特許文献1】特開2004-134714号公報

【特許文献2】特開2006-324432号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、素子部と終端部とを有する電力用半導体装置に関し、素子部の耐圧と終端部の耐圧との関係を好適化して、アバランシェ耐量を改善することを課題とする。

【課題を解決するための手段】

【0009】

本発明の一の態様は例えば、素子部と終端部とを有する電力用半導体装置であって、第1導電型の第1半導体層と；前記第1半導体層上に形成され、前記第1半導体層の表面に平行な方向に沿って交互に配置された、第1導電型の第2半導体層及び第2導電型の第3半導体層であって、前記素子部には、前記第2及び第3半導体層を有する第1領域と、前記第2及び第3半導体層を有する第2領域とが設けられており、前記第1領域と前記第2領域は、前記第1半導体層の表面に平行な方向に隣接しており、前記第2半導体層の単位長さあたりの不純物量 N_A から前記第3半導体層の単位長さあたりの不純物量 N_B を引いた差分値 $\Delta N (= N_A - N_B)$ については、前記素子部の前記第1領域の差分値 ΔN_{C1} と、前記素子部の前記第2領域の差分値 ΔN_{C2} と、前記終端部の差分値 ΔN_T との間に、 $\Delta N_{C1} > \Delta N_T > \Delta N_{C2}$ の関係が成り立つ、第2及び第3半導体層と；前記第2及び第3半導体層の表面に選択的に形成された第2導電型の第4半導体層と；前記第4半導体層の表面に選択的に形成された第1導電型の第5半導体層と；前記第2、第4、及び第5半導体層上に絶縁膜を介して形成された制御電極と；前記第4及び第5半導体層に電気的に接続された第1の主電極と；前記第1半導体層に電気的に接続された第2の主電極とを備えることを特徴とする電力用半導体装置である。

【発明の効果】

【0010】

10

20

30

40

50

本発明によれば、素子部と終端部とを有する電力用半導体装置に関し、素子部の耐圧と終端部の耐圧との関係を好適化して、アバランシェ耐量を改善することが可能になる。

【発明を実施するための最良の形態】

【0011】

本発明の実施例を、図面に基づいて説明する。

【0012】

(第1実施例)

図1は、第1実施例の電力用半導体装置101の側方断面図である。図1A及び図1Bには、オン時に電流が流れる素子部111が示されており、図1Cには、素子部111の周辺に位置する終端部112が示されている。図1の電力用半導体装置101は、素子部111と、終端部112とを有している。図1Aの領域と図1Bの領域との関係については、後述する。

10

【0013】

図1の電力用半導体装置101は、第1半導体層の例であるn+ドレイン層121と、第2半導体層の例であるnピラー層122と、第3半導体層の例であるpピラー層123と、第4半導体層の例であるpベース層124と、第5半導体層の例であるnソース層125と、絶縁膜の例であるゲート絶縁膜131と、制御電極の例であるゲート電極132と、第1の主電極の例であるソース電極133と、第2の主電極の例であるドレイン電極134とを備える。n型の半導体層はそれぞれ、第1導電型の半導体層の例であり、p型の半導体層はそれぞれ、第2導電型の半導体層の例である。

20

【0014】

n+ドレイン層121はここでは、n+基板である。n+ドレイン層121は例えば、シリコン基板等の半導体基板である。

【0015】

nピラー層122及びpピラー層123は、素子部111及び終端部112において、n+ドレイン層121上に形成されており、n+ドレイン層121の表面に平行な方向に交互に配置されている。図1では、当該方向が矢印Xで示されている。nピラー層122には、リン等の不純物(ドナー)が注入されている。pピラー層123には、ボロン等の不純物(アクセプター)が注入されている。

【0016】

30

このように、素子部111では、nピラー層122及びpピラー層123により、スーパー Junction構造のドリフト層が形成されている。また、素子部111では、当該ドリフト層上に縦型パワーMOSFETが形成されている。本実施例では更に、nピラー層122及びpピラー層123により、素子部111だけでなく終端部112にも、スーパー Junction構造が形成されている。

【0017】

図2は、図1の電力用半導体装置101の上面図である。図2には、素子部111及び終端部112が示されている。図2の矢印Xは、図1の矢印Xと同様、nピラー層122とpピラー層123とが交互に配置されている方向を表す。

【0018】

40

素子部111には、nピラー層122及びpピラー層123を有するnリッチ領域111Aと、nピラー層122及びpピラー層123を有するpリッチ領域111Bとが設けられている。nリッチ領域111Aとpリッチ領域111Bは、n+ドレイン層121の表面に平行な方向に隣接している。

【0019】

素子部111は、図2に示すように、n+ドレイン層121の表面に垂直な境界面Yにより、nリッチ領域111Aとpリッチ領域111Bとに分割されている。nリッチ領域111Aでは、nピラー層122の単位長さあたりの不純物量とpピラー層123の単位長さあたりの不純物量との関係が、nリッチになっている。pリッチ領域111Bでは、nピラー層122の単位長さあたりの不純物量とpピラー層123の単位長さあたりの不

50

純物量との関係が、pリッチになっている。一方、終端部112では、nピラー層122の単位長さあたりの不純物量とpピラー層123の単位長さあたりの不純物量とが、等しくなっている。

【0020】

図1では、nリッチ領域111Aが図1Aに示され、pリッチ領域111Bが図1Bに示されている。このように、素子部111のnピラー層122及びpピラー層123は、境界面Y(図2)により、nリッチ領域111Aとpリッチ領域111Bとに分割されている。nリッチ領域111Aは第1領域の例であり、pリッチ領域111Bは第2領域の例である。nリッチ領域111A、pリッチ領域111B、及び終端部112の単位長さあたりの不純物量の詳細については、後述する。

10

【0021】

以下、図1に戻り説明を続ける。

【0022】

pベース層124は、素子部111において、nピラー層122及びpピラー層123の表面に選択的に形成されている。pベース層124はここでは、ストライプ形状に形成されている。本実施例のpベース層124は、図1A及びBに示すように、p+領域Rを含んでいる。

【0023】

nソース層125は、素子部111において、pベース層124の表面に選択的に形成されている。nソース層125はここでは、ストライプ形状に形成されている。本実施例のnソース層125は、図1A及びBに示すように、p+領域Rに隣接している。

20

【0024】

ゲート絶縁膜131は、素子部111において、nピラー層122、pベース層124、及びnソース層125上に形成されている。ゲート絶縁膜131はここでは、シリコン酸化膜である。

【0025】

ゲート電極132は、素子部111において、nピラー層122、pベース層124、及びnソース層125上にゲート絶縁膜131を介して形成されている。ゲート電極132はここでは、ポリシリコン電極である。ゲート電極132の上面及び側面には、ゲート絶縁膜131と一体化した絶縁膜が形成されている。当該絶縁膜はここでは、シリコン酸化膜である。

30

【0026】

ソース電極133は、素子部111において、pベース層124及びnソース層125に接しており、pベース層124及びnソース層125に電氣的に接続されている。ソース電極133はここでは、メタル電極である。

【0027】

ドレイン電極134は、素子部111及び終端部112において、n+ドレイン層121に接しており、n+ドレイン層121に電氣的に接続されている。nピラー層122及びpピラー層123が、n+ドレイン層121の第1の主面に形成されているのに対し、ドレイン電極134は、n+ドレイン層121の第2の主面に形成されている。ドレイン電極134はここでは、メタル電極である。

40

【0028】

なお、本実施例では、基板であるn+ドレイン層121上に、nピラー層122が形成されている。即ち、nピラー層122が、基板上に設けられている。一方、本実施例では、n+ドレイン層121とnピラー層122とが、共に基板を構成していてもよい。即ち、nピラー層122が、基板内に設けられていてもよい。

【0029】

また、本実施例では、n+ドレイン層121上に、nピラー層122及びpピラー層123が形成されている。即ち、nピラー層122及びpピラー層123の下面が、n+層となっている。一方、本実施例では、n+ドレイン層121上にn型層が形成されると共

50

に、 n 型層上に n ピラー層 1 2 2 及び p ピラー層 1 2 3 が形成されていてもよい。即ち、 n ピラー層 1 2 2 及び p ピラー層 1 2 3 の下面が、 n 型層となってもよい。この場合、 $n +$ ドレイン層 1 2 1 と n 型層とを含む積層層は、第 1 半導体層の例である。

【0030】

図 1 の電力用半導体装置 1 0 1 は更に、終端部 1 1 2 において、リサーフ層 2 0 1 と、フィールド絶縁膜 2 1 1 と、フィールドプレート電極 2 1 2 と、フィールドストップ電極 2 1 3 とを備える。

【0031】

リサーフ層 2 0 1 は、 p 型の半導体層であり、 n ピラー層 1 2 2 及び p ピラー層 1 2 3 の表面に形成される。リサーフ層 2 0 1 には、終端部 1 1 2 の耐圧を向上させる効果がある。フィールド絶縁膜 2 1 1 は、ゲート絶縁膜 1 3 1 と同時に形成される。フィールドプレート電極 2 1 2 は、ゲート電極 1 3 2 と同時に形成される。フィールドストップ電極 2 1 3 は、ソース電極 1 3 3 と同時に形成される。なお、本実施例の電力用半導体装置 1 0 1 には、リサーフ層 2 0 1 やフィールドプレート電極 2 1 2 を設けなくても構わない。

10

【0032】

ここで、 n リッチ領域 1 1 1 A、 p リッチ領域 1 1 1 B、及び終端部 1 1 2 の不純物量について説明する。

【0033】

図 9 は、 n リッチ領域 1 1 1 A、 p リッチ領域 1 1 1 B、または終端部 1 1 2 の 1 つのピラー層を表す。図 9 では、当該ピラー層の単位長さあたりの不純物量が、 N で示されている。当該単位長さは、 $n +$ ドレイン層 1 2 1 の表面に平行な方向であって、 n ピラー層 1 2 2 と p ピラー層 1 2 3 とが交互に配置された方向の垂直方向にとられている。不純物量 N は例えば、 cm^{-1} 単位で表される。以下、 n ピラー層 1 2 2 の単位長さあたりの不純物量を N_n で表し、 p ピラー層 1 2 3 の単位長さあたりの不純物量を N_p で表す。これら N_n 及び N_p はそれぞれ、 N_A 及び N_B の例である。

20

【0034】

以下、図 1 に戻り説明を続ける。

【0035】

上述のように、 n リッチ領域 1 1 1 A では、 n ピラー層 1 2 2 の単位長さあたりの不純物量 N_n と p ピラー層 1 2 3 の単位長さあたりの不純物量 N_p との関係が、 n リッチになっている。従って、 n リッチ領域 1 1 1 A では、 n ピラー層 1 2 2 の単位長さあたりの不純物量 N_n から p ピラー層 1 2 3 の単位長さあたりの不純物量 N_p を引いた差分値 $\Delta N (= N_n - N_p)$ が、正の値になっている。

30

【0036】

また、 p リッチ領域 1 1 1 B では、 n ピラー層 1 2 2 の単位長さあたりの不純物量 N_n と p ピラー層 1 2 3 の単位長さあたりの不純物量 N_p との関係が、 p リッチになっている。従って、 p リッチ領域 1 1 1 B では、 n ピラー層 1 2 2 の単位長さあたりの不純物量 N_n から p ピラー層 1 2 3 の単位長さあたりの不純物量 N_p を引いた差分値 ΔN が、負の値になっている。

40

【0037】

また、終端部（終端領域）1 1 2 では、 n ピラー層 1 2 2 の単位長さあたりの不純物量 N_n と p ピラー層 1 2 3 の単位長さあたりの不純物量 N_p とが、等しくなっている。従って、終端部（終端領域）1 1 2 では、 n ピラー層 1 2 2 の単位長さあたりの不純物量 N_n から p ピラー層 1 2 3 の単位長さあたりの不純物量 N_p を引いた差分値 ΔN が、ほぼゼロになっている。

【0038】

以上の事柄は、図 6 に示されている。図 6 は、各領域の差分値 ΔN と耐圧との関係を示したグラフである。図 6 の縦軸は、各領域の耐圧を表す。一方、図 6 の横軸は、各領域の差分値 ΔN を表す。上述のように、各領域の 1 つの n ピラー層 1 2 2 の単位長さあたりの不純物量を N_n とし、各領域の 1 つの p ピラー層 1 2 3 の単位長さあたりの不純物量を N_p

50

とすると、各領域の差分値 ΔN は、 $N_n - N_p$ となる。

【0039】

図6に示す点A、B、Cはそれぞれ、nリッチ領域111A、pリッチ領域111B、
 終端部112を表す。本実施例では、点Aのように、nリッチ領域111Aの差分値 ΔN
 は、0よりも大きくなっている。本実施例では更に、点Bのように、pリッチ領域111
 Bの差分値 ΔN は、0よりも小さくなっている。本実施例では更に、点Cのように、終端
 部112の差分値 ΔN は、(ほぼ)0になっている。

【0040】

図6に示すように、各領域の耐圧は、各領域の(単位長さあたりの)差分値 ΔN に応じ
 て変化する。そして、耐圧は、差分値 ΔN の絶対値が小さいほど高くなり、差分値 ΔN が
 0のときに最も高くなる。そこで、本実施例では、終端部112の差分値 ΔN を0にする
 と共に、素子部111の各領域111A、Bの差分値 ΔN を0からずらしている。その結
 果、本実施例では、終端部112の耐圧が、素子部111の耐圧よりも高くなる。これに
 より、本実施例では、アバランシェ降伏の際に、終端部112に局所的に電界が集中する
 ことを回避することができる。こうして、本実施例では、電力用半導体装置101のアバ
 ランシェ耐量が改善される。

【0041】

図1の電力用半導体装置101を製造する際、nピラー層122やpピラー層123の
 不純物量が設計値からずれることがある。不純物量がnリッチ側にずれた場合のグラフを
 図7に示し、pリッチ側にずれた場合のグラフを図8に示す。なお、図6は、不純物量が
 設計値通りとなった場合のグラフに相当する。nピラー層122やpピラー層123の不
 純物量のずれは、図7や図8に示すような形で、nリッチ領域111A、pリッチ領域1
 11B、終端部112の差分値 ΔN のずれをもたらす。

【0042】

以下、図7のグラフについて説明する。図7の場合、終端部112の差分値 ΔN は、0
 から正方向にずれてしまう。そのため、pリッチ領域111Bの耐圧が、終端部112の耐
 圧よりも高くなる場合がある。この場合、終端部112の耐圧が素子部111の耐圧よ
 りも高い、という設定が崩れてしまう。しかし、本実施例では、pリッチ領域111Bに
 加えてnリッチ領域111Aも設けられており、nリッチ領域111Aの耐圧は、終端部
 112の耐圧よりも低くなる。そのため、図7の場合、終端部112の耐圧が、3つの領
 域の中で最も低くなる事態は回避される。

【0043】

以上は、図8の場合でも同様である。図8の場合、終端部112の差分値 ΔN は、0か
 ら負方向にずれてしまう。そのため、nリッチ領域111Aの耐圧が、終端部112の耐
 圧よりも高くなる場合がある。しかし、本実施例では、nリッチ領域111Aに加えてp
 リッチ領域111Bも設けられており、pリッチ領域111Bの耐圧は、終端部112の
 耐圧よりも低くなる。そのため、図8の場合にも、終端部112の耐圧が、3つの領域
 の中で最も低くなる事態は回避される。

【0044】

以上のように、本実施例では、nリッチ領域111Aの差分値 ΔN が、0よりも大き
 くなっており、pリッチ領域111Bの差分値 ΔN が、0よりも小さくなっており、終端部
 112の差分値 ΔN が、(ほぼ)0となっている。これにより、nピラー層122やpピ
 ラー層123の不純物量が設計値からずれた場合でも、終端部112の耐圧は、nリッチ
 領域111Aの耐圧とpリッチ領域111Bの耐圧の少なくともいずれかよりは高くなる
 。その結果、不純物量のずれが生じた場合でも、アバランシェ降伏の際の終端部112へ
 の電界集中は回避される。即ち、アバランシェ耐量の改善効果は、不純物量のずれが生
 じた場合においても維持される。

【0045】

このような効果は、終端部112の差分値 ΔN を、0以外にしても得ることができる。
 このような効果は例えば、第1領域(nリッチ領域)111Aの差分値 ΔN_{c1} と、第2領

10

20

30

40

50

域 (p リッチ領域) 1 1 1 B の差分値 ΔN_{C2} と、終端部 1 1 2 の差分値 ΔN_T との関係を、 $\Delta N_{C1} > \Delta N_T > \Delta N_{C2}$ のように設定することで、得ることができる。この場合、第 1 及び第 2 領域 1 1 1 A 及び B は、共に n リッチになっていてもよいし、共に p リッチになっていてもよい。

【0046】

以下、第 2 ~ 第 4 実施例の電力用半導体装置 1 0 1 について説明する。第 2 ~ 第 4 実施例は、第 1 実施例の変形例であり、第 2 ~ 第 4 実施例については、第 1 実施例との相違点を中心に説明する。なお、図 1 の側方断面図は、第 1 実施例と第 2 ~ 第 4 実施例とで共通とする。

【0047】

10

(第 2 実施例)

図 3 は、第 2 実施例の電力用半導体装置 1 0 1 の上面図である。図 3 において、素子部 1 1 1 は、n + ドレイン層 1 2 1 の表面に垂直な境界面 Y により、n リッチ領域 1 1 1 A と p リッチ領域 1 1 1 B とに分割されている。図 3 の矢印 X は、図 1 の矢印 X と同様、n ピラー層 1 2 2 と p ピラー層 1 2 3 とが交互に配置されている方向を表す。

【0048】

ここで、図 2 と図 3 とを比較する。図 2 では、境界面 Y が、矢印 X の垂直方向に伸びているのに対し、図 3 では、境界面 Y が、矢印 X の平行方向に伸びている。そのため、図 2 では、n リッチ領域 1 1 1 A と p リッチ領域 1 1 1 B が、矢印 X の平行方向に隣接しているのに対し、図 3 では、n リッチ領域 1 1 1 A と p リッチ領域 1 1 1 B が、矢印 X の垂直方向に隣接している。このような構成により、第 2 実施例では、第 1 実施例と同様の効果を実現することができる。即ち、不純物量のずれが生じた場合でも、アバランシェ降伏の際の終端部 1 1 2 への電界集中が回避されるような構成を実現することができる。なお、境界面 Y は、矢印 X の垂直方向及び平行方向以外の方向に伸びていても構わない。また、境界面 Y は、n + ドレイン層 1 2 1 の表面に垂直でなくても構わない。

20

【0049】

(第 3 実施例)

図 4 は、第 3 実施例の電力用半導体装置 1 0 1 の上面図である。図 4 において、素子部 1 1 1 は、n + ドレイン層 1 2 1 の表面に垂直な境界面 Y により、n リッチ領域 1 1 1 A と p リッチ領域 1 1 1 B とに分割されている。図 4 の矢印 X は、図 1 の矢印 X と同様、n ピラー層 1 2 2 と p ピラー層 1 2 3 とが交互に配置されている方向を表す。

30

【0050】

ここで、図 2 と図 4 とを比較してみる。図 2 では、素子部 1 1 1 が、1 つの境界面 Y により、1 つの n リッチ領域 1 1 1 A と 1 つの p リッチ領域 1 1 1 B とに分割されているのに対し、図 4 では、素子部 1 1 1 が、複数の境界面 Y により、複数の n リッチ領域 1 1 1 A と複数の p リッチ領域 1 1 1 B とに分割されている。図 4 では、n リッチ領域 1 1 1 A と p リッチ領域 1 1 1 B が、矢印 X の平行方向に沿って交互に配置されている。このような構成により、第 3 実施例では、第 1 実施例と同様の効果を実現することができる。すなわち、不純物量のずれが生じた場合でも、アバランシェ降伏の際の終端部 1 1 2 への電界集中が回避されるような構成を実現することができる。

40

【0051】

(第 4 実施例)

図 5 は、第 4 実施例の電力用半導体装置 1 0 1 の上面図である。図 5 において、素子部 1 1 1 は、n + ドレイン層 1 2 1 の表面に垂直な境界面 Y により、n リッチ領域 1 1 1 A と p リッチ領域 1 1 1 B とに分割されている。図 5 の矢印 X は、図 1 の矢印 X と同様、n ピラー層 1 2 2 と p ピラー層 1 2 3 とが交互に配置されている方向を表す。

【0052】

ここで、図 2 と図 5 とを比較してみる。図 2 では、素子部 1 1 1 が、1 つの境界面 Y により、1 つの n リッチ領域 1 1 1 A と 1 つの p リッチ領域 1 1 1 B とに分割されているのに対し、図 5 では、素子部 1 1 1 が、複数の境界面 Y により、複数の n リッチ領域 1 1 1

50

Aと複数のpリッチ領域111Bとに分割されている。図5では、nリッチ領域111Aとpリッチ領域111Bが、矢印Xの垂直方向に沿って交互に配置されている。このような構成により、第4実施例では、第1実施例と同様の効果を実現することができる。すなわち、不純物量のずれが生じた場合でも、アバランシェ降伏の際の終端部112への電界集中が回避されるような構成を実現することができる。

【0053】

なお、図4では、各境界面Yが、矢印Xの垂直方向に伸びているのに対し、図5では、各境界面Yが、矢印Xの平行方向に伸びている。図4及び図5の各境界面Yは、矢印Xの垂直方向及び平行方向以外の方向に伸びていても構わない。また、図4及び図5の各境界面Yは、n+ドレイン層121の表面に垂直でなくとも構わない。

10

【0054】

また、図2の境界面Yや、図4の各境界面Yは、nピラー層122とpピラー層123とのpn接合面と一致させることが望ましい。これにより、上記の差分値の制御が比較的容易になる。

【0055】

また、図2～図5の各領域111A、Bに含まれるピラー層122、123の本数は、何本でも構わない。また、これらピラー層122、123の形状は、図1では、紙面垂直方向に伸びるストライプ状になっている。しかしながら、これらピラー層122、123の形状は、基板上面方向から見て、ドット形状、千鳥形状、メッシュ形状等にしても構わない。

20

【0056】

以上のように、素子部111をnリッチ領域111Aとpリッチ領域111Bとに分割する方法には、様々な変形例がある。素子部111の分割方法は、第1～第4実施例の方法に限定されない。境界面Yは例えば、図4のような形状の境界面と図5のような形状の境界面とを組み合わせた、格子状の境界面でも構わない。この場合、nリッチ領域111Aとpリッチ領域111Bは、格子模様状に配置される。

【0057】

なお、図1の電力用半導体装置101では、素子部111にMOSFETが形成されるが、MOSFET以外のトランジスタを形成してもよい。このようなトランジスタの例として、IGBT(Integrated Gate Bipolar Transistor)等が挙げられる。この場合、図1のソース電極133及びドレイン電極134はそれぞれ、エミッタ電極及びコレクタ電極に置き換えられる。加えて、この場合には、トランジスタの構成要素としてpコレクタ層が設けられる。

30

【0058】

また、第1～第4実施例では、トランジスタの例として、nチャネルのプレーナ構造を有するMOSFETが挙げられている。しかしながら、当該トランジスタは、pチャネルのプレーナ構造を有するMOSFETでも構わない。さらには、当該トランジスタは、nチャネル又はpチャネルのトレンチゲート構造を有するMOSFETでも構わない。

【0059】

以上、本発明の具体的な態様の例を、第1～第4実施例により説明したが、本発明は、これらの実施例に限定されるものではない。例えば、これらの実施例における各要素の形状、寸法、材料、導電型等については、当業者が公知の範囲から適宜選択してこれらの実施例と同様の作用効果を得られるものを採用してもよい。このようにして得られる種々の変形例も、本発明の実施例に含まれる。

40

【図面の簡単な説明】

【0060】

【図1】第1実施例の電力用半導体装置の側方断面図である。

【図2】第1実施例の電力用半導体装置の上面図である。

【図3】第2実施例の電力用半導体装置の上面図である。

【図4】第3実施例の電力用半導体装置の上面図である。

50

【図 5】第 4 実施例の電力用半導体装置の上面図である。

【図 6】各領域の差分値 ΔN と耐圧との関係を示したグラフである。

【図 7】各領域の差分値 ΔN と耐圧との関係を示したグラフ（不純物量が n リッチ側にずれた場合）である。

【図 8】各領域の差分値 ΔN と耐圧との関係を示したグラフ（不純物量が p リッチ側にずれた場合）である。

【図 9】単位長さあたりの不純物量について説明するための図である。

【符号の説明】

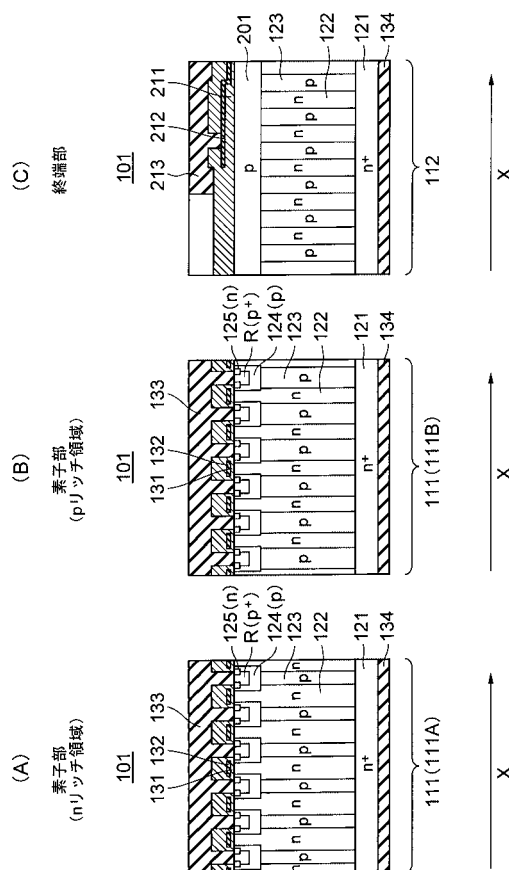
【 0 0 6 1 】

- 1 0 1 電力用半導体装置
- 1 1 1 素子部
- 1 1 2 終端部
- 1 2 1 n+ドレイン層
- 1 2 2 nピラー層
- 1 2 3 pピラー層
- 1 2 4 pベース層
- 1 2 5 nソース層
- 1 3 1 ゲート絶縁膜
- 1 3 2 ゲート電極
- 1 3 3 ソース電極
- 1 3 4 ドレイン電極
- 2 0 1 リサーフ層
- 2 1 1 フィールド絶縁膜
- 2 1 2 フィールドプレート電極
- 2 1 3 フィールドストップ電極

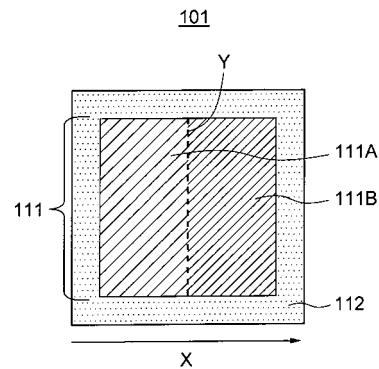
10

20

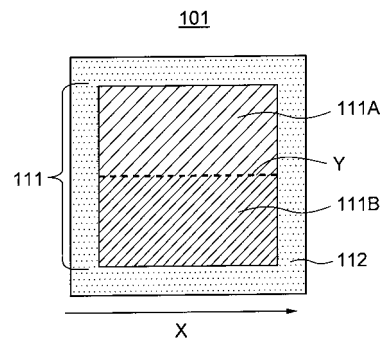
【図 1】



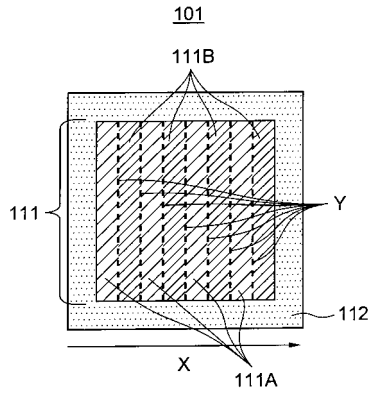
【図 2】



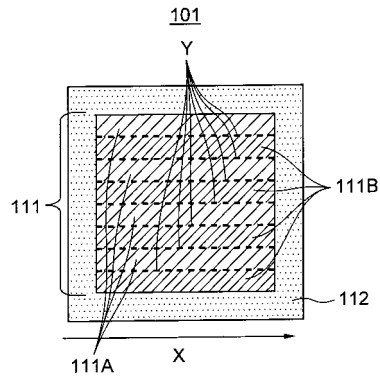
【図 3】



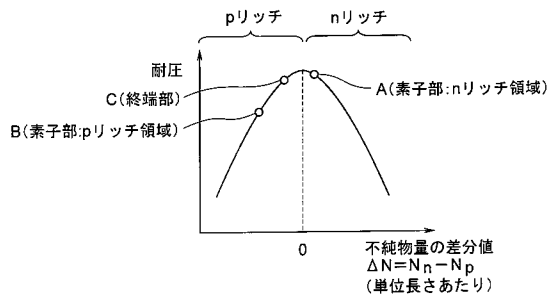
【図 4】



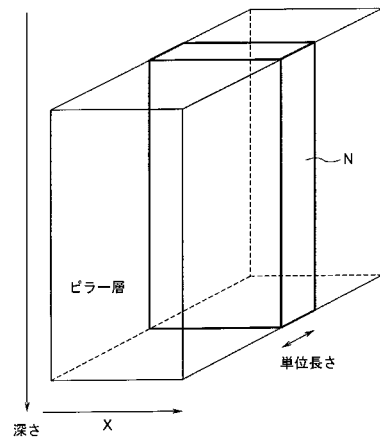
【図 5】



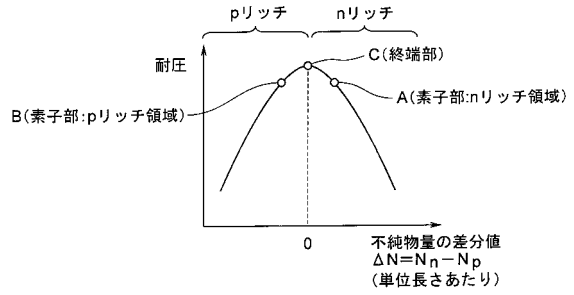
【図 8】



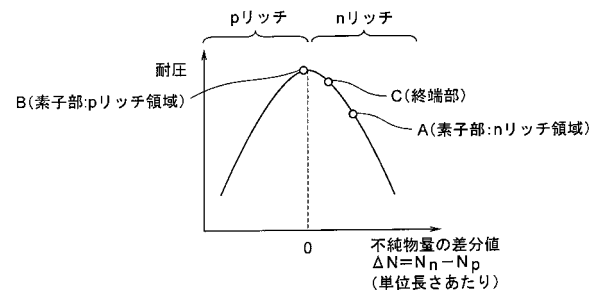
【図 9】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 渡 辺 美 穂
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 泉 沢 優
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 角 保 人
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 大 田 浩 史
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 関 根 渉
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 齋 藤 渉
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小 野 昇太郎
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 羽田野 菜 名
東京都港区芝浦一丁目1番1号 株式会社東芝内