



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0010019
(43) 공개일자 2011년01월31일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2009-0067518

(22) 출원일자 2009년07월23일

심사청구일자 2009년07월23일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김상식

서울특별시 송파구 가락동 우성아파트 3동 305호

조경아

서울특별시 광진구 능동 225-5

박병준

대전광역시 서구 월평2동 한아름아파트 103-605

(74) 대리인

특허법인 대아

전체 청구항 수 : 총 17 항

(54) 투명 기관 또는 플렉시블 기관을 이용한 투명 또는 플렉서블한 비휘발성 메모리 소자 제조 방법

(57) 요약

투명 기관 또는 플렉시블 기관을 이용한 투명 또는 플렉서블한 비휘발성 메모리 소자 제조 방법에 대하여 개시한다.

본 발명에 따른 비휘발성 메모리 소자 제조 방법은 (a)투명 기관이나 플렉시블 기관 상에 게이트 전극용 제1 투명 전극층을 형성하는 단계; (b)상기 제1 투명 전극층 상에 제1 투명 절연층을 형성하는 단계; (c)상기 제1 투명 절연층 상에 전하를 저장하기 위한 투명 부유 게이트를 형성하는 단계; (d)상기 투명 부유 게이트 상에 제2 투명 절연층을 형성하는 단계; (e)상기 제2 투명 절연층 상에 투명 채널층을 형성하는 단계; 및 (f)상기 투명 채널층과 전기적으로 연결되도록 소스 전극 및 드레인 전극용 제2 투명 전극층을 형성하는 단계;를 포함하는 것을 특징으로 한다.

본 발명은 종래의 실리콘 기반의 불투명 기관을 이용하는 경우에 비하여 상대적으로 저온 및 간단한 공정으로 투명 또는 플렉시블 비휘발성 메모리 소자를 제조할 수 있는 장점이 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 R0A20050001004502008

부처명 한국과학재단

연구관리전문기관

연구사업명 국가지정연구실사업

연구과제명 이중차원 하이브리드 나노재료를 이용한 메모리/광 나노소자 개발

기여율

주관기관 한국과학재단

연구기간 2008년 04월 01일 ~ 2009년 03월 31일

특허청구의 범위

청구항 1

- (a)투명 기관 또는 플렉서블 기관 상에 투명 게이트 전극을 형성하는 단계;
- (b)내부에 투명 나노입자로 이루어진 투명 부유 게이트를 포함하는 투명 게이트 절연층을 상기 투명 게이트 전극 상에 형성하는 단계; 및
- (c)상기 투명 게이트 절연층 상에 투명 산화물 채널층을 형성하는 단계;를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 2

제1항에 있어서,

- (d)상기 투명 산화물 채널층과 전기적으로 연결되도록 투명 소스 전극 및 투명 드레인 전극을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 3

제2항에 있어서,

상기 투명 소스 전극과 투명 드레인 전극은 상기 투명 기관 또는 플렉서블 기관, 상기 투명 게이트 절연층 및 상기 투명 산화물 채널층 상에 계단형태로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 4

제2항에 있어서,

상기 투명 소스 전극과 투명 드레인 전극은 상기 투명 게이트 전극과 직교하는 방향으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 5

제1항에 있어서,

상기 투명 부유 게이트를 형성하기 위한 투명나노입자는 1~20nm의 사이즈를 갖는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 6

- (a)투명 기관 또는 플렉서블 기관 상에 게이트 전극용 제1 투명 전극층을 형성하는 단계;
- (b)상기 제1 투명 전극층 상에 제1 투명 절연층을 형성하는 단계;
- (c)상기 제1 투명 절연층 상에 전하를 저장하기 위한 투명 부유 게이트를 형성하는 단계;
- (d)상기 투명 부유 게이트 상에 제2 투명 절연층을 형성하는 단계;
- (e)상기 제2 투명 절연층 상에 투명 채널층을 형성하는 단계; 및
- (f)상기 투명 채널층과 전기적으로 연결되도록 소스 전극 및 드레인 전극용 제2 투명 전극층을 형성하는 단계;를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 7

제6항에 있어서,

상기 투명 기관 또는 플렉서블 기관은 유리 기관 또는 고분자 기관인 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 8

제6항에 있어서,

상기 (a)단계에서, 상기 제1 투명 전극층 형성 이전에 상기 투명 기관 또는 플렉서블 기관 상에 금속 박막을 더 형성하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 9

제6항에 있어서,

상기 제1 투명 전극층은 ITO(Indium Tin Oxide), ATO(Antimon Tin Oxide) 및 ZIO(Zinc Indium Oxide) 중 어느 하나로 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 10

제6항에 있어서,

상기 제1 투명 절연층 및 상기 제2 투명 절연층은 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), Al_2O_3 , parylene-x 또는 PVP(Polyvinyl pyrrolidone)으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 11

제6항에 있어서,

상기 투명 부유 게이트는 1~20nm의 사이즈를 갖는 투명 나노입자에 의해 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 12

제11항에 있어서,

상기 투명 부유 게이트는 스핀 코팅(spin-coating) 또는 스퍼터링(sputtering) 공정에 의해 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 13

제11항에 있어서,

상기 투명 나노입자는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), SnO_2 , ZnO, Al, Pt, Au, Ti, W, Si 및 Ge 중에서 적어도 하나의 물질로 이루어진 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 14

제6항에 있어서,

상기 투명 채널층은 ZnO, IZGO 및 IZO 중 적어도 하나를 포함하여 형성되는 것인 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 15

제6항에 있어서,

상기 제2 투명 전극층은 ITO(Indium Tin Oxide), ATO(Antimon Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 16

제15항에 있어서,

상기 제2 투명 전극층은 금속 전극층을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 17

제6항에 있어서,

상기 제2 투명 전극층은 상기 제1 투명 전극층과 직교하는 방향으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 비휘발성 메모리 소자에 관한 것으로, 더욱 상세하게는 투명 기판이나 플렉시블 기판 상에 투명 게이트 전극층, 투명 절연막층, 투명 나노 부유 게이트층, 투명 채널층 등을 형성하여 제조된 비휘발성 메모리 소자가 투명한(transparent) 특징을 갖는 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법에 관한 것이다.

배경기술

[0002] 비휘발성 메모리 소자(non-volatile memory device)는 전원이 공급되지 않아도 저장된 정보를 계속 유지하는 기억 소자로서, 게이트 절연막(gate insulator) 내의 부유 게이트(floating gate)에 전하(charge)를 저장하여 정보를 저장하는 소자이다.

[0003] 비휘발성 메모리 소자의 제작을 위하여 현재 가장 널리 이용되고 있는 방법은 실리콘 기반의 불투명한 기판을 이용하여 소자를 제작하는 방법으로, 실리콘 기반의 불투명한 기판 상에 각종 전극 등을 형성하고 있다.

[0004] 그러나, 실리콘 기반의 불투명 기판은 유리 기판이나 플렉시블(flexible)한 고분자 기판에 비하여 상대적으로 고가이며, 투명한 비휘발성 메모리 소자의 제작 기술에는 적용될 수 없는 문제점이 있다.

[0005] 이에 따라, 투명하거나 혹은 플렉시블한 비휘발성 메모리 소자의 제작을 위한 기판으로서, 상대적으로 저가이면서도 투명한 특성을 갖는 유리 기판이나 플렉시블한 고분자 기판의 적용이 요구된다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명의 목적은 투명 기관이나 플렉시블한 고분자 기관을 이용하고, 게이트 전극층, 게이트 절연막층, 부유 게이트층, 채널층 등을 투명한 물질들을 이용하여 형성함으로써, 제조된 비휘발성 메모리 소자가 투명하거나 플렉시블한 특성을 갖는 비휘발성 메모리 소자 제조 방법을 제공하는 것이다.
- [0007] 또한, 본 발명은 종래에 비하여 상대적으로 저온 및 간단한 공정으로 메모리 소자를 제조할 수 있는 비휘발성 메모리 소자 제조 방법을 제공하는 것을 그 목적으로 한다.

과제 해결수단

- [0008] 상기 과제를 해결하기 위한 본 발명의 일실시예에 따른 비휘발성 메모리 소자 제조 방법은 (a)투명 기관 또는 플렉시블 기관 상에 투명 게이트 전극을 형성하는 단계; (b)내부에 투명 나노입자로 이루어진 투명 부유 게이트를 포함하는 투명 게이트 절연층을 상기 투명 게이트 전극 상에 형성하는 단계; 및 (c)상기 투명 게이트 절연층 상에 투명 산화물 채널층을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- [0009] 상기 과제를 해결하기 위한 본 발명의 다른 일실시예에 따른 비휘발성 메모리 소자 제조 방법은 (a)투명 기관 또는 플렉시블 기관 상에 게이트 전극용 제1 투명 전극층을 형성하는 단계; (b)상기 제1 투명 전극층 상에 제1 투명 절연층을 형성하는 단계; (c)상기 제1 투명 절연층 상에 전하를 저장하기 위한 투명 부유 게이트를 형성하는 단계; (d)상기 투명 부유 게이트 상에 제2 투명 절연층을 형성하는 단계; (e)상기 제2 투명 절연층 상에 투명 채널층을 형성하는 단계; 및 (f)상기 투명 채널층과 전기적으로 연결되도록 소스 전극 및 드레인 전극용 제2 투명 전극층을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- [0010] 상기 투명 기관 또는 플렉서블 기관은 유리 기관 또는 고분자 기관일 수 있다. 또한, 상기 (a)단계에서, 상기 제1 투명 전극층 형성 이전에 상기 투명 기관 또는 플렉서블 기관 상에 금속 박막을 더 형성할 수 있으며, 상기 제2 투명 전극층은 상기 제1 투명 전극층과 직교하는 방향으로 형성될 수 있다.
- [0011] 또한, 상기 제1 투명 전극층은 ITO(Indium Tin Oxide), ATO(Antimon Tin Oxide), IZO(Indium Zinc Oxide) 등으로 이루어질 수 있으며, 상기 제1 투명 절연층 및 상기 제2 투명 절연층은 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), Al_2O_3 , parylene-x, PVP(Polyvinyl pyrrolidone) 등으로 형성될 수 있으며, 상기 투명 부유 게이트는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), SnO_2 , ZnO , Al, Pt, Au, Ti, W, Si 및 Ge 중 적어도 하나로 이루어진 나노입자로 형성될 수 있으며, 상기 투명 채널층은 ZnO , IZGO 및 IZO 중 적어도 하나를 포함하여 형성될 수 있으며, 상기 제2 투명 전극층은 ITO, ATO, IZO로 형성되거나, 혹은 이들에 알루미늄층과 같은 금속 전극층을 더 포함하여 형성될 수 있다.
- [0012] 또한, 상기 제2 투명 절연층은 상기 투명 부유 게이트의 상부 및 측면을 덮도록 형성될 수 있으며, 이 경우, 상기 제2 투명 전극층은 상기 투명 기관 또는 플렉서블 기관, 상기 제1 투명 절연층, 상기 제2 투명 절연층 및 상기 투명 채널층 상에 계단 형태로 형성될 수 있다.

효 과

- [0013] 본 발명에 따른 투명 혹은 플렉시블한 비휘발성 메모리 소자 제조 방법은 종래의 실리콘 기반의 불투명한 기관을 이용하는 방법에 비하여 상대적으로 저가의 공정비용이 소요되고, 또한 유리 기관이나 고분자 기관을 이용하고, 각종 전극 등을 주로 스핀 코팅 방식 혹은 스퍼터링 방식에 의해 형성함으로써 저온 및 간단한 공정을 통하여 투명 비휘발성 메모리 소자를 제조할 수 있는 장점이 있다.
- [0014] 또한, 본 발명에 따른 제조 방법으로 제조된 투명 혹은 플렉시블 비휘발성 메모리 소자는 전체적으로 투명하고 플렉시블하여, 디자인 측면이 우수하며, 투명 컴퓨터 또는 투명 디스플레이 등에 적용될 수 있다.

발명의 실시를 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- [0016] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 투명 비휘발성 메모리 소자 제조 방법에 관하여 상세히 설명하면 다음과 같다.
- [0017] 도 1은 본 발명의 일실시예에 따른 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 개략적으로 나타내는 순서도이다.
- [0018] 도 2는 도 1에 도시된 방법에 의해 제조된 투명 혹은 플렉시블한 비휘발성 메모리 소자의 예를 개략적으로 나타내는 단면도이다. 이하, 도 1에 도시된 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 설명함에 있어 도 2를 참조하기로 한다.
- [0019] 도 1을 참조하면, 본 실시예에 따른 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법은 투명 게이트 전극 형성 단계(S110), 투명 게이트 절연층 형성 단계(S120) 및 투명 산화물 채널층 형성 단계(S130)를 포함한다.
- [0020] 투명 게이트 전극 형성 단계(S110)에서는 유리 기판이나 플렉시블(flexible)한 고분자 기판과 같은 투명 기판(210) 상에 스퍼터링(sputtering) 등의 방법을 이용하여 투명 게이트 전극(220)을 형성한다.
- [0021] 투명 게이트 전극(220)은 투명하면서도 전기전도도가 양호한 ITO(Indium Tin Oxide), ATO(Antimon Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등으로 형성될 수 있으며, 도전성을 향상시키는 등의 경우에 따라서는 투명 기판(210) 상에 미리 금속 박막을 형성한 후에 투명 게이트 전극(220)을 형성할 수 있다.
- [0022] 도 2에서는 하나의 단위 비휘발성 메모리 셀을 예로 들었으나, 실제로는 복수개의 투명 게이트 전극(220)들이 투명 기판 또는 플렉서블 기판(210) 상에 일정한 간격으로 이격되어 형성되며, 형성된 투명 게이트 전극(220)들은 투명 비휘발성 메모리 소자에서 워드라인(word line)으로 이용될 수 있다.
- [0023] 투명 게이트 절연층 형성 단계(S120)에서는 투명 게이트 전극(220) 상에 투명 게이트 절연층(230)을 형성한다. 이때, 투명 게이트 절연층(230) 내부에는 전하를 저장하기 위한 투명 부유 게이트(235)가 형성되어 있으며, 투명 부유 게이트(235)는 1~20nm의 사이즈를 갖는 투명 나노입자로 이루어진다.
- [0024] 투명 부유 게이트(235)는 스핀코팅 방식 혹은 스퍼터링 방식을 통하여 직접 나노입자를 형성하는 방식으로 투명 부유 게이트 층을 형성시킨다. 나노입자의 크기는 1~20 nm의 사이즈를 갖는 나노입자이며, 투명 게이트 절연층(230)을 일부 형성한 후, 그 위에 스핀코팅, 스퍼터링 등의 방법으로 증착함으로써 형성될 수 있다.
- [0025] 투명 산화물 채널층 형성 단계(S130)에서는 투명 비휘발성 메모리 소자의 동작시 전하(charge)의 도전 통로를 제공하기 위한 투명 산화물 채널층(240)을 투명 게이트 절연층(230) 상에 형성한다. 투명 산화물 채널층(240)은 ZnO, IGZO, IZO와 같은 투명한 반도체 산화물로 형성될 수 있다. 형성된 투명 산화물 채널층(240)은 바이어스 라인(bias line)들로 이용될 수 있다.
- [0026] 한편, 상기 투명 산화물 채널층(240)과 전기적으로 연결되도록 투명 소스 전극(250a) 및 투명 드레인 전극(250b)을 더 형성할 수 있다. 투명 소스 전극(250a)과 투명 드레인 전극(250b)은 투명 게이트 전극(220)이 신장하는 방향과 직교하는 방향을 따라서 형성될 수 있다. 투명 소스 전극(250a)은 공통 라인(common line)으로 이용할 수 있으며, 투명 드레인 전극(250b)은 비트 라인(bit line)으로 이용할 수 있다.
- [0027] 이때, 투명 소스 전극(250a)과 투명 드레인 전극(250b)은 투명 기판 또는 플렉서블 기판(210), 상기 투명 게이트 절연층(230) 및 상기 투명 산화물 채널층(240) 상에 계단형태로 형성될 수 있다.
- [0028] 도 3은 본 발명의 다른 일실시예에 따른 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 개략적으로 나타내는 순서도이다.

- [0029] 도 4a 내지 도 4f는 도 3에 도시된 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 구현하기 위한 각 단계의 예를 개략적으로 나타내는 단면도이다. 이하, 도 2에 도시된 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 설명함에 있어 도 4a 내지 도 4f를 참조하기로 한다.
- [0030] 도 3을 참조하면, 본 실시예에 따른 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법은 제1 투명 전극층 형성 단계(S310), 제1 투명 절연층 형성 단계(S320), 투명 부유 게이트 형성 단계(S330), 제2 투명 절연층 형성 단계(S340), 투명 채널층 형성 단계(S350) 및 제2 투명 전극층 형성 단계(S360)를 포함한다.
- [0031] **제1 투명 전극층(게이트 전극)**
- [0032] 제1 투명 전극층 형성 단계(S310)에서는 투명 기판 또는 플렉서블 기판(410) 상에 제1 투명 전극층(420)을 형성한다.(도 4a)
- [0033] 이때, 투명 기판 또는 플렉서블 기판(410)은 투명한 유리 기판 또는 고분자 기판일 수 있으며, 이들 기판은 종래의 비휘발성 메모리 소자의 기판으로 이용되는 실리콘 기반의 기판보다 상대적으로 저가이며, 저온 공정에 적합한 장점이 있으며, 고분자 기판의 경우 플렉시블(flexible)한 재질로서 다양한 응용이 가능하다.
- [0034] 제1 투명 전극층(420)은 게이트 전극(Gate Electrode)으로 활용할 수 있다. 제1 투명 전극층(420)은 투명하면서도 전기전도도가 양호한 ITO(Indium Tin Oxide), AT0(Antimon Tin Oxide) 또는 IZO(Indium Zinc Oxide)과 같은 물질을 스퍼터링 등의 방법으로 투명 기판(410) 상에 증착함으로써 형성될 수 있다. 제1 투명 전극층(420)은 투명 비휘발성 메모리 소자에서 워드라인(word line)으로 이용할 수 있다.
- [0035] 한편, 도전성의 보완 등 필요에 따라서는 투명 기판 또는 플렉서블 기판(410) 상에 금속 박막을 미리 형성한 후에 제1 투명 전극층(420)을 형성할 수 있다.
- [0036] **제1 투명 절연층(블로킹 절연층)**
- [0037] 제1 투명 절연층 형성 단계(S320)에서는 제1 투명 전극층(420) 상에 제1 투명 절연층(430)을 형성한다.(도 4b)
- [0038] 제1 투명 절연층(430)은 도 4b에 도시된 바와 같이, 제1 투명 전극층(420)의 상부 및 측면을 덮도록 형성될 수 있다.
- [0039] 이러한 제1 투명 절연층(430)은 투명하면서도 전기적으로 부도체인 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), Al_2O_3 , parylene-x, PVP(Polyvinyl pyrrolidone) 등을 물리적 또는 화학적 증착 방법을 이용하여 형성할 수 있다.
- [0040] **투명 부유 게이트**
- [0041] 투명 부유 게이트 형성 단계(S330)에서는 제1 투명 절연층(430) 상에 투명 부유 게이트(440)를 형성한다.(도 4c)
- [0042] 투명 부유 게이트(440)는 투명 비휘발성 메모리 소자의 동작시 전하를 저장 또는 방출함으로써 정보를 저장하는 역할을 한다.
- [0043] 이러한 투명 부유 게이트(440)는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), SnO_2 , ZnO, Al, Pt, Au, Ti, W, Si, Ge 등을 스퍼터링 혹은 스프인코팅 방식을 통하여 직접 금속 나노입자를 형성하는 방식으로 제조한 1~20nm의 사이즈를 갖는 나노입자를 스퍼터링 혹은 스프인코팅 등의 증착 방법으로 증착함으로써 제1 투명 절연층(430) 상에 형성될 수 있다. 투명 부유 게이트 층을 나노입자로 형성시킬 경우, 터널링 옥사이드 층의 두께를 얇게 하여도 누설전류로 인한 전하저장시간은 단축되지 않기 때문에, 구동전압을 낮출 수 있으며, 소비전력도 줄일 수 있다.
- [0044] **제2 투명 절연층(터널링 절연층)**

- [0045] 제2 투명 절연층 형성 단계(S340)에서는 상기 투명 부유 게이트 상에 제2 투명 절연층(450)을 형성한다.(도 4d)
- [0046] 제2 투명 절연층(450)은 제1 투명 절연층(430)과 마찬가지로 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), Al_2O_3 , parylene-x, PVP(Polyvinyl pyrrolidone) 등으로 형성될 수 있다.
- [0047] 한편, 투명 부유 게이트(440)를 기준으로, 투명 부유 게이트(440)의 하부에 형성되는 제1 투명 절연층(430)은 투명 비휘발성 메모리 소자 동작시 블로킹 절연층(blocking insulator)으로 이용할 수 있고, 투명 부유 게이트(440)의 상부에 형성되는 제2 투명 절연층(450)은 터널링 절연층(tunneling insulator)으로 이용할 수 있다.
- [0048] **투명 채널층**
- [0049] 투명 채널층 형성 단계(S350)에서는 제2 투명 절연층(450) 상에 투명 채널층(460)을 형성한다.(도 4e)
- [0050] 투명 채널층(460)은 투명 비휘발성 메모리 소자의 동작시 전하의 도전 통로를 제공하며, 바이어스 라인(bias line)으로 이용될 수 있다.
- [0051] 투명 채널층(460)은 투명 반도체 산화물로 형성될 수 있는데, 대표적인 예로 ZnO, IZGO, IZO 등을 들 수 있으며, 이들이 단독으로 또는 2 이상이 혼합되어 형성될 수 있다. 또한, 상기 ZnO, IZGO, IZO 등에 알루미늄(Al), 갈륨(Ga), 주석(Sn)과 인듐(In) 원소가 도핑되어 있을 수 있다.
- [0052] **제2 투명 전극층 형성(소스 & 드레인 전극)**
- [0053] 제2 투명 전극층 형성 단계(S360)에서는 투명 채널층(460)과 전기적으로 연결되도록 제2 투명 전극층(470a, 470b)을 형성한다.(도 4f)
- [0054] 제2 투명 전극층(470a, 470b)은 소스 전극(source electrode)과 드레인 전극이 될 수 있으며, 이 중에서 소스 전극의 경우 투명 비휘발성 메모리 소자에서 공통 라인(common line)으로 이용되며, 드레인 전극의 경우 비트 라인(bit line)으로 이용된다.
- [0055] 제2 투명 전극층은 ITO(Indium Tin Oxide), ATO (Antimon Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 형성될 수 있으며, 여기에 알루미늄(Al)층과 같은 금속 전극층이 더 포함되어 있을 수 있다.
- [0056] 이러한 제2 투명 전극층(470a, 470b)은 각각 제1 투명 전극층(420)과 전기적으로 연결되지 않으며, 또한 제1 투명 전극층(420)과 직교하는 방향으로 형성되어 있을 수 있다.
- [0057] 한편, 전술한 제2 투명 절연층(450)이 투명 부유 게이트(440)의 상부 및 측면을 덮도록 형성되어 있는 경우, 제2 투명 전극층(470a, 470b)은 도 4f에 도시된 바와 같이, 투명 기관 또는 플렉서블 기관(410), 제1 투명 절연층(430), 제2 투명 절연층(450) 및 투명 채널층(460) 상에 계단 형태로 형성될 수 있다.
- [0058] 도 5는 도 4에 도시된 방법에 의해 제조된 투명 비휘발성 메모리 소자의 단위 셀을 개략적으로 나타내는 사시도이다.
- [0059] 도 5를 참조하면, 투명 기관 또는 플렉서블 기관(410) 상에 제1 투명 전극층(420)이 종방향으로 신장하는 형태로 형성되고, 제1 투명 전극층(420) 상에 그 위에 제1 투명 절연층(430) 및 제2 투명 절연층(450)이 형성되며, 제2 투명 절연층(450) 상에 투명 채널층(460)이 형성되며, 제2 투명 전극층(470a, 470b)이 횡방향으로 신장하는 형태로, 또한 투명 기관 또는 플렉서블 기관(410)으로부터 투명 채널층(460)까지 계단 형태로 각각 형성되어 있다.
- [0060] 도 5에서는 나타나지 않지만, 제1 투명 절연층(430)과 제2 투명 절연층(450) 사이에는 전하를 저장하기 위한 투명 부유 게이트가 형성된다.
- [0061] 도 6은 제1 투명 절연층과 제2 투명 절연층 사이에 투명 부유 게이트가 형성되어 있는 것을 나타내는 이미지이고, 도 7은 나노입자로 이루어진 투명 부유 게이트의 이미지이다.

[0062] 도 6 및 도 7을 참조하면, 제1 투명 절연층(430) 상에 수 나노미터 두께의 투명 부유 게이트(440)가 나노입자들에 의해 형성되어 있는 것을 볼 수 있으며, 투명 부유 게이트(440) 상에는 제2 투명 절연층(440)이 형성되어 있다.

[0063] 상술한 바와 같이, 본 발명에 따른 비휘발성 메모리 소자 제조 방법은 저가의 유리 기판 또는 고분자 기판을 이용함으로써, 소자 제조 비용을 절감할 수 있으며, 투명 기판 또는 플렉서블 기판 위에 주로 스퍼터링을 이용하여 각종 전극 등을 형성할 수 있어 저온 및 간단한 공정으로 투명 비휘발성 메모리 소자를 제조할 수 있는 효과가 있다.

[0064] 이를 통해 제조된 투명 혹은 플렉시블 비휘발성 메모리 소자는 전체적으로 투명한 시각적 효과를 통하여, 미래에 주목받을 것으로 예상되는 투명 컴퓨터나 투명 디스플레이 등에 적용될 수 있을 것이다.

[0065] 이상에서는 본 발명의 일 실시예를 중심으로 설명하였지만, 당업자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 이러한 변경과 변형이 본 발명의 범위를 벗어나지 않는 한 본 발명에 속한다고 할 수 있다. 따라서 본 발명의 권리범위는 이하에 기재되는 청구범위에 의해 판단되어야 할 것이다.

도면의 간단한 설명

[0066] 도 1은 본 발명의 일실시예에 따른 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 개략적으로 나타내는 순서도이다.

[0067] 도 2는 도 1에 도시된 방법에 의해 제조된 투명 혹은 플렉시블 비휘발성 메모리 소자의 예를 개략적으로 나타내는 단면도이다.

[0068] 도 3은 본 발명의 다른 일실시예에 따른 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 개략적으로 나타내는 순서도이다.

[0069] 도 4a 내지 도 4f는 도 3에 도시된 투명 혹은 플렉시블 비휘발성 메모리 소자 제조 방법을 구현하기 위한 각 단계의 예를 개략적으로 나타내는 단면도이다.

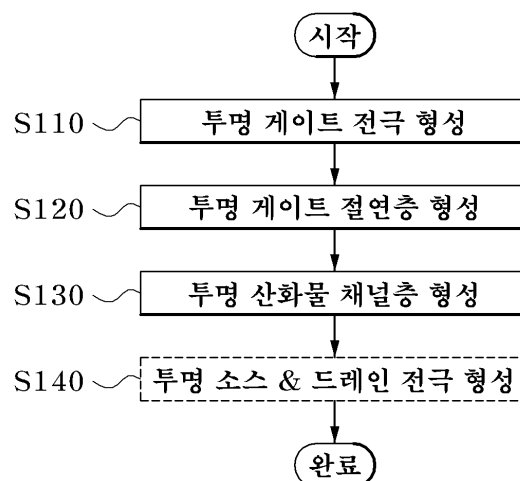
[0070] 도 5는 도 4에 도시된 방법에 의해 제조된 투명 혹은 플렉시블 비휘발성 메모리 소자의 단위 셀을 개략적으로 나타내는 사시도이다.

[0071] 도 6은 제1 투명 절연층과 제2 투명 절연층 사이에 투명 부유 게이트가 형성되어 있는 것을 나타내는 이미지이다.

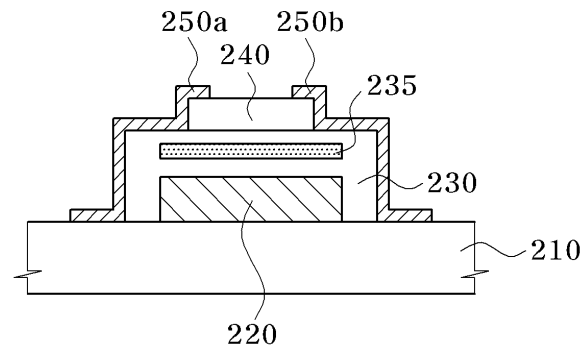
[0072] 도 7은 나노입자로 이루어진 투명 부유 게이트의 이미지이다.

도면

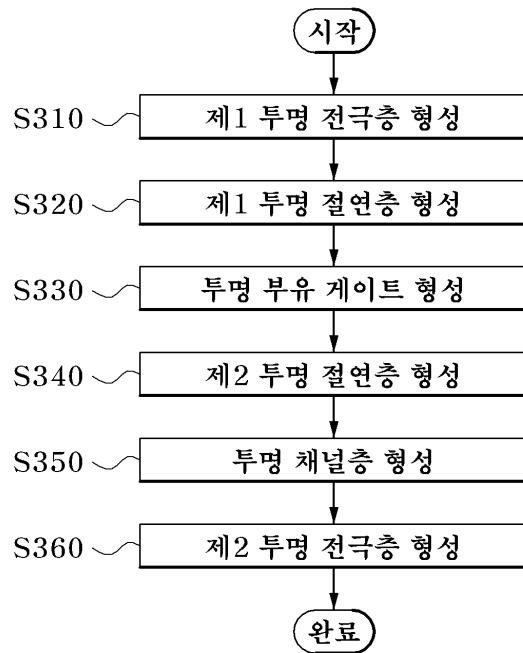
도면1



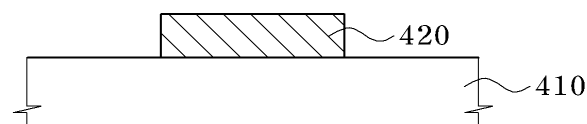
도면2



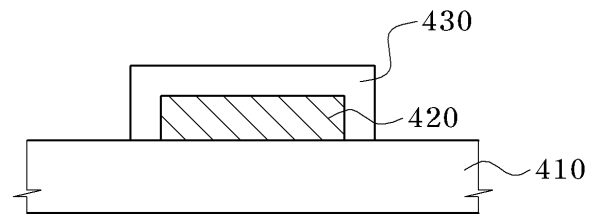
도면3



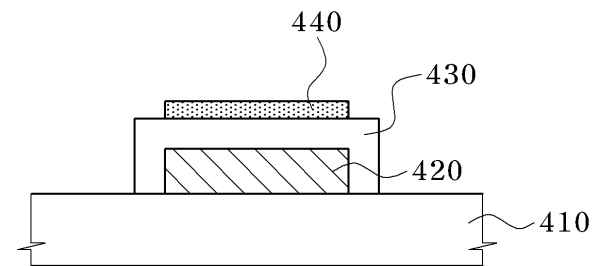
도면4a



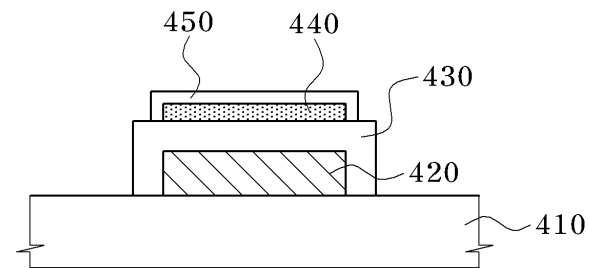
도면4b



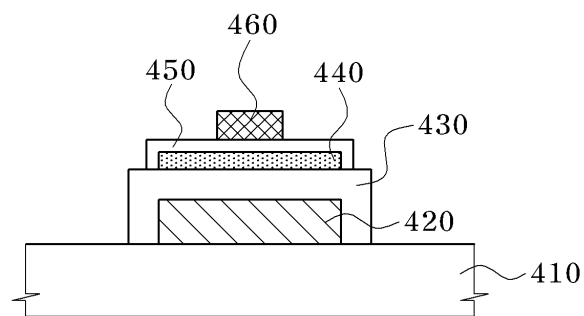
도면4c



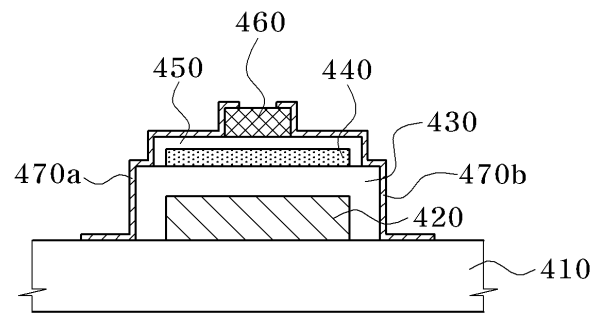
도면4d



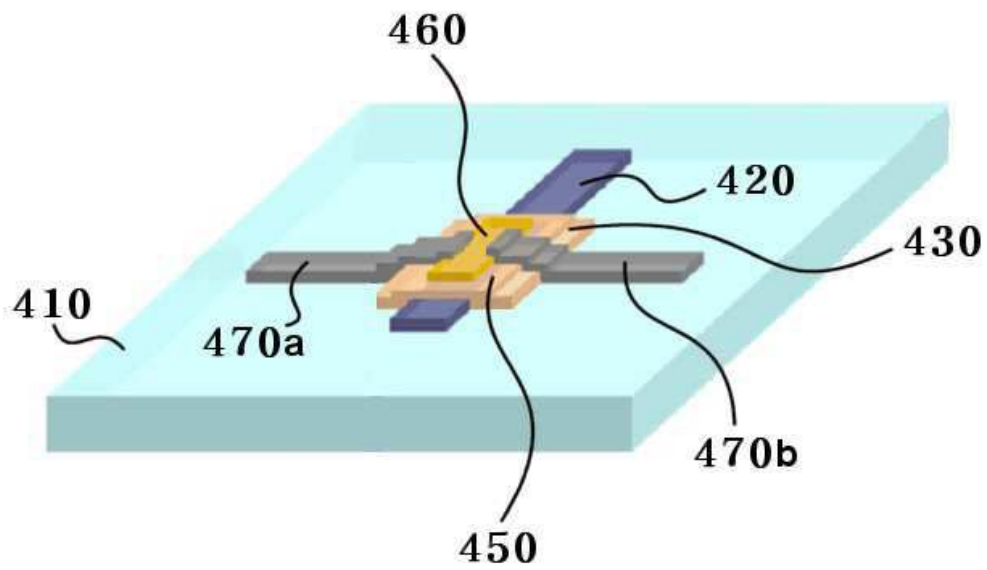
도면4e



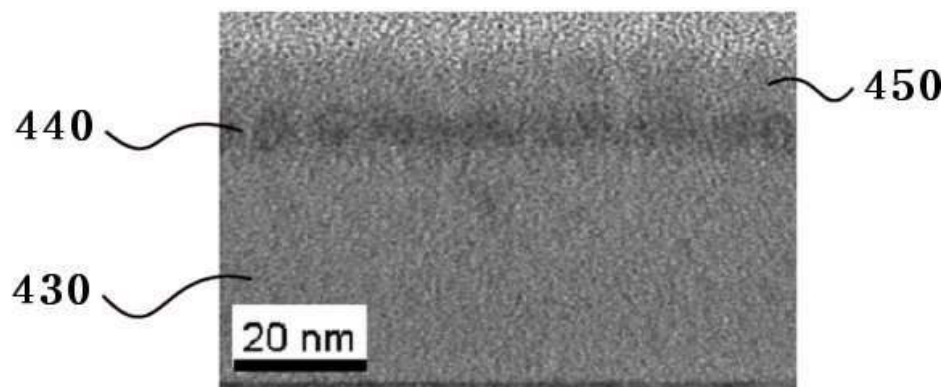
도면4f



도면5



도면6



도면7

