



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I538147 B

(45)公告日：中華民國 105 (2016) 年 06 月 11 日

(21)申請案號：101127123

(22)申請日：中華民國 101 (2012) 年 07 月 26 日

(51)Int. Cl. : **H01L23/535 (2006.01)**

(30)優先權：2011/07/29 美國 13/193,814

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)
美國(72)發明人：穆翰米德 艾里亞斯 MOHAMMED, ILYAS (US)；阿巴 畢葛薩 HABA,
BELGACEM (US)；攸柔 賽普倫 UZOH, CYPRIAN (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 2005/0121768A1

US 2007/0117348A1

US 2008/0064143A1

US 2008/0094455A1

審查人員：王順德

申請專利範圍項數：92 項 圖式數：7 共 68 頁

(54)名稱

低應力導通體

LOW-STRESS VIAS

(57)摘要

本發明描述一種組件，該組件可包含：一基板，其具有一前表面及遠離該前表面之一後表面；一開口，其自該後表面朝向該前表面延伸；及一導電導通體，其在該開口內延伸。該基板可具有小於 10 ppm/°C 之一熱膨脹係數(CTE)。該開口可在該前表面與該後表面之間界定一內表面。該導電導通體可包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區。該第二金屬區可具有大於該第一金屬層之一 CTE 之一 CTE。該導電導通體可具有跨該導電導通體之一直徑之一有效 CTE，該有效 CTE 小於該第二金屬區之該 CTE 之 80%。

A component can include a substrate having a front surface and a rear surface remote therefrom, an opening extending from the rear surface towards the front surface, and a conductive via extending within the opening. The substrate can have a CTE less than 10 ppm/°C. The opening can define an inner surface between the front and rear surfaces. The conductive via can include a first metal layer overlying the inner surface and a second metal region overlying the first metal layer and electrically coupled to the first metal layer. The second metal region can have a CTE greater than a CTE of the first metal layer. The conductive via can have an effective CTE across a diameter of the conductive via that is less than 80% of the CTE of the second metal region.

指定代表圖：

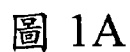


圖 1A

T2 . . . 第二金屬區
之厚度

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101127123

※申請日：101. 7. 26

※IPC 分類：H01L 23/535 (2006.01)

一、發明名稱：(中文/英文)

低應力導通體

LOW-STRESS VIAS

二、中文發明摘要：

本發明描述一種組件，該組件可包含：一基板，其具有一前表面及遠離該前表面之一後表面；一開口，其自該後表面朝向該前表面延伸；及一導電導通體，其在該開口內延伸。該基板可具有小於 10 ppm/°C 之一熱膨脹係數 (CTE)。該開口可在該前表面與該後表面之間界定一內表面。該導電導通體可包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區。該第二金屬區可具有大於該第一金屬層之一 CTE 之一 CTE。該導電導通體可具有跨該導電導通體之一直徑之一有效 CTE，該有效 CTE 小於該第二金屬區之該 CTE 之 80%。

三、英文發明摘要：

A component can include a substrate having a front surface and a rear surface remote therefrom, an opening extending from the rear surface towards the front surface, and a conductive via extending within the opening. The substrate can have a CTE less than 10 ppm/°C. The opening can define an inner surface between the front and rear surfaces. The conductive via can include a first metal layer overlying the inner surface and a second metal region overlying the first metal layer and electrically coupled to the first metal layer. The second metal region can have a CTE greater than a CTE of the first metal layer. The conductive via can have an effective CTE across a diameter of the conductive via that is less than 80% of the CTE of the second metal region.

四、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

10	組 件
20	基 板
21	後 表 面 / 第 一 表 面
22	前 表 面 / 第 二 表 面
23	絕 緣 介 電 層
30	開 口
31	內 表 面
40	導 電 導 通 體 / 貫 穿 矽 導 通 體
41	第 一 金 屬 層
42	第 二 金 屬 區
43	層
50	導 電 接 觸 件
51	接 觸 表 面
60	絕 緣 介 電 層 / 介 電 層 / 絕 緣 介 電 材 料 / 保 形 介 電 層
D	導 電 導 通 體 之 直 徑
T	基 板 之 厚 度
T1	第 一 金 屬 層 之 厚 度
T2	第 二 金 屬 區 之 厚 度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於微電子裝置之封裝，尤其係半導體裝置之封裝。

【先前技術】

微電子元件通常包括一半導體材料(諸如矽或砷化鎵)之一薄板，通常稱作一晶粒或一半導體晶片。半導體晶片通常提供為個別、預先封裝之單元。在一些單元設計中，半導體晶片係安裝至一基板或晶片載體，該基板或晶片載體繼而安裝在一電路板(諸如一印刷電路板)上。

在半導體晶片之一第一面(例如，一前表面)中製造主動電路。為了促進至主動電路之電連接，該晶片在相同面上具備接合墊。該等接合墊通常以一規則陣列放置在晶粒之邊緣周圍或對於許多記憶體裝置，放置在晶粒中心中。該等接合墊通常由一導電金屬(諸如銅或鋁)製成且約0.5 μm 厚。該等接合墊可包含一單層或多層金屬。該等接合墊之大小將隨著裝置類型而改變，但是在一側上尺寸通常將為數十至數百微米。

使用貫穿矽導通體(TSV)以使接合墊與半導體晶片之與第一面相對之一第二面(例如，一後表面)連接。一習知導通體包含穿透半導體晶片之一孔及自該第一面延伸通過該孔至該第二面之一導電材料。該等接合墊可電連接至導通體以允許該等接合墊與該半導體晶片之第二面上之導電元件通信。

習知 TSV 孔可減小可用於容納主動電路之第一面之部分。可用於主動電路之第一面上之可用空間之此一減小可增大產生各半導體晶片所需之矽量，藉此潛在地增大各晶片之成本。

因為習知導通體內部之一非最佳應力分佈及(例如)一半導體晶片與該晶片所接合至之結構之間的熱膨脹係數(CTE)之一失配，該等導通體可具有可靠度挑戰。例如，當藉由一相對薄及勁性介電材料使一半導體晶片內之導電導通體絕緣時，在該等導通體內可存在相當大的應力。此外，當該半導體晶片接合至一聚合基板之導電元件時，該晶片與該基板之較高 CTE 結構之間的電連接將歸因於 CTE 失配而處於應力之下。

在晶片之任何實體配置中，大小係一重要考量。隨著攜帶式電子裝置之快速發展，對晶片之更緊密實體配置之需求已變得更強烈。僅舉例而言，通常稱作「智慧型電話」之裝置整合一蜂巢式電話與強大資料處理器、記憶體及輔助裝置(諸如全球定位系統接收器、電子相機及區域網路連接以及高解析度顯示器及相關聯影像處理晶片)之功能。此等裝置可提供多種能力，諸如皆在一口袋型裝置中之全網際網路連接能力、包含全解析度視訊之娛樂活動、導航、電子銀行等。複雜的攜帶式裝置需要將眾多晶片封裝至一小空間中。此外，一些晶片可具有許多輸入及輸出連接，通常稱作「I/O」。此等 I/O 必須與其他晶片之 I/O 互連。該等互連應係短的且應具有低阻抗以最小化信號傳播

延遲。形成該等互連之組件不應大幅增大總成之大小。在如(例如)資料伺服器(諸如在網際網路搜尋引擎中所使用之資料伺服器)中之其他應用中出現類似需要。例如，在複雜晶片之間提供眾多短、低阻抗互連之結構可增大搜尋引擎之頻寬且減小其功率消耗。

儘管已在半導體導通體形成及互連方面取得進展，但是仍需要改良以便最小化半導體晶片之大小，同時增強電互連可靠度。本發明之此等屬性可藉由建構如後文所述之微電子封裝而達成。

【發明內容】

根據本發明之一態樣，一種組件可包含：一基板，其具有一前表面及遠離該前表面之一後表面；一開口，其自該後表面朝向該前表面延伸；及一導電導通體，其在該開口內延伸。該基板可具有小於 $10\text{ ppm}/^{\circ}\text{C}$ 之一CTE。該開口可在該前表面與該後表面之間界定一內表面。該導電導通體可包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區。該第二金屬區可具有大於該第一金屬層之一CTE之一CTE。該導電導通體可具有跨該導電導通體之一直徑之一有效CTE，該有效CTE小於該第二金屬區之CTE之80%。

根據本發明之另一態樣，一種組件可包含：一基板，其具有一前表面及遠離該前表面之一後表面，該基板基本上係由具有小於 $10\text{ ppm}/^{\circ}\text{C}$ 之一CTE之一材料組成；一開口，其自該後表面朝向該前表面延伸通過該材料；及一導電導

通體，其在該開口內延伸。該開口可在該前表面與該後表面之間界定一內表面。該導電導通體可包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區。該第一金屬層可具有為該導電導通體之直徑之至少10%之一厚度，且可具有比該第二金屬區之楊氏模數大至少50%之一楊氏模數。

在一特定實施例中，該基板可在該開口與該前表面或該後表面之至少一者之間具有一過渡表面。該過渡表面之一半徑可大於該開口之一半徑之5%。在一例示性實施例中，該基板可為選自由以下各者組成之群組之一材料：半導體材料、陶瓷及玻璃。在一實施例中，該組件亦可包含該前表面處之複數個導電元件。該等導電元件之至少一些導電元件可與該等導電導通體之各自者電連接。該基板可包含與該等導電元件之至少一些導電元件電連接之複數個主動半導體裝置。在一特定實施例中，該第一金屬層及該第二金屬區之各者可在該後表面與該等導電元件之一者之底表面之間延伸。

在一例示性實施例中，該組件亦可包含塗佈在該開口之一內表面上之一絕緣介電層。該介電層可使該導電導通體與該基板至少在該開口內分開及絕緣。在一實施例中，該組件亦可包含塗佈在該第二金屬區之一內表面上之一絕緣介電層。在一特定實施例中，該第二金屬區在平行於該基板之前表面之一橫向方向上可佔有該導電導通體之一直徑之至多80%。在一例示性實施例中，該第一金屬層可具有

符合該開口之一內表面之一輪廓之一表面。在一特定實施例中，該第一金屬層可為選自由以下各者組成之群組之一金屬： α -鈹、鎢、鎳、鉬、鈦、包含鎢之合金、包含鈦之合金、包含鈦及鎢之合金、包含鎳之合金及包含鉬之合金、包含鈷之合金及包含鈦之導電化合物。

在一實施例中，該第二金屬區可為選自由以下各者組成之群組之一金屬：銅及鋁。在一例示性實施例中，該第一金屬層可具有平均粒徑小於50奈米之一晶粒結構。在一特定實施例中，該第一金屬層可具有大於200 GPa之一楊氏模數。在一實施例中，該組件亦可包含暴露在該後表面處以與一外部元件互連之一導電接觸件。該導電接觸件可與該第一金屬層及該第二金屬區電連接。在一例示性實施例中，該導電接觸件可包含上覆於該後表面之第一金屬層及第二金屬層之部分。

在一特定實施例中，該導電導通體亦可包含在該第一金屬層與該絕緣介電層之間延伸之一障壁金屬層。該障壁金屬層可為與該第一金屬層及該第二金屬區之金屬不同之一金屬。在一實施例中，該第一金屬層可包含上覆於該第二金屬區之一軸向面向表面之一部分。在一例示性實施例中，該第一金屬層可完全環繞該第二金屬區。在一實施例中，該第二金屬區可由一多孔金屬製成且可在該第二金屬區中包含空隙。在一特定實施例中，該第二金屬區之一頂表面可塗佈有一介電層。在一例示性實施例中，該第二金屬區可在一發泡體或一纖維材料內之開孔內延伸。

根據本發明之又另一態樣，一種組件可包含：一基板，其具有一前表面及遠離該前表面之一後表面，該基板基本上係由具有小於10 ppm/°C之一CTE之一材料組成；一開口，其自該後表面朝向該前表面延伸通過該材料；及一導電導通體，其在該開口內延伸。該開口可在該前表面與該後表面之間界定一內表面。該導電導通體可包含一金屬區，該金屬區上覆於該內表面且具有截留於中之複數個腔。

在一例示性實施例中，該導電導通體亦可包含該金屬區與該內表面之間的一障壁金屬層。該障壁金屬層可為與該金屬區之金屬不同之一金屬。在一實施例中，該金屬區可為一第一金屬區且該障壁金屬層可為一第一障壁金屬層。該導電導通體亦可包含上覆於該第一障壁金屬層之一第二金屬層及介於該第二金屬區與該第二金屬層之間的一第三障壁金屬層。在一特定實施例中，該等截留腔可具有大於1微米之一平均直徑。在一例示性實施例中，該組件亦可包含暴露在該後表面處以與一外部元件互連之一導電接觸件。該導電接觸件可與該金屬區電連接。在一實施例中，該組件亦可包含塗佈在該開口之一內表面上之一絕緣介電層。該介電層可使該導電導通體與該基板至少在該開口內分開及絕緣。

根據本發明之又另一態樣，一種組件可包含一基板，該基板具有一前表面及遠離該前表面之一後表面且在該基板中包含與該前表面相鄰且自該前表面延伸至該基板中達一

第一距離之複數個主動半導體裝置。該基板可具有小於10 ppm/°C之一CTE及暴露在該前表面處之複數個導電墊。該組件亦可包含一開口，該開口自該後表面延伸通過該基板至該等導電墊之一者之至少一底表面。該組件可進一步包含一導電導通體，該導電導通體在該開口內延伸且與該等導電墊之一者電連接。該導電導通體可包含為具有大於14 ppm/°C之一CTE之一金屬之一金屬區。該導電導通體可具有自該前表面延伸一第二距離之一凹口。該第二距離可大於或等於該第一距離。該凹口可具有小於該導電導通體之一直徑之一最大直徑。

在一實施例中，該凹口可在平行於該基板之前表面之一橫向方向上具有一最大直徑，該最大直徑為該開口在該橫向方向上之一直徑之至少50%。在一特定實施例中，該第二距離可在0.2微米與10微米之間。在一例示性實施例中，該凹口之一暴露表面可塗佈有一障壁層，該障壁層為與該導電導通體之金屬不同之一材料。在一實施例中，該障壁層可為選自由以下各者組成之群組之一金屬：鈷磷合金、鎳磷合金及鎳鎢合金。

本發明之進一步態樣提供併入結合其他電子裝置之根據本發明之先前態樣之結構、根據本發明之先前態樣之複合晶片或兩者之系統。例如，該系統可安置在一單個外殼中，該外殼可為一攜帶式外殼。根據本發明之此態樣中之較佳實施例之系統可比類似習知系統更緊密。

根據本發明之另一態樣，一種製造一組件之方法可包含

形成一開口，該開口自一基板之一後表面朝向該基板遠離該後表面之一前表面延伸。該開口可在該前表面與該後表面之間界定一內表面。該基板基本上可由具有小於10 ppm/°C之一CTE之一材料組成。該方法亦可包含形成一導電導通體，其包含形成上覆於該開口之內表面之一第一金屬層及形成上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區。該第二金屬區可具有大於該第一金屬層之一CTE之一CTE。該導電導通體可具有跨該導電導通體之一直徑之一有效CTE，該有效CTE小於該第二金屬區之CTE之80%。

根據本發明之又另一態樣，一種製造一組件之方法可包含形成一開口，該開口自一基板之一後表面朝向該基板遠離該後表面之一前表面延伸。該開口可在該前表面與該後表面之間界定一內表面。該基板基本上可由具有小於10 ppm/°C之一CTE之一材料組成。該方法亦可包含形成一導電導通體，其包含形成上覆於該開口之內表面之一第一金屬層及形成上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區。該第一金屬層可具有為該導電導通體之直徑之至少10%之一厚度且可具有比該第二金屬區之楊氏模數大至少50%之一楊氏模數。

在一特定實施例中，形成開口之步驟可包含執行一第一各向異性蝕刻程序以產生一初始內表面及執行一第二程序以平滑化該初始內表面而變成該內表面。該第一各向異性蝕刻程序及該第二程序可在該開口與該前表面或該後表面

之至少一者之間產生一過渡表面。該過渡表面之一半徑可大於該開口之一半徑之5%。在一實施例中，該基板亦可包含該前表面處之複數個導電元件。該等導電元件之至少一者可與該導電導通體電連接。該基板可包含與該等導電元件之至少一些導電元件電連接之複數個主動半導體裝置。在一例示性實施例中，可形成與該等導電元件之一者之一底表面接觸之第一金屬層。

在一實施例中，該方法亦可包含在形成該導電導通體前，沈積塗佈在該開口之一內表面上之一絕緣介電層。該介電層可使該第一金屬層及該第二金屬區與該基板至少在該開口內分開及絕緣。在一特定實施例中，該第二金屬區在平行於該基板之前表面之一橫向方向上可佔有該開口之一直徑之至多80%。在一例示性實施例中，該第一金屬層可具有符合該開口之一內表面之一輪廓之一表面。在一實施例中，該方法亦可包含形成暴露在該後表面處以與一外部元件互連之一導電接觸件。該導電接觸件可與該第一金屬層及該第二金屬區電連接。在一特定實施例中，該方法亦可包含在形成該第一金屬層前，形成上覆於該絕緣介電層之一障壁金屬層。該障壁金屬層可為與該第一金屬層及該第二金屬區之金屬不同之一金屬。該第一金屬層可經形成而上覆於該障壁金屬層。

在一例示性實施例中，該第一金屬層可包含上覆於該第二金屬區之一軸向面向表面之一部分。在一實施例中，該第一金屬層可完全環繞該第二金屬區。在一特定實施例

中，該第二金屬區可由一多孔金屬製成且在其中可包含空隙。在一例示性實施例中，可藉由枝晶(dendrite)電鍍而形成該第二金屬區。在一實施例中，該方法亦可包含沈積上覆於該第二金屬區之一頂表面之一介電層。在一特定實施例中，該方法亦可包含在形成該第二金屬區前，沈積上覆於該第一金屬層之一發泡體或纖維材料。可在該發泡體或纖維材料內之開孔內形成該第二金屬區。在一例示性實施例中，該方法亦可包含在形成該第二金屬區後，移除該發泡體或纖維材料。

根據本發明之又另一態樣，一種製造一組件之方法可包含形成一開口，該開口自一基板之一後表面朝向該基板遠離該後表面之一前表面延伸，該開口在該前表面與該後表面之間界定一內表面；及在該開口內形成一導電導通體，其包含形成上覆於該內表面之一金屬區。該基板基本上可由具有小於10 ppm/°C之一CTE之一材料組成。該金屬區可具有陷入其中之腔。

在一特定實施例中，形成該導電導通體之步驟亦可包含在形成該金屬區前，形成上覆於該內表面之一障壁金屬層。該金屬區可經形成而上覆於該障壁金屬層。該障壁金屬層可為與該金屬區之金屬不同之一金屬。在一實施例中，該金屬區可為一第一金屬區，且該障壁金屬層可為一第一障壁金屬層。形成該導電導通體之步驟亦可包含在形成該第一障壁金屬層後，形成上覆於該第一障壁金屬層之一第二金屬層及形成上覆於該第二金屬層之一第三障壁金

屬層。第二金屬區可經形成而上覆於該第三障壁金屬層。在一例示性實施例中，該方法亦可包含形成暴露在該後表面處以與一外部元件互連之一導電接觸件。該導電接觸件可與該第一金屬層及該第二金屬區電連接。在一特定實施例中，該方法亦可包含在形成該金屬區前，形成塗佈在該開口之一內表面上之一絕緣介電層。該介電層可使該導電導通體與該基板至少在該開口內分開及絕緣。

根據本發明之另一態樣，一種製造一組件之方法可包含：形成一開口，該開口自一基板之一後表面延伸至暴露在該基板與該後表面相對之一前表面處之複數個導電墊之一者之至少一底表面；形成一導電導通體，該導電導通體在該開口內延伸且與該等導電墊之該一者電連接；及形成一凹口，該凹口自該前表面延伸一第二距離。該基板可在其中包含與該前表面相鄰且自該前表面延伸至該基板中達一第一距離之複數個主動半導體裝置。該基板基本上可由具有小於10 ppm/°C之一CTE之一材料組成。該導電導通體可包含為具有大於14 ppm/°C之一CTE之一金屬之一金屬區。該第二距離可大於或等於該第一距離。該凹口可具有小於該導電導通體之一直徑之一最大直徑。

在一實施例中，該凹口可在平行於該基板之前表面之一橫向方向上具有一最大直徑，該最大直徑為在該橫向方向上該開口之一直徑之至少50%。在一特定實施例中，該第二距離可在0.2微米與10微米之間。在一例示性實施例中，該方法亦可包含形成塗佈在該凹口之一暴露表面上之

一障壁層。該障壁層可為與該導電導通體之金屬不同之一金屬。

【實施方式】

如在圖1A中所圖解說明，一組件10可包含：一基板20，其具有一後表面或第一表面21及遠離後表面或第一表面21之一前表面或第二表面22；及複數個導電導通體或貫穿矽導通體40，其等在該前表面與該後表面之間的各自開口30內延伸並貫穿該等開口30。

在一些實施例中，基板20可為一半導體晶片、一晶圓或類似物。基板20較佳具有小於 $10 \times 10^{-6}/^{\circ}\text{C}$ (或 $\text{ppm}/^{\circ}\text{C}$)之一熱膨脹係數(「CTE」)。在一特定實施例中，基板20可具有小於 $7 \text{ ppm}/^{\circ}\text{C}$ 之一CTE。基板20基本上可由一無機材料(諸如矽)組成。在前表面22與後表面21之間基板20之厚度通常小於 $200 \text{ }\mu\text{m}$ ，且可顯著更小，例如 $130 \text{ }\mu\text{m}$ 、 $70 \text{ }\mu\text{m}$ 或更小。在一特定實施例中，基板20可由選自由以下各者組成之群組之一材料製成：半導體材料、陶瓷及玻璃。

在圖1A中，平行於後表面21之方向在本文中稱作「水平」或「橫向」方向，而垂直於後表面之方向在本文中稱作向上或向下方向且在本文中亦稱作「垂直」方向。在本文中所引用之方向係在所引用之結構之參考系中。因此，此等方向可位於法線或重力參考系之任何定向處。一特徵相比於另一特徵安置在「一表面上方」一較大高度處之敘述意謂相比於該另一特徵，在相同正交方向上該特徵處在距該表面之一更大距離處。相反，一特徵相比於另一特徵

安置在「一表面上方」一較小高度處之敘述意謂相比於該另一特徵，在相同正交方向上該特徵處在距該表面之一更小距離處。

如在本揭示內容中所使用，一導電元件「暴露在」一基板之一表面處之敘述表明該導電元件可用於接觸在垂直於該基板之表面上之一方向上自該基板外部朝向該基板之表面移動之一理論點。因此，暴露在一基板之一表面處之一終端或其他導電元件可自此表面突出；可與此表面齊平；或可相對於此表面凹入且透過該基板中之一孔或凹陷而暴露。

基板20可進一步包含上覆於前表面22及後表面21之一絕緣介電層23。此一介電層可使導電元件與基板20電絕緣。此介電層可稱作基板20之一「鈍化層」。該介電層可包含無機介電材料或有機介電材料或兩者。該介電層可包含一電沈積保形塗層或其他介電材料，例如一光可成像聚合材料(例如，焊料遮罩材料)。

在本文所述之實施例中，上覆於前表面22或後表面21之一介電層可具有實質上小於基板20之一厚度之一厚度，使得該基板可具有約等於該基板之材料之CTE之一有效CTE，即使該介電層之CTE實質上高於該基板材料之CTE。在一實例中，基板20可具有小於10 ppm/°C之一有效CTE。

基板20可包含複數個開口30，該等開口30自後表面21向前表面22部分或完全延伸通過該基板之一厚度T。在所

示之實施例中，各開口30在前表面22與後表面21之間完全延伸通過基板20。開口30可配置成任何俯視幾何組態，包含例如一 $m \times n$ 陣列且 n 大於1。

各開口30包含一內表面31，內表面31自後表面21以與由該後表面所界定之水平平面成0度與90度之間的一角度延伸通過基板20。在一實例中，開口30之一或多者之內表面31可在後表面21與前表面22之間延伸。內表面31可具有一恆定斜率或一變化斜率。例如，內表面31相對於由後表面21所界定之水平平面之角度或斜率可隨著該內表面朝向前表面22進一步貫穿而呈量值減小(即，變成弱正或弱負)。在一特定實施例中，各開口30可在自後表面21朝向前表面22之一方向上漸縮。在一些實例中，各開口30可具有任何三維形狀，包含(例如)截頭圓錐形狀、圓柱體、立方體或棱柱等。

在一實施例中，各開口30可具有過渡表面32，過渡表面32具有如內表面31過渡至後表面21(如在圖1B中所示)或如該內表面過渡至前表面21(未展示)之一曲率半徑。具有一大曲率半徑之此一過渡表面32可提供在圓角過渡表面所處之基板20之表面處具有減小之應力之導電導通體40。在包含具有一過渡表面32(其具有一大半徑)之一基板20之此一實施例中，介電層60及23可符合該過渡表面之輪廓(如在圖1B中所示)，且層43及第一金屬層41可符合該過渡表面之輪廓。在一特定實施例中，其中基板20在開口30與前表面22或後表面21之至少一者之間具有一過渡表面32，該過

渡表面之一半徑可大於該開口之一半徑之5%。

在特定實施例中，開口30及本文所述之任何其他開口可具有各種形狀，如(例如)在2010年7月23日申請之美國專利申請案第12/842,717號及第12/842,651號中所描述(該等案以引用的方式併入本文中)，且可使用如在先前提及之申請案中所述之例示性程序形成此等開口。

複數個開口30可包含在開口30之各自者內延伸之複數個導電導通體40，各導電導通體在前表面22與後表面21之間延伸。在一特定實施例中，第一導電導通體及第二導電導通體40可連接至各自第一電位及第二電位。

各導電導通體40可包含上覆於各自開口30之內表面31之一第一金屬層41及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區42。導電導通體40可進一步包含在第一金屬層41與絕緣介電層60之間延伸之一層43，該層43可為一障壁金屬層、一黏著層及/或一晶種層。第一金屬層41、第二金屬區42及層43可在前表面22與後表面21之間的開口30內延伸。

在一實例中，第一金屬層41可具有符合開口30之內表面31之一輪廓之一表面。在一例示性實施例中，在平行於基板20之前表面22之一橫向方向L上，第一金屬層41可具有一厚度T1，該厚度T1為導電導通體40之一直徑D之至少10%。在一特定實例中，在橫向方向L上，第二金屬區42可具有佔有導電導通體40之直徑D之至多80%之一厚度T2。

第二金屬區42可為具有一相對較高CTE之一金屬，諸如銅、鋁或包含銅之合金，而第一金屬層41可為具有低於該第二金屬區之CTE之一CTE之一金屬。具有相對較低CTE且可適用於第一金屬層41中之金屬之實例可包含 α -鈹、鎢、鎳、鈳、鈦、包含鎢之合金、包含鈦之合金、包含鈦及鎢之合金、包含鎳之合金及包含鈳之合金、包含鈳之合金及包含鈦之導電化合物。在一實例中，第一金屬層41可具有平均粒徑小於50奈米之一晶粒結構。

層43可為可防止或減少金屬自第一金屬層41及第二金屬區42擴散至基板20之材料中之一障壁金屬層、一黏著層及/或一晶種層。層43可用作一障壁層以避免在導電導通體40之金屬部分(即，第一金屬層41及第二金屬區42)與絕緣層60之間輸送材料。層43亦可或替代性地用作一黏著層。層43通常具有小於100奈米之一厚度，儘管一特定結構中之厚度可大於或等於100奈米。層43可包含與第一金屬層41及第二金屬區42之金屬不同之一金屬。可適用於層43中之金屬之實例可包含鎳、包含鎳之合金、氮化鈦、氮化鈳及鈳矽氮化物。

在包含具有低於第二金屬區42之CTE之一CTE之第一金屬層41之情況下，導電導通體40可具有小於該第二金屬區之CTE之跨該導電通孔之直徑D之一有效CTE。在一特定實例中，跨導電導通體40之直徑D之有效CTE可小於第二金屬區42之CTE之80%。

在一例示性實施例中，第一金屬層41可具有比第二金屬

區 42 之楊氏模數大至少 50% 之一楊氏模數。在一實例中，第一金屬層 41 可具有大於 200 GPa 之一楊氏模數。

組件 10 可進一步包含一或多個導電接觸件 50，該一或多個導電接觸件 50 與各自導電導通體 40 電連接且暴露在基板 20 之後表面 21 及前表面 22 之任一者或兩者處，以與一外部元件互連。各導電接觸件 50 可包含第一金屬層 41、第二金屬區 42 及上覆於後表面 21 之層 43 之一或多者之部分。在一特定實例中(例如，如在圖 2A 中所示)，導電接觸件 50 可包含第一金屬層 41、第二金屬區 42 或層 43 之僅一者之一部分。如在圖 1A 中所示，各導電接觸件 50 可包含可為第二金屬區 42 之一暴露表面之一接觸表面 51。在一實施例中，各導電接觸件 50 可與一或多個導電導通體 40 之第一金屬層 41 及第二金屬區 42 電連接。

組件 10 亦可包含上覆於一特定開口 30 之內表面 31 且在前表面 22 與後表面 21 之間延伸之一絕緣介電層 60，使得對應導電導通體 40 在該絕緣介電層內延伸。此一絕緣介電層 60 可使導電導通體 40 與基板 20 之材料至少在開口 30 內分開及絕緣。在該基板基本上係由介電材料(例如，玻璃或陶瓷)組成之特定實施例中，可省略介電層 60 及/或 23 或本文所述之其他介電層之任何者。絕緣介電層 60 及絕緣介電層 23 可一起形成為一單個絕緣介電層，或其等可分開地形成為個別絕緣介電層。

在一實例中，此一絕緣介電層 60 可保形塗佈在暴露於開口 30 內之內表面 31 上。絕緣介電材料 60 可包含無機介電材

料或有機介電材料或兩者。在一特定實施例中，絕緣介電材料60可包含一順應介電材料，使得該絕緣介電材料具有一足夠低彈性模數及足夠厚度使得模數與厚度之乘積提供順應性。

在一例示性實施例(未展示)中，第二金屬區42可界定一中央開口，使得該第二金屬區界定環繞該中央開口之一內表面，該內表面與面向第一金屬層41之一外表面相對。在此一實施例中，一絕緣介電層(未展示)可塗佈在第二金屬區42之內表面上。

導電導通體40之各者(或本文所述之其他導電元件之任何者)與在基板20外部之組件之間的連接可通過導電塊(conductive mass)或導電接合材料。此等導電塊可包括具有一相對較低熔融溫度之一易熔金屬(例如，焊料、錫)或包含複數種金屬之共熔混合物。或者，此等導電可包含一可濕性金屬，例如銅或其他貴金屬或具有高於焊料或另一易熔金屬之熔融溫度之一熔融溫度之非貴金屬。此可濕性金屬可與一對應特徵(例如，一互連元件之一易熔金屬特徵)結合。在一特定實施例中，此等導電塊可包含散佈在一介質(例如一導電膏，例如金屬填充膏、焊料填充膏或各向同性導電黏著劑或各向異性導電黏著劑)中之一導電材料。

現將參考圖1C至圖1D描述一種製造組件10(圖1A)之方法。參考圖1C，為了形成自後表面21延伸至前表面22之複數個開口30，可自基板20之前表面或後表面移除材料。

例如，可藉由在形成期望保留前表面22或後表面21之剩餘部分之一遮罩層後選擇性地蝕刻基板20而形成開口30。例如，一光可成像層(例如，一光阻劑層)可經沈積及圖案化以僅覆蓋後表面21之部分，此後可進行一定時蝕刻程序而形成開口30。

自後表面21朝向前表面22向下延伸之各開口30之內表面31可係傾斜的，即可以除與第一表面成一法線角(直角)外之角度延伸。可使用濕式蝕刻程序(例如，各向同性蝕刻程序及使用一楔形刀片之鋸切等)以形成具有傾斜內表面31之開口30。亦可使用雷射分割、機械研磨等以形成具有傾斜內表面31之開口30。

或者，各開口30之內表面31可在一垂直或大體上垂直的方向上實質上以與第一表面成直角自後表面21向下延伸，而非傾斜(如在圖1A中所示)。可使用各向異性蝕刻程序、雷射分割、雷射鑽孔、機械移除程序(例如鋸切、研磨、超音波加工等)以形成具有基本上垂直內表面31之開口30。

在各開口30具有一過渡表面32(其具有如內表面31過渡至後表面21(如在圖1B中所示)或前表面22之一大曲率半徑)之實施例中，可例如藉由以下步驟形成各開口：首先使用一各向異性蝕刻程序(諸如一快速DRIE蝕刻或一反應性離子蝕刻)以產生具有一相對粗糙初始內表面之一初始開口且接著使用一化學蝕刻或電拋光以增大該過渡表面處之曲率半徑及移除沿著該初始內表面延伸之粗糙度或扇形畸度

(scallop)。

亦可在形成開口30期間移除上覆於基板20之前表面22及/或後表面21之一鈍化層(例如，介電層23)之一部分，且可在蝕刻基板20期間或在一分開蝕刻步驟時蝕刻通過此部分。可使用蝕刻、雷射鑽孔、機械研磨或其他適當技術以移除此一鈍化層之部分。

在形成開口30後，可沈積絕緣介電層60以上覆或塗佈在開口30之內表面31，使得導電導通體40將在其等沈積在該等開口內時在該絕緣介電層內延伸。如上文所述，可在一單個程序中沈積介電層23及60。

在一特定實施例中，一遮罩可塗敷至具有其中不期望形成此一介電層60之開口之基板之後表面21之部分。隨後，可用具有直接接觸基板20之材料之部分之導電導通體40填充開口30之此等未塗佈開口。此一導電導通體40可電耦合至一接地電位。在該基板基本上係由介電材料(例如，玻璃或陶瓷)組成之一特定實施例中，可部分或完全省略介電層60及/或23或本文所述之其他介電層之任何者。

可使用各種方法以形成上覆在開口30之內表面31之此一絕緣介電層60，且下文描述此等方法。在特定實例中，可使用化學氣相沈積(CVD)或原子層沈積(ALD)以沈積上覆於開口30之內表面31之一薄絕緣介電層。在一實例中，可在一低溫程序期間使用原矽酸四乙酯(TEOS)以沈積此一絕緣介電層。在例示性實施例中，可沈積上覆於開口30之內表面31之一層二氧化矽、硼磷矽酸鹽玻璃(BPSG)、硼矽酸

鹽玻璃(BSG)或磷矽酸鹽玻璃(PSG)，且可摻雜或不摻雜此玻璃。

在一實例中，可將一易流動介電材料塗敷至基板20之前表面22或後表面21，且接著可在「旋塗」操作期間使該易流動材料跨開口30之內表面31更均勻地分佈，其後接著一乾燥循環(其包含加熱)。在另一實例中，可將介電材料之一熱塑性膜塗敷至前表面22或後表面21，此後加熱總成或在一真空環境中(即，放置於低於環境壓力之一環境中)加熱該總成。

在又另一實例中，可將包含基板20之總成浸入一介電沈積浴中以形成一保形介電塗層或絕緣介電材料60。如本文所使用，「保形塗層」為符合所塗佈之表面之一輪廓(諸如在絕緣介電材料60符合開口30之內表面31之一輪廓時)之一特定材料塗層。可使用一電化學沈積方法(包含例如電泳沈積或電解沈積)以形成保形介電材料60。

在一實例中，可使用一電泳沈積技術以形成一保形介電塗層，使得該保形介電塗層僅沈積至該總成之暴露導電及半導體表面上。在沈積期間，半導體裝置晶圓係保持在一所要電位且一電極係浸入浴中而使該浴保持在一不同所要電位。接著，在適當條件下使該總成保持在該浴中達足夠時間以在基板之導電或半導體暴露表面上(包含但不限於沿著開口30之內表面31)形成電沈積之保形介電材料60。只要在藉此塗佈之表面與該浴之間維持一足夠強電場，便可發生電泳沈積。當由於電泳沈積達到由參數(例如，沈

積之電壓、濃度等)控管之一特定厚度之後而自身限制時，沈積停止。

電泳沈積在基板20之導電及/或半導體外表面上形成一連續及均勻厚保形塗層。此外，電泳塗層可經沈積使得其歸因於其介電(非導電)性質而不形成在上覆於基板20之前表面22或後表面21之一剩餘鈍化層上。換言之，電泳沈積之一性質在於，倘若上覆於一導體之一介電材料層具有足夠厚度、給定其介電質材料，則電泳沈積通常不形成在該介電材料層上，且電泳沈積不形成在介電層上。通常，在具有大於約10微米至數十微米之厚度之介電層上將不會發生電泳沈積。一保形介電層60可由陰極環氧樹脂沈積前驅體形成。或者，可使用聚胺基甲酸酯或丙烯酸沈積前驅體。在下表1中列出多種電泳塗層前驅體組合物及供應來源。

表 1

電泳塗層名稱	POWERCRON 645	POWERCRON 648	CATHOGUARD 325
製造商			
MFG	PPG	PPG	BASF
類型	陰極	陰極	陰極
聚合物基	環氧樹脂	環氧樹脂	環氧樹脂
位置	匹茲堡市	匹茲堡市	紹斯菲爾德市
應用資料			
無Pb/Pf	無Pb	無Pb或無Pf	無Pb
HAP, g/L		60至84	順應

VOC , g/L(減水)		60至84	<95
固化	20分鐘/175°C	20分鐘/175°C	
膜性質			
色彩	黑色	黑色	黑色
厚度，微米	10至35	10至38	13至36
鉛筆硬度		2H+	4H
浴特性			
固體，重量百分比	20 (18至22)	20 (19至21)	17.0至21.0
pH (25°C)	5.9 (5.8至6.2)	5.8 (5.6至5.9)	5.4至6.0
導電性 (25°C) 微秒	1000至1500	1200至1500	1000至1700
P/B比率	0.12至0.14	0.12至0.16	0.15至0.20
操作溫度°C	30至34	34	29至35
時間，秒	120至180	60至180	120+
陽極	SS316	SS316	SS316
伏特		200至400	>100
電泳塗層名稱	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
製造商			
MFG	MACDERMID	LVH 塗層	LVH塗層
類型	陰極	陽極	陰極
聚合物基	聚胺基甲酸酯	胺基甲酸酯	胺基甲酸酯
位置	沃特伯裏CT	伯明罕UK	伯明罕UK
應用資料			
無Pb/Pf		無Pb	無Pb
HAP , g/L			
VOC , g/L (減水)			

固化	20分鐘/149°C	20分鐘/175°C	20分鐘/175°C
膜性質			
色彩	無色(+被染色)	黑色	黑色
厚度，微米		10至35	10至35
鉛筆硬度	4H		
浴特性			
固體，重量百分比	7.0 (6.5至8.0)	10至12	9至11
pH (25°C)	5.5至5.9	7至9	4.3
導電性 (25°C) 微秒	450至600	500至800	400至800
P/B比率			
操作溫度°C	27至32	23至28	23至28
時間，秒			60至120
陽極	SS316	SS316	SS316
電壓	最大40		50至150

在另一實例中，可電解地形成介電材料60。此程序與電泳沈積類似，惟沈積層之厚度不受限於形成該沈積層之導電或半導體表面之接近度除外。以此方式，一電解沈積之介電層可形成為基於需求選擇之一厚度，且處理時間為所達成厚度之一因數。

現參考圖1D，一遮罩層24可經形成而上覆於基板20之前表面22及後表面21。遮罩層24可在前表面22及後表面21環繞開口30之區域(其中期望形成導電接觸件50(圖1E))處具有間隙。例如，一光可成像層(例如，一光阻劑層)可經沈積及圖案化以覆蓋前表面22及後表面21之部分。

如在圖1E中所示，在沈積絕緣介電層60後，可形成層43以上覆於該絕緣介電層及各自開口30之內表面31。接著，可形成第一金屬層41以上覆於層43。隨後，可形成第二金屬區42以上覆於第一金屬層41及層43。第二金屬區42可電耦合至第一金屬層41及層43。如上文參考圖1A所述，導電接觸件50可形成為上覆於前表面22及/或後表面21之第一金屬層41、第二金屬區42及層43之一或多者之部分。在一實例中，各導電接觸件50可經形成而與第一金屬層41、第二金屬區42及層43之一或多者分開及電連接。

為了形成第一金屬層41、第二金屬區42、層43及導電接觸件50之任一者，一例示性方法涉及藉由將一原生金屬層濺鍍至絕緣介電層60之暴露表面上、電鍍或機械沈積之一或多者而沈積一金屬層。機械沈積可涉及以高速度將一加熱金屬粒子流引導至待塗佈之表面上。例如，此步驟可藉由至絕緣介電層60上之毯覆式沈積而執行。

雖然基本上可使用可用於形成導電元件之任何技術以形成第一金屬層41、第二金屬區42、層43及導電接觸件50，但是可採用如在2010年7月23日申請之共同擁有之美國專利申請案第12/842,669號中更詳細討論之特定技術，該案以引用的方式併入本文中。此等技術可包含例如用一雷射或用機械程序(諸如研磨或噴砂)選擇性地處理一表面以沿著形成導電元件之路徑依不同於該表面之其他部分之方式處理該表面之該等部分。例如，可使用一雷射或機械程序以僅沿著一特定路徑而自該表面消融或移除一材料(諸如

一犧牲層)且因此形成沿著該路徑延伸之一凹槽。接著，可在該凹槽中沈積諸如觸媒之一材料，且可在該凹槽中沈積一或多個金屬層。

再次參考圖1A，在形成第一金屬層41、第二金屬區42、層43及導電接觸件50後，可移除遮罩層24。

圖1F圖解說明具有一替代組態之圖1A之組件10之一變動。在圖1F中所示之組件10a與上文所述之組件10相同，惟組件10a包含安置在組件10a之一主動半導體區19(其定位在基板20之前表面22處及/或下方)中之複數個主動半導體裝置(例如，電晶體、二極體等)且此等主動半導體裝置通常導電連接至暴露在前表面22處之導電墊25除外。

在一實例中，組件10a可包含呈基板20之前表面22處之導電墊25之形式之複數個導電元件。導電墊25之至少一些導電墊可與導電導通體40a之各自者電連接。在一特定實施例中，主動半導體區19中之複數個主動半導體裝置可與導電墊25之至少一些導電墊電連接。

安置在主動半導體區19中之主動半導體裝置通常可透過經併入延伸於基板20之一或多個介電層內或上方之佈線而導電接達。在一些實施例(未展示)中，導電墊25可不直接暴露在基板20之前表面22處。代替性地，導電墊25可電連接至延伸至暴露在基板20之前表面22處之終端之跡線。導電墊25及本文所揭示之其他導電結構之任何者可由任何導電金屬(例如，包含銅、鋁或金)製成。導電墊25及本文所揭示之其他導電墊之任何者可具有任何俯視形狀，包含圓

形、橢圓形、三角形、正方形、矩形或任何其他形狀。

在圖1F中所示之實施例中，可在自後表面21延伸至基板20之前表面22處之導電墊25之一對應者之一開口30a內形成導電導通體40a。可在開口30a內形成在後表面21與暴露在開口30a內之各自導電墊25之一底表面26之間延伸之層43a。可形成上覆於層43a及導電墊25之第一金屬層41a。可形成在開口30a之未填充有介電層60及第一金屬層41a以及層43a之剩餘體積內延伸之第二金屬區42a。與導電導通體40a電連接之一單個導電接觸件50可暴露在後表面21處以與另一元件互連。

在一特定實施例(未展示)中，可在開口30a內形成在後表面21與暴露在開口30a內之各自導電墊25之一底表面26之間延伸之第一金屬層41a、第二金屬區42a及層43a之一或多者，使得可形成與該導電墊之底表面接觸之第一金屬層41a、第二金屬區42a及層43a之一或多者。

在一實施例(未展示)中，導電導通體40之一些導電導通體可自底表面26延伸通過導電墊25之對應者而至導電墊25之一頂表面。在此一實例中，可形成延伸通過各自導電墊25之開口30a。

圖2A圖解說明具有一替代組態之圖1A之組件10之一變動。在圖2A中所示之組件210與上文所述之組件10相同，惟組件210包含具有完全環繞第二金屬區242之一第一金屬層241之一導電導通體240且導電接觸件250為第一金屬層241之部分除外。在導電導通體240中可包含在第一金屬層

241與絕緣介電層60之間延伸之一障壁金屬層(未展示)，諸如在圖1A中所示之層43。

現將參考圖2B及圖2C描述一種製造組件210(圖2A)之方法。參考圖2B，可使用與上文關於圖1C所述之程序類似之程序形成開口30以及介電層23及60。接著，可使用與上文關於圖1E所述之程序類似之程序而在一各自開口30內形成上覆於介電層60之各第一金屬層241。

參考圖2C，可使用與上文關於圖1E所述之程序類似之程序而在一各自開口30內形成上覆於第一金屬層241之各第二金屬區242。

接著，再次參考圖2A，可使用與上文關於圖1E所述之程序類似之程序而在基板20之前表面22及後表面21處形成導電接觸件250。

圖2D圖解說明具有一替代組態之圖2A之組件210之一變動。在圖2D中所示之組件210a與上文所述之組件210相同，惟組件210a包含安置在組件210a之一主動半導體區19(其定位在基板20之前表面22處及/或下方)中之複數個主動半導體裝置(例如，電晶體、二極體等)且此等主動半導體裝置通常導電連接至暴露在前表面22處之導電墊25除外。

可在自後表面21延伸至基板20之前表面22處之導電墊25之一對應者之一開口30a內形成導電導通體240a。可在開口30a內形成在後表面21與暴露在開口30a內之各自導電墊25之一底表面26之間延伸之第一金屬層241a。可形成在開口30a之未填充有介電層60及第一金屬層241a之剩餘體積

內延伸之第二金屬區242a。

與導電導通體242a電連接之一單個導電接觸件250可暴露在後表面21處以與另一元件互連。導電接觸件250可為第一金屬層241a之一部分，使得該第一金屬層完全環繞第二金屬區242a。

在一特定實施例(未展示)中，第一金屬層可不完全環繞第二金屬區，使得形成與導電墊之底表面接觸之該第一金屬層及該第二金屬區。在此一實施例中，該第一金屬層可包含上覆於該第二金屬區之一軸向面向表面之一部分，該部分與上覆於圖2A中所示之第二金屬區242之軸向面向部分249之第一金屬層241之部分255類似。

圖3A圖解說明具有一替代組態之圖2A之組件210之一變動。在圖3A中所示之組件310與上文所述之組件210相同，惟組件310包含具有以下各者之一導電導通體340：一第二金屬區342，其由一多孔金屬製成；及空隙344，其散佈在導電導通體340中而可填充有空氣，且該第二金屬區之軸向面向區349各可包含沈積在其中之一邊界材料375除外。在一實例中，該第二金屬區可具有一樹枝狀金屬結構。

各邊界材料375可包含例如散佈在第二金屬區342中且在開口30內自各自接觸件350延伸至一深度D1或D2之焊料或聚合物介質。在一實例中，第二金屬區342之一或多個軸向面向區349或頂表面可塗佈有一介電層。

在例示性實施例中，此等空隙344可對導電互連340提供額外擴展空間而不在基板20內及/或對前表面22及後表面

21處之導電接觸件350產生如不存在空隙般多之應力。在此等實施例中，尤其在基板20之材料之CTE與第二金屬區342之材料之CTE之間存在一相對較大失配時，此等空隙可改良組件310之效能。

現將參考圖3B及圖3C描述一種製造組件310(圖3A)之方法。參考圖3B，可使用與上文關於圖1C所述之程序類似之程序形成開口30以及介電層23及60。接著，可使用與上文關於圖1E所述之程序類似之程序而在一各自開口30內形成上覆於介電層60之各第一金屬層341。在一特定實施例中，第一金屬層341可為一障壁金屬層，諸如在圖1A中所述之層43。

參考圖3C，可藉由在一各自開口30內枝晶電鍍(例如，藉由在一電鍍程序期間改變電鍍電流)而形成上覆於第一金屬層341之各第二金屬區342。雖然形成第二金屬區342，但是電鍍電流可處於或超出用於用一給定電鍍化學物形成一金屬塗層之限制電流密度，使得產生樹枝狀生長。電鍍電流之此變動可控制枝晶生長，藉此產生具有散佈於其中之空隙344且具有低於不具有空隙之一相同金屬區之一楊氏模數之一第二金屬區342。

接著，再次參考圖3A，可使用與上文關於在圖1A中所示之介電層23及60之沈積所述之程序類似之程序而在第二金屬區342之軸向面向區349內沈積邊界材料375。接著，可使用與上文關於圖1E所述之程序類似之程序而在基板20之前表面22及後表面21處形成導電接觸件350。

圖3D圖解說明具有一替代組態之圖3A之組件310之一變動。在圖3D中所示之組件310a與上文所述之組件310相同，惟組件310a包含安置在組件310a之一主動半導體區19(其定位在基板20之前表面22處及/或下方)中之複數個主動半導體裝置(例如，電晶體、二極體等)且此等主動半導體裝置通常導電連接至暴露在前表面22處之導電墊25除外。

可在自後表面21延伸至基板20之前表面22處之導電墊25之一對應者之一開口30a內形成導電導通體340a。可在開口30a內形成在後表面21與暴露在開口30a內之各自導電墊25之一底表面26之間延伸之第一金屬層341a。可形成在開口30a之未填充有介電層60及第一金屬層341a之剩餘體積內延伸之第二金屬區342a。

與導電導通體340a電連接之一單個導電接觸件350可暴露在後表面21處以與另一元件互連。導電接觸件350可為第一金屬層341a之一部分，使得該第一金屬層完全環繞第二金屬區342a。

圖4A圖解說明具有一替代組態之圖3A之組件310之一變動。在圖4A中所示之組件410與上文所述之組件310相同，惟組件410包含具有其中散佈有截留腔444(其等可填充有空氣)之一金屬區442之一導電導通體440且導電接觸件450可為金屬區442之部分除外。在一特定實施例中，散佈在一導電導通體440內之截留腔444可具有大於1微米之一平均直徑。一層443可與關於圖1A所示及所述之層43類似。例如，此一層443可為一障壁金屬層。

圖 4B 圖解說明具有額外金屬層之在圖 4A 中所示之導電導通體之一替代實施例。導電導通體 440' 可包含上覆於層 443 之一第二金屬層 445 及上覆於該第二金屬層之一第三障壁金屬層 446。金屬區 442 可上覆於第三障壁金屬層 446。此一導電導通體 440' 可避免最終組件 410 中之過早電遷移故障，其否則可產生高應力及高溫條件。

在一特定實施例中，層 443 可為一第一障壁金屬層，該第一障壁金屬層包含鎳、包含鎳之合金、氮化鈦、氮化鉭或鉭矽氮化物。第二金屬層 445 可包含與金屬區 442 相同之金屬，舉例而言諸如銅、鋁或包含銅之合金。第三障壁金屬層 446 可為包含鎳合金或鈷合金(諸如鈷磷或鈷鎢磷)之一第二障壁金屬層。在一實施例中，可藉由無電電鍍沈積第三障壁金屬層 446。

現將參考圖 4C 至圖 4E 描述一種製造組件 410(圖 4A)之方法。參考圖 4C，可使用與上文關於圖 1C 所述之程序類似之程序形成開口 30 以及介電層 23 及 60。接著，可使用與上文關於圖 1E 所述之程序類似之程序而在一各自開口 30 內形成上覆於介電層 60 之各層 443。在一特定實施例中，層 443 可為一障壁金屬層，諸如在圖 1A 中所示之層 43。

參考圖 4D 及圖 4E，可藉由在各自開口 30 內電鍍(例如，藉由在一電鍍程序期間改變電鍍電流)而形成上覆於層 443 之各金屬區 442。如在圖 4D 中可見，金屬區 442 可首先形成為與層 443 相鄰且接著可形成為自第一金屬層徑向向內。在一例示性程序中，可使用一中等電流密度開始電鍍以在

開口之內表面上產生一保形塗層，如在圖4D中所示。接著，該電流密度可增大至一更高位準，此可導致在導通體開口之一端處或在導通體開口之端之間的一或多個位置中大部分限制或完全密封導通體開口，如在圖4E中所示。

電鍍電流之此變動可產生一金屬區442，金屬區442具有散佈在其中之一或多個截留腔444且具有低於不具截留腔之一相同金屬區之一楊氏模數。取決於電流密度在形成金屬區442期間如何改變，腔444可彼此間斷(如在圖4E中所示)，或可存在在該金屬區內延伸之一單個連續空隙(未展示)。

接著，再次參考圖4A，可使用與上文關於圖1E所述之程序類似之程序而在基板20之前表面22及後表面21處形成導電接觸件450。在一特定實施例中，可在一單個形成程序期間形成導電接觸件450與金屬區442。

導電導通體440'之製造可與上文所述之導電導通體440之製造相同，惟在形成層443與形成金屬區442之間形成兩個額外金屬層除外。更具體言之，在形成層443後，可形成上覆於層443之第二金屬層445，且可形成上覆於第二金屬層445之第三障壁金屬層446。接著，如上文參考圖4A及圖4C至圖4E所述，可形成上覆於第三障壁金屬層446之金屬區442。在一實施例中，可藉由無電電鍍沈積第三障壁金屬層446。

圖4F圖解說明具有一替代組態之圖4A之組件410之一變動。在圖4F中所示之組件410a與上文所述之組件410相

同，惟組件410a包含安置在組件410a之一主動半導體區19(其定位在基板20之前表面22處及/或下方)中之複數個主動半導體裝置(例如，電晶體、二極體等)且此等主動半導體裝置通常導電連接至暴露在前表面22處之導電墊25除外。

可在自後表面21延伸至基板20之前表面22處之導電墊25之一對應者之一開口30a內形成導電導通體440a。可在開口30a內形成在後表面21與暴露在開口30a內之各自導電墊25之一底表面26之間延伸之層443a。可形成在開口30a之未填充有介電層60及層443a之剩餘體積內延伸之金屬區442a。與導電導通體440a電連接之一單個導電接觸件450可暴露在後表面21處以與另一元件互連。

圖5A圖解說明具有一替代組態之圖4A之組件410之一變動。在圖5A中所示之組件510與上文所述之組件410相同，惟組件510包含具有電鍍於安置在開口30內之一發泡體或纖維材料546之開孔內之一第二金屬區542之一導電導通體540除外。

現將參考圖5B至圖5D描述一種製造組件510(圖5A)之方法。參考圖5B，可使用與上文關於圖1C所述之程序類似之程序形成開口30及介電層23及60。接著，可使用與上文關於圖1E所述之程序類似之程序而在一各自開口30內形成上覆於介電層60之各第一金屬層541。在一特定實施例中，第一金屬層541可為一障壁金屬層，諸如在圖1A中所示之層43。

參考圖5C，可在開口30內沈積發泡體或纖維材料546以上覆在第一金屬層541。接著，如在圖5D中所示，可例如藉由一電鍍程序而在發泡體或纖維材料546之開孔內形成第二金屬區542。在一特定實施例(未展示)中，接著可移除發泡體或纖維材料546。

接著，再次參考圖5A，可使用與上文關於圖1E所述之程序相同之程序而在基板20之前表面22及後表面21處形成導電接觸件550。在一特定實施例中，可在一單個形成程序期間形成導電接觸件550與第二金屬區542。

圖5E圖解說明具有一替代組態之圖5A之組件510之一變動。在圖5E中所示之組件510a與上文所述之組件510相同，惟組件510a包含安置在組件510a之一主動半導體區19(其定位在基板20之前表面22處及/或下方)中之複數個主動半導體裝置(例如，電晶體、二極體等)且此等主動半導體裝置通常導電連接至暴露在前表面22處之導電墊25除外。

可在自後表面21延伸至基板20之前表面22處之導電墊25之一對應者之一開口30a內形成導電導通體540a。可在開口30a內形成在後表面21與暴露在開口30a內之各自導電墊25之一底表面26之間延伸之第一金屬層541a。可形成在開口30a之未填充有介電層60及第一金屬層541a之剩餘體積內延伸之發泡體或纖維材料546a，且可在該發泡體或纖維材料內沈積第二金屬區542a。與導電導通體540a電連接之一單個導電接觸件550可暴露在後表面21處以與另一元件

互連。

圖 6A 圖解說明具有一替代組態之另一實施例。類似於圖 1A 中所示之組件 10，組件 610 可包含：一基板 20，其具有一後表面或第一表面 21 及遠離後表面或第一表面 21 之一前表面或第二表面 22；及複數個導電導通體或貫穿矽導通體 640，其等在該前表面與該後表面之間的各自開口 30 內延伸並貫穿該等開口 30。基板 20 較佳具有小於 10 ppm/°C 之一 CTE。在一特定實施例中，基板 20 可由選自由以下各者組成之群組之一材料製成：半導體材料、陶瓷及玻璃。在一實例中，導電導通體 640 可包含為具有大於 14 ppm/°C 之一 CTE 之一金屬（諸如銅）之一金屬區。組件 10 可進一步包含一或多個導電接觸件 650，導電接觸件 650 與各自導電導通體 640 電連接且暴露在基板 20 之後表面 21 及前表面 22 之任一者或兩者處以與一外部元件互連。在一實例（未展示）中，可包含在導電導通體 640 與介電層 60 之間延伸之一障壁金屬層，諸如在圖 1A 中所示之層 43。

基板 20 可進一步包含：一絕緣介電層 23，其上覆於前表面 22 及後表面 21；及一絕緣介電層 60，其上覆於一特定開口 30 之內表面 31 且在該前表面與該後表面之間延伸使得對應導電導通體 640 在絕緣介電層 60 內延伸。在該基板基本上係由介電材料（例如，玻璃或陶瓷）組成之一特定實施例中，可省略介電層 60。絕緣介電層 60 及絕緣介電層 23 可一起形成為一單個絕緣介電層，或其等可分開地形成為個別絕緣介電層。

在圖 6A 中所示之導電導通體 640 具有形成在其之一或兩軸向端處之凹口 648。各凹口 648 可延伸通過一各自導電接觸件 650 且在後表面 21 下方達一最大距離 D3 或在前表面 22 下方達一最大距離 D4。在一特定實例中，最大距離 D3 及 D4 可在約 0.2 微米與約 10 微米之間。在平行於基板 20 之前表面 22 之一橫向方向 L 上，各凹口 648 可具有小於導電導通體 640 之一直徑 D 之一最大直徑 D'。在一實例中，在橫向方向上各凹口 648 之最大直徑 D' 可為開口 30 之直徑之至少 50%。

圖 6B 圖解說明具有一替代組態之圖 6A 之組件 610 之一變動。在圖 6B 中所示之組件 610a 與上文所述之組件 610 相同，惟組件 610a 包含安置在組件 610a 之一主動半導體區 19 (其定位在基板 20 之前表面 22 處及/或下方) 中之複數個主動半導體裝置 (例如，電晶體、二極體等) 且此等主動半導體裝置通常導電連接至暴露在前表面 22 處之導電墊 25 除外。主動半導體區 19 中之複數個主動半導體裝置可自該前表面延伸至基板 20 中前表面 22 下方達一最大距離 D5。

在圖 6A 中所示之導電導通體 640a 具有形成在其之一軸向端處之一凹口 648a。各凹口 648a 可延伸通過一各自導電墊 25 且在前表面 22 下方達一最大距離 D6。在一實施例中，最大距離 D6 可在約 0.2 微米與約 10 微米之間。在一特定實例中，凹口 648a 可延伸在該前表面下方之最大距離 D6 可大於或等於主動半導體裝置延伸在該前表面下方之距離 D5。在平行於基板 20 之前表面 22 之一橫向方向 L 上，各凹口 648a

可具有小於導電導通體640之一直徑D之一最大直徑D'。

在例示性實施例中，此等凹口648及648a允許各自導電互連640或640a在橫向方向L上擴展而不在基板20內及/或對前表面22及後表面21處之導電接觸件650或導電墊25產生如不存在凹口般多之應力。在此等實施例中，尤其在基板20之材料之CTE與導電導通體640或640a之材料之CTE之間存在一相對較大失配時，此等凹口648及648a可改良各自組件610或610a之效能。

在特定實例中，凹口648及648a之暴露表面649可塗佈有一障壁層或區。例如，此一障壁層或區可包含聚合物、導電塊(諸如焊料)、金屬(諸如鎢)或金屬合金，諸如鈷磷、鎳磷或鎳鈷。此一障壁層或區可部分或完全填充凹口648或648a。在一特定實施例中，此一障壁層或區可由與導電導通體640或640a之金屬不同之一金屬製成。與導電導通體640或640a之金屬相比，此一障壁層或區較佳將不具有—相對較高模數及—相對較高CTE之一組合，使得該障壁層或區將不明顯減損凹口648或648a之應力減小效果。

如圖7中所示，上文所述之組件可用於建構多種電子系統。例如，根據本發明之一進一步實施例之一系統700包含結合其他電子組件708及710之如上文所述之一微電子總成706。在所描繪之實例中，組件708為一半導體晶片，而組件710為一顯示螢幕，但亦可使用任何其他組件。當然，儘管為了清楚地圖解說明而在圖7中僅描繪兩個額外組件，然該系統可包含任意數目個此等組件。微電子總成

706可為上文所述之組件之任何者。在一進一步變體中，可使用任意數目個此等微電子總成706。

微電子總成706以及組件708及710可安裝在一共同外殼701(以虛線示意性地描繪)中，且可視需要彼此電互連而形成所要電路。在所示之例示性系統中，該系統可包含一電路板702，諸如一撓性印刷電路板，且該電路板可包含眾多導體704，在圖7中僅描繪該等導體704之一者，該等組件彼此互連。然而，此僅係例示性的；可使用用於製成電連接之任何合適的結構。

外殼701係描繪為可用於(例如)一蜂巢式電話或個人數位助理中之類型之一攜帶式外殼，且螢幕710可暴露在該外殼之表面處。在結構706包含一光敏元件(諸如一成像晶片)之情況下，一透鏡711或其他光學裝置亦可提供用於將光投送至該結構。此外，在圖7中所示之簡化系統僅係例示性的；可使用上文所討論之結構製成其他系統，包含通常稱作固定結構(諸如，桌上型電腦、路由器及類似物)之系統。

可藉由諸如在2010年7月23日申請之同在申請中共同讓與之美國專利申請案第12/842,587號、第12/842,612號、第12/842,651號、第12/842,669號、第12/842,692號及第12/842,717號以及在公開之美國專利申請公開案第2008/0246136號中更詳細揭示者之程序而形成本文所揭示之開口、孔隙及導電元件，該等案之揭示內容以引用的方式併入本文中。

儘管已參考特定實施例描述本發明，然應瞭解，此等實施例僅闡釋本發明之原理及應用。因此，應瞭解在不背離如由隨附申請專利範圍所定義之本發明之精神及範疇之情況下，可對闡釋性實施例作出眾多修改且可想出其他配置。

應了解，陳述於其中之各種附屬請求項及特徵可以與初始請求項中所呈現之方式不同之方式組合。亦應了解，結合個別實施例所描述之特徵可與所描述實施例之其他特徵共用。

【圖式簡單說明】

圖1A係圖解說明根據本發明之一實施例之一導通體結構之一側視截面圖。

圖1B係圖解說明具有一圓角過渡表面之在圖1A中所示之開口之一替代實施例之一側視截面圖。

圖1C至圖1E係圖解說明根據在圖1A中所描繪之實施例之製造階段之截面圖。

圖1F係圖解說明包含一導電墊之圖1A之導通體結構之一變動之一側視截面圖。

圖2A係圖解說明根據另一實施例之一導通體結構之一側視截面圖。

圖2B及圖2C係圖解說明根據在圖2A中所描繪之實施例之製造階段之截面圖。

圖2D係圖解說明包含一導電墊之圖2A之導通體結構之一變動之一側視截面圖。

圖3A係圖解說明根據又另一實施例之一導通體結構之一側視截面圖。

圖3B及圖3C係圖解說明根據在圖3A中所描繪之實施例之製造階段之截面圖。

圖3D係圖解說明包含一導電墊之圖3A之導通體結構之一變動之一側視截面圖。

圖4A係圖解說明根據本發明之又另一實施例之一導通體結構之一側視截面圖。

圖4B係圖解說明具有額外金屬層之在圖4A中所示之導通體結構之一替代實施例之一側視截面圖。

圖4C至圖4E係圖解說明根據在圖4A中所描繪之實施例之製造階段之截面圖。

圖4F係圖解說明包含一導電墊之圖4A之導通體結構之一變動之一側視截面圖。

圖5A係圖解說明根據本發明之又另一實施例之一導通體結構之一側視截面圖。

圖5B至圖5D係圖解說明根據在圖5A中所描繪之實施例之製造階段之截面圖。

圖5E係圖解說明包含一導電墊之圖5A之導通體結構之一變動之一側視截面圖。

圖6A係圖解說明根據本發明之又另一實施例之一導通體結構之一側視截面圖。

圖6B係圖解說明包含一導電墊之圖6A之導通體結構之一變動之一側視截面圖。

圖7係根據本發明之一實施例之一系統之一示意繪圖。

【主要元件符號說明】

10	組件
10a	組件
19	主動半導體區
20	基板
21	後表面/第一表面
22	前表面/第二表面
23	絕緣介電層
24	遮罩層
25	導電墊
26	導電墊之底表面
30	開口
30a	開口
31	內表面
32	過渡表面
40	導電導通體/貫穿矽導通體
40a	導電導通體
41	第一金屬層
41a	第一金屬層
42	第二金屬區
42a	第二金屬區
43	層
43a	層

50	導電接觸件
51	接觸表面
60	絕緣介電層/介電層/絕緣介電材料/保形介電層
210	組件
210a	組件
240	導電導通體
240a	導電導通體
241	第一金屬層
242	第二金屬區
249	第二金屬區之軸向面向部分
250	導電接觸件
255	第一金屬層之部分
310	組件
310a	組件
340	導電導通體/導電互連
340a	導電導通體
341	第一金屬層
342	第二金屬區
344	空隙
349	第二金屬區之軸向面向部分
350	導電接觸件
375	邊界材料
410	組件
410a	組件

440	導電導通體
440'	導電導通體
440a	導電導通體
442	金屬區
442a	金屬區
443	層
443a	層
444	截留腔
445	第二金屬層
446	第三障壁金屬層
450	導電接觸件
510	組件
510a	組件
540	導電導通體
540a	導電導通體
541	第一金屬層
542	第二金屬區
546	發泡體/纖維材料
550	導電接觸件
610	組件
610a	組件
640	導電導通體/導電互連
640a	導電導通體/導電互連
648	凹口

648a	凹口
649	凹口之暴露表面
650	導電接觸件
700	系統
701	外殼
702	電路板
704	導體
706	微電子總成
708	電子組件
710	電子組件/螢幕
711	透鏡
D	導電導通體之直徑
D1	深度
D2	深度
D3	最大距離
D4	最大距離
D5	最大距離
D6	最大距離
D'	凹口之最大直徑
T	基板之厚度
T1	第一金屬層之厚度
T2	第二金屬區之厚度

七、申請專利範圍：

1. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面，該基板具有小於 $10\text{ ppm}/^{\circ}\text{C}$ 之一熱膨脹係數(CTE)；

一開口，其自該後表面朝向該前表面延伸，該開口在該前表面與該後表面之間界定一內表面；及

一導電導通體，其在該開口內延伸，該導電導通體包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區，該第二金屬區具有一CTE，其大於該第一金屬層之一CTE，

該導電導通體具有跨該導電導通體之一直徑之一有效CTE，該有效CTE小於該第二金屬區之該CTE之80%，

其中該基板在該開口與該前表面或該後表面之至少一者之間具有一過渡表面，其中該過渡表面之一半徑大於該開口之一半徑之5%。

2. 如請求項1之微電子組件，其中該基板為選自由以下各者組成之群組之一材料：半導體材料、陶瓷及玻璃。

3. 如請求項1之微電子組件，其進一步包括該前表面處之複數個導電元件，該等導電元件之至少一些導電元件與該等導電導通體之各自者電連接，其中該基板包含與該等導電元件之至少一些導電元件電連接之複數個主動半導體裝置。

4. 如請求項3之微電子組件，其中該第一金屬層及該第二金屬區之各者在該後表面與該等導電元件之一者之底表

面之間延伸。

5. 如請求項1之微電子組件，其進一步包括塗佈在該開口之一內表面上之一絕緣介電層，該介電層使該導電導通體與該基板至少在該開口內分開及絕緣。
6. 如請求項1之微電子組件，其進一步包括塗佈在該第二金屬區之一內表面上之一絕緣介電層。
7. 如請求項1之微電子組件，其中該第二金屬區在平行於該基板之該前表面之一橫向方向上佔有該導電導通體之一直徑之至多80%。
8. 如請求項1之微電子組件，其中該第一金屬層具有符合該開口之一內表面之一輪廓之一表面。
9. 如請求項1之微電子組件，其中該第一金屬層為選自由以下各者組成之群組之一金屬： α -鈹、鎢、鎳、鉬、鈦、包含鎢之一合金、包含鈦之一合金、包含鈦及鎢之一合金、包含鎳之一合金及包含鉬之一合金、包含鈷之一合金及包含鈦之一導電化合物。
10. 如請求項1之微電子組件，其中該第二金屬區為選自由以下各者組成之群組之一金屬：銅及鋁。
11. 如請求項1之微電子組件，其中該第一金屬層具有一平均粒徑小於50奈米之一晶粒結構。
12. 如請求項1之微電子組件，其中該第一金屬層具有大於200 GPa之一楊氏模數。
13. 如請求項1之微電子組件，其進一步包括暴露在該後表面處用於與一外部元件互連之一導電接觸件，該導電接

觸件係與該第一金屬層及該第二金屬區電連接。

14. 如請求項 13 之微電子組件，其中該導電接觸件包含上覆於該後表面之該第一金屬層及該第二金屬層之部分。

15. 如請求項 1 之微電子組件，其中該導電導通體亦包含在該第一金屬層與該絕緣介電層之間延伸之一障壁金屬層，該障壁金屬層為與該第一金屬層及該第二金屬區之該等金屬不同之一金屬。

16. 如請求項 1 之微電子組件，其中該第一金屬層包含上覆於該第二金屬區之一軸向面向表面之一部分，該第二金屬區之該軸向面向表面是面向相反於該基板的該前表面的一方向。

17. 如請求項 16 之微電子組件，其中該第一金屬層完全環繞該第二金屬區。

18. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面，該基板具有小於 $10 \text{ ppm}/^{\circ}\text{C}$ 之一熱膨脹係數 (CTE)；

一開口，其自該後表面朝向該前表面延伸，該開口在該前表面與該後表面之間界定一內表面；及

一導電導通體，其在該開口內延伸，該導電導通體包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區，該第二金屬區具有大於該第一金屬層之一 CTE 之一 CTE，

該導電導通體具有跨該導電導通體之一直徑之一有效 CTE，

該有效 CTE 小於該第二金屬區之該 CTE 之 80%，其中該第

二金屬區係由一多孔金屬製成且在該第二金屬區中包含空隙。

19. 如請求項18之微電子組件，其中該第二金屬區之一頂表面塗佈有一介電層。

20. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面，該基板具有小於 $10\text{ ppm}/^{\circ}\text{C}$ 之一熱膨脹係數(CTE)；

一開口，其自該後表面朝向該前表面延伸，該開口在該前表面與該後表面之間界定一內表面；及

一導電導通體，其在該開口內延伸，該導電導通體包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區，該第二金屬區具有大於該第一金屬層之一CTE之一CTE，

該導電導通體具有跨該導電導通體之一直徑之一有效CTE，

該有效CTE小於該第二金屬區之該CTE之80%，其中該第二金屬區在一發泡體或一纖維材料內之開孔內延伸。

21. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面，該基板基本上係由具有小於 $10\text{ ppm}/^{\circ}\text{C}$ 之一CTE之一材料組成；

一開口，其自該後表面朝向該前表面延伸通過該材料，該開口在該前表面與該後表面之間界定一內表面；及

一導電導通體，其在該開口內延伸，該導電導通體包含上覆於該內表面之一第一金屬層及上覆於該第一金屬

層且電耦合至該第一金屬層之一第二金屬區，

該第一金屬層具有為該導電導通體之該直徑之至少 10% 之一厚度，且具有比該第二金屬區之楊氏模數大至少 50% 之一楊氏模數，

其中該基板在該開口與該前表面或該後表面之至少一者之間具有一過渡表面，其中該過渡表面之一半徑大於該開口之一半徑之 5%。

22. 如請求項 21 之微電子組件，其中該基板為選自由以下各者組成之群組之一材料：半導體材料、陶瓷及玻璃。
23. 如請求項 21 之微電子組件，其進一步包括該前表面處之複數個導電元件，該等導電元件之至少一些導電元件係與該等導電導通體之各自者電連接，其中該基板包含與該等導電元件之至少一些導電元件電連接之複數個主動半導體裝置。
24. 如請求項 23 之微電子組件，其中該第一金屬層及該第二金屬區之各者在該後表面與該等導電元件之一者之底表面之間延伸。
25. 如請求項 21 之微電子組件，其進一步包括塗佈在該開口之一內表面上之一絕緣介電層，該介電層使該導電導通體與該基板至少在該開口內分開及絕緣。
26. 如請求項 21 之微電子組件，其進一步包括塗佈在該第二金屬區之一內表面上之一絕緣介電層。
27. 如請求項 21 之微電子組件，其中該第二金屬區在平行於該基板之該前表面之一橫向方向上佔有該導電導通體之

- 一直徑之至多 80%。
28. 如請求項 21 之微電子組件，其中該第一金屬層具有符合該開口之一內表面之一輪廓之一表面。
29. 如請求項 21 之微電子組件，其中該第一金屬層為選自由以下各者組成之群組之一金屬： α -鈹、鎢、鎳、鉬、鈦、包含鎢之一合金、包含鈦之一合金、包含鈦及鎢之一合金、包含鎳之一合金及包含鉬之一合金、包含鈷之一合金及包含鈦之一導電化合物。
30. 如請求項 21 之微電子組件，其中該第二金屬區為選自由以下各者組成之群組之一金屬：銅及鋁。
31. 如請求項 21 之微電子組件，其中該第一金屬層具有一平均粒徑小於 50 奈米之一晶粒結構。
32. 如請求項 21 之微電子組件，其中該第一金屬層具有大於 200 GPa 之一楊氏模數。
33. 如請求項 21 之微電子組件，其進一步包括暴露在該後表面處用於與一外部元件互連之一導電接觸件，該導電接觸件係與該第一金屬層及該第二金屬區電連接。
34. 如請求項 33 之微電子組件，其中該導電接觸件包含上覆於該後表面之該第一金屬層及該第二金屬層之部分。
35. 如請求項 21 之微電子組件，其中該導電導通體亦包含在該第一金屬層與該絕緣介電層之間延伸之一障壁金屬層，該障壁金屬層為與該第一金屬層及該第二金屬區之該等金屬不同之一金屬。
36. 如請求項 21 之微電子組件，其中該第一金屬層包含上覆

於該第二金屬區之一軸向面向表面之一部分，該第二金屬區之該軸向面向表面是面向相反於該基板的該前表面的一方向。

37. 如請求項36之微電子組件，其中該第一金屬層完全環繞該第二金屬區。

38. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面，該基板基本上係由具有小於10 ppm/°C之一CTE之一材料組成；

一開口，其自該後表面朝向該前表面延伸通過該材料，該開口在該前表面與該後表面之間界定一內表面；及

一導電導通體，其在該開口內延伸，該導電導通體包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區，

該第一金屬層具有為該導電導通體之該直徑之至少10%之一厚度，且具有比該第二金屬區之楊氏模數大至少50%之一楊氏模數，其中該第二金屬區係由一多孔金屬製成且在該第二金屬區中包含空隙。

39. 如請求項38之微電子組件，其中該第二金屬區之一頂表面塗佈有一介電層。

40. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面，該基板基本上係由具有小於10 ppm/°C之一CTE之一材料組成；

一開口，其自該後表面朝向該前表面延伸通過該材料，該開口在該前表面與該後表面之間界定一內表面；及

一導電導通體，其在該開口內延伸，該導電導通體包含上覆於該內表面之一第一金屬層及上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區，

該第一金屬層具有為該導電導通體之該直徑之至少10%之一厚度，且具有比該第二金屬區之楊氏模數大至少50%之一楊氏模數，其中該第二金屬區在一發泡體或一纖維材料內之開孔內延伸。

41. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面，該基板基本上係由具有小於10 ppm/°C之一CTE之一材料組成；

一開口，其自該後表面朝向該前表面延伸通過該材料，該開口在該前表面與該後表面之間界定一內表面；及

一導電導通體，其在該開口內延伸，該導電導通體包含一金屬區，該金屬區上覆於該內表面且具有截留於該金屬區中之複數個腔。

42. 如請求項41之微電子組件，其中該導電導通體亦包含該金屬區與該內表面之間的一障壁金屬層，該障壁金屬層為與該金屬區之該金屬不同之一金屬。

43. 如請求項42之微電子組件，其中該金屬區為一第一金屬區且該障壁金屬層為一第一障壁金屬層，其中該導電導

通體亦包含上覆於該第一障壁金屬層之一第二金屬層及介於該第二金屬區與該第二金屬層之間之一第三障壁金屬層。

44. 如請求項41之微電子組件，其中該等截留腔具有大於1微米之一平均直徑。

45. 如請求項41之微電子組件，其進一步包括暴露在該後表面處用於與一外部元件互連之一導電接觸件，該導電接觸件係與該金屬區電連接。

46. 如請求項41之微電子組件，其進一步包括塗佈於該開口之一內表面上之一絕緣介電層，該介電層使該導電導通體與該基板至少在該開口內分開及絕緣。

47. 一種微電子組件，其包括：

一基板，其具有一前表面及遠離該前表面之一後表面且在該基板中包含與該前表面相鄰且自該前表面延伸至該基板中達一第一距離之複數個主動半導體裝置，該基板具有小於10 ppm/°C之一CTE及暴露在該前表面處之複數個導電墊；

一開口，其自該後表面延伸通過該基板至該等導電墊之一者之至少一底表面；及

一導電導通體，其在該開口內延伸且與該等導電墊之該一者電連接，該導電導通體包含為具有大於14 ppm/°C之一CTE之一金屬之一金屬區，

該導電導通體具有自該前表面延伸一第二距離之一凹口，該第二距離大於或等於該第一距離，該凹口具有小

於該導電導通體之一直徑之一最大直徑。

48. 如請求項47之微電子組件，其中該凹口在平行於該基板之該前表面之一橫向方向上具有一最大直徑，該最大直徑為在該橫向方向上該開口之一直徑之至少50%。
49. 如請求項47之微電子組件，其中該第二距離係在0.2微米與10微米之間。
50. 如請求項47之微電子組件，其中該凹口之一暴露表面塗佈有一障壁層，該障壁層為與該導電導通體之該金屬不同之一材料。
51. 如請求項50之微電子組件，其中該障壁層為選自由以下各者組成之群組之一金屬：一鈷磷合金、一鎳磷合金及一鎳鎢合金。
52. 一種微電子系統，其包括如請求項1、21、41及47中任一項之結構及電連接至該結構之一或多個其他電子組件。
53. 如請求項52之微電子系統，其進一步包括一外殼，該結構及該等其他電子組件係安裝至該外殼。
54. 一種製造一微電子組件之方法，其包括：

形成一開口，該開口自一基板之一後表面朝向該基板遠離該後表面之一前表面延伸，該開口在該前表面與該後表面之間界定一內表面，該基板基本上係由具有小於10 ppm/°C之一CTE之一材料組成；及

形成一導電導通體，包含形成上覆於該開口之該內表面之一第一金屬層及形成上覆於該第一金屬層且電耦合

至該第一金屬層之一第二金屬區，該第二金屬區具有一CTE，其大於該第一金屬層之一CTE，

該導電導通體具有跨該導電導通體之一直徑之一有效CTE，該有效CTE小於該第二金屬區之該CTE之80%。

55. 如請求項54之方法，其中形成該開口之該步驟包含：執行一第一各向異性蝕刻程序以產生一初始內表面及執行一第二程序以平滑化該初始內表面使之變成該內表面，該第一各向異性蝕刻程序及該第二程序在該開口與該前表面或該後表面之至少一者之間產生一過渡表面，其中該過渡表面之一半徑大於該開口之一半徑之5%。
56. 如請求項54之方法，其中該基板進一步包含該前表面處之複數個導電元件，該等導電元件之至少一者係與該導電導通體電連接，其中該基板包含與該等導電元件之至少一些導電元件電連接之複數個主動半導體裝置。
57. 如請求項56之方法，其中該第一金屬層經形成而與該等導電元件之一者之一底表面接觸。
58. 如請求項54之方法，其進一步包括在形成該導電導通體之前，沈積塗佈在該開口之一內表面上之一絕緣介電層，該介電層使該第一金屬層及該第二金屬區與該基板至少在該開口內分開及絕緣。
59. 如請求項54之方法，其中該第二金屬區在平行於該基板之該前表面之一橫向方向上佔有該開口之一直徑之至多80%。
60. 如請求項54之方法，其中該第一金屬層具有符合該開口

之一內表面之一輪廓之一表面。

61. 如請求項54之方法，其進一步包括形成暴露在該後表面處以與一外部元件互連之一導電接觸件，該導電接觸件係與該第一金屬層及該第二金屬區電連接。
62. 如請求項54之方法，其進一步包括在形成該第一金屬層之前，形成上覆於該絕緣介電層之一障壁金屬層，該障壁金屬層為與該第一金屬層及該第二金屬區之該等金屬不同之一金屬，其中該第一金屬層經形成而上覆於該障壁金屬層。
63. 如請求項54之方法，其中該第一金屬層包含上覆於該第二金屬區之一軸向面向表面之一部分，該第二金屬區之該軸向面向表面是面向相反於該基板的該前表面的一方向。
64. 如請求項63之方法，其中該第一金屬層完全環繞該第二金屬區。
65. 如請求項54之方法，其中該第二金屬區係由一多孔金屬製成且在該第二金屬區中包含空隙。
66. 如請求項65之方法，其中藉由枝晶電鍍形成該第二金屬區。
67. 如請求項65之方法，其進一步包括沈積上覆於該第二金屬區之一頂表面之一介電層。
68. 如請求項54之方法，其進一步包括在形成該第二金屬區之前，沈積上覆於該第一金屬層之一發泡體或纖維材料，其中在該發泡體或纖維材料內之開孔內形成該第二

金屬區。

69. 如請求項68之方法，其進一步包括在形成該第二金屬區之後，移除該發泡體或纖維材料。

70. 一種製造一微電子組件之方法，其包括：

形成一開口，該開口自一基板之一後表面朝向該基板遠離該後表面之一前表面延伸，該開口在該前表面與該後表面之間界定一內表面，該基板基本上由具有小於10 ppm/°C之一CTE之一材料組成；及

形成一導電導通體，包含形成上覆於該開口之該內表面之一第一金屬層及形成上覆於該第一金屬層且電耦合至該第一金屬層之一第二金屬區，

該第一金屬層具有為該導電導通體之該直徑之至少10%之一厚度且具有比該第二金屬區之該楊氏模數大至少50%之一楊氏模數。

71. 如請求項70之方法，其中形成該開口之該步驟包含執行一第一各向異性蝕刻程序以產生一初始內表面及執行一第二程序以平滑化該初始內表面使之變成該內表面，該第一各向異性蝕刻程序及該第二程序在該開口與該前表面或該後表面之至少一者之間產生一過渡表面，其中該過渡表面之一半徑大於該開口之一半徑之5%。

72. 如請求項70之方法，其中該基板進一步包含該前表面處之複數個導電元件，該等導電元件之至少一者係與該導電導通體電連接，其中該基板包含與該等導電元件之至少一些導電元件電連接之複數個主動半導體裝置。

73. 如請求項72之方法，其中該第一金屬層經形成而與該等導電元件之一者之一底表面接觸。
74. 如請求項70之方法，其進一步包括在形成該導電導通體之前，沈積塗佈在該開口之一內表面上之一絕緣介電層，該介電層使該第一金屬層及該第二金屬區與該基板至少在該開口內分開及絕緣。
75. 如請求項70之方法，其中該第二金屬區在平行於該基板之該前表面之一橫向方向上佔有該開口之一直徑之至多80%。
76. 如請求項70之方法，其中該第一金屬層具有符合該開口之一內表面之一輪廓之一表面。
77. 如請求項70之方法，其進一步包括形成暴露在該後表面處用於與一外部元件互連之一導電接觸件，該導電接觸件係與該第一金屬層及該第二金屬區電連接。
78. 如請求項70之方法，其進一步包括在形成該第一金屬層之前，形成上覆於該絕緣介電層之一障壁金屬層，該障壁金屬層為與該第一金屬層及該第二金屬區之該等金屬不同之一金屬，其中該第一金屬層經形成而上覆於該障壁金屬層。
79. 如請求項70之方法，其中該第一金屬層包含上覆於該第二金屬區之一軸向面向表面之一部分，該第二金屬區之該軸向面向表面是面向相反於該基板的該前表面的一方向。
80. 如請求項79之方法，其中該第一金屬層完全環繞該第二

金屬區。

81. 如請求項70之方法，其中該第二金屬區係由一多孔金屬製成且在該第二金屬區中包含空隙。
82. 如請求項81之方法，其中藉由枝晶電鍍形成該第二金屬區。
83. 如請求項81之方法，其進一步包括沈積上覆於該第二金屬區之一頂表面之一介電層。
84. 一種製造一微電子組件之方法，其包括：

形成一開口，該開口自一基板之一後表面朝向該基板遠離該後表面之一前表面延伸，該開口在該前表面與該後表面之間界定一內表面，該基板基本上係由具有小於10 ppm/°C之一CTE之一材料組成；及

在該開口內形成一導電導通體，包含形成上覆於該內表面之一金屬區，該金屬區具有截留於其中之腔。
85. 如請求項84之方法，其中形成該導電導通體之該步驟進一步包含在形成該金屬區之前，形成上覆於該內表面之一障壁金屬層，該金屬區經形成而上覆於該障壁金屬層，該障壁金屬層為與該金屬區之該金屬不同之一金屬。
86. 如請求項85之方法，其中該金屬區為一第一金屬區且該障壁金屬層為一第一障壁金屬層，其中形成該導電導通體之該步驟進一步包含在形成該第一障壁金屬層之後，形成上覆於該第一障壁金屬層之一第二金屬層及形成上覆於該第二金屬層之一第三障壁金屬層，該第二金屬區

經形成而上覆於該第三障壁金屬層。

87. 如請求項 84 之方法，其進一步包括形成暴露在該後表面處用於與一外部元件互連之一導電接觸件，該導電接觸件係與該第一金屬層及該第二金屬區電連接。

88. 如請求項 84 之方法，其進一步包括在形成該金屬區之前，形成塗佈在該開口之一內表面上之一絕緣介電層，該介電層使該導電導通體與該基板至少在該開口內分開及絕緣。

89. 一種製造一微電子組件之方法，其包括：

形成一開口，該開口自一基板之一後表面延伸至暴露在該基板與該後表面相對之一前表面處之複數個導電墊之一者之至少一底表面，該基板在其中包含與該前表面相鄰且自該前表面延伸至該基板中達一第一距離之複數個主動半導體裝置，該基板基本上係由具有小於 10 ppm/°C 之一 CTE 之一材料組成；

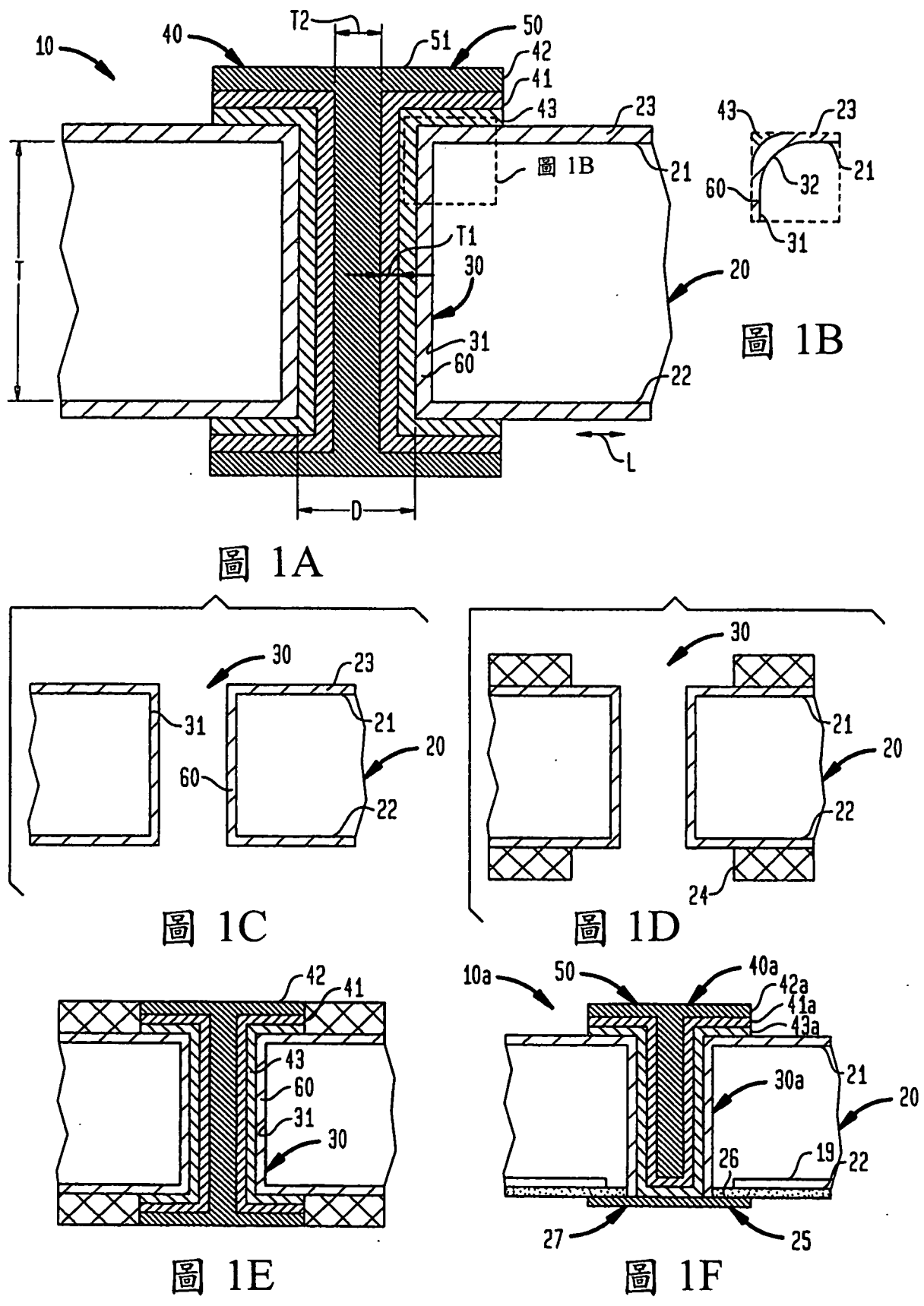
形成一導電導通體，該導電導通體在該開口內延伸且與該等導電墊之該一者電連接，該導電導通體包含為具有大於 14 ppm/°C 之一 CTE 之一金屬之一金屬區；及

形成一凹口，該凹口自該前表面延伸一第二距離，該第二距離大於或等於該第一距離，該凹口具有小於該導電導通體之一直徑之一最大直徑。

90. 如請求項 89 之方法，其中該凹口在平行於該基板之該前表面之一橫向方向上具有一最大直徑，該最大直徑為在該橫向方向上該開口之一直徑之至少 50%。

91. 如請求項89之方法，其中該第二距離係在0.2微米與10微米之間。
92. 如請求項89之方法，其進一步包括形成塗佈在該凹口之一暴露表面上之一障壁層，該障壁層為與該導電導通體之該金屬不同之一金屬。

八、圖式：



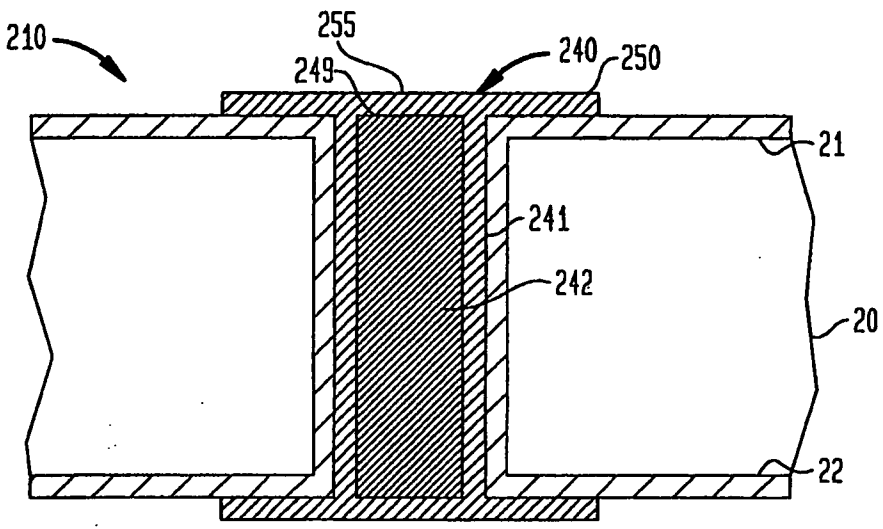


圖 2A

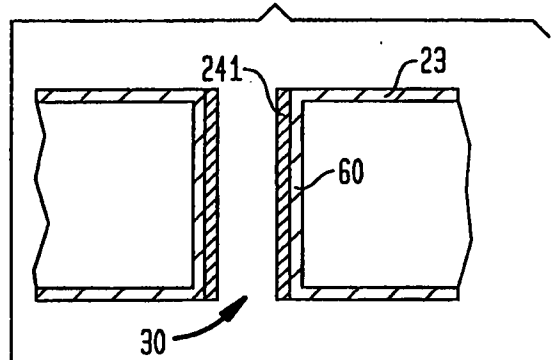


圖 2B

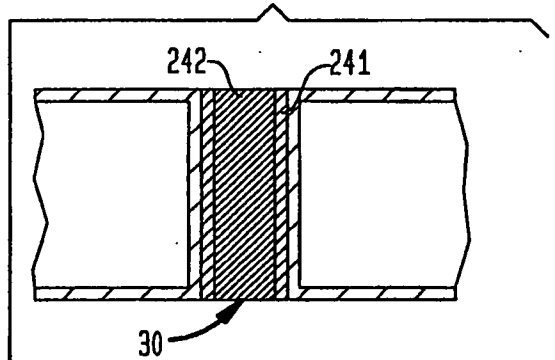


圖 2C

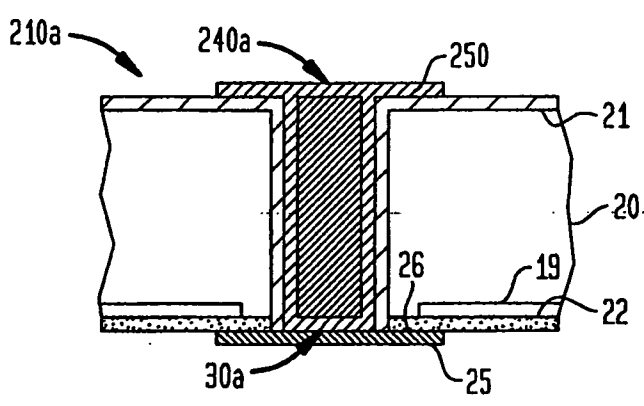


圖 2D

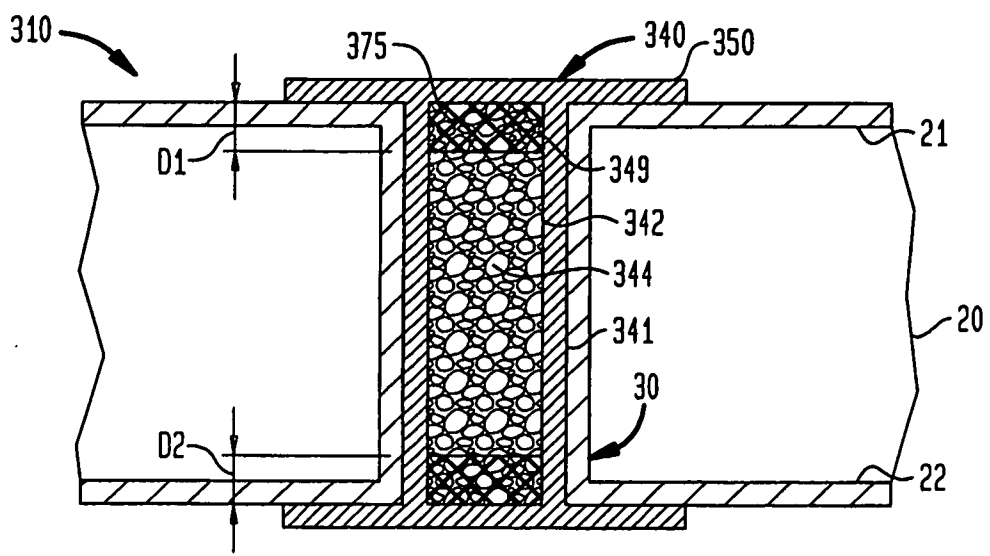


圖 3A

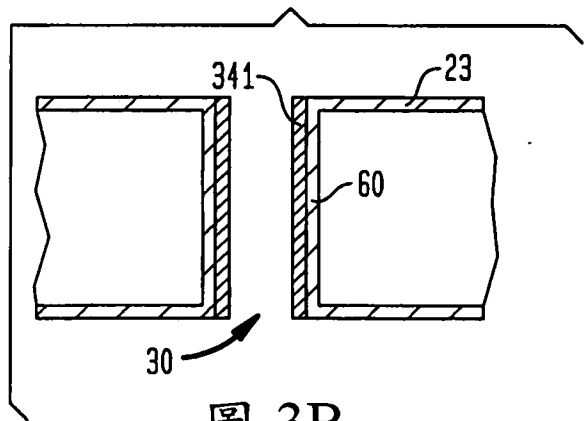


圖 3B

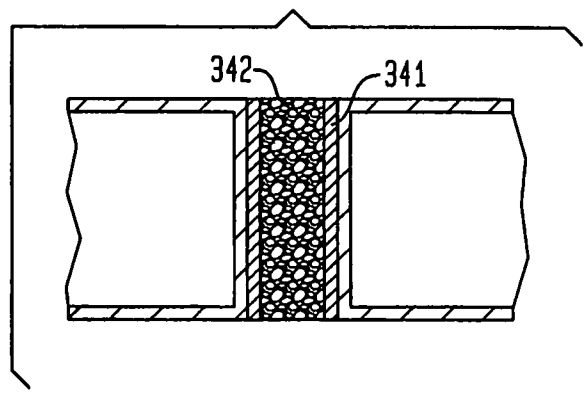


圖 3C

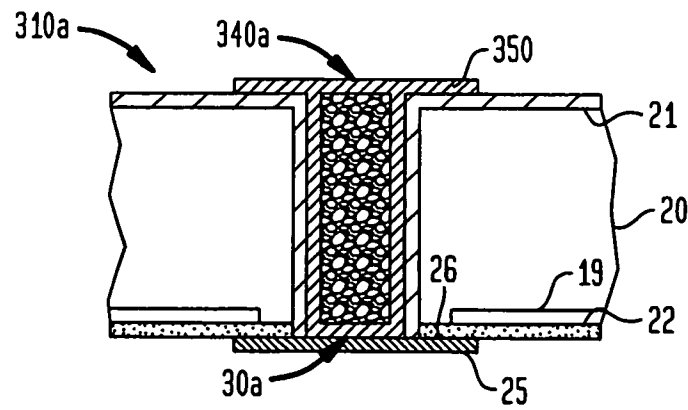


圖 3D

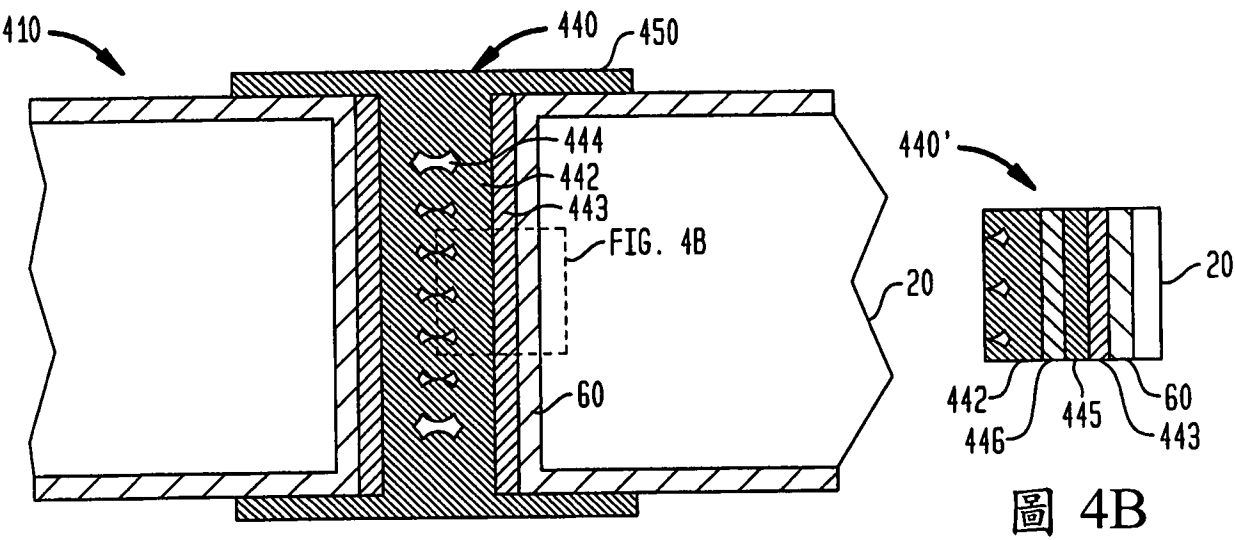


圖 4A

圖 4B

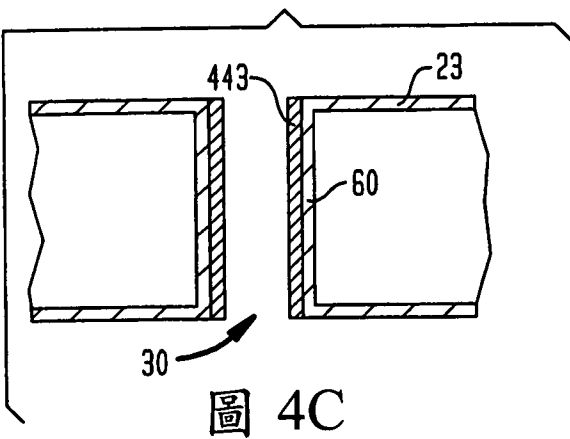


圖 4C

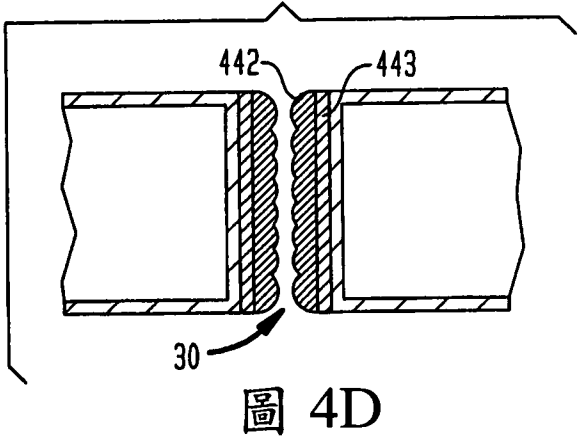


圖 4D

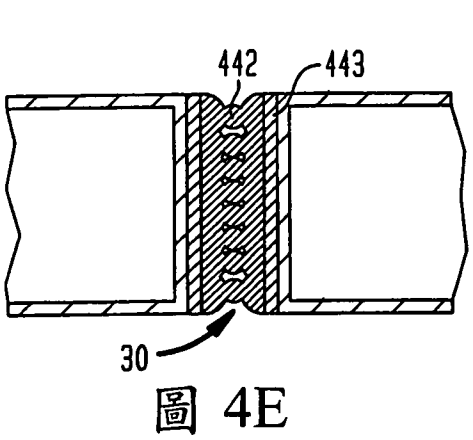


圖 4E

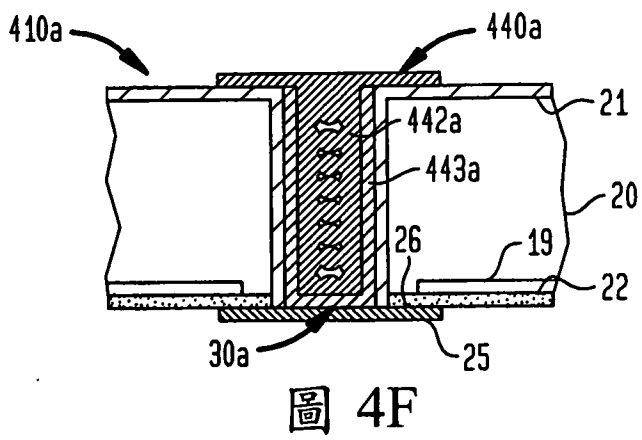


圖 4F

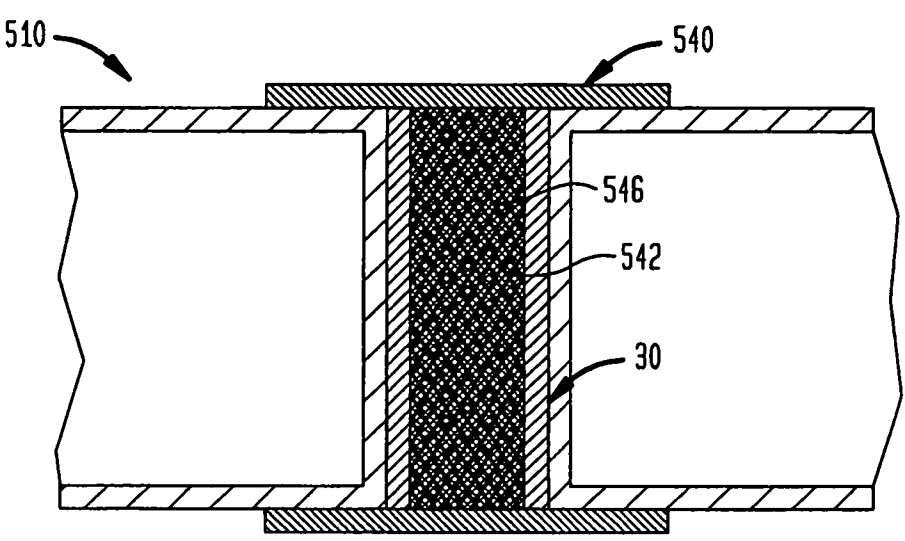


圖 5A

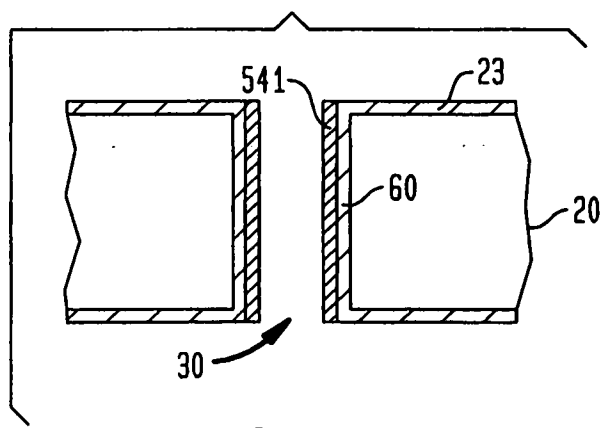


圖 5B

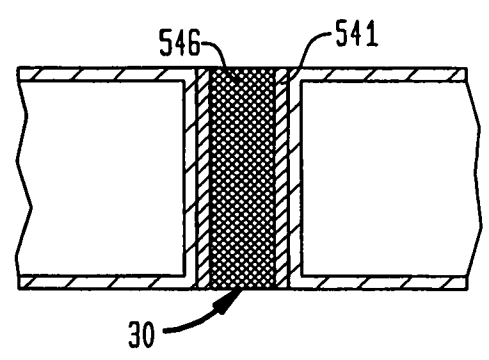


圖 5C

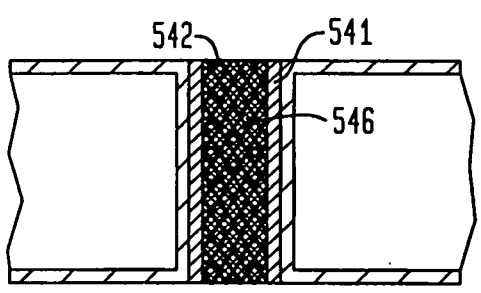


圖 5D

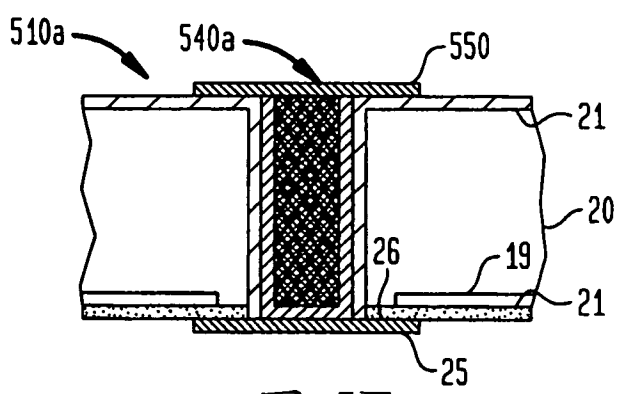


圖 5E

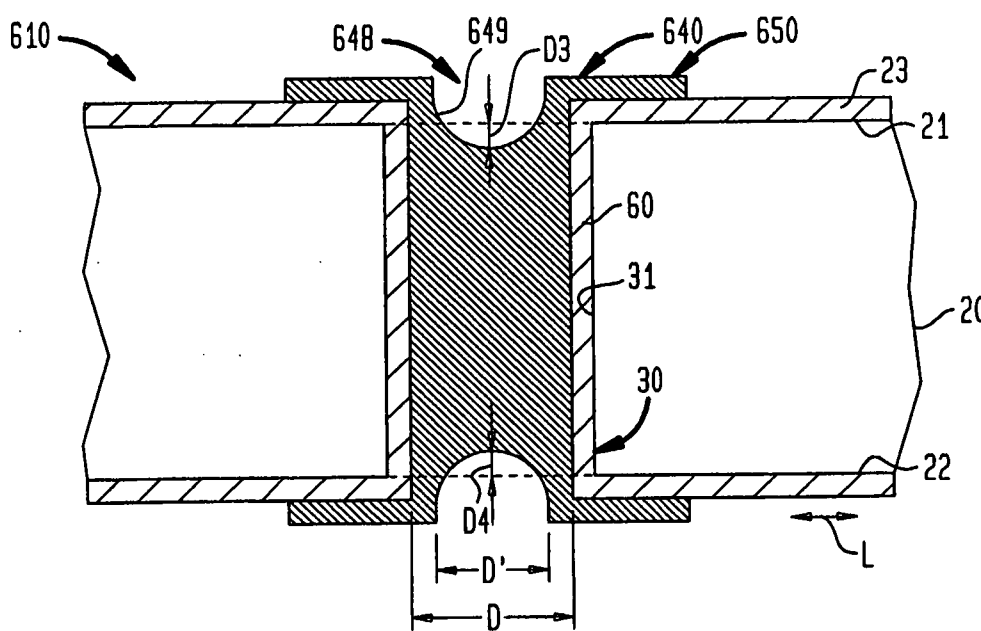


圖 6A

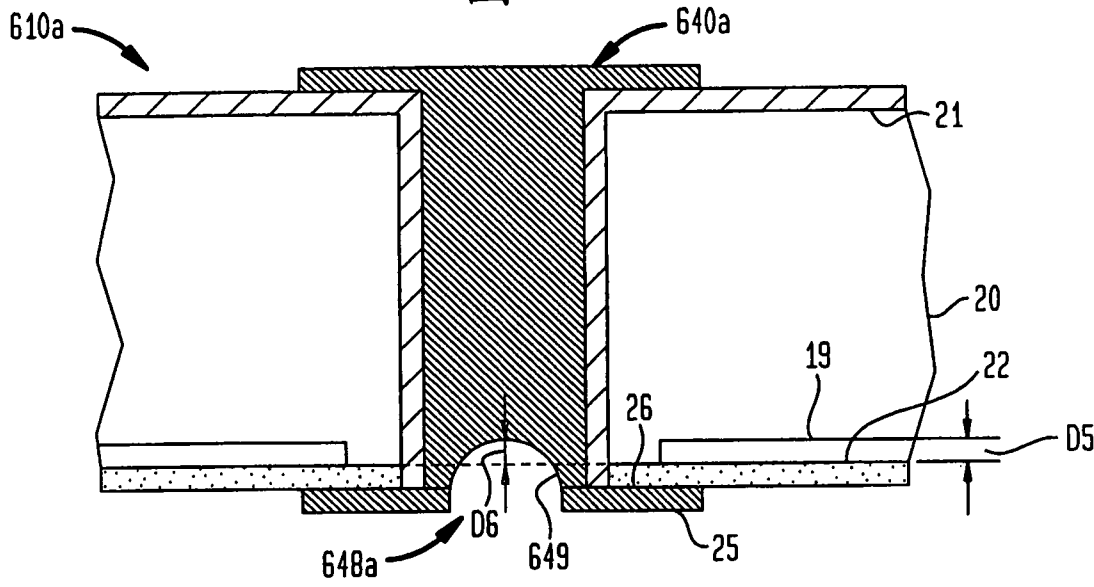


圖 6B

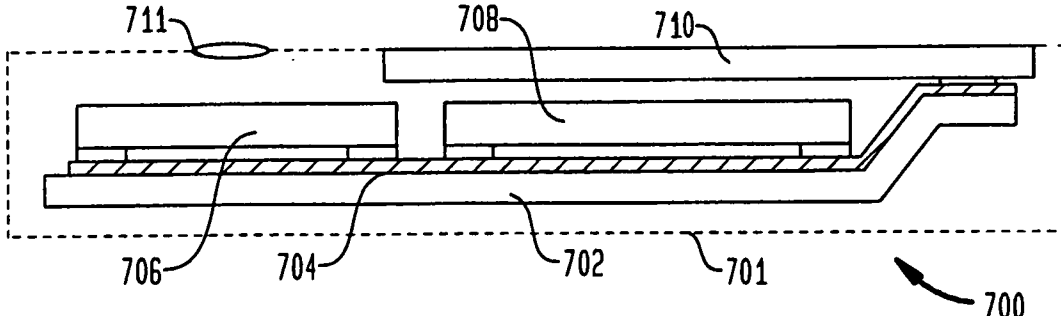


圖 7