



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0120006
(43) 공개일자 2016년10월17일

(51) 국제특허분류(Int. Cl.)

G11C 29/02 (2006.01) G11C 29/00 (2006.01)
G11C 29/18 (2006.01) G11C 29/24 (2006.01)
G11C 29/44 (2006.01) G11C 8/06 (2006.01)

(52) CPC특허분류

G11C 29/027 (2013.01)
G11C 29/18 (2013.01)

(21) 출원번호 10-2015-0048925

(22) 출원일자 2015년04월07일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

유정택

경기도 구리시 건원대로34번길 73, 603-204

최병찬

경기도 용인시 수지구 신수로 615 베아트리스
1002호

(74) 대리인

특허법인신성

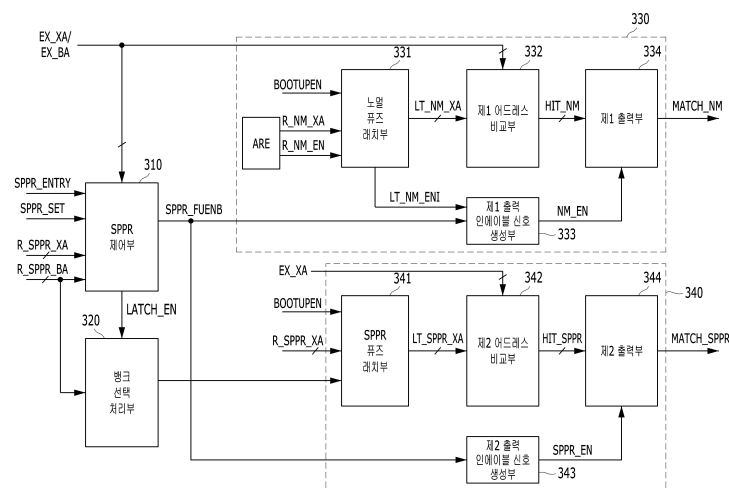
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 반도체 메모리 장치

(57) 요약

제1리페어 정보를 저장하기 위한 퓨즈 어레이를 포함하는 제1퓨즈셋부; 및 제1모드시 제2리페어 정보를 저장하며, 제2모드시 외부로부터 인가된 입력 어드레스와 상기 제2리페어 정보가 동일한 경우 출력 제어신호를 생성하기 위한 SPPR 제어부를 포함하며, 상기 제1퓨즈셋부는 저장된 상기 제1리페어 정보와 상기 입력 어드레스가 동일하면 리턴던시 메모리 셀을 액세스하기 위한 제1매치신호를 활성화하되, 상기 출력 제어신호가 활성화된 경우 상기 제1매치신호를 예정된 레벨로 고정시키는 반도체 메모리 장치가 제공되며, 패키징된 이후 리페어 동작시의 외부로부터 인가된 불량 정보와 제조사로부터 설정된 리페어 어드레스 정보와 동일한 경우 발생할 수 있는 동작 오류를 방지함으로써 반도체 메모리 장치의 신뢰성을 높일 수 있다.

대표도 - 도3



(52) CPC특허분류

G11C 29/24 (2013.01)

G11C 29/44 (2013.01)

G11C 29/787 (2013.01)

G11C 8/06 (2013.01)

G11C 2029/1802 (2013.01)

명세서

청구범위

청구항 1

제1리페어 정보를 저장하기 위한 퓨즈 어레이를 포함하는 제1퓨즈셋부; 및

제1모드시 제2리페어 정보를 저장하며, 제2모드시 외부로부터 인가된 입력 어드레스와 상기 제2리페어 정보가 동일한 경우 출력 제어신호를 생성하기 위한 SPPR 제어부

를 포함하며,

상기 제1퓨즈셋부는 저장된 상기 제1리페어 정보와 상기 입력 어드레스가 동일하면 리던던시 메모리 셀을 액세스하기 위한 제1매치신호를 활성화하되, 상기 출력 제어신호가 활성화된 경우 상기 제1매치신호를 예정된 레벨로 고정시키는 반도체 메모리 장치.

청구항 2

제1항에 있어서,

상기 제2리페어 정보를 저장하며, 상기 출력 제어신호에 응답하여 상기 제2리페어 정보 및 상기 입력 어드레스가 동일한 경우 상기 리던던시 메모리 셀을 액세스하기 위한 제2매치신호를 활성화하는 제2퓨즈셋부

를 더 포함하는 반도체 메모리 장치.

청구항 3

제1항에 있어서,

상기 SPPR 제어부는,

상기 제1모드에 진입하고 SPPR 설정신호가 활성화되면 래치 인에이블신호를 생성하기 위한 래치 인에이블신호 생성부;

상기 래치 인에이블신호에 응답하여 상기 제2리페어 정보를 래치하기 위한 래치부;

상기 래치부로부터 출력된 어드레스 및 상기 입력 어드레스를 각각 비교하기 위한 비교부; 및

상기 비교부로부터 비교 결과에 대응하는 상기 출력 제어신호를 생성하기 위한 출력부

를 포함하는 반도체 메모리 장치.

청구항 4

제3항에 있어서,

상기 래치 인에이블신호를 수신하여 상기 제2리페어 정보 중 뱅크 어드레스에 대응하는 뱅크로 상기 래치 인에이블신호를 전달하기 위한 뱅크 선택부

를 더 포함하는 반도체 메모리 장치.

청구항 5

제3항에 있어서,

상기 래치부는,
 상기 제2리페어 정보 중 뱅크 어드레스를 저장하기 위한 뱅크 어드레스 래치부;및
 상기 제2리페어 정보 중 로우 어드레스를 저장하기 위한 로우 어드레스 래치부
 를 포함하는 반도체 메모리 장치.

청구항 6

제1항에 있어서,
 상기 제1퓨즈셋부는,
 부트-업 인에이블신호에 응답하여 상기 퓨즈 어레이로부터 출력된 상기 제1리페어 정보를 래치하기 위한 노멀
 퓨즈 래치부;및
 상기 노멀 퓨즈 래치부로부터 래치된 어드레스 및 상기 입력 어드레스를 비교하여 비교 결과와 상기 제1리페어
 정보 중 노멀 퓨즈셋 인에이블신호 및 상기 출력 제어신호에 응답하여 상기 제1매치신호를 생성하기 위한 제1매
 치신호 생성부
 를 포함하는 반도체 메모리 장치.

청구항 7

제6항에 있어서,
 상기 제1매치신호 생성부는,
 상기 입력 어드레스 및 상기 노멀 퓨즈 래치부로부터 래치된 어드레스를 비교하여 제1비교 결과신호를 생성하기
 위한 제1어드레스 비교부;
 상기 제1리페어 정보 중 노멀 퓨즈셋 인에이블신호 및 상기 출력 제어신호를 수신하여 제1출력 인에이블신호를
 생성하되, 상기 출력 제어신호가 활성화된 경우 상기 제1출력 인에이블신호를 비활성화시키는 제1출력 인에이블
 신호 생성부;및
 상기 제1출력 인에이블신호 및 상기 제1비교 결과신호에 응답하여 상기 제1매치신호를 생성하는 제1출력부
 를 포함하는 반도체 메모리 장치.

청구항 8

제4항에 있어서,
 상기 제2퓨즈셋부는,
 상기 제1모드시 상기 뱅크 선택부로부터 전달된 상기 래치 인에이블신호에 응답하여 상기 제2리페어 정보를 래
 치하기 위한 SPPR 퓨즈 래치부;및
 상기 SPPR 퓨즈 래치부로부터 래치된 어드레스 및 상기 입력 어드레스를 비교하여 비교 결과와 상기 출력 제어
 신호에 응답하여 상기 제2매치신호를 생성하기 위한 제2매치신호 생성부
 를 포함하는 반도체 메모리 장치.

청구항 9

제8항에 있어서,

상기 제2매치신호 생성부는,

상기 입력 어드레스 및 상기 SPPR 퓨즈 래치부로부터 래치된 어드레스를 비교하여 제2비교 결과신호를 생성하기 위한 제2어드레스 비교부;

상기 출력 제어신호에 응답하여 제2출력 인에이블신호를 생성하는 제2출력 인에이블신호 생성부; 및

상기 제2출력 인에이블신호에 응답하여 상기 제2비교 결과신호에 대응하는 상기 제2매치신호를 생성하기 위한 제2출력부

를 포함하는 반도체 메모리 장치.

청구항 10

제1항에 있어서,

상기 제1모드는 패키징 이후에 수행되는 리페어 동작모드이며, 상기 제2모드는 노멀 동작모드인 반도체 메모리 장치.

청구항 11

제1리페어 정보를 저장하기 위한 다수의 제1퓨즈셋부 및 제1모드시 제2리페어 정보를 저장하기 위한 다수의 제2퓨즈셋부를 포함하는 메모리 뱅크;

상기 제1모드시 래치 인에이블신호에 응답하여 상기 제2리페어 정보 중 로우 및 뱅크 어드레스를 저장하여, 제2모드시 외부로부터 인가된 입력 어드레스와 저장된 상기 제2리페어 정보가 동일한 경우 출력 제어신호를 생성하기 위한 SPPR 제어부; 및

상기 뱅크어드레스를 수신하여 상기 메모리 뱅크 중 해당하는 뱅크에 상기 래치 인에이블신호를 전달하기 위한 뱅크 선택부

를 포함하며,

상기 제2모드 시 상기 제1퓨즈셋부는 저장된 상기 제1리페어 정보 및 상기 입력 어드레스가 동일한 경우 제1출력 인에이블신호에 응답하여 리턴던시 메모리 셀을 액세스하기 위한 제1매치신호를 활성화하되, 상기 출력 제어신호가 활성화된 경우 상기 제1출력 인에이블신호를 예정된 레벨로 고정시키는 반도체 메모리 장치.

청구항 12

제11항에 있어서,

상기 제2퓨즈셋부는 상기 래치 인에이블신호에 응답하여 상기 제2리페어 정보 중 로우 어드레스를 저장하여 상기 로우어드레스와 상기 입력 어드레스가 동일한 경우 제2출력 인에이블신호에 응답하여 상기 리턴던시 메모리 셀을 액세스하기 위한 제2매치신호를 활성화하는 반도체 메모리 장치.

청구항 13

제11항에 있어서,

상기 SPPR 제어부는,

상기 제1모드에 진입하고 SPPR 설정신호가 활성화되면 상기 래치 인에이블신호를 생성하기 위한 래치 인에이블신호 생성부;

상기 래치 인에이블신호에 응답하여 상기 제2리페어 정보 중 상기 로우 어드레스 및 상기 뱅크어드레스를 래치하기 위한 래치부;

상기 래치부로부터 출력된 어드레스 및 상기 입력 어드레스를 각각 비교하기 위한 비교부; 및
상기 비교부로부터 비교 결과에 대응하는 상기 출력 제어신호를 생성하기 위한 출력부를 포함하는 반도체 메모리 장치.

청구항 14

제13항에 있어서,
상기 래치부는,
상기 제2리페어 정보 중 상기 뱅크 어드레스를 저장하기 위한 뱅크 어드레스 래치부; 및
상기 제2리페어 정보 중 상기 로우 어드레스를 저장하기 위한 로우 어드레스 래치부를 포함하는 반도체 메모리 장치.

청구항 15

제11항에 있어서,
상기 제1퓨즈셋부는,
상기 제1리페어 정보를 저장하기 위한 퓨즈 어레이;
부트-업 인에이블신호에 응답하여 상기 퓨즈 어레이로부터 출력된 상기 제1리페어 정보를 래치하기 위한 노멀 퓨즈 래치부; 및
상기 노멀 퓨즈 래치부로부터 래치된 어드레스 및 상기 입력 어드레스를 비교하여 비교 결과와 상기 제1리페어 정보 중 노멀 퓨즈셋 인에이블신호 및 상기 출력 제어신호에 응답하여 상기 제1매치신호를 생성하기 위한 제1매치신호 생성부를 포함하는 반도체 메모리 장치.

청구항 16

제15항에 있어서,
상기 제1매치신호 생성부는,
상기 입력 어드레스 및 상기 노멀 퓨즈 래치부로부터 래치된 어드레스를 비교하여 제1비교 결과신호를 생성하기 위한 제1어드레스 비교부;
상기 제1리페어 정보 중 노멀 퓨즈셋 인에이블신호 및 상기 출력 제어신호를 수신하여 상기 제1출력 인에이블신호를 생성하되, 상기 출력 제어신호가 활성화된 경우 상기 제1출력 인에이블신호를 비활성화시키는 제1출력 인에이블신호 생성부; 및
상기 제1출력 인에이블신호 및 상기 제1비교 결과신호에 응답하여 상기 제1매치신호를 생성하는 제1출력부를 포함하는 반도체 메모리 장치

청구항 17

제11항에 있어서,
상기 제2퓨즈셋부는,
상기 제1모드시 상기 뱅크 선택부로부터 전달된 상기 래치 인에이블신호에 응답하여 상기 제2리페어 정보를 래

치하기 위한 SPPR 퓨즈 래치부;및

상기 SPPR 퓨즈 래치부로부터 래치된 어드레스 및 상기 입력 어드레스를 비교하여 비교 결과와 상기 출력 제어 신호에 응답하여 상기 제2매치신호를 생성하기 위한 제2매치신호 생성부

를 포함하는 반도체 메모리 장치.

청구항 18

제17항에 있어서,

상기 제2매치신호 생성부는,

상기 입력 어드레스 및 상기 SPPR 퓨즈 래치부로부터 래치된 어드레스를 비교하여 제2비교 결과신호를 생성하기 위한 제2어드레스 비교부;

상기 출력 제어신호에 응답하여 상기 제2출력 인에이블신호를 생성하는 제2출력 인에이블신호 생성부;및

상기 제2출력 인에이블신호에 응답하여 상기 제2비교 결과신호에 대응하는 상기 제2매치신호를 생성하기 위한 제2출력부

를 포함하는 반도체 메모리 장치.

청구항 19

제11항에 있어서,

상기 제1모드는 패키징 이후에 수행되는 리페어 동작모드이며, 상기 제2모드는 노멀 동작모드인 반도체 메모리 장치.

발명의 설명

기술 분야

[0001] 본 특허문헌은 반도체 설계 기술에 관한 것으로, 구체적으로는 리페어 동작을 수행하는 반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치의 불량 셀(cell)에 대한 리페어(repair) 동작은 웨이퍼(wafer) 상태에서 수행하는 리페어 동작과 패키지(package) 상태에서 수행하는 리페어 동작이 있다. 패키지 상태에서 수행하는 리페어 동작을 포스트 패키지 리페어 (Post Package Repair;PPR)동작이라고 한다.

[0003] 한편, 반도체 메모리 장치는 불량 셀인 리페어 대상 메모리 셀에 대응하는 어드레스를 프로그래밍(programing) 할 수 있는 퓨즈 회로를 구비한다. 여기서, 프로그래밍은 리페어 대상 메모리 셀을 대신하여 어드레스(리페어 어드레스) 정보를 리턴던시 메모리 셀에 저장하기 위해 리페어 대상 메모리 셀에 대응하는 어드레스 정보를 저장하는 동작을 의미한다.

[0004] 리페어 동작에 의해, 외부로부터 리페어 대상 메모리 셀에 대한 액세스 시도가 있는 경우에 프로그래밍된 리페어 어드레스가 참조되어 리턴던시 메모리 셀이 액세스 된다.

[0005] 도 1은 일반적으로 퓨즈 회로에 포함된 퓨즈셋을 나타내는 도면이다.

[0006] 도 1을 참조하면, 퓨즈 회로는 반도체 메모리 장치의 제조 단계인 웨이퍼 상태에서 리페어 어드레스 정보를 저장하기 위해 할당된 다수의 노멀 퓨즈셋(111-115)과 반도체 메모리 장치의 제조 이후인 패키지 상태에서 리페어

어드레스 정보를 저장하기 위해 할당된 PPR 퓨즈셋(116)을 포함한다.

- [0007] 한편, PPR 동작은 외부로부터 리페어 동작을 수행하라는 명령을 반도체 메모리 장치로 인가받음으로써 수행된다. 반도체 메모리 장치는 PPR 모드에 진입하여 외부로부터 인가된 리페어 어드레스 정보를 PPR 퓨즈셋(116)에 저장하는 PPR 동작을 수행하게 된다.
- [0008] PPR 모드 중 하나인 소프트-포스트 패키지 리페어(Sofr-PPR;SPPR) 모드는 외부로부터 인가된 리페어 어드레스 정보를 레지스터 혹은 래치부에 래치하는 저장하는 모드이다. SPPR 모드는 리페어 동작에 소요되는 시간을 줄일 수 있지만, 반도체 메모리 장치의 전원이 공급되지 않으면 리페어의 효과가 사라지는 리페어를 의미한다.
- [0009] 도 2는 SPPR 모드 수행시 발생할 수 있는 문제점을 설명하기 위한 도면이다.
- [0010] 도 2를 참조하면, 반도체 메모리 장치는 노멀 퓨즈셋(210)과, PPR 퓨즈셋(220)과, 제1비교부(230)와 및 제2비교부(240)를 포함한다.
- [0011] 예를 들어, 노멀 퓨즈셋(210)에는 반도체 메모리 장치의 제조 단계에서 수행된 리페어 동작에 의해 불량 어드레스 정보인 'ADDRESS<4>', 'ADDRESS<6>'가 이미 저장되어 있다.
- [0012] 반도체 메모리 장치는 외부로부터 'ADDRESS<4>'를 입력 어드레스(EX_ADD)로서 수신받는다. 제1비교부(230)는 노멀 퓨즈셋(210)으로부터 저장된 리페어 어드레스 정보와 입력 어드레스(EX_ADD)를 수신하여 비교 동작을 수행한다. 제1비교부(230)는 노멀 퓨즈셋(210)에 저장된 리페어 어드레스 정보인 'ADDRESS<4>'와 입력 어드레스(EX_ADD)인 'ADDRESS<4>'가 동일하기 때문에 활성화된 제1매치신호(MATCH_NM)를 출력한다. 반도체 메모리 장치는 활성화된 제1매치신호(MATCH_NM)에 응답하여 리턴던시 영역에 구비된 리턴던시 메모리 셀을 정상적으로 액세스할 수 있다.
- [0013] 하지만 'ADDRESS<4>'에 대응하는 리턴던시 메모리 셀이 열화로 인하여 불량이 발생하게 되면, 반도체 메모리 장치의 사용자는 'ADDRESS<4>'에 대응하는 메모리 셀을 불량으로 판단하게 된다. 사용자는 SPPR 모드를 통해 해당 어드레스인 'ADDRESS<4>'를 PPR 퓨즈셋(220)에 저장할 수 있다. 이 경우, 외부로부터 SPPR 명령에 따라 SPPR 모드에 진입한 반도체 메모리 장치는 불량 어드레스 정보 'ADDRESS<4>'를 인가받음으로써 'ADDRESS<4>'를 PPR퓨즈셋(220)에 저장하게 된다.
- [0014] 이후에 반도체 메모리 장치가 외부로부터 'ADDRESS<4>'를 입력 어드레스(EX_ADD)로서 수신받는 경우에 제1 및 제2비교부(230,240)는 노멀 퓨즈셋(210)에 저장된 'ADDRESS<4>'와 PPR 퓨즈셋(220)에 래치된 'ADDRESS<4>'가 입력 어드레스(EX_ADD)와 동일하다는 제1매치신호(MATCH_NM) 및 제2매치신호(MATCH_PPR)를 동시에 생성하게 된다. 결국, 제1매치신호(MATCH_NM)에 대응하는 리턴던시 메모리 셀과 제2매치신호(MATCH_PPR)에 대응하는 리턴던시 메모리 셀이 동시에 액세스하게 된다.
- [0015] 정리하면, 사용자가 SPPR 모드를 통해 PPR 퓨즈셋(220)에 저장한 불량 어드레스 정보와 제조 단계에서 노멀 퓨즈셋(210)에 저장된 리페어 어드레스 정보가 일치하는 경우에는 PPR 퓨즈셋(220)에 대응하는 리턴던시 메모리 셀과 노멀 퓨즈셋(210)에 대응하는 리턴던시 메모리 셀이 동시에 액세스됨으로써 노멀 동작 시 리드 페일이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명의 실시예가 해결하고자 하는 기술적 과제는 다수의 리턴던시 메모리 셀이 액세스되어 발생하는 노멀 동작의 오류를 방지하기 위한 반도체 메모리 장치를 제공하는 것이다.

과제의 해결 수단

- [0017] 본 발명의 제1실시예에 따른 반도체 메모리 장치는, 제1리페어 정보를 저장하기 위한 퓨즈 어레이를 포함하는 제1퓨즈셋부; 및 제1모드시 제2리페어 정보를 저장하며, 제2모드시 외부로부터 인가된 입력 어드레스와 상기 제2리페어 정보가 동일한 경우 출력 제어신호를 생성하기 위한 SPPR 제어부를 포함하며, 상기 제1퓨즈셋부는 저장된 상기 제1리페어 정보와 상기 입력 어드레스가 동일하면 리턴던시 메모리 셀을 액세스하기 위한 제1매치신호

를 활성화하되, 상기 출력 제어신호가 활성화된 경우 상기 제1매치신호를 예정된 레벨로 고정시킬 수 있다.

[0018] 본 발명의 제2실시예에 따른 반도체 메모리 장치는, 제1리페어 정보를 저장하기 위한 다수의 제1퓨즈셋부 및 제1모드시 제2리페어 정보를 저장하기 위한 다수의 제2퓨즈셋부를 포함하는 메모리 뱅크; 상기 제1모드시 래치 인에이블신호에 응답하여 상기 제2리페어 정보 중 로우 및 뱅크 어드레스를 저장하여, 제2모드시 외부로부터 인가된 입력 어드레스와 저장된 상기 제2리페어 정보가 동일한 경우 출력 제어신호를 생성하기 위한 SPPR 제어부; 및 상기 뱅크어드레스를 수신하여 상기 메모리 뱅크 중 해당하는 뱅크에 상기 래치 인에이블신호를 전달하기 위한 뱅크 선택부를 포함하며, 상기 제2모드 시 상기 제1퓨즈셋부는 저장된 상기 제1리페어 정보 및 상기 입력 어드레스가 동일한 경우 제1출력 인에이블신호에 응답하여 리턴던시 메모리 셀을 액세스하기 위한 제1매치신호를 활성화하되, 상기 출력 제어신호가 활성화된 경우 상기 제1출력 인에이블신호를 예정된 레벨로 고정시킬 수 있다.

[0019] 본 발명의 실시예에 따른 반도체 메모리 장치의 동작방법에 있어서, 제1퓨즈셋부, 제2퓨즈셋부 및 상기 제1퓨즈셋부와 상기 제2퓨즈셋부를 제어하는 SPPR 제어부를 포함하는 반도체 메모리 장치의 동작방법에 있어서, 소프트웨어 패키지 리페어 모드시 리페어 정보를 상기 SPPR 제어부 및 상기 제2퓨즈셋부에 저장하는 단계; 노멀 모드시 입력 어드레스 및 상기 SPPR 제어부에 저장된 리페어 정보를 비교하는 단계; 및 상기 비교하는 단계의 비교 결과 동일한 경우에 상기 제1퓨즈셋부의 구동을 비활성화시켜 상기 제1퓨즈셋부에 따른 리페어 동작을 차단하고, 상기 제2퓨즈셋부의 구동을 활성화시켜 상기 제2퓨즈셋부에 따른 리페어 동작을 수행하는 단계를 더 포함할 수 있다.

[0020] 상기 비교하는 단계의 비교 결과 동일하지 않는 경우에 상기 입력 어드레스와 상기 제1퓨즈셋부에 저장된 리페어 정보를 비교하는 단계; 및 상기 비교 결과 동일한 경우에 상기 제1퓨즈셋부의 구동을 활성화시켜 상기 제1퓨즈셋부에 따른 리페어 동작을 수행하는 단계를 더 포함할 수 있다.

발명의 효과

[0021] 제안된 실시예에 따른 반도체 메모리 장치는 노멀 퓨즈셋과 PPR 퓨즈셋에 저장된 리페어 어드레스 정보가 동일한 경우 발생할 수 있는 동작 오류를 방지함으로써 반도체 메모리 장치의 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0022] 도 1은 일반적으로 퓨즈 회로에 포함된 퓨즈셋을 나타내는 도면.
 도 2는 SPPR 동작 시 발생할 수 있는 문제점을 설명하기 위한 도면.
 도 3은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 블록도.
 도 4는 도 3에 도시된 SPPR 제어부의 블록도.
 도 5는 도 3에 도시된 제1퓨즈셋부의 상세 회로도.
 도 6은 도 3에 도시된 제2퓨즈셋부의 상세 회로도.
 도 7은 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 블록도.
 도 8은 도 7에 도시된 제1퓨즈셋부의 상세 회로도.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예들을 첨부 도면을 참조하여 설명하고자 한다.

[0024] 도 3은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 블록도이다.

[0025] 도 3을 참조하면, 상기 반도체 메모리 장치는 SPPR 제어부(310)와, 뱅크 선택부(320)와, 제1퓨즈셋부(330) 및 제2퓨즈셋부(340)를 포함할 수 있다.

[0026] 먼저, 상기 반도체 메모리 장치에서 SPPR 모드에 따른 동작 시퀀스에 대해 간단하게 설명하고자 한다.

- [0027] 외부로부터 SPPR 명령에 따라 상기 반도체 메모리 장치는 내부의 모드 레지스터 셋(Mode Register Set;MRS)에 의해 상기 SPPR 모드에 진입할 수 있다. 상기 SPPR 모드에 진입하면 SPPR 모드신호(SPPR_ENTRY)가 활성화될 수 있다. 이후, 액티브 커맨드가 반도체 메모리 장치로 인가되면 외부로부터 리페어 어드레스 정보(R_SPPR_XA,R_SPPR_BA)가 인가될 수 있다.
- [0028] 이후, 패키지 상태인 다수의 메모리 칩 중 SPPR 동작을 수행할 특정 메모리 칩이 선택되면 SPPR 설정신호(SPPR_SET)가 활성화될 수 있다. 반도체 메모리 장치로 라이트 커맨드가 인가되면 상기 SPPR 설정신호(SPPR_SET)에 응답하여 상기 SPPR 제어부(310)에 상기 리페어 어드레스 정보(R_SPPR_XA,R_SPPR_BA)가 저장될 수 있다. 또한, 상기 제2퓨즈셋부(340)에 상기 리페어 어드레스 정보(R_SPPR_XA,R_SPPR_BA) 중 로우 어드레스에 관한 정보(R_SPPR_XA)가 저장될 수 있다.
- [0029] 상기 반도체 메모리 장치는 상기 MRS에 의해 상기 SPPR 모드에서 탈출할 수 있다.
- [0030] 이후, 상기 반도체 메모리 장치의 노멀 동작시 외부로부터 입력 어드레스(EX_XA,EX_BA)가 수신될 수 있다. 상기 반도체 메모리 장치의 상기 SPPR 제어부(310)는 상기 SPPR 모드시에 저장된 상기 리페어 어드레스 정보(R_SPPR_XA,R_SPPR_BA)와 상기 입력 어드레스(EX_XA,EX_BA)가 동일한 경우에 출력 제어신호(SPPR_FUENB)를 활성화시킬 수 있다. 상기 반도체 메모리 장치는 활성화된 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 제1퓨즈셋부(330)의 구동을 비활성화시킬 수 있다. 즉, 상기 출력 제어신호(SPPR_FUENB)가 활성화된 경우에 상기 입력 어드레스(EX_XA,EX_BA)가 불량 메모리 셀에 대응하는 경우에도 즉 상기 제1퓨즈셋부(330)에 저장된 리페어 어드레스 정보와 상기 입력 어드레스(EX_XA,EX_BA)가 동일하더라도, 상기 제1퓨즈셋부(330)에 따른 리페어 동작이 차단될 수 있다. 상기 반도체 메모리 장치는 상기 SPPR 모드시에 저장된 상기 리페어 어드레스 정보(R_SPPR_XA,R_SPPR_BA)와 상기 입력 어드레스(EX_XA,EX_BA)가 동일한 경우에 상기 제1퓨즈셋부(330)에 따른 리페어 동작이 차단되고 상기 제2퓨즈셋부(340)에 따른 리페어 동작만이 활성화될 수 있다. 따라서, 상기 제1퓨즈셋부(330)에 대응하는 리턴던시 메모리 셀과 상기 제2퓨즈셋부(340)에 대응하는 리턴던시 메모리 셀이 동시에 액세스되어 발생할 수 있는 리드 페일을 방지할 수 있다.
- [0031] 상기 SPPR 제어부(310)는 상기 리페어 어드레스 정보(R_SPPR_XA,R_SPPR_BA) 중 로우 어드레스에 관한 정보인 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 뱅크 어드레스에 관한 정보인 SPPR 리페어 뱅크어드레스(R_SPPR_BA)를 수신받을 수 있다. 상기 SPPR 제어부(310)는 상기 SPPR 모드신호(SPPR_ENTRY) 및 상기 SPPR 설정신호(SPPR_SET)를 수신받을 수 있다. 상기 SPPR 제어부(310)는 상기 SPPR 모드신호(SPPR_ENTRY) 및 상기 SPPR 설정신호(SPPR_SET)가 모두 활성화된 경우에 래치 인에이블신호(LATCH_EN)를 생성할 수 있다. 상기 SPPR 제어부(310)는 내부에 래치부(미도시)를 구비하며, 상기 래치부(미도시)는 상기 래치 인에이블신호(LATCH_EN)에 응답하여 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)를 래치할 수 있다. 상기 SPPR 제어부(310)는 상기 입력 어드레스(EX_XA,EX_BA) 중 로우 어드레스에 관한 정보인 입력 로우어드레스(EX_XA) 및 뱅크 어드레스에 관한 정보인 입력 뱅크어드레스(EX_BA)를 수신하여 상기 래치부에 저장된 리페어 어드레스와 비교하여 출력 제어신호(SPPR_FUENB)를 생성할 수 있다.
- [0032] 상기 반도체 메모리 장치의 노멀 동작시 상기 SPPR 제어부(310)는 외부로부터 인가된 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 래치부(미도시)에 래치된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)를 각각 비교하여, 비교 결과 일치한 경우 '로우' 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다. 상기 출력 제어신호(SPPR_FUENB)는 상기 제1퓨즈셋부(330) 및 상기 제2퓨즈셋부(340)로 전달될 수 있다.
- [0033] 본 발명에 따른 상기 반도체 메모리 장치의 상기 SPPR 제어부(310)는 적어도 하나의 상기 제1퓨즈셋부(330) 및 상기 제2퓨즈셋부(340)를 구비하는 단위 뱅크가 하나 이상 모여 이루어진 뱅크 그룹별로 할당될 수 있다. 상기 출력 제어신호(SPPR_FUENB)는 상기 뱅크 그룹 단위로 생성되는 신호일 수 있다. 예컨대, 4개의 뱅크로 이루어진 뱅크 그룹에 해당하는 상기 출력 제어신호(SPPR_FUENB)는 4개의 제1퓨즈셋부 및 4개의 제2퓨즈셋부로 각각 인가될 수 있다. 이하, 본 발명의 반도체 메모리 장치는 상기 출력 제어신호(SPPR_FUENB)에 대응하는 뱅크 그룹 중 하나의 뱅크에 포함된 제1 및 제2퓨즈셋부(330,340)를 대표로 설명하기로 한다.
- [0034] 상기 뱅크 선택부(320)는 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA) 및 상기 래치 인에이블신호(LATCH_EN)를 수신받을 수 있다. 상기 뱅크 선택부(320)는 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)에 대응하는 뱅크로 상기 래치 인에이블신호(LATCH_EN)를 출력할 수 있다.
- [0035] 상기 제1퓨즈셋부(330)는 퓨즈 어레이(ARE)와, 노멀 퓨즈 래치부(331) 및 제1매치신호 생성부(미도시)를 포함할

수 있다. 상기 제1매치신호 생성부는 제1어드레스 비교부(332)와, 제1출력 인에이블신호 생성부(333) 및 제1출력부(334)를 포함할 수 있다.

[0036] 상기 노멀 퓨즈 래치부(331)는 부트-업 인에이블신호(BOOTUPEN), 노멀 리페어 로우어드레스(R_NM_XA) 및 노멀 퓨즈셋 인에이블 신호(R_NM_EN)를 수신받을 수 있다.

[0037] 상기 노멀 리페어 로우어드레스(R_NM_XA)는 상기 퓨즈 어레이(ARE)로부터 전달된 어드레스로써 상기 반도체 메모리 장치의 제조 단계에서 발생된 불량 메모리 셀에 대응하는 리페어 어드레스 정보일 수 있다. 또한, 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)는 상기 퓨즈 어레이(ARE)의 프로그래밍 여부에 대한 정보가 포함될 수 있다. 예컨대, 상기 퓨즈 어레이(ARE)가 프로그래밍된 경우 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)는 '하이' 레벨일 수 있고, 상기 퓨즈 어레이(ARE)가 프로그래밍되지 않은 경우 '로우' 레벨 일 수 있다. 다시 말해, '하이' 레벨인 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)는 상기 퓨즈 어레이(ARE)에 리페어 어드레스 정보가 프로그래밍되어 있는 것을 의미하는 것으로써, 이 경우에 상기 퓨즈 어레이(ARE)로부터 전달된 상기 노멀 리페어 로우어드레스(R_NM_XA)가 리페어 어드레스 정보로서 유효한 어드레스일 수 있다. '로우' 레벨인 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)는 상기 퓨즈 어레이(ARE)에 리페어 어드레스 정보가 프로그래밍되어 있지 않은 것을 의미하는 것으로써, 이 경우에 상기 퓨즈 어레이(ARE)로부터 전달된 상기 노멀 리페어 로우어드레스(R_NM_XA)는 무효한 어드레스일 수 있다.

[0038] 상기 노멀 퓨즈 래치부(331)는 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 상기 노멀 리페어 로우어드레스(R_NM_XA) 및 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)를 래치할 수 있다. 상기 노멀 퓨즈 래치부(331)는 상기 노멀 리페어 로우어드레스(R_NM_XA)를 래치하여 노멀 래치 어드레스(LT_NM_XA)로서 출력할 수 있다. 또한, 상기 노멀 퓨즈 래치부(331)는 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)를 래치하여 노멀 래치 인에이블 신호(LT_NM_ENI)로서 출력할 수 있다. 즉, 상기 노멀 퓨즈 래치부(331)는 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 상기 반도체 메모리 장치의 제조 단계에서 상기 퓨즈 어레이(ARE)에 프로그래밍된 리페어 어드레스 정보인 상기 노멀 리페어 로우어드레스(R_NM_XA) 및 상기 퓨즈 어레이(ARE)의 프로그래밍 여부에 대한 정보인 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)를 저장할 수 있다.

[0039] 상기 제1어드레스 비교부(332)는 상기 입력 로우어드레스(EX_XA)와 상기 노멀 래치 어드레스(LT_NM_XA)를 수신하여 비교할 수 있다. 상기 제1어드레스 비교부(332)는 상기 입력 로우어드레스(EX_XA) 및 상기 노멀 래치 어드레스(LT_NM_XA)를 비교하여 비교 결과에 대응하는 제1비교 결과신호(HIT_NM)를 출력할 수 있다. 상기 제1어드레스 비교부(332)는 상기 입력 로우어드레스(EX_XA) 및 상기 노멀 래치 어드레스(LT_NM_XA)를 비교하여 일치하는 경우에 '하이' 레벨로 활성화된 상기 제1비교 결과신호(HIT_NM)를 생성할 수 있다.

[0040] 상기 제1출력 인에이블신호 생성부(333)는 상기 출력 제어신호(SPPR_FUENB) 및 상기 노멀 퓨즈 래치부(331)로부터 출력된 상기 노멀 래치 인에이블신호(LT_NM_ENI)를 수신받을 수 있다. 상기 제1출력 인에이블신호 생성부(333)는 상기 노멀 래치 인에이블신호(LT_NM_ENI) 및 상기 출력 제어신호(SPPR_FUENB)에 응답하여 제1출력 인에이블신호(NM_EN)를 생성할 수 있다.

[0041] 상기 제1출력 인에이블신호 생성부(333)는 '로우' 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 노멀 래치 인에이블신호(LT_NM_ENI)와 관계없이 '로우' 레벨로 비활성화된 상기 제1출력 인에이블신호(NM_EN)를 생성할 수 있다. 상기 제1출력 인에이블신호 생성부(333)는 '하이' 레벨로 비활성화된 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 노멀 래치 인에이블신호(LT_NM_ENI)에 따라 '하이' 또는 '로우' 레벨인 상기 제1출력 인에이블신호(NM_EN)를 생성할 수 있다.

[0042] 예컨대, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일한 경우에 '로우' 레벨을 갖는 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 제1출력 인에이블신호 생성부(333)는 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)의 활성화 여부와 관계없이 상기 제1출력 인에이블신호(NM_EN)를 '로우' 레벨로 비활성화시킬 수 있다.

[0043] 반면에, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우에 '하이' 레벨을 갖는 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 제1출력 인에이블신호 생성부(333)는 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)가 활성화된 경우 즉, 상기 퓨즈 어레이(ARE)가 프로그래밍되어 있는 경우에 상기 제1출력 인에이블신호(NM_EN)를 '하이' 레벨로 활성화시키며, 상기 노멀 퓨즈셋 인에

이블신호(R_NM_EN)가 비활성화된 경우 즉, 상기 퓨즈 어레이(ARE)가 프로그래밍되어있지 않는 경우에 상기 제1 출력 인에이블신호(NM_EN)를 '로우' 레벨로 비활성화시킬 수 있다.

[0044] 상기 제1출력부(334)는 상기 제1비교 결과신호(HIT_NM) 및 상기 제1출력 인에이블신호(NM_EN)를 수신받을 수 있다. 상기 제1출력부(334)는 상기 제1출력 인에이블신호(NM_EN) 및 상기 제1비교 결과신호(HIT_NM)에 응답하여 제1매치신호(MATCH_NM)를 생성할 수 있다. 도시되지 않았으나, 상기 제1매치신호(MATCH_NM)에 응답하여 상기 제1퓨즈셋부(330)에 해당하는 리턴던시 메모리 셀이 역세스될 수 있다.

[0045] 상기 제1출력부(334)는 '로우' 레벨인 상기 제1출력 인에이블신호(NM_EN)에 응답하여 상기 제1비교 결과신호(HIT_NM)와 관계없이 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.

[0046] 상기 제1출력부(334)는 '하이' 레벨인 상기 제1출력 인에이블신호(NM_EN)에 응답하여 상기 제1비교 결과신호(HIT_NM)에 따른 상기 제1매치신호(MATCH_NM)를 생성할 수 있다. 즉, 상기 입력 로우어드레스(EX_XA)와 상기 노멀 래치 어드레스(LT_NM_XA)가 동일한 경우, 상기 제1비교 결과신호(HIT_NM)는 '하이' 레벨로 활성화되며, 상기 제1출력부(334)는 '하이' 레벨인 상기 제1출력 인에이블신호(NM_EN) 및 '하이' 레벨인 상기 제1비교 결과신호(HIT_NM)에 응답하여 '하이' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성할 수 있다. 반면에, 상기 입력 로우어드레스(EX_XA)와 상기 노멀 래치 어드레스(LT_NM_XA)가 동일하지 않는 경우, 상기 제1비교 결과신호(HIT_NM)는 '로우' 레벨로 비활성화되며, 상기 제1출력부(334)는 '하이' 레벨인 상기 제1출력 인에이블신호(NM_EN) 및 '로우' 레벨인 상기 제1비교 결과신호(HIT_NM)에 응답하여 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.

[0047] 구체적으로, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일한 경우에 상기 출력 제어신호(SPPR_FUENB)는 '로우' 레벨로 활성화되며, '로우' 레벨인 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)의 활성화 여부와 관계없이 제1출력 인에이블신호(NM_EN)는 '로우' 레벨로 비활성화될 수 있다. 상기 제1출력부(334)는 '로우' 레벨인 상기 제1출력 인에이블신호(NM_EN)에 응답하여 상기 입력 어드레스(EX_XA)와 상기 노멀 리페어 로우어드레스(R_NM_XA)의 비교 결과와 관계없이 '로우' 레벨로 비활성화된 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.

[0048] 반면에, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우에 상기 출력 제어신호(SPPR_FUENB)는 '하이' 레벨로 비활성화되고, 상기 퓨즈 어레이(ARE)에 상기 리페어 어드레스 정보가 프로그래밍되어 있는 경우에 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)가 '하이' 레벨로 활성화되어 상기 제1출력 인에이블신호(NM_EN)는 '하이' 레벨로 활성화될 수 있다. 상기 제1출력부(334)는 '하이' 레벨인 상기 제1출력 인에이블신호(NM_EN)에 응답하여 상기 입력 어드레스(EX_XA)와 상기 노멀 리페어 로우어드레스(R_NM_XA)가 동일한 경우에 '하이' 레벨인 상기 제1비교 결과신호(HIT_NM)에 따라 '하이' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성하고, 상기 입력 어드레스(EX_XA)와 상기 노멀 리페어 로우어드레스(R_NM_XA)가 동일하지 않는 경우에 '로우' 레벨인 상기 제1비교 결과신호(HIT_NM)에 따라 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.

[0049] 또한, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우에 상기 출력 제어신호(SPPR_FUENB)는 '하이' 레벨로 비활성화되며, 상기 퓨즈 어레이(ARE)에 상기 리페어 어드레스 정보가 프로그래밍되어 있지 않는 경우에 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)가 '로우' 레벨로 비활성화되어 상기 제1출력 인에이블신호(NM_EN)는 '로우' 레벨로 비활성화될 수 있다. 상기 제1출력부(334)는 '로우' 레벨인 상기 제1출력 인에이블신호(NM_EN)에 응답하여 상기 입력 어드레스(EX_XA)와 상기 노멀 리페어 로우어드레스(R_NM_XA)의 비교 결과와 관계없이 '로우' 레벨로 비활성화된 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.

[0050] 정리하면, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일한 경우, 즉, 상기 출력 제어신호(SPPR_FUENB)가 '로우' 레벨로 활성화되는 경우에는 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 불량인 경우 즉 상기 입력 로우어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(331)에 저장된 리페어 어드레스 정보가 일치하는 경우에도 상기 제1출력부(334)가 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 제1퓨즈셋부(330)에 해당하는 리턴던시 메모리 셀이 비활성화될 수 있다.

다.

- [0051] 또한, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우, 즉, 상기 출력 제어신호(SPPR_FUENB)가 ‘하이’ 레벨로 비활성화되는 경우에는, 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 정상인 경우 즉 상기 입력 로우어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(331)에 저장된 리페어 어드레스 정보가 일치하지 않은 경우에 상기 제1출력부(334)가 ‘로우’ 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 노멀 메모리 셀이 액세스될 수 있다. 또한, 상기 출력 제어신호(SPPR_FUENB)가 ‘하이’ 레벨로 비활성화되는 경우에는, 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 불량인 경우 즉 상기 입력 로우어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(331)에 저장된 리페어 어드레스 정보가 일치하는 경우에 상기 제1출력부(334)가 ‘하이’ 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 제1퓨즈셋부(330)에 해당하는 리던던시 메모리 셀이 액세스될 수 있다.
- [0052] 상기 제2퓨즈셋부(340)는 SPPR 퓨즈 래치부(341) 및 제2매치신호 생성부(미도시)를 포함할 수 있다. 상기 제2매치신호 생성부는 제2어드레스 비교부(342)와, 제2출력 인에이블신호 생성부(343) 및 제2출력부(344)를 포함할 수 있다.
- [0053] 상기 SPPR 퓨즈 래치부(341)는 상기 부트-업 인에이블신호(BOOTUPEN)와, 상기 래치 인에이블신호(LATCH_EN) 및 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)를 수신받을 수 있다. 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)는 상기 반도체 메모리 장치의 패키지 단계에서 발생된 불량 메모리 셀에 대응하는 어드레스의 정보일 수 있다. 상기 SPPR 모드에서 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)는 상기 퓨즈 어레이(ARE)로부터 전달된 리페어 어드레스 정보가 아닌, 외부로부터 직접 인가된 리페어 어드레스 정보일 수 있다.
- [0054] 상기 제2퓨즈셋부(340)는 PPR 모드에 할당된 퓨즈셋으로써, 상기 PPR 모드는 하드 PPR 모드(HPPR)와 소프트 PPR 모드(SPPR)로 구분될 수 있다.
- [0055] 상기 SPPR 퓨즈 래치부(341)는 상기 HPPR 모드인 경우 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)를 래치할 수 있다. 상기 SPPR 퓨즈 래치부(341)는 상기 SPPR 모드인 경우 상기 뱅크 선택부(320)로부터 출력된 상기 래치 인에이블신호(LATCH_EN)에 응답하여 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)를 래치할 수 있다.
- [0056] 상기 SPPR 퓨즈 래치부(341)는 래치된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)를 SPPR 래치 어드레스(LT_SPPR_XA)로서 출력할 수 있다. 즉, 상기 SPPR 퓨즈 래치부(341)는 상기 래치 인에이블신호(LATCH_EN)에 응답하여 외부에서 인가된 상기 SPPR 리페어 로우 어드레스(R_SPPR_XA)를 저장할 수 있다.
- [0057] 상기 제2어드레스 비교부(342)는 상기 입력 로우어드레스(EX_XA)와 상기 SPPR 래치 어드레스(LT_SPPR_XA)를 수신하여 비교할 수 있다. 상기 제2어드레스 비교부(342)는 상기 입력 로우어드레스(EX_XA) 및 상기 SPPR 래치 어드레스(LT_SPPR_XA)를 비교하여 비교 결과에 대응하는 제2비교 결과신호(HIT_SPPR)를 출력할 수 있다.
- [0058] 예컨대, 상기 입력 로우어드레스(EX_XA) 및 SPPR 리페어 로우 어드레스(R_SPPR_XA)가 동일한 경우 상기 제2비교 결과신호(HIT_SPPR)는 ‘하이’ 레벨로 활성화될 수 있다. 반면에, 상기 입력 로우어드레스(EX_XA) 및 SPPR 리페어 로우 어드레스(R_SPPR_XA)가 동일하지 않는 경우 상기 제2비교 결과신호(HIT_SPPR)는 ‘로우’ 레벨로 비활성화될 수 있다.
- [0059] 상기 제2출력 인에이블신호 생성부(343)는 상기 출력 제어신호(SPPR_FUENB)를 수신받을 수 있다. 상기 제2출력 인에이블신호 생성부(343)는 상기 출력 제어신호(SPPR_FUENB)에 응답하여 제2출력 인에이블신호(SPPR_EN)를 생성할 수 있다.
- [0060] 예컨대, ‘로우’ 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 제2출력 인에이블신호 생성부(343)는 ‘하이’ 레벨로 활성화된 상기 제2출력 인에이블신호(SPPR_EN)를 생성할 수 있다.
- [0061] 반면에, ‘하이’ 레벨로 비활성화된 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 제2출력 인에이블신호 생성부(343)는 ‘로우’ 레벨로 비활성화된 상기 제2출력 인에이블신호(SPPR_EN)를 생성할 수 있다.
- [0062] 상기 제2출력부(344)는 상기 제2비교 결과신호(HIT_SPPR) 및 상기 제2출력 인에이블신호(SPPR_EN)를 수신받을 수 있다. 상기 제2출력부(344)는 상기 제2출력 인에이블신호(SPPR_EN) 및 상기 제2비교 결과신호(HIT_SPPR)에 응답하여 제2매치신호(MATCH_SPPR)를 생성할 수 있다. 도시되지 않았으나, 상기 제2매치신호(MATCH_SPPR)에 응

답하여 상기 제2퓨즈셋부(340)에 해당하는 리턴던시 메모리 셀이 액세스될 수 있다.

- [0063] 상기 제2출력부(344)는 '로우' 레벨인 상기 제2출력 인에이블신호(SPPR_EN)에 응답하여 상기 제2비교 결과신호(HIT_SPPR)와 관계없이 '로우' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성할 수 있다.
- [0064] 상기 제2출력부(344)는 '하이' 레벨인 상기 제2출력 인에이블신호(SPPR_EN)에 응답하여 상기 제2비교 결과신호(HIT_SPPR)에 따른 상기 제2매치신호(MATCH_SPPR)를 생성할 수 있다. 즉, 상기 입력 로우어드레스(EX_XA)와 상기 SPPR 래치 어드레스(LT_SPPR_XA)가 동일한 경우에 상기 제2비교 결과신호(HIT_SPPR)가 '하이' 레벨로 활성화될 수 있다. 상기 제2출력부(344)는 '하이' 레벨인 상기 제2출력 인에이블신호(SPPR_EN) 및 '하이' 레벨인 상기 제2비교 결과신호(HIT_SPPR)에 응답하여 '하이' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성할 수 있다. 반면에, 상기 제2출력부(344)는 '하이' 레벨인 상기 제2출력 인에이블신호(SPPR_EN)에 응답하여 상기 입력 로우어드레스(EX_XA)와 상기 SPPR 래치 어드레스(LT_SPPR_XA)가 동일하지 않는 경우에 상기 제2비교 결과신호(HIT_SPPR)는 '로우' 레벨로 비활성화될 수 있다. 상기 제2출력부(344)는 '하이' 레벨인 상기 제2출력 인에이블신호(SPPR_EN) 및 '로우' 레벨인 상기 제2비교 결과신호(HIT_SPPR)에 응답하여 '로우' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성할 수 있다.
- [0065] 구체적으로 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일한 경우에 상기 출력 제어신호(SPPR_FUENB)는 '로우' 레벨로 활성화되며, '로우' 레벨인 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 제2출력 인에이블신호(SPPR_EN)는 '하이' 레벨로 활성화될 수 있다. 상기 제2출력부(344)는 '하이' 레벨인 상기 제2출력 인에이블신호(SPPR_EN)에 응답하여 상기 입력 로우 어드레스(EX_XA)와 상기 SPPR 퓨즈 래치부(341)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)가 동일하기 때문에 '하이' 레벨로 활성화된 상기 제2비교 결과신호(HIT_SPPR)에 따라 '하이' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성할 수 있다.
- [0066] 반면에, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우에 상기 출력 제어신호(SPPR_FUENB)는 '하이' 레벨로 비활성화되며, '하이' 레벨인 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 제2출력 인에이블신호(SPPR_EN)는 '로우' 레벨로 비활성화될 수 있다. 상기 제2출력부(344)는 '로우' 레벨인 상기 제2출력 인에이블신호(SPPR_EN)에 응답하여 상기 입력 어드레스(EX_XA)와 상기 SPPR 리페어 어드레스(R_SPPR_XA)의 비교 결과와 관계없이 '로우' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성할 수 있다.
- [0067] 정리하면, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일한 경우 즉, 상기 출력 제어신호(SPPR_FUENB)가 '로우' 레벨로 활성화되는 경우에 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)에 해당하는 상기 제2퓨즈셋부(340)의 상기 제2출력부(344)가 '하이' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성함으로써 상기 제2퓨즈셋부(340)에 해당하는 상기 리턴던시 메모리 셀이 액세스될 수 있다.
- [0068] 또한, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(310)에 래치되어 있는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우, 즉 상기 출력 제어신호(SPPR_FUENB)가 '하이' 레벨로 비활성화되는 경우에는 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)에 해당하는 상기 제2퓨즈셋부(340)의 상기 제2출력부(334)가 '로우' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성함으로써 상기 제2퓨즈셋부(340)에 해당하는 상기 리턴던시 메모리 셀이 액세스되지 않고, 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 정상인 경우 즉 상기 입력 로우어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(331)에 저장된 리페어 어드레스 정보가 일치하지 않은 경우에 상기 제1출력부(334)가 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 노멀 메모리 셀이 액세스될 수 있다. 또한, 상기 출력 제어신호(SPPR_FUENB)가 '하이' 레벨로 비활성화되는 경우에는, 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 불량인 경우 즉 상기 입력 로우어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(331)에 저장된 리페어 어드레스 정보가 일치하는 경우에 상기 제1출력부(334)가 '하이' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 제1퓨즈셋부(330)에 해당하는 리턴던시 메모리 셀이 액세스될 수 있다.
- [0069] 다음으로 상기 반도체 메모리 장치의 동작에 대해 설명하고자 한다.

- [0070] 먼저, 상기 노멀 퓨즈 래치부(331)는 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 상기 노멀 리페어 로우 어드레스(R_NM_XA) 및 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)를 수신하여 래치할 수 있다. 상기 노멀 퓨즈 래치부(331)는 상기 노멀 래치 어드레스(LT_NM_XA)를 상기 제1어드레스 비교부(332)로 출력할 수 있다. 상기 노멀 퓨즈 래치부(331)는 상기 노멀 래치 인에이블 신호(LT_NM_ENI)를 상기 제1출력 인에이블신호 생성부(333)로 출력할 수 있다.
- [0071] 이후, 상기 반도체 메모리 장치가 상기 SPPR 모드에 진입하게 되면, 상기 SPPR 모드신호(SPPR_ENTRY)가 활성화 될 수 있다. 상기 액티브 커맨드가 인가되면, 상기 SPPR 리페어 로우 어드레스(R_SPPR_XA)는 상기 SPPR 제어부(310) 및 상기 SPPR 퓨즈 래치부(331)로 인가되며, 상기 SPPR 리페어 뱅크 어드레스(R_SPPR_BA)는 상기 SPPR 제어부(310) 및 상기 뱅크 선택부(320)로 인가될 수 있다.
- [0072] 상기 라이트 커맨드가 인가되면, 상기 SPPR 제어부(310)는 '하이' 레벨을 갖는 상기 SPPR 설정신호(SPPR_SET)를 수신받을 수 있다. 상기 SPPR 제어부(310)는 상기 SPPR 모드신호(SPPR_ENTRY) 및 상기 SPPR 설정신호(SPPR_SET)에 응답하여 상기 래치 인에이블신호(LATCH_EN)를 생성할 수 있다. 상기 SPPR 제어부(310)의 상기 래치부(미도시)는 상기 래치 인에이블신호(LATCH_EN)에 응답하여 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)를 래치할 수 있다. 또한, 상기 SPPR 제어부(310)는 상기 래치 인에이블신호(LATCH_EN)를 상기 뱅크 선택부(320)로 출력할 수 있다.
- [0073] 상기 뱅크 선택부(320)는 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)에 해당하는 뱅크로 상기 래치 인에이블신호(LATCH_EN)를 전달할 수 있다. 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)에 해당하는 뱅크의 상기 SPPR 퓨즈 래치부(341)는 상기 래치 인에이블신호(LATCH_EN)에 응답하여 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)를 저장할 수 있다.
- [0074] 이후, 상기 반도체 메모리 장치는 상기 SPPR 모드에서 탈출할 수 있다.
- [0075] 상기 반도체 메모리 장치의 노멀 동작 시, 외부로부터 상기 입력 로우 어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)가 수신될 수 있다. 상기 입력 로우 어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)는 상기 SPPR 제어부(310)로 인가될 수 있다. 또한, 상기 입력 로우어드레스(EX_XA)는 상기 제1 및 제2어드레스 비교부(332,342)로 인가될 수 있다.
- [0076] 상기 SPPR 제어부(310)는 상기 래치부에 저장된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)와 상기 입력 로우어드레스(EX_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)와 상기 입력 뱅크어드레스(EX_BA)를 비교하여, 모두 동일한 경우 '로우' 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다.
- [0077] 예컨대, 상기 SPPR 제어부(310)의 상기 래치부에 저장된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 동일한 경우에 대해 설명하기로 한다.
- [0078] 상기 SPPR 제어부(310)는 '로우' 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다. 상기 출력 제어신호(SPPR_FUENB)는 상기 제1 및 제2출력 인에이블신호 생성부(333,343)로 전달될 수 있다.
- [0079] 상기 제1어드레스 비교부(332)는 상기 노멀 퓨즈 래치부(331)로부터 출력된 상기 노멀 래치 어드레스(LT_NM_XA)와 상기 입력 로우어드레스(EX_XA)를 비교하여, 비교 결과 상기 제1비교 결과신호(HIT_NM)를 상기 제1출력부(334)로 출력할 수 있다.
- [0080] '로우' 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)를 수신받은 상기 제1출력 인에이블신호 생성부(333)는 상기 노멀 래치 인에이블신호(LT_NM_ENI)와 관계없이, '로우' 레벨로 비활성화된 상기 제1출력 인에이블신호(NM_EN)를 생성할 수 있다. 상기 제1출력부(334)는 '로우' 레벨인 상기 제1출력 인에이블신호(NM_EN)에 응답하여 상기 제1비교 결과신호(HIT_NM)와 관계없이 '로우' 레벨로 비활성화된 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.
- [0081] 또한, 상기 제2어드레스 비교부(342)는 상기 SPPR 퓨즈 래치부(341)로부터 출력된 상기 SPPR 래치 어드레스(LT_SPPR_XA)와 상기 입력 로우어드레스(EX_XA)를 비교할 수 있다. 상기 제2어드레스 비교부(342)는 상기 SPPR 래치 어드레스(LT_SPPR_XA)와 상기 입력 로우어드레스(EX_XA)가 동일하기 때문에 '하이' 레벨로 활성화된 상기 제2비교 결과신호(HIT_SPPR)를 상기 제2출력부(344)로 출력할 수 있다.
- [0082] '로우' 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)를 수신받은 상기 제2출력 인에이블신호 생성부(343)는 '하이' 레벨로 활성화된 상기 제2출력 인에이블신호(SPPR_EN)를 생성할 수 있다. 상기 제2출력부(344)는 '하이'

레벨인 상기 제2출력 인에이블신호(SPPR_EN)에 응답하여 '하이' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 생성할 수 있다.

- [0083] 따라서, '로우' 레벨인 상기 제1매치신호(MATCH_NM)에 응답하여 상기 제1퓨즈셋부(330)에 해당하는 상기 리턴던시 메모리 셀은 액세스되지 않고, '하이' 레벨인 상기 제2매치신호(MATCH_SPPR)에 응답하여 상기 제2퓨즈셋부(340)에 해당하는 상기 리턴던시 메모리 셀이 액세스되도록 리페어 동작을 수행할 수 있다.
- [0084] 반면에, 상기 SPPR 제어부(310)의 상기 래치부에 저장된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 동일하지 않는 경우에 대해 설명하기로 한다.
- [0085] 상기 SPPR 제어부(310)는 '하이' 레벨로 비활성화된 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다. 상기 출력 제어신호(SPPR_FUENB)는 상기 제1 및 제2출력 인에이블신호 생성부(333,343)로 전달될 수 있다.
- [0086] 상기 제1어드레스 비교부(332)는 상기 노멀 퓨즈 래치부(331)로부터 출력된 상기 노멀 래치 어드레스(LT_NM_XA)와 상기 입력 로우어드레스(EX_XA)를 비교하여, 비교 결과 상기 제1비교 결과신호(HIT_NM)를 상기 제1출력부(334)로 출력할 수 있다.
- [0087] '하이' 레벨로 비활성화된 상기 출력 제어신호(SPPR_FUENB)를 수신받은 상기 제1출력 인에이블신호 생성부(333)는 상기 노멀 래치 인에이블신호(LT_NM_ENI)에 따라 상기 제1출력 인에이블신호(NM_EN)의 '하이' 또는 '로우' 레벨이 결정될 수 있다. 예컨대, 상기 퓨즈 어레이(ARE)로부터 리페어 어드레스 정보가 프로그래밍되어 있다면, 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)는 '하이' 레벨로 활성화되며, 상기 노멀 래치 인에이블신호(LT_NM_ENI)도 '하이' 레벨을 가질 수 있다. 상기 제1출력 인에이블신호 생성부(333)는 '하이' 레벨인 상기 노멀 래치 인에이블신호(LT_NM_ENI)에 응답하여 '하이' 레벨인 상기 제1출력 인에이블신호(NM_EN)를 생성할 수 있다. 또한, 상기 입력 로우어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(331)에 저장된 상기 노멀 래치 어드레스(LT_NM_XA)가 동일한 경우, 상기 제1어드레스 비교부(332)는 '하이' 레벨인 상기 제1비교 결과신호(HIT_NM)를 생성하여, 상기 제1출력부(334)는 '하이' 레벨인 상기 제1출력 인에이블신호(NM_EN) 및 상기 제1비교 결과신호(HIT_NM)에 응답하여 '하이' 레벨로 활성화된 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.
- [0088] 또한, 상기 제2어드레스 비교부(342)는 상기 SPPR 퓨즈 래치부(341)로부터 출력된 상기 SPPR 래치 어드레스(LT_SPPR_XA)와 상기 입력 로우어드레스(EX_XA)를 비교할 수 있다. 상기 제2어드레스 비교부(342)는 상기 SPPR 래치 어드레스(LT_SPPR_XA)와 상기 입력 로우어드레스(EX_XA)가 동일하지 않기 때문에 '로우' 레벨로 비활성화된 상기 제2비교 결과신호(HIT_SPPR)를 상기 제2출력부(344)로 출력할 수 있다.
- [0089] '하이' 레벨로 비활성화된 상기 출력 제어신호(SPPR_FUENB)를 수신받은 상기 제2출력 인에이블신호 생성부(343)는 '로우' 레벨인 상기 제2출력 인에이블신호(SPPR_EN)를 생성할 수 있다. 상기 제2출력부(344)는 '로우' 레벨인 상기 제2출력 인에이블신호(SPPR_EN)에 응답하여 '로우' 레벨인 상기 제2매치신호(MATCH_PPR)를 생성할 수 있다.
- [0090] 따라서, '하이' 레벨인 상기 제1매치신호(MATCH_NM)에 응답하여 상기 제1퓨즈셋부(330)에 해당하는 상기 리턴던시 메모리 셀은 액세스되어 리페어 동작을 수행하고, '로우' 레벨인 상기 제2매치신호(MATCH_SPPR)에 응답하여 상기 제2퓨즈셋부(340)에 해당하는 상기 리턴던시 메모리 셀이 비활성화될 수 있다.
- [0091] 따라서, 본 발명의 일 실시예에 따른 상기 반도체 메모리 장치는 상기 SPPR 모드 시에 상기 SPPR 제어부(310)에 상기 SPPR 리페어 어드레스(R_SPPR_XA, R_SPPR_BA)를 래치할 수 있다. 이후, 노멀 동작 시 래치된 상기 SPPR 리페어 어드레스(R_SPPR_XA, R_SPPR_BA)가 상기 입력 어드레스(EX_XA, EX_BA)와 동일한 경우에 상기 출력 제어신호(SPPR_FUENB)를 통해 상기 제1퓨즈셋부(330)의 상기 제1출력 인에이블신호(NM_EN)를 비활성화시킬 수 있다. 이에 따라, 상기 제1퓨즈셋부(330)에 따른 리페어 동작은 차단될 수 있다.
- [0092] 상기 반도체 메모리 장치는 패키지 상태에서 발생한 리페어 어드레스 정보와 웨이퍼 상태(제조 단계)에서 설정된 리페어 어드레스 정보가 동일하여 반도체 메모리 장치의 노멀 동작시 다수의 리턴던시 메모리 셀이 구동됨으로써 발생할 수 있는 오류를 방지함으로써 상기 반도체 메모리 장치의 신뢰성을 높일 수 있다.
- [0093] 도 4는 도 3에 도시된 SPPR 제어부(310)의 블록도이다.
- [0094] 도 4를 참조하면, 상기 SPPR 제어부(310)는 래치 인에이블신호 생성부(410)와, 어드레스 래치부(420)와, 비교부

(430) 및 신호 출력부(440)를 포함할 수 있다.

- [0095] 상기 래치 인에이블신호 생성부(410)는 상기 SPPR 모드신호(SPPR_ENTRY) 및 상기 SPPR 설정신호(SPPR_SET)를 수신받는 앤드 게이트로 구성될 수 있다. 상기 래치 인에이블신호 생성부(410)는 '하이' 레벨로 활성화된 상기 SPPR 모드신호(SPPR_ENTRY) 및 상기 SPPR 설정신호(SPPR_SET)에 응답하여 '하이' 레벨을 갖는 상기 래치 인에이블신호(LATCH_EN)를 생성할 수 있다. 상기 래치 인에이블신호(LATCH_EN)는 상기 어드레스 래치부(420) 및 상기 뱅크 선택부(320)로 출력될 수 있다.
- [0096] 상기 어드레스 래치부(420)는 뱅크 어드레스 래치부(421) 및 로우 어드레스 래치부(422)를 포함할 수 있다.
- [0097] 상기 뱅크 어드레스 래치부(421)는 상기 SPPR 리페어 어드레스 중 뱅크 어드레스에 관한 정보인 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)와, 상기 래치 인에이블신호(LATCH_EN) 및 초기화 신호(RESET)를 수신받을 수 있다. 상기 뱅크 어드레스 래치부(421)는 상기 래치 인에이블신호(LATCH_EN)에 응답하여 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)를 저장할 수 있다. 상기 뱅크 어드레스 래치부(421)는 상기 초기화 신호(RESET)에 응답하여 저장된 뱅크 어드레스를 초기화할 수 있다.
- [0098] 상기 로우 어드레스 래치부(422)는 상기 SPPR 리페어 어드레스 중 로우 어드레스에 관한 정보인 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)와, 상기 래치 인에이블신호(LATCH_EN) 및 상기 초기화 신호(RESET)를 수신받을 수 있다. 상기 로우 어드레스 래치부(422)는 상기 래치 인에이블신호(LATCH_EN)에 응답하여 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)를 저장할 수 있다. 상기 로우 어드레스 래치부(422)는 상기 초기화 신호(RESET)에 응답하여 저장된 로우 어드레스를 초기화할 수 있다.
- [0099] 상기 비교부(430)는 각각 XOR 게이트(XOR)로 구성될 수 있다. 상기 XOR 게이트(XOR)는 상기 입력 뱅크어드레스(EX_BA)와 상기 뱅크 어드레스 래치부(421)로부터 출력된 래치된 뱅크 어드레스(LT_BA)를 비교할 수 있다. 또한, 상기 XOR 게이트(XOR)는 상기 입력 로우어드레스(EX_XA)와 상기 로우 어드레스 래치부(422)로부터 출력된 래치된 로우 어드레스(LT_XA)를 비교할 수 있다.
- [0100] 상기 신호 출력부(440)는 상기 비교부(430)로부터 출력된 비교 결과에 기초하여 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다. 상기 신호 출력부(440)는 상기 비교부(430)로부터 모두 '하이' 레벨을 갖는 신호를 수신받는 경우 '로우' 레벨을 갖는 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다. 다시 말해, 상기 신호 출력부(440)는 상기 뱅크 어드레스 래치부(421)로부터 래치된 뱅크 어드레스(LT_BA)와 상기 입력 뱅크어드레스(EX_BA)가 동일하고, 동시에 상기 로우 어드레스 래치부(422)로부터 래치된 로우 어드레스(LT_XA)와 상기 입력 로우어드레스(EX_XA)가 동일하다면, '로우' 레벨로 활성화된 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다.
- [0101] 본 발명의 실시예에 따른 상기 SPPR 제어부(310)는 상기 SPPR 모드신호 인가된 상기 SPPR 리페어 뱅크 어드레스(R_SPPR_BA)와 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)를 저장하며, 노멀 동작시 인가된 상기 입력 뱅크어드레스(EX_BA) 및 상기 입력 로우어드레스(EX_XA)와 저장된 상기 SPPR 리페어 뱅크 어드레스(R_SPPR_BA) 및 상기 SPPR 리페어 로우어드레스(R_SPPR_XA)가 모두 동일한 경우에 상기 출력 제어신호(SPPR_FUENB)를 생성할 수 있다.
- [0102] 도 5는 도 3에 도시된 제1퓨즈셋부(330)의 상세 회로도이다.
- [0103] 도 5를 참조하면, 상기 제1퓨즈셋부(330)는 노멀 퓨즈셋 래치부(331)와, 제1어드레스 비교부(332)와, 제1출력 인에이블신호 생성부(333) 및 제1출력부(334)를 포함할 수 있다.
- [0104] 상기 노멀 퓨즈셋 래치부(331)는 부트-업 인에이블신호(BOOTUPEN) 및 N비트의 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)를 수신받을 수 있다. 상기 노멀 퓨즈셋 래치부(331)는 상기 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)를 래치하기 위한 N개의 제1래치부(510-515)와 노멀 퓨즈셋 인에이블신호(R_NM_EN)를 래치하기 위한 제2래치부(516)를 포함할 수 있다. 도3에서 전술하였듯이, 상기 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)는 상기 반도체 메모리 장치의 제조 단계에서 발생된 불량 메모리 셀에 대응하는 리페어 어드레스로서, 상기 퓨즈 어레이(ARE)에 영구적으로 프로그래밍된 정보일 수 있다. 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)는 상기 퓨즈 어레이(ARE)의 프로그래밍 여부에 대한 정보일 수 있다.
- [0105] 상기 노멀 퓨즈셋 래치부(331)의 상기 제1래치부(510-515)는 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 N비트를 갖는 상기 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)를 저장하여, 저장된 상기 노멀 리페어 로우어드

레스(R_NM_XA<0:N-1>)를 상기 노멀 래치 어드레스(LT_NM_XA<0:N-1>)로서 상기 제1어드레스 비교부(322)로 출력할 수 있다. 또한, 상기 노멀 퓨즈셋 래치부(321)의 상기 제2래치부(516)는 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)를 저장하여, 저장된 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)를 상기 노멀 래치 인에이블신호(LT_NM_ENI)로서 상기 제1출력 인에이블신호 생성부(333)로 출력할 수 있다.

[0106] 상기 제1어드레스 비교부(322)는 상기 제1래치부(511-515)로부터 출력된 N비트의 노멀 래치 어드레스(LT_NM_XA<0:N-1>)를 상기 입력 로우어드레스(EX_XA<0:N-1>)와 각각 비교하기 위한 XOR 게이트(XOR)를 포함할 수 있다. 상기 제1어드레스 비교부(322)는 상기 노멀 래치 어드레스(LT_NM_XA<0:N-1>)와 상기 입력 로우어드레스(EX_XA<0:N-1>)를 각각 비교하여 N개의 제1비교 결과신호(HIT_NM<0:N-1>)를 출력할 수 있다.

[0107] 상기 제1출력 인에이블신호 생성부(333)는 상기 노멀 래치 인에이블신호(LT_NM_ENI) 및 상기 출력 제어신호(SPPR_FUENB)를 수신받는 제1난드 게이트(517) 및 상기 제1난드 게이트(517)로부터 출력된 신호와 전원전압 레벨의 신호(VDD_SIG)를 수신받는 제2난드 게이트(518)를 포함할 수 있다.

[0108] 예컨대, 상기 출력 제어신호(SPPR_FUENB)가 '로우' 레벨로 활성화된 경우, 상기 제1난드 게이트(517)는 상기 노멀 래치 인에이블신호(LT_NM_ENI)와 관계없이 '하이' 레벨을 출력할 수 있다. 상기 제2난드 게이트(518)는 상기 제1난드 게이트(517)로부터 출력된 신호와 상기 전원전압 레벨의 신호(VDD_SIG)에 응답하여 '로우' 레벨을 갖는 상기 제1출력 인에이블신호(NM_EN)를 출력할 수 있다.

[0109] 반면에, 상기 출력 제어신호(SPPR_FUENB)가 '하이' 레벨로 비활성화된 경우, 상기 제1난드 게이트(517)는 상기 노멀 래치 인에이블신호(LT_NM_ENI)에 따라 출력되는 신호의 레벨이 결정될 수 있다. 상기 제2난드 게이트(518)는 상기 제1난드 게이트(517)의 출력 신호에 따라 '하이' 또는 '로우' 레벨을 갖는 상기 제1출력 인에이블신호(NM_EN)를 출력할 수 있다.

[0110] 상기 제1출력부(324)는 상기 제1어드레스 비교부(322)로부터 출력된 N개의 상기 제1비교 결과신호(HIT_NM<0:N-1>)를 각각 수신받는 난드 게이트 그룹(519,520)과, 상기 난드 게이트 그룹(519,520)으로부터 출력된 신호와 반전된 상기 제1출력 인에이블신호(NM_EN)를 수신하여 상기 제1매치신호(MATCH_NM)를 출력하는 노어 게이트(521)로 구성될 수 있다.

[0111] 예컨대, 상기 제1출력 인에이블신호(NM_EN)가 '로우' 레벨인 경우, 상기 노어 게이트(521)는 '하이' 레벨을 인가받게 되어 상기 난드 게이트 그룹(519,520)으로부터 출력된 신호 즉, 상기 제1비교 결과신호(HIT_NM<0:N-1>)와 관계없이 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 출력할 수 있다.

[0112] 반면에, 상기 제1출력 인에이블신호(NM_EN)가 '하이' 레벨인 경우, 상기 노어 게이트(521)는 '로우' 레벨을 인가받게 되어 상기 난드 게이트 그룹(519,520)으로부터 출력된 신호 즉, 상기 제1비교 결과신호(HIT_NM<0:N-1>)에 따라 '하이' 또는 '로우' 레벨을 갖는 상기 제1매치신호(MATH_NM)를 출력할 수 있다.

[0113] 도 6은 도 3에 도시된 제2퓨즈셋부(340)의 상세 회로도이다.

[0114] 도 6을 참조하면, 상기 제2퓨즈셋부(340)는 SPPR 퓨즈셋 래치부(341)와, 제2어드레스 비교부(342)와, 제2출력 인에이블신호 생성부(343) 및 제2출력부(344)를 포함할 수 있다. 또한, 상기 제2퓨즈셋부(340)는 상기 부트-업 인에이블신호(BOOTUPEN) 및 상기 래치 인에이블신호(LATCH_EN)를 수신받는 노어 게이트(610)를 포함할 수 있다.

[0115] 상기 노어 게이트(610)는 상기 부트-업 인에이블신호(BOOTUPEN) 및 상기 래치 인에이블신호(LATCH_EN) 중 하나라도 활성화된 경우 '하이' 레벨을 갖는 신호를 출력할 수 있다. 상기 노어 게이트(610)로부터 출력된 신호는 상기 SPPR 퓨즈셋 래치부(331)로 전달될 수 있다. 도3에서 전술하였듯이, 상기 PPR 모드 중 HPPR모드인 경우에 상기 부트-업 인에이블신호(BOOTUPEN)가 '하이' 레벨로 활성화되며, SPPR 모드인 경우 상기 부트-업 인에이블신호(BOOTUPEN)는 비활성화되고 상기 래치 인에이블신호(LATCH_EN)가 '하이' 레벨로 활성화될 수 있다.

[0116] 상기 SPPR 퓨즈셋 래치부(341)는 상기 노어 게이트(610)로부터 출력된 신호 및 N비트의 SPPR 리페어 로우어드레스(R_SPPR_XA<0:N-1>)를 수신받을 수 있다. 상기 SPPR 퓨즈셋 래치부(341)는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA<0:N-1>)를 래치하기 위한 N개의 제1래치부(611-617)와 PPR 퓨즈셋 인에이블 신호(R_PPR_EN)를 래치하기 위한 제2래치부(617)를 포함할 수 있다.

[0117] 상기 N개의 제1래치부(611-617)는 상기 노어 게이트(610)로부터 출력된 신호에 응답하여 상기 N비트를 갖는 상기 SPPR 리페어 로우어드레스(R_SPPR_XA<0:N-1>)를 저장하며, 저장된 상기 SPPR 리페어 로우어드레스

(R_SPPR_XA<0:N-1>)를 상기 SPPR 래치 어드레스(LT_SPPR_XA<0:N-1>)로서 상기 제2어드레스 비교부(342)로 출력할 수 있다.

- [0118] 상기 제2래치부(617)는 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 상기 PPR 퓨즈셋 인에이블 신호(R_PPR_EN)를 저장할 수 있다. 하지만, 상기 SPPR 모드에서는 상기 부트-업 인에이블신호(BOOTUPEN)가 비활성화되기 때문에 상기 제2래치부(617)는 '로우' 레벨을 갖는 PPR 래치 인에이블신호(LT_PPR_ENI)를 상기 제2출력 인에이블신호 생성부(343)로 출력할 수 있다.
- [0119] 상기 제2어드레스 비교부(342)는 상기 N개의 제1래치부(611-617)로부터 출력된 N비트의 상기 SPPR 래치 어드레스(LT_SPPR_XA<0:N-1>)를 상기 입력 로우 어드레스(EX_XA<0:N-1>)와 각각 비교하기 위한 XOR 게이트(XOR)를 포함할 수 있다.
- [0120] 상기 제2어드레스 비교부(342)는 상기 SPPR 래치 어드레스(LT_SPPR_XA<0:N-1>)와 상기 입력 로우어드레스(EX_XA<0:N-1>)를 각각 비교하여 N개의 제2비교 결과신호(HIT_SPPR<0:N-1>)를 출력할 수 있다.
- [0121] 상기 제2출력 인에이블신호 생성부(343)는 '로우' 레벨인 상기 PPR 래치 인에이블신호(LT_PPR_ENI) 및 상기 출력 제어신호(SPPR_FUENB)를 수신받는 제1난드 게이트(618) 및 상기 제1난드 게이트(618)로부터 출력된 신호 및 상기 출력 제어신호(SPPR_FUENB)를 수신받는 제2난드 게이트(619)를 포함할 수 있다.
- [0122] 예컨대, 상기 출력 제어신호(SPPR_FUENB)가 '로우' 레벨로 활성화된 경우, 상기 제1난드 게이트(618)는 '하이' 레벨을 갖는 신호를 출력할 수 있다. 상기 제2난드 게이트(619)는 '로우' 레벨을 갖는 상기 출력 제어신호(SPPR_FUENB) 및 상기 제1난드 게이트(618)로부터 출력된 신호에 응답하여 '하이' 레벨을 갖는 제2출력 인에이블신호(SPPR_EN)를 출력할 수 있다.
- [0123] 반면에, 상기 출력 제어신호(SPPR_FUENB)가 '하이' 레벨로 비활성화된 경우, 상기 제1난드 게이트(618)는 '로우' 레벨인 상기 PPR 래치 인에이블신호(LT_PPR_ENI)에 응답하여 '하이' 레벨을 갖는 신호를 출력할 수 있다. 상기 제2난드 게이트(619)는 상기 제1난드 게이트(618)에서 출력된 신호 및 '하이' 레벨인 상기 출력 제어신호(SPPR_FUENB)에 응답하여 '로우' 레벨을 갖는 신호를 상기 제2출력 인에이블신호(SPPR_EN)를 출력할 수 있다.
- [0124] 상기 제2출력부(344)는 상기 제2어드레스 비교부(342)로부터 출력된 N개의 상기 제2비교 결과신호(HIT_SPPR<0:N-1>)를 각각 수신받는 난드 게이트 그룹(620,621)과, 상기 난드 게이트 그룹(620,621)으로부터 출력된 신호와 반전된 상기 제2출력 인에이블신호(SPPR_EN)를 수신하여 상기 제2매치신호(MATCH_SPPR)를 출력하는 노어 게이트(622)로 구성될 수 있다.
- [0125] 예컨대, 상기 제2출력 인에이블신호(SPPR_EN)가 '하이' 레벨인 경우, 상기 노어 게이트(622)는 '로우' 레벨을 인가받게 되어 상기 난드 게이트 그룹(620,621)으로부터 출력된 신호 즉, 상기 제2비교 결과신호(HIT_SPPR<0:N-1>)에 응답하여 '하이' 또는 '로우' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 출력할 수 있다.
- [0126] 반면에, 상기 제2출력 인에이블신호(SPPR_EN)가 '로우' 레벨인 경우, 상기 노어 게이트(622)는 '하이' 레벨을 인가받게 되어 상기 난드 게이트 그룹(620,621)으로부터 출력된 신호 즉, 상기 제2비교 결과신호(HIT_SPPR<0:N-1>)와 관계없이 '로우' 레벨을 갖는 상기 제2매치신호(MATCH_SPPR)를 출력할 수 있다.
- [0127] 도 7은 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 블록도이다.
- [0128] 도 7을 참조하면, 상기 반도체 메모리 장치는 SPPR 제어부(710)와, 뱅크 선택부(720)와, 제1퓨즈셋부(730) 및 제2퓨즈셋부(740)를 포함할 수 있다.
- [0129] 상기 SPPR 제어부(710) 및 상기 뱅크 선택부(720)는 도 3에서 전술한 상기 SPPR 제어부(310)와 동일할 수 있다.
- [0130] 상기 제1퓨즈셋부(730)는 퓨즈 어레이(ARE)와, 노멀 퓨즈 래치부(731) 및 제1매치신호 생성부(미도시)를 포함할 수 있다. 상기 제1매치신호 생성부는 제1어드레스 비교부(732) 및 제1출력부(733)를 포함할 수 있다.
- [0131] 상기 노멀 퓨즈 래치부(731)는 부트-업 인에이블신호(BOOTUPEN), 노멀 리페어 로우어드레스(R_NM_XA) 및 노멀 퓨즈셋 인에이블 신호(NM_EN)를 수신받을 수 있다. 상기 노멀 리페어 로우어드레스(R_NM_XA)는 퓨즈 어레이(ARE)로부터 전달된 어드레스로써, 상기 반도체 메모리 장치의 제조 단계에서 발생된 불량 메모리 셀에 대응하는 리페어 어드레스 정보일 수 있다. 또한, 상기 노멀 퓨즈셋 인에이블 신호(NM_EN)는 상기 퓨즈 어레이(ARE)의 프로그래밍 여부에 대한 정보가 포함될 수 있다. 예컨대, 상기 퓨즈 어레이(ARE)가 프로그래밍된 경우 상기 노

널 퓨즈셋 인에이블 신호(NM_EN)는 ‘하이’ 레벨일 수 있고, 상기 퓨즈 어레이(ARE)가 프로그래밍되지 않은 경우 ‘로우’ 레벨 일 수 있다.

[0132] 상기 노멀 퓨즈 래치부(731)는 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 상기 노멀 리페어 로우어드레스(R_NM_XA) 및 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)를 래치할 수 있다. 상기 노멀 퓨즈 래치부(321)는 상기 노멀 리페어 로우어드레스(R_NM_XA)를 래치하여 노멀 래치 어드레스(LT_NM_XA)로서 상기 제1어드레스 비교부(732)로 출력할 수 있다. 또한, 상기 노멀 퓨즈 래치부(321)는 상기 노멀 퓨즈셋 인에이블 신호(R_NM_EN)를 래치하여 노멀 래치 인에이블 신호(LT_NM_ENI)로서 상기 제1출력부(733)로 출력할 수 있다.

[0133] 상기 제1어드레스 비교부(732)는 도 3에서 전술한 상기 제1어드레스 비교부(332)와 동일할 수 있다.

[0134] 상기 제1출력부(723)는 상기 노멀 래치 인에이블신호(LT_NM_ENI)와, 상기 제1비교 결과신호(HIT_NM) 및 상기 출력 제어신호(SPPR_FUENB)를 수신받을 수 있다. 상기 제1출력부(723)는 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 노멀 래치 인에이블신호(LT_NM_ENI) 및 상기 제1비교 결과신호(HIT_NM)에 대응하는 제1매치신호(MATCH_NM)를 생성할 수 있다. 도시되지 않았으나, 상기 제1매치신호(MATCH_NM)에 응답하여 상기 반도체 메모리 장치의 리턴던시 메모리 셀의 액세스 여부가 결정될 수 있다.

[0135] 예컨대, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(710)에 래치된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일한 경우에 상기 출력 제어신호(SPPR_FUENB)는 ‘로우’ 레벨로 활성화되며, ‘로우’ 레벨인 상기 출력 제어신호(SPPR_FUENB)에 응답하여 상기 노멀 래치 인에이블신호(LT_NM_ENI) 및 상기 제1비교 결과신호(HIT_NM)와 관계없이 상기 제1매치신호(MATCH_NM)는 ‘로우’ 레벨로 비활성화될 수 있다.

[0136] 반면에, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(710)에 래치된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우에 상기 출력 제어신호(SPPR_FUENB)는 ‘하이’ 레벨로 비활성화되며, 상기 퓨즈 어레이(ARE)에 상기 리페어 어드레스 정보가 프로그래밍되어 있는 경우에 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)가 ‘하이’ 레벨로 활성화될 수 있다. 상기 제1출력부(723)는 ‘하이’ 레벨인 상기 출력 제어신호(SPPR_FUENB) 및 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)에 응답하여 상기 입력 로우어드레스(EX_XA)와 상기 노멀 리페어 로우어드레스(R_NM_XA)가 동일한 경우 ‘하이’ 레벨인 상기 제1비교 결과신호(HIT_NM)에 따라 ‘하이’ 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성하고, 상기 입력 어드레스(EX_XA)와 상기 노멀 리페어 로우어드레스(R_NM_XA)가 동일하지 않는 경우 ‘로우’ 레벨인 상기 제1비교 결과신호(HIT_NM)에 따라 ‘로우’ 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성할 수 있다.

[0137] 정리하면, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(710)에 래치된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일한 경우, 즉, 상기 출력제어신호(SPPR_FUENB)가 ‘로우’ 레벨로 활성화되는 경우에 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 불량인 경우 즉 상기 입력 로우 어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(731)에 저장된 리페어 어드레스 정보가 일치하는 경우에도 상기 제1출력부(733)가 ‘로우’ 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 제1퓨즈셋부(730)에 해당하는 리턴던시 메모리 셀이 비활성화될 수 있다.

[0138] 또한, 상기 입력 로우어드레스(EX_XA) 및 상기 입력 뱅크어드레스(EX_BA)와 상기 SPPR 제어부(710)에 래치된 상기 SPPR 리페어 로우어드레스(R_SPPR_XA) 및 상기 SPPR 리페어 뱅크어드레스(R_SPPR_BA)가 동일하지 않는 경우, 즉, 상기 출력 제어신호(SPPR_FUENB)가 ‘하이’ 레벨로 비활성화되는 경우에, 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 정상인 경우 즉 상기 입력 로우 어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(731)에 저장된 리페어 어드레스 정보가 일치하지 않은 경우에 상기 제1출력부(733)가 ‘로우’ 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 노멀 메모리 셀이 액세스될 수 있다.

[0139] 또한, 상기 출력 제어신호(SPPR_FUENB)가 ‘하이’ 레벨로 비활성화되는 경우에는 상기 입력 로우어드레스(EX_XA)에 대응하는 메모리 셀이 불량인 경우 즉 상기 입력 로우어드레스(EX_XA)와 상기 노멀 퓨즈 래치부(731)에 저장된 리페어 어드레스 정보가 일치하는 경우에 상기 제1출력부(733)가 ‘하이’ 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 생성함으로써 상기 제1퓨즈셋부(730)에 해당하는 리턴던시 메모리 셀이 액세스될 수 있다.

[0140] 상기 제2퓨즈셋부(740)는 SPPR 퓨즈 래치부(741) 및 제2매치신호 생성부(미도시)를 포함할 수 있다. 상기 제2매치신호 생성부는 제2어드레스 비교부(742)와, 출력 인에이블신호 생성부(743) 및 제2출력부(744)를 포함할 수 있다. 상기 제2퓨즈셋부(740)의 구성에 관한 설명은 도 3에서 전술한 제2퓨즈셋부(340)와 동일할 수 있다.

- [0141] 따라서, 본 발명의 다른 실시예에 따른 상기 반도체 메모리 장치는 상기 제1출력부(733)를 제어하기 위한 신호를 추가로 생성하지 않고, 상기 출력 제어신호(SPPR_FUENB)를 통해 직접 상기 제1매치신호(MATCH_NM)를 '로우' 레벨로 비활성화시킬 수 있다.
- [0142] 상기 반도체 메모리 장치는 패키지 상태에서 발생한 리페어 어드레스 정보와 웨이퍼 상태에서 설정된 리페어 어드레스 정보가 동일하여 상기 반도체 메모리 장치의 노멀 동작시 다수의 리턴던시 메모리 셀이 구동됨으로써 발생할 수 있는 오류를 방지하여 상기 반도체 메모리 장치의 신뢰성을 높일 수 있다.
- [0143] 도 8은 도 7에 도시된 제1퓨즈셋부(730)의 상세 회로도이다.
- [0144] 도 8을 참조하면, 상기 제1퓨즈셋부(730)는 노멀 퓨즈셋 래치부(731)와, 제1어드레스 비교부(732) 및 제1출력부(733)를 포함할 수 있다.
- [0145] 상기 노멀 퓨즈셋 래치부(731)는 부트-업 인에이블신호(BOOTUPEN) 및 N비트를 갖는 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)를 수신받을 수 있다. 상기 노멀 퓨즈셋 래치부(731)는 상기 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)를 래치하기 위한 N개의 제1래치부(810-815)와 노멀 퓨즈셋 인에이블신호(R_NM_EN)를 래치하기 위한 제2래치부(816)를 포함할 수 있다.
- [0146] 상기 노멀 퓨즈셋 래치부(731)의 상기 제1래치부(810-815)는 상기 부트-업 인에이블신호(BOOTUPEN)에 응답하여 상기 N비트를 갖는 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)를 저장하여, 저장된 노멀 리페어 로우어드레스(R_NM_XA<0:N-1>)를 상기 노멀 래치 어드레스(LT_NM_XA<0:N-1>)로서 상기 제1어드레스 비교부(732)로 출력할 수 있다. 또한, 상기 노멀 퓨즈셋 래치부(731)의 상기 제2래치부(816)는 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)를 저장하여, 저장된 상기 노멀 퓨즈셋 인에이블신호(R_NM_EN)를 상기 노멀 래치 인에이블신호(LT_NM_ENI)로서 상기 제1출력부(733)로 출력할 수 있다.
- [0147] 상기 제1어드레스 비교부(732)는 N개의 상기 제1래치부(810-815)로부터 출력된 N비트의 노멀 래치 어드레스(LT_NM_XA<0:N-1>)를 상기 입력 로우어드레스(EX_XA<0:N-1>)를 각각 비교하기 위한 XOR 게이트(XOR)를 포함할 수 있다. 상기 제1어드레스 비교부(732)는 상기 노멀 래치 어드레스(LT_NM_XA<0:N-1>)와 상기 입력 로우어드레스(EX_XA<0:N-1>)를 각각 비교하여 N개의 제1비교 결과신호(HIT_NM<0:N-1>)를 출력할 수 있다.
- [0148] 상기 제1출력부(723)는 상기 제1어드레스 비교부(722)로부터 출력된 상기 제1비교 결과신호(HIT_NM<0:N-1>)를 각각 수신받는 난드 게이트 그룹(817,818)과, 상기 노멀 래치 인에이블신호(LT_NM_ENI)를 수신하여 반전시키는 제1인버터(819) 및 상기 출력 제어신호(SPPR_FUENB)를 수신하여 반전시키는 제2인버터(820)를 포함할 수 있다. 상기 제1출력부(723)는 상기 난드 게이트 그룹(817,818)으로부터 출력된 신호 및 상기 제1 및 제2인버터(819,820)로부터 출력된 신호들을 수신하여 상기 제1매치신호(MATCH_NM)를 출력하는 노어 게이트(821)로 구성될 수 있다.
- [0149] 예컨대, 상기 출력 제어신호(SPPR_FUENB)가 '하이' 레벨인 경우, 상기 노어 게이트(821)는 '로우' 레벨을 인가 받게 되어 상기 난드 게이트 그룹(817,818)으로부터 출력된 신호 및 상기 제1인버터(819)의 출력에 따라 '하이' 또는 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 출력할 수 있다. 즉, 상기 출력 제어신호(SPPR_FUENB)가 '하이' 레벨인 경우, 상기 입력 로우어드레스 및 상기 노멀 퓨즈셋 래치부로부터 저장된 노멀 래치 어드레스가 동일한 경우에는 '하이' 레벨로 상기 제1매치신호(MATCH_NM)가 활성화되며, 상기 입력 로우어드레스 및 상기 노멀 퓨즈셋 래치부로부터 저장된 노멀 래치 어드레스가 동일하지 않는 경우에는 '로우' 레벨로 상기 제1매치신호(MATCH_NM)가 비활성화될 수 있다.
- [0150] 반면에, 상기 출력 제어신호(SPPR_FUENB)가 '로우' 레벨인 경우, 상기 노어 게이트(821)는 '하이' 레벨을 인가 받게 되어 상기 난드 게이트 그룹(817,818)으로부터 출력된 신호 및 상기 제1인버터(819)의 출력과 관계없이 '로우' 레벨을 갖는 상기 제1매치신호(MATCH_NM)를 출력할 수 있다. 즉, 상기 출력 제어신호(SPPR_FUENB)가 '로우' 레벨인 경우, 상기 입력 로우어드레스 및 상기 노멀 퓨즈셋 래치부로부터 저장된 노멀 래치 어드레스의 비교 결과와 관계없이 상기 제1매치신호(MATCH_NM)가 비활성화될 수 있다.
- [0151] 본 발명의 실시예에 따른 반도체 메모리 장치는 다음과 같은 방법으로 동작을 수행할 수 있다.
- [0152] 제1퓨즈셋부, 제2퓨즈셋부 및 상기 제1퓨즈셋부와 상기 제2퓨즈셋부를 제어하는 SPPR 제어부를 포함하는 반도체 메모리 장치의 동작방법에 있어서, 소프트 패키지 리페어 모드시 리페어 정보를 상기 SPPR 제어부 및 상기 제2퓨즈셋부에 저장하는 단계; 노멀 모드시 입력 어드레스 및 상기 SPPR 제어부에 저장된 리페어 정보를 비교하는 단계; 및 상기 비교하는 단계의 비교 결과 동일한 경우에 상기 제1퓨즈셋부의 구동을 비활성화시켜 상기 제1퓨즈

셋부에 따른 리페어 동작을 차단하고, 상기 제2퓨즈셋부의 구동을 활성화시켜 상기 제2퓨즈셋부에 따른 리페어 동작을 수행하는 단계를 더 포함할 수 있다. 상기 비교하는 단계의 비교 결과 동일하지 않는 경우에 상기 입력 어드레스와 상기 제1퓨즈셋부에 저장된 리페어 정보를 비교하는 단계; 및 상기 비교 결과 동일한 경우에 상기 제1퓨즈셋부의 구동을 활성화시켜 상기 제1퓨즈셋부에 따른 리페어 동작을 수행하는 단계를 더 포함하여 동작하는 것이 가능할 수 있다.

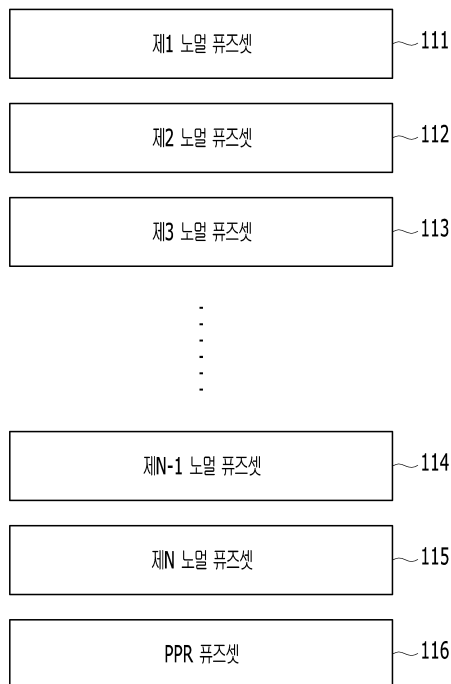
[0153] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

부호의 설명

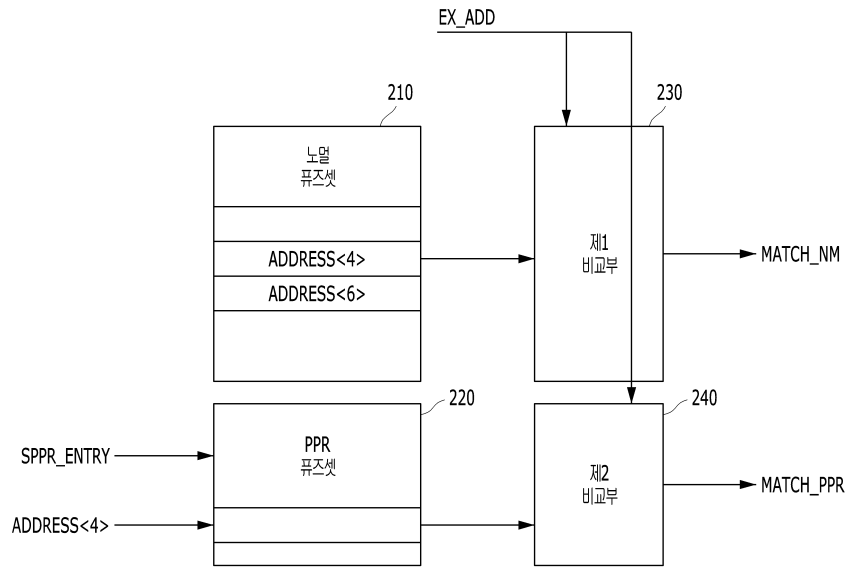
[0154] 310: SPPR 제어부 320: 뱅크 선택부
330: 제1퓨즈셋부 331: 노멀 퓨즈 래치부
332: 제1어드레스 비교부 333: 제1출력 인에이블신호 생성부
334: 제1출력부 340: 제2퓨즈셋부
341: SPPR 퓨즈 래치부 342: 제2어드레스 비교부
343: 제2출력 인에이블신호 생성부 344: 제2출력부

도면

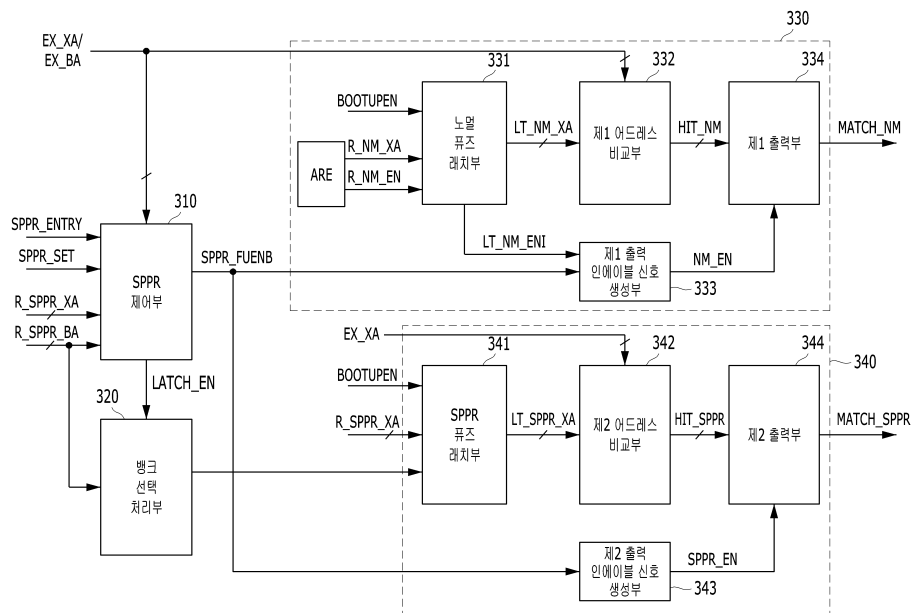
도면1



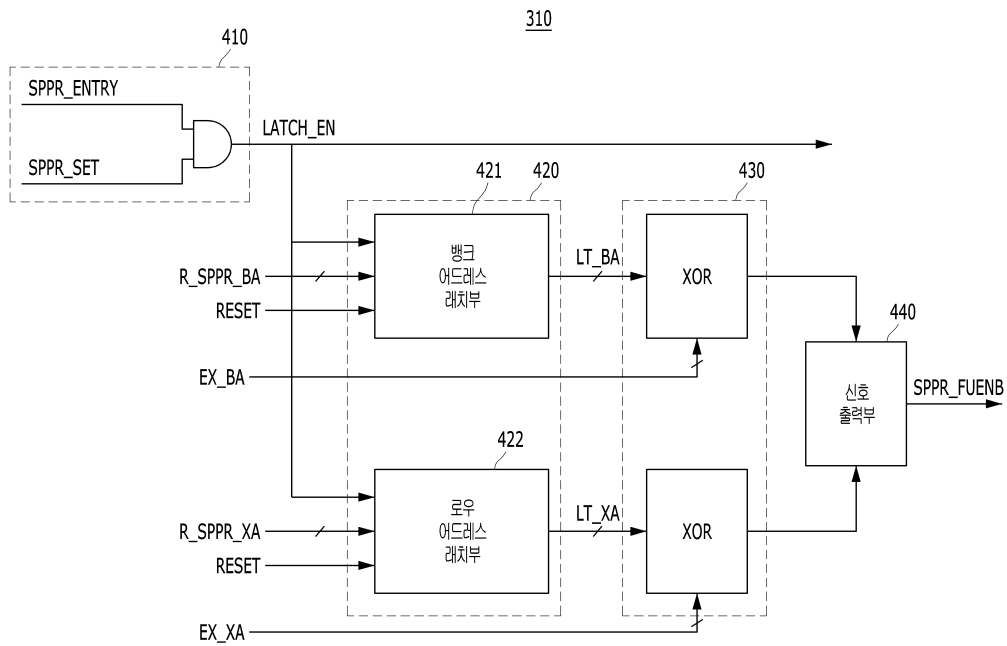
도면2



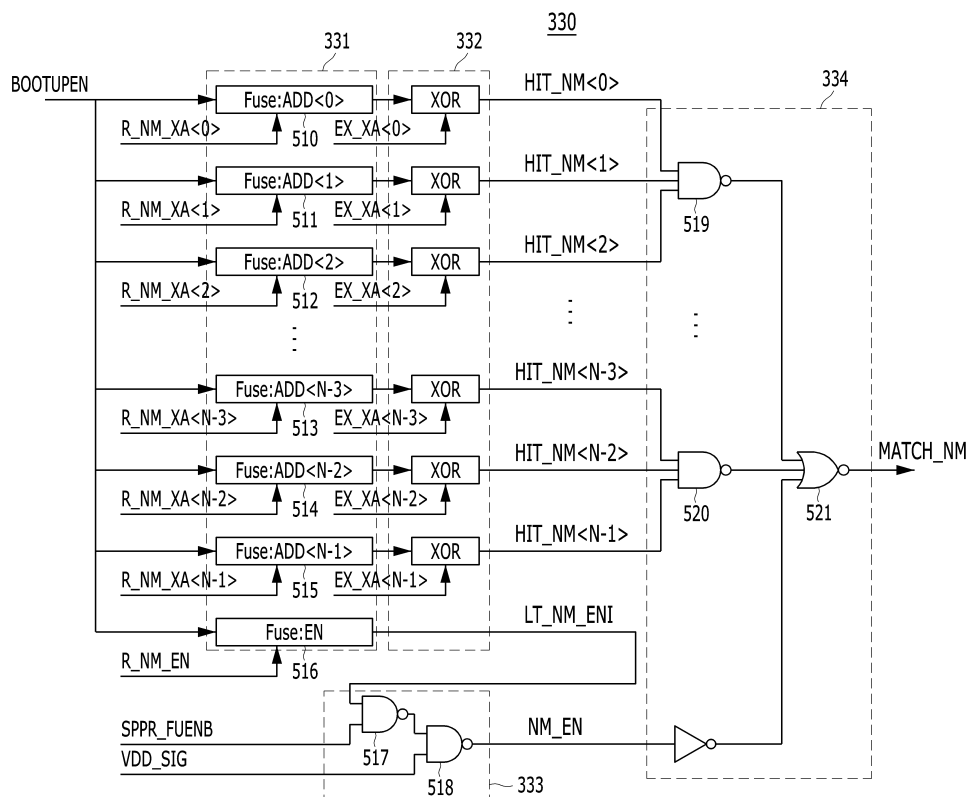
도면3



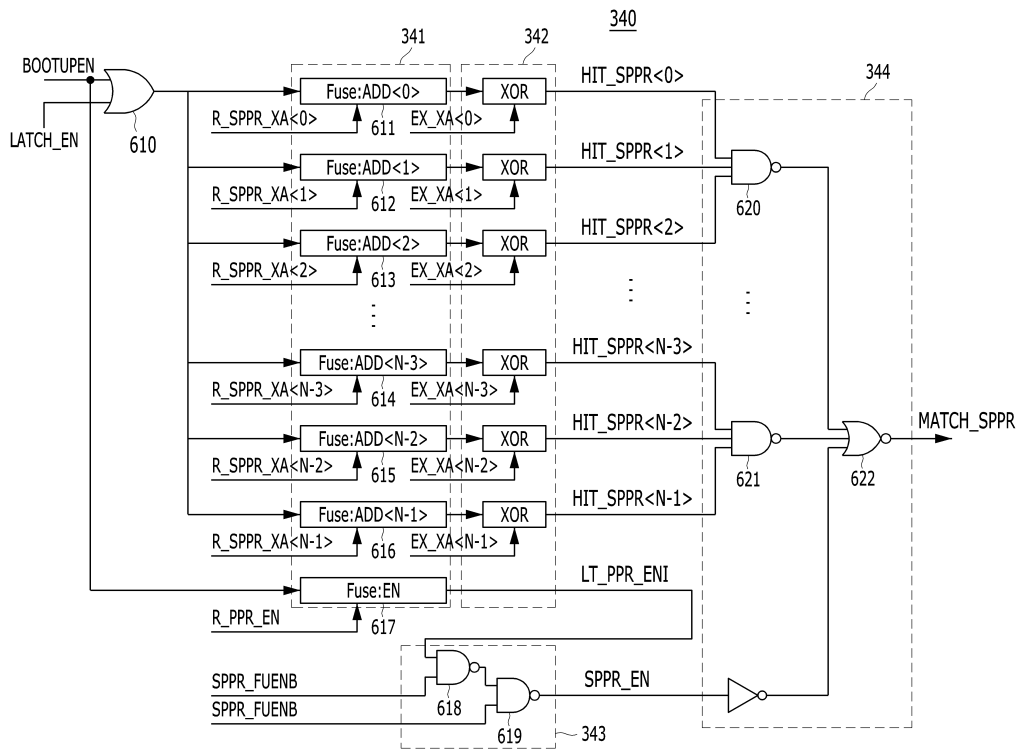
도면4



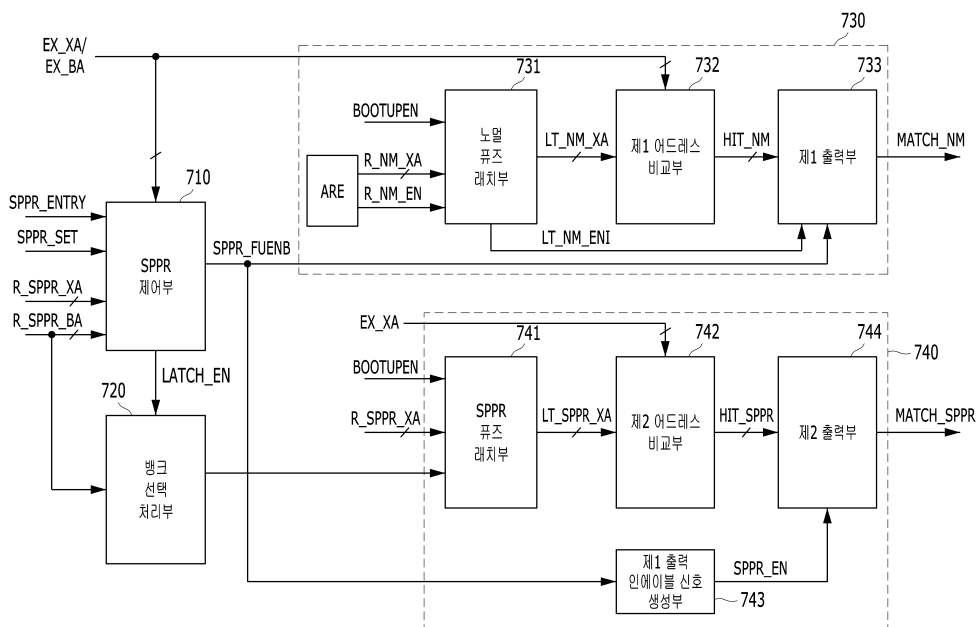
도면5



도면6



도면7



도면8

