(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/00

(45) 공고일자 2000년07월01일
(11) 등록번호 10-0260604
(24) 등록일자 2000년04월10일

(21) 출원번호	10-1997-0019674	(65) 공개번호	특1997-0076860
(22) 출원일자	1997년05월21일	(43) 공개일자	1997년12월12일
(30) 우선권주장	8/651,949 1996년05월21일 미국(US)		

(73) 특허권자 인퍼메이션 스토리지 디바이스 인코퍼레이티드 팔머 카알 알
미국 캘리포니아 95134 산 호세 노스 퍼스트 스트리트 2727
(72) 발명자 트란 후 반
미국 캘리포니아 95148 산 호세 콜트우드 드라이브 2741
(74) 대리인 장용식

심사관 : 이철희

(54) 집적회로 아날로그신호 기록 및 재생용 선형화된 기억셀

요약

선형화된 기억 셀이 공개되며, 판독 모드에서 이 기억 셀은 네가티브 피드백 모드의 선형영역에서 사용되며, 이에따라 상기 셀의 문턱전압에 따라 셀 전류는 선형적으로 변동된다. 동등한 액티브 MOS 저항기를 통해 상기 셀 전류를 부여함으로써, 상기 셀 문턱전압에 따라 선형적으로 변동되는 셀 판독 전압이 얻어진다. 또 다른 실시예가 공개된다.

방법의 상세 내용이 공개된다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 본 발명에 응용가능한 기억 어레이의 구조도.

도 2는 본 발명에 따라 재판독을 위해 접속되어 있는 제1실시예의 선형화된 기억 셀을 나타낸 도면.

도 3은 본 발명에 따라 재판독을 위해 접속되어 있는 제2실시예의 선형화된 기억 셀을 나타낸 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

발명의분야

본 발명은 집적 회로 설계 분야에 관한 것으로, 특히 비휘발성 메모리 집적회로를 이용하는 집적 회로 아날로그 신호 기록 및 재생에 관한 것이다.

종래기술

트레버 브라이쓰(Trevor Blyth) 및 리차드 심코(Richard Simko) 명의의 미국 특허 제 5,220,531 호에서, EEPROM(electrically erasable programmable read only momory) 메모리 셀은 아날로그 신호 기록 및 재생에 사용된다. 이들 셀은 소오스, 드레인, 게이트 및 플로팅 게이트를 가지고 있는 플로팅 게이트 디바이스로 구성되어 있고, 이 디바이스의 상기 게이트와 상기 소오스사이에서 측정된 상기 디바이스의 문턱 전압은 상기 플로팅 게이트상의 전하에 의해 결정(제어)된다. 이들 셀은 고전압, 예컨대 21V를 상기 게이트상에, 제로 볼트를 상기 소오스상에, 그리고 제로 볼트를 상기 드레인상에 인가함으로써 포울러-노르하임 터널링을 사용하여 소거된다. 상기 게이트상의 고전압은 상기 플로팅 게이트측에 용량적으로 접속되며, 이에따라 상기 플로팅 게이트와 상기 드레인사이에 있는 터널 산화막을 통해 고전계가 생성된다. 이 전계에 의해 전자는 상기 플로팅 게이트측으로 터널링되며, 이에따라 V_t(문턱 전압)은 대략 6V까지 상승된다. 다음에, 상기 셀은 고전압을, 예컨대 9 내지 19 볼트를 상기 드레인상에, 제로 볼트를 상기 게이트상에, 그리고 6V를 상기 소오스상에 인가함으로써 동일한 포울러-노르하임 터널링 기구를 사용하여 프로그래밍된다. 상기 드레인상의 고전압에 의해 상기 플로팅 게이트와 상기 드레인사이의 터널 산화막을 통

해 역방향으로 고전계가 생긴다. 이에따라, 전자는 상기 플로팅 게이트로부터 상기 드레인측으로 터널링되며, 따라서 상기 드레인상의 전압 레벨과 펄스 폭에 따라 상기 문턱 전압은 예컨대 -1V 내지 +3V까지 저하(공핍)된다.

미국 특허 제 5,220,531 호에서, 프로그램 '펄스'는 상기 비휘발성 메모리에 아날로그 신호를 저장하기 위해 일련의 코오스(coarse) 펄스와 일련의 파인(fine) 펄스로 분리된다. 각각의 프로그래밍 펄스 후에, 상기 셀의 내용은 판독 사이클을 사용하여 판독되고 저장될 상기 아날로그 신호와 비교되며, 이때, 상기 코오스 펄스는 원하는 프로그래밍된 레벨에 도달되면 종료되고, 그리고 상기 파인 펄스는 상기 원하는 프로그래밍된 레벨에 도달되면 종료된다. 코오스 기록/판독/비교 시리즈는 상기 저장된 신호의 우수한 아날로그 신호 해상도를 제공하며, 이때 이 시리즈의 다음에는 파인 기록/판독/비교 시리즈가 존재한다.

상기 특허에서, 상기 셀의 동적 범위는 대략 3V이고, 아날로그 해상도는 대략 12 밀리볼트이며, 이에따라 대략 8비트의 디지탈 기억과 동등한 유효 해상도가 제공된다(각각의 셀은 12/3000의 해상도, 즉 대략 250분지 1의 해상도를 가지고 있다). 각각의 고전압 코오스 펄스와 파인 펄스는 동일한 램프 업 시간 부분과 평탄 시간 부분, 및 샘플 및 비교 인에이블 시간 부분으로 분리된다. 이 비교 시간 부분은, 원하는 값에 도달하였지를 결정하기 위해 각각의 증분 코오스 또는 파인 프로그래밍 펄스 후에, 상기 메모리 셀에 저장된 전압을 다시 판독하는데 사용된다. 상기 샘플 시간 부분은 상기 입력 신호의 다음 샘플을 취하고 이를 유지하는데 사용된다. 이 샘플 및 비교 시간 부분은 조용한 시간인데, 즉 전하 펌프와 같은 고전압원은 노이즈를 최소화하기 위해 이 시간 동안에 디스에이블된다. 연속적인 코오스 레벨들간의 스텝 전압은 대략 220 밀리볼트이고, 연속적인 파인 레벨들간의 스텝 전압은 대략 12볼트로서, 이는 상기 메모리 셀에 저장된 전압에서 12mV의 해상도와 동일하다. 상기 코오스 레벨의 큰 스텝 전압은 셀 프로그래밍 문턱 윈도우와 부가적인 전압 마진의 전체 범위를 커버하는데 필요하며, 이는 상기 메모리 셀의 드레인상에서 대략 9 볼트 내지 19 볼트의 범위에 있으며, 이 범위는 대략 0-3V의 상기 메모리 셀 문턱전압, 즉 상기 메모리 셀의 대략 아날로그 동적 범위에 해당한다. 이용가능한 코오스 펄스의 개수는 45개로 선택되어 있는데, 이는 45 × 220 mV = 10 볼트의 전체 범위로 풀이된다. 상기 큰 코오스 스텝은 짧은 기록 시간을 달성하는데 사용된다. 상기 파인 램프 전체 범위는 대략 2V로 선택되어 있다. 90 개의 파인 펄스가 이용가능하며, 이에따라 대략 22mV의 기록 해상도가 얻어진다.

판독 모드에서, 상기 기억 셀은 상기 드레인으로부터 접지측으로 흐르는 일정한 부하 전류를 가지고 있는 소오스 팔로워로서 구성되어 있다. 상기 메모리 셀의 게이트와 소오스는 함께 접속되어 있고, 이 메모리 셀의 드레인은 일정한 바이어스 전류에 접속되어 있으며, 선택 트랜지스터의 게이트는 중간 전압, 예컨대 10 V에 접속되어 있으며, 이에따라 선택 게이트의 소형 크기로부터 게이트 전압 강하 효과와 저항 효과가 제거된다. 조절된 전원 공급, 예컨대 3.5V는 셀 판독 전압상에서 게이트/소오스전압의 변동을 피하기 위해 상기 메모리 셀의 게이트/소오스에 접속되어 있다. 상기 드레인 전압은 메모리 셀 판독 전압이다. 이와같이 상기 셀은 기능적으로 상호교환되는 드레인과 소오스를 가지고 있는 소오스 팔로워로서 접속되어 있다. 이에따라 상기 셀의 문턱전압과 상기 셀 판독 전압간에 선형 관계가 얻어진다. 따라서, 상기 기억 셀은 포화 영역에서 동작하는데, 이는 상기 게이트와 소오스가 함께 사실상 접속되어 있기 때문이다.

발명이 이루고자 하는 기술적 과제

상기 소오스 팔로워 기억 셀의 소오스는 상기 어레이의 모든 메모리 셀과 공유되어 있으므로, 상기 소오스는 모든 확산 접합으로부터의 큰 결합 커패시턴스를 가지고 있다. 또한, 상기 판독 모드에서, 선택된 행의 모든 셀이 낮은 문턱전압을 가지고 있다고 하면(즉, 상기 셀이 도통 상태라고 하면), 상기 소오스 팔로워 셀의 소오스와 게이트가 조절된 전압까지, 예컨대 3.5V까지 충전되므로, 상기 어레이의 모든 비트라인도 또한 모든 도통 메모리 셀에 의해 대략 동일한 전압까지 충전된다. 이는 상기 판독모드에서 상기 조절 회로상의 용량성 부하가 모든 메모리 셀 결합 커패시턴스와 모든 비트라인 커패시턴스를 포함하고 있음을 의미한다. 이에따라 상기 조절회로에 엄격한 요건이 부여된다. 또한, 특히 상기 메모리가 낮은 전압 전력 공급으로 동작하여야 할 때 상기 메모리 셀의 동적 범위를 확장하는 것은 어려운데, 이는 상기 큰 용량성 부하가 상기 조절전압을 필요한 레벨까지 펌프업하기는 어렵기 때문이다.

발명의 개요

본 발명의 목적은 선형화된 기억 셀을 제공하는데 있으며, 이때 리얼 모드에서 이 기억 셀은 네가티브 피드백모드의 선형 영역에서 사용되며, 이에따라 상기 기억 셀의 문턱전압에 따라 상기 셀 전류가 선형적으로 변한다. 동등한 액티브 MOS 저항기를 통해 셀 전류를 부여함으로써, 상기 셀 문턱전압에 선형적으로 의존하는 셀 판독 전압이 얻어진다.

본 발명의 바람직한 실시예의 반복적인 기록 시퀀스는 종래 기술과 마찬가지로, 높은 문턱 레벨, 예컨대 Vt=6V까지 상기 셀을 소거하기 위해 게이트와 소오스/드레인/채널사이에 포울러-노르하임 터널링을 사용하는 소거부터 시작한다. 또한, 다음의 프로그래밍 펄스가 상기 플로팅 게이트로부터 전하를 점진적으로 공핍시키기 위해 상기 드레인과 상기 게이트사이에 포울러-노르하임 터널링을 사용한다. 종래 기술에서와 마찬가지로, 상기 프로그래밍은 감소된 프로그래밍 시간으로 우수한 해상도를 달성하기 위해 일련의 코오스 펄스와 일련의 파인 펄스로 분리된다.

재판독을 위해, 상기 선형화된 기억 셀은 네가티브 피드백 모드로 접속되어 있다. 상기 셀 드레인은 op amp(연산증폭기)의 네가티브 단자에 논리적으로 접속되어 있다. 제1기준 전압은 상기 연산 증폭기의 포지티브 단자에 접속되어 있는데, 이때 상기 제1기준 전압은 상기 셀 드레인 전압과 가장 높은 문턱 전압의 합보다 높은 셀 게이트 전압을 보장하기에 충분할 정도로 낮다. 제2기준 전압은 상기 셀 게이트에 논리적으로 접속되어 있고, 이때 상기 제2기준 전압은 상기 셀 드레인 전압과 상기 가장 높은 문턱전압의 합보다 높은 셀 게이트 전압을 보장할 수 있을 정도로 충분히 높으며, 이에따라 상기 셀은 문턱전압에 상관없이 선형 영역에서 언제나 확실하게 동작할 수 있다. 상기 연산 증폭기의 출력은 상기 셀의 드레인과 직렬로 논리적으로 접속되어 있는 n-MOS 디바이스의 게이트에 접속되어 있다.

상기 연산 증폭기의 네가티브 피드백에 의해 상기 메모리 셀의 드레인은 상기 제1기준 전압과 동일한 전

압이 될 수 있다. 잘 알려진 선형 MOS 식에 의해 얻어진다.

$$I = \beta [(V_{gs}-V_t)*V_{ds}-(V_{ds})^2/2]$$

단, $\beta = \mu_n C_{ox} W/L$

μ_n = MOSFET 디바이스의 채널 영역의 이동도

C_{ox} = 단위 면적당 게이트 산화막 커패시턴스

W/L = MOSFET 디바이스의 채널 영역의 폭과 길이의 비

V_{gs} = MOSFET 디바이스의 게이트-소오스 전압

V_t = MOSFET 디바이스의 문턱전압

V_{ds} = MOSFET 디바이스의 드레인-소오스 전압

고정된 V_{gs} 와 고정된 V_{ds} 에 대해,

$$\frac{\partial I}{\partial V_t} = -\beta V_{ds}$$

상기 문턱전압(V_t)이 변하면, 상기 셀을 통해 흐르는 전류(I)가 비례하여 변하며, 이에따라 상기 셀 문턱전압과 상기 셀 전류사이에 선형 관계가 얻어진다. 저항기를 통해 상기 셀 전류를 부여함으로써, 상기 셀 문턱전압과 선형 관계를 가지고 있는 셀 판독전압이 실현된다. 이동도 변화로 인한 영향을 제거하기 위해, 상기 저항기는 액티브 MOS 디바이스로 구현되며, 이에따라 그 유효 저항은 $1/\beta$ 에 비례하게 된다. 이에따라, 상기 식에서 상기 메모리 셀의 β 의존도가 제거된다.

상기 기억 셀은 상기 드레인 접합으로부터 판독되므로, 공유 소오스 접합 커패시턴스는 영향을 미치지 않는다. 또한, 상기 소오스상에 조절 전압이 없으므로, 선택되지 않은 비트라인의 충전도 없다.

발명의 구성 및 작용

먼저, 도 1을 참조하면, 이 도면에는 본 발명에 응용가능한 기억 어레이 구조가 도시되어 있다. 종래 기술 설명 부분에서 언급한 디바이스에 응용가능한 이 특정 구조에서, 100개의 열 구동기(COLDRV)가 100개로 된 그룹의 메모리 셀의 3200개의 열에 한 번에 제어가능하게 접속되도록 100개의 32:1 MUX를 통해 접속되어 있다. 각각의 열 라인은 복수의 2 트랜지스터 EEPROM 셀에 접속되어 있는데, 이때, 이들 셀은 공통 접속된 어레이 접지 라인을 중심으로 대칭적으로 쌍으로 배열되어 있다. 각각의 2 트랜지스터 EEPROM 셀은 직렬로 접속된 n 채널 디바이스(M1)와 플로팅 게이트 n 채널 디바이스(FM1)로 구성되어 있다. 상기 어레이의 각각의 행에 있는 모든 n 채널 디바이스의 게이트는 상기 어레이의 행 선택 디바이스가 형성되도록 라인(ROW1,ROW2...)에 의해 X 디코더에 공통 접속되어 있다. 또한, 상기 어레이의 각각의 행의 모든 플로팅 게이트 n 채널 디바이스의 게이트들은 상기 어레이의 행 제어 게이트(ROW1CG,ROW2CG,...)를 제공하기 위해 상기 X 디코더에 공통 접속되어 있다.

도 2에는 본 발명에 따라 재판독을 위해 접속되어 있는 선형화된 기억 셀이 예시되어 있다. 상기 기본 기억 셀은 방금 설명한 일반적인 두 트랜지스터 EEPROM 메모리 셀이며, 이 메모리 셀은 n 채널 트랜지스터(M1)와 플로팅 게이트 트랜지스터(FM1)로 구성되어 있다(n 채널 트랜지스터와 플로팅 게이트 트랜지스터 셀로 된 어레이를 보여 주는 도 1을 또한 참조. 이때 도 1의 셀의 각각의 트랜지스터에는 참조 부호가 부여되지 않았는데, 이는 도면의 크기 때문임). 상기 선택 게이트, 즉 트랜지스터(M1)의 게이트(SG)는 상기 선택 게이트의 소형 크기로 인한 게이트 전압 강하와 저항기 영향을 제거하기 위해, 중간 레벨, 예컨대 10V에 접속되어 있다. 상기 플로팅 게이트 트랜지스터의 게이트는 (예컨대, 도 1의 행 디코더(X-DECODER)에 의해) 기준 전압(VREF2)에 논리적으로 접속되어 있다. 선형 영역에서 동작하는 메모리 셀을 보장하기 위해, 상기 VREF2는 V_{tmax}(가장 높은 셀 문턱전압) + 셀 드레인 전압(VREF1)이어야 한다. 상기 VREF2는 상기 선형 영역을 확장하기 위해 전하 펌프로부터 조절될 수 있는데, 이는 상기 VREF2가 상기 메모리 셀의 게이트만을 구동하기 때문이다.

디바이스(Z0)와 더불어 상기 디바이스(Y0-YN)는 도 1의 32:1 MUX 중 하나의 MUX에 대응하는 32:1 COLUMN MUX를 형성하고 있다. 상기 셀을 소거 및 프로그래밍하는 경우에는, 상기 어레이가 도 1과 같이 구성되는 반면에, 상기 셀을 판독하는 경우에는 상기 열 구동기가 디스에이블되고, 판독중인 상기 셀(들)이 도 2에 도시된 바와같이, 또는 도 3에 도시된 바와같이 대신 접속되게 된다.

상기 연산 증폭기(OP AMP)는 VCC 또는 종래 전하 펌프에 의해 발생된 보다 높은 전압(VPUMP)으로 동작하는 일반적인 MOS 차동 연산 증폭기이다. 이 연산 증폭기의 포지티브 입력은 제1기준 전압(VREF1)에 접속되어 있다. 상기 연산증폭기의 네가티브 입력은 부가적인 n-MOS 열 디코딩(Y0-YN,Z0)을 통해 상기 선택 트랜지스터(M1)의 드레인에 접속되어 있다. 상기 열 디코딩 n-MOS 트랜지스터의 게이트 전압은 선택 해제시에는 접지와 동일하고, 프로그래밍시에 선택될 때에는 높은 전압(예컨대, 21V)과 동일하며, 그리고 상기 n-MOS 트랜지스터의 소형 크기로부터 생기는 게이트 전압 강하의 영향과 저항기의 영향을 제거하기 위해 판독 모드에서 선택될 때에는 중간 레벨(예컨대, 10V)과 동일하다.

상기 연산증폭기의 출력은 n-MOS 디바이스(M2)의 게이트에 접속되어 있고, 이때, 상기 디바이스는 상기 n-MOS 열 디코딩 트랜지스터를 통해 상기 선택 트랜지스터(M1)의 드레인에 접속되어 있는 소오스를 가지고 있다.

n채널 공핍형 디바이스(M3,M4)로 형성되어 있는 액티브 MOS 저항기는 VCC로부터 조절된 제3기준 전압원

(VREF3)(또는 상기 범위를 확장하기 위한 전하 펌프 출력)과 트랜지스터(M2)의 드레인 사이에 접속되어 있다. VREF3은 최대 셀 판독 전압이며, 이 최대 셀 판독 전압은 상기 셀 전류가 제로일 때 발생된다. 두 공핍 n-MOS 트랜지스터는 랜달 엘. 게이거(Randall L. Geiger) 등의 공저의 제목이 '아날로그 및 디지탈 회로의 VLSI 설계 기술'(McGraw Hill, 1990, 페이지 308-318)의 텍스트에 설명되어 있는 바와같이, V_{DS} 영향을 제거하기 위해 상기 액티브 MOS 저항기를 형성하는데 사용된다. 상기 텍스트에 설명된 바와같이, 다른 액티브 MOS 저항기 구조도 또한 가능하다. 또한, EEPROM 셀은 상기 저항기와 상기 메모리 셀간의 보다 양호한 매칭을 얻기 위해 액티브 MOS 저항기로서 사용될 수도 있다.

상기 연산 증폭기, 상기 저항기(디바이스(M3,M4)), 디바이스(M2)를 포함하고 있는 직렬 n-MOS 디바이스 및 상기 열 디코드 디바이스는 프로그래밍시에 상기 고전압을 상기 열측으로 공급하고, 또한 재판독 동안에 상기 메모리 셀로부터 상기 전압을 판독하는 역할을 하는 상기 열 구동기 회로의 일부분이다. 네가티브 피드백 동작에 의해, 상기 연산 증폭기는 상기 셀 드레인 전압이 상기 제1기준 전압(VREF1)과 동일해지도록 한다. 이에따라, 상기 메모리 셀은 선형 모드로 동작할 수 있는데, 이는 상기 VREF2가 상기 셀 문턱전압(V_t)과 상기 셀 드레인 전압(VREF1)의 합보다 높기 때문이다. 따라서,

$$I = \beta [(V_{gs}-V_t)*V_{ds}-(V_{ds})^2/2]$$

단, $V_{gs} > V_{ds}+V_t$

β = 메모리 셀의 $\mu_n C_{ox} W_e/L_e$(첨자 e 는 확장형 디바이스를 나타냄)

그러므로:

$$I = \beta [(VREF2-V_t)*VREF1-VREF1*VREF1*0.5]$$

이를 정리하면, 다음 식을 얻을 수 있다:

$$I = A - B*V_t$$

단, $A = \beta*K$, 이때 $K = [VREF2*VREF1-VREF1*VREF1*0.5]$=상수

$$B = \beta*VREF1$$

이는 상기 셀 문턱전압과 상기 셀 전류간의 선형관계이다.

상기 공핍 액티브 저항기 MOS 트랜지스터의 등가 저항은:

$$R_{eq} = 1/(2*\beta_d*V_{td})$$

단, $\beta_d = \mu_d C_{oxd} W_d/L_d$(첨자 d 는 공핍형 디바이스를 나타냄)

V_{td} = 공핍형 디바이스 문턱전압

따라서, 상기 저항기의 전압 강하는:

$$V_R = I*R_{eq} = A'-B'*V_t$$

단,

$$A' = K*\beta/(2*\beta_d*V_{td}) = K*C*(W_e/L_e)/(W_d/L_d)*1/(2*V_{td})$$

$$C = (\mu_n C_{ox})/(\mu_d C_{oxd}) = 상수$$

또는,

$$A' = D*(W_e/L_e)/(W_d/L_d)*1/V_{td}$$

$$B' = \beta/(2*\beta_d*V_{td})*VREF1 = E*(W_e/L_e)/(W_d/L_d)*1/V_{td}$$

단,

$$D = K*C*0.5$$

$$E = C*VREF1*0.5$$

마지막으로,

$$V_R = (W_e/L_e)/(W_d/L_d)*1/V_{td}*[D-E*V_t]$$

$$VOUT = VREF3-V_R$$

이와같이 상기 셀 문턱전압과 상기 셀 판독전압간에는 선형관계가 있다. 또한, 메모리 셀의 고정된 W_d/L_e가 주어지면, W_d/L_d는 출력 전압 범위(VOUT)를 조절하기 위해 변동될 수 있다(이는 상기 액티브 공핍 MOS의 유효 저항을 변동시키는 것과 마찬가지임). 상기 문턱전압에 미치는 온도의 영향은 미국 특허 제5,126,967호에서 티. 심코(T. Simko)에 의해 설명된 기술과 같은 참조 문헌 기술에 의해 최소화될 수 있다.

이제, 도 3을 참조하면, 본 발명의 선형화된 기억 셀의 다른 구현예가 도시되어 있다. 기본 기억 셀과 연산 증폭기 구조는 도 2의 경우와 마찬가지이다. 하지만, 상기 셀 전류는 높은 공급 전압 대신에 접지측에 접속된 액티브 MOS 저항기(디바이스(M3,M4))측에 상기 상기 p-MOS 트랜지스터(M5,M6)에 의해 공급된다. 상기 액티브 MOS 저항기가 접지측에 접속되어 있으므로, 상기 MOS 디바이스의 벌크 소오스 효과가 제거되어 보다 선형화된 트랜지스터가 얻어진다. 이제, VOUT도 또한 접지측에 접속된다.

도 3을 다시 참조하면, 다른 MOS 구조가 예시되어 있다. 여기서, 상기 저항기는 두 확장형 n-MOS 트랜지스터(M3,M4)로서 구현되며, 이 디바이스(M3)의 게이트와 드레인은 플로팅 전압원(VC)에 접속되어 있고, 상기 디바이스(M4)의 게이트와 소오스는 다른 플로팅 전압원(VC)에 접속되어 있다. VC는 상기 액티브 저항기 MOS 트랜지스터(M3,M4)의 선형 조건을 만족하기 위해 $VC = VOUT_{max} + V_m$ 가 되도록 선택되어야 한다(V_m은 상기 저항기를 형성하고 있는 n-MOS 트랜지스터(M3,M4)의 문턱전압임). 각각의 상기 전압(VC)은 전하 펌프로부터 공급될 수 있는데, 이는 상기 전압이 트랜지스터(M3,M4)의 게이트만을 구동해야 하기 때문이다. 이 저항기 구조도 또한 랜달 엘. 게이거 등에 의해 앞서 언급된 동일 텍스트(페이지 308-318)에 설명되어 있다. 상기 액티브 MOS 저항기의 부가적인 설명과 플로팅 전압원 구현은 로빅 그레고리안(Roubik Gregorian)과 가보르 씨. 템즈(Gabor C. Temes)의 제목이 '신호처리용 아날로그 MOS I. C.'인 텍스트(존 윌리 및 선즈 출판사, 1986, 페이지 387-400)에서 찾아볼 수 있다.

상기 확장형 액티브 MOS 트랜지스터의 등가 저항은:

$$R_{eq} = 1/(2*\beta_n(VC-V_m))$$

단, β_n = 상기 트랜지스터(M3,M4)의 $\mu_n C_{ox} W_n/L_n$(첨자 n은 n 채널 디바이스를 나타냄)

V_m = 공핍형 디바이스 문턱전압

따라서, 상기 $VOUT$는 상기 식으로부터 다음과 같이 정리된다:

$$VOUT = (W_e/L_e)/(W_n/L_n)*1/(VC-V_m)*[D-E*V_i]$$

이는 또한 상기 셀 문턱전압과 상기 셀 판독전압간의 선형 관계이다. 또한, 메모리 셀의 고정된 W_e/L_e가 주어지면, W_n/L_n과 VC는 상기 출력 전압 범위(VOUT)를 조절하기 위해 변동될 수 있다(이는 상기 액티브 확장형 MOS의 유효 저항을 변화시키는 것과 마찬가지임).

이전과 같이, 상기 문턱전압에 미치는 온도의 영향은 미국 특허 제5,126,967호에 리차드 티. 심코에 의해 설명된 기술과 동일한 참조문헌 기술에 의해 최소화될 수 있다.

선형화된 기억 셀의 등가 MOS 방정식을 이용하는 상기 해석에서는 상기 메모리 셀의 드레인으로부터 상기 플로팅 게이트측으로 공급되는 전압의 영향을 무시할 수 있음에 주의하자. 또한, 드레인 커플링 효과를 고려한 유사한 해석에 의해, 상기 메모리 셀 문턱 전압과 상기 메모리 셀 판독 전압간에 선형관계가 얻어진다. 또한, 본 명세서에서 설명한 회로에 의해 요구되는 여러 기준 전압은 표준 CMOS 밴드갭 기준 회로와 같은 잘 알려진 기준회로로부터 공급될 수 있다.

발명의 효과

본 발명은 바람직한 실시예에 대해, 특히 아날로그신호의 아날로그 샘플의 기억과 재생을 위해 구성된 실시예에 대해, 설명되었다. 하지만, 본 발명은 또한 기억 셀당 보통의 1비트(2가지 상태)로, 또는 보다 중요하게는 기억 셀 당 하나 이상의 디지탈 비트를 나타내는 두 가지 이상의 별개 레벨을 제공하는 멀티 레벨 기억 포맷으로, 디지탈 신호의 기억용으로 구성된 시스템에 응용가능하다. 이러한 멀티 디지탈 기억 시스템은 상기 입력 디지탈 신호를 다수의 아날로그 레벨중 각각의 레벨로 변환하기 위해 디지탈/아날로그 변환기를 사용하게 되며, 이때 상기 레벨들은 동작 온도 범위에 걸쳐서 확장된 기억을 통해 별개로 그리고 명확하게 유지되도록 서로 충분한 전압으로 떨어져 있고, 아날로그/디지탈 변환기 등에 의한 디지탈 신호로의 재변환 후에, 동일한 집적회로상의 기타 다른 셀의 재프로그래밍이 반복된다. 예컨대, 셀당 2^M 개의 별개의 기억 레벨을 사용함으로써 기억 셀당 M비트의 디지탈 정보를 저장하여야 하며, 이때, M은 정수로서 예컨대 3 또는 4이다. 또한, 어떤 8가지의 별개 레벨을 3개의 셀중 2개의 셀에 저장하고 어떤 4개의 별개 레벨을 제3셀에 저장함으로써, 8비트의 정보를 저장하는데 3개의 셀을 사용할 수 있다.

이와같이, 본 발명은 그 특정 바람직한 실시예에 대해 공개 및 설명되었지만, 본 발명은 당업자에 의해 그 취지와 범위를 이탈하지 않고 변경될 수 있음은 물론이다.

(57) 청구의 범위

청구항 1

소오스, 게이트, 플로팅 게이트 및 드레인을 가지고 있는 플로팅 게이트 기억 셀에 저장된 전압을 판독하는 방법에 있어서,

(a) 상기 플로팅 게이트 기억 셀의 상기 소오스, 게이트 및 드레인에 기준 전압을 인가하는 단계;

(b) 상기 플로팅 게이트 기억 셀을 통해 흐르는 전류에 비례하여 변동되는 출력을 제공하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 2

제 1 항에 있어서, 상기 단계(b)는 상기 플로팅 게이트 기억 셀을 통해 흐르는 전류에 비례하여 변동되는

출력 전압을 제공하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 3

제 2 항에 있어서, 상기 단계(b)는 상기 플로팅 게이트 기억 셀을 통해 흐르는 상기 전류의 방향을 저항기를 통해 전환하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 4

제 3 항에 있어서, 상기 저항기는 액티브 MOS 저항기인 것을 특징으로 하는 방법.

청구항 5

제 2 항에 있어서, 상기 단계(b)는 상기 플로팅 게이트 기억 셀을 통해 흐르는 전류에 비례하는 전류의 방향을 저항기를 통해 전환하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 6

제 5 항에 있어서, 상기 저항기는 액티브 MOS 저항기인 것을 특징으로 하는 방법.

청구항 7

제 1 항 또는 제 2 항에 있어서, 상기 플로팅 게이트 기억 셀의 드레인에 기준 전압을 인가하는 단계는 소오스, 게이트 및 드레인을 가지고 있는 MOS 트랜지스터를 제공하는 단계, 상기 MOS 트랜지스터의 소오스를 상기 플로팅 게이트 기억 셀의 드레인에 접속하는 단계, 및 MOS 트랜지스터의 소오스상의 전압을 각각의 기준 전압측으로 구동하는 전압측으로 상기 MOS 트랜지스터의 게이트를 구동하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 8

제 7 항에 있어서, 상기 MOS 트랜지스터의 소오스를 상기 플로팅 게이트 기억 셀의 드레인에 접속하는 단계는 플로팅 게이트 기억셀의 N 개의 열중 어느 하나의 열에 있는 플로팅 게이트 기억셀을 판독을 위해 선택하는 열 멀티플렉서를 통해, 상기 MOS 트랜지스터의 소오스를, 상기 플로팅 게이트 기억 셀의 드레인에 접속하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 9

제 7 항에 있어서, 상기 MOS 트랜지스터의 소오스상의 전압을 각각의 기준 전압측으로 구동하는 전압측으로 상기 MOS 트랜지스터의 게이트를 구동하는 단계는 연산증폭기의 출력을 상기 MOS 트랜지스터의 게이트에 접속하고 상기 MOS트랜지스터의 소오스를 상기 연산 증폭기의 네가티브 입력측에 접속하며, 상기 연산증폭기의 포지티브 입력을 상기 각각의 기준 전압에 접속하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 10

제 1 항 또는 제 2 항에 있어서, 상기 플로팅 게이트 기억 셀의 소오스에 인가된 기준 전압은 회로 접지 전압인 것을 특징으로 하는 방법.

청구항 11

제 10 항에 있어서, 상기 단계(b)는 일측이 회로 접지측에 접속되어 있는 저항기를 통해, 상기 플로팅 게이트 기억 셀을 통해 흐르는 전류에 비례하는 전류의 방향을 전환하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 12

제 11 항에 있어서, 상기 저항기는 액티브 MOS 저항기인 것을 특징으로 하는 방법.

청구항 13

제 1 항 또는 제 2 항에 있어서, 상기 플로팅 게이트 기억 셀에 저장된 전압은 아날로그 신호의 아날로그 샘플인 것을 특징으로 하는 방법.

청구항 14

제 1 항 또는 제 2 항에 있어서, 상기 플로팅 게이트 기억 셀에 저장된 전압은 M개의 별개의 전압레벨중 하나의 전압레벨이고, M은 2보다 큰 정수로서 1비트 이상의 디지탈 신호를 나타내는 것을 특징으로 하는 방법.

청구항 15

제 1 항 또는 제 2 항에 있어서, 상기 플로팅 게이트 기억 셀에 저장된 전압은 2^M개의 별개의 전압레벨중 하나의 전압레벨이고, M은 1보다 큰 정수로서 M비트의 디지탈 신호를 나타내는 것을 특징으로 하는 방법.

청구항 16

플로팅 게이트 기억 셀 및 이를 판독하는 회로에 있어서,

소오스, 게이트, 플로팅 게이트 및 드레인을 가지고 있는 플로팅 게이트 기억 셀로서, 상기 플로팅 게이트 기억 셀의 소오스는 제1기준 전압을 가지고 있고, 상기 플로팅 게이트 기억 셀의 게이트는 제2기준

전압을 가지고 있는 플로팅 게이트 기억 셀;

상기 플로팅 게이트 기억 셀의 드레인상의 전압을 제3기준 전압측으로 구동하는 제1회로; 및

상기 플로팅 게이트 기억 셀을 통해 흐르는 전류에 비례하여 변동되는 출력을 제공하는 제2회로를 구비하고 있는 것을 특징으로 하는 장치.

청구항 17

제 16 항에 있어서, 상기 제2회로는 상기 플로팅 게이트 기억 셀을 통해 흐르는 전류에 비례하여 변동되는 출력 전압을 제공하는 회로인 것을 특징으로 하는 장치.

청구항 18

제 17 항에 있어서, 상기 제2회로는 저항기를 구비하고 있는 것을 특징으로 하는 장치.

청구항 19

제 18 항에 있어서, 상기 저항기는 액티브 MOS 저항기인 것을 특징으로 하는 장치.

청구항 20

제 16 항에 있어서, 상기 제2회로는 전류 미러와 저항기를 구비하고 있고, 상기 전류 미러는 상기 플로팅 게이트 기억 셀을 통해 흐르는 전류에 비례하는 전류를 상기 저항기에 공급하기 위해 상기 플로팅 게이트 기억 셀과 상기 저항기에 접속되어 있는 것을 특징으로 하는 장치.

청구항 21

제 20 항에 있어서, 상기 저항기는 액티브 MOS 저항기인 것을 특징으로 하는 장치.

청구항 22

제 16 항에 있어서, 상기 제1회로는 포지티브 및 네가티브 입력과 출력을 가지고 있는 연산 증폭기; 및 소오스, 게이트 및 드레인을 가지고 있는 MOS 트랜지스터를 구비하고 있고, 이 MOS 트랜지스터의 소오스는 상기 플로팅 게이트 기억 셀의 드레인에 그리고 상기 연산 증폭기의 네가티브 입력에 접속되어 있고, 상기 MOS 트랜지스터의 게이트는 상기 연산 증폭기의 출력에 접속되어 있으며, 상기 연산 증폭기의 포지티브 입력은 상기 제3기준 전압에 접속되어 있는 것을 특징으로 하는 장치.

청구항 23

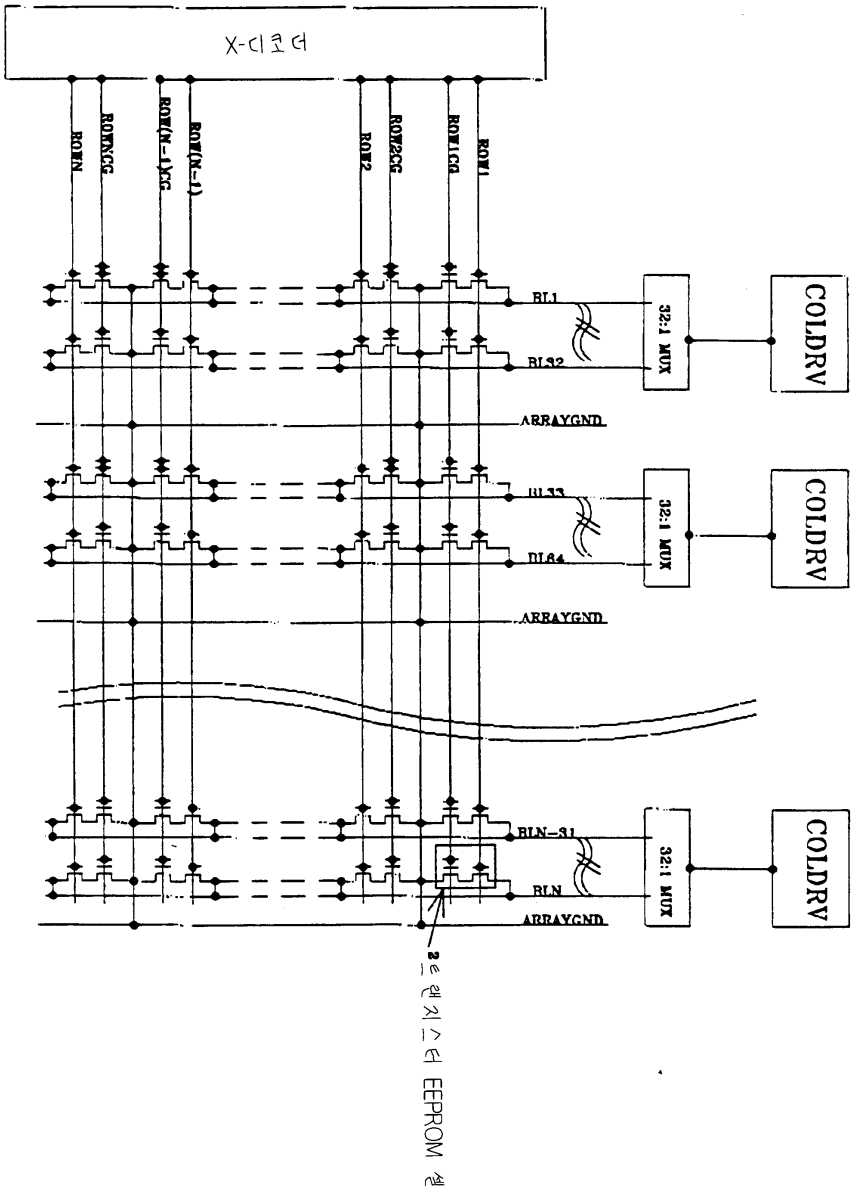
제 22 항에 있어서, 상기 MOS 트랜지스터의 소오스는 플로팅 게이트 기억셀의 N 개의 열중 어느 하나의 열에 있는 플로팅 게이트 기억셀을 판독을 위해 선택하는 열 멀티플렉서를 통해, 상기 플로팅 게이트 기억 셀의 드레인에 접속되어 있는 것을 특징으로 하는 장치.

청구항 24

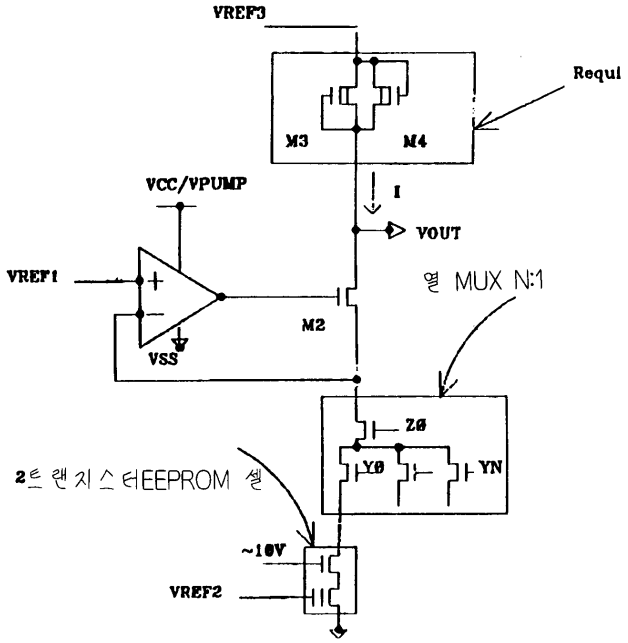
제 16 항 또는 제 17 항에 있어서, 상기 플로팅 게이트 기억 셀의 소오스에 인가되어 있는 기준 전압은 회로 접지 전압인 것을 특징으로 하는 장치.

도면

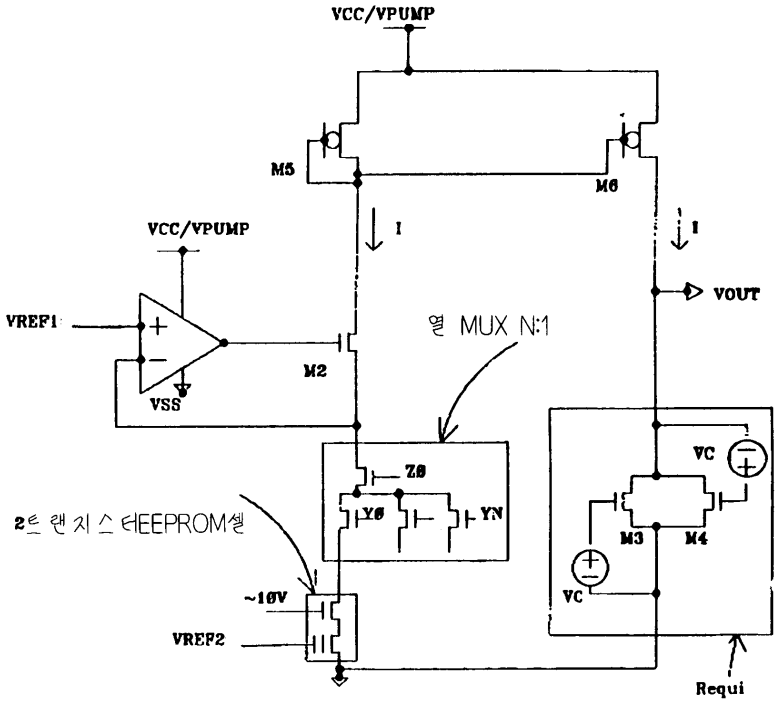
도면1


X-디코더
ROWN
ROWNCG
ROW(N-1)CG
ROW(N-1)
ROW2CG
ROW2
ROW1CG
ROW1
BL1
BL32
32:1 MUX
COLDRV
ARRAYGND
BL33
BL64
32:1 MUX
COLDRV
ARRAYGND
BLN-31
BLN
32:1 MUX
COLDRV
ARRAYGND
2ℓ 레지스터 EEPROM 셀

도면2


VREF3
Requi
M3
M4
VCC/VPUMP
I
VOUT
VREF1
열 MUX N:1
M2
VSS
Z0
Y0
YN
2트랜지스터EEPROM 셀
~10V
VREF2

도면3


VCC/VPUMP
M5
M6
VCC/VPUMP
I
I
VOUT
VREF1
열 MUX N:1
M2
VSS
Z0
Y0
YN
VC
2트랜지스터EEPROM셀
M3
M4
~10V
VC
VREF2
Requi