

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/51 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580043631.0

[45] 授权公告日 2009年8月26日

[11] 授权公告号 CN 100533760C

[22] 申请日 2005.12.13

[21] 申请号 200580043631.0

[30] 优先权

[32] 2004.12.21 [33] GB [31] 0427900.6

[86] 国际申请 PCT/IB2005/054216 2005.12.13

[87] 国际公布 WO2006/067678 英 2006.6.29

[85] 进入国家阶段日期 2007.6.19

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 古川裕希子

科内利斯·A·H·A·穆特塞尔斯

[56] 参考文献

US6306742B1 2001.10.23

US6727995B1 2004.4.27

CN1376311A 2002.10.23

The strain - induced ferroelectric properties of c - axisoriented (Ba, Sr) TiO₃ thin films. SUNGJIN JUN ET AL. SURFACE AND COATINGS TECHNOLOGY, Vol. 131 No. 1. 3. 2000

审查员 陶应磊

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 陈源 张天舒

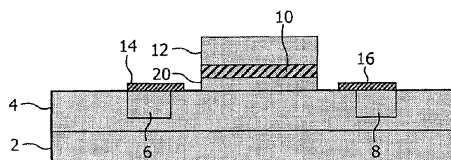
权利要求书 2 页 说明书 6 页 附图 1 页

[54] 发明名称

具有超顺电性栅极绝缘体的半导体器件及其制作方法

[57] 摘要

一种半导体器件，包括半导体的沟道区 18、与沟道区 18 相邻的导电栅电极 12、以及导电栅电极 12 和沟道区 18 之间的栅极电介质 10。栅极电介质 10 由处于超顺电性状态的材料形成，该材料在体材料中是铁电性。例如，栅极电介质可以是化学式为 AXO₃ 的材料，其中 A 是 I 或 II 族元素，而 X 是钛、铌、锆和/或钪。这种栅极电介质 10 例如可以通过栅极电介质 10 的低温沉积、或通过使用金属氧化物掺杂剂以防止畴生长、或者使用这两者来形成。



1. 一种半导体器件，包括：
半导体的沟道区（18）；
与沟道区（18）相邻的导电栅电极（12）；以及
在导电栅电极（12）和沟道区（18）之间的栅极电介质（10）；
其中，栅极电介质（10）是由在体材料中是铁电性的材料形成的超顺电性栅极电介质。
2. 根据权利要求 1 所述的半导体器件，其中，栅极电介质材料是分子式为 AXO_3 的、在体材料中是钙钛矿的材料，其中 A 是 I 族元素、II 族元素、或者稀土元素，而 X 是钛、铌、锆和/或铪。
3. 根据权利要求 1 或 2 所述的半导体器件，其中，栅极电介质（10）包括用于阻止畴生长的掺杂剂，所述掺杂剂在栅极电介质材料中不形成固溶体。
4. 根据权利要求 3 所述的半导体器件，其中，掺杂剂是 Nb、La、Zr、Pb、Sr、Mn、W 或稀土元素的氧化物。
5. 根据权利要求 1、2 和 4 中任一项所述的半导体器件，其中，栅极电介质（10）的厚度小于 100nm。
6. 根据权利要求 1、2 和 4 中任一项所述的半导体器件，其中，栅极电介质（10）的材料是化学计量的 $BaTiO_3$ 。
7. 根据权利要求 1、2 和 4 中任一项所述的半导体器件，其中，栅极电介质（10）的介电常数在 30 到 200 的范围内。
8. 一种制作半导体器件的方法，包括：
形成半导体的沟道区（18）；
沉积栅极电介质（10）；以及
沉积栅极导体（12），将栅极电介质夹在沟道区和栅极导体之间；
其中，在沉积栅极电介质（10）的步骤中，栅极电介质（10）形成在体材料中是铁电性的材料的超顺电性栅极电介质。
9. 根据权利要求 8 所述的方法，其中，栅极电介质材料是分子式

为 AXO_3 的钙钛矿材料，其中 A 是 I 族元素、II 族元素、或者稀土元素，而 X 是钛、铌、锆和/或铅。

10. 根据权利要求 8 所述的方法，其中，使用分子束外延、脉冲激光沉积或原子层沉积在衬底温度不高于 300°C 下沉积栅极电介质 (10)。

11. 根据权利要求 8 任一项所述的方法，包括：在栅极电介质 (10) 中形成掺杂剂以阻止畴生长。

12. 根据权利要求 11 所述的方法，其中，掺杂剂是不与栅极电介质 (10) 材料形成固溶体的氧化物。

13. 根据权利要求 12 所述的方法，其中，掺杂剂是 Si、Ca、Al、Nb、La、Zr、Pb、Sr、Mn、W 或稀土的氧化物，或者这些氧化物的组合。

14. 根据权利要求 9 至 13 任一项的方法，其中栅极电介质 (10) 的材料是 BaTiO_3 。

具有超顺电性栅极绝缘体的半导体器件及其制作方法

技术领域

本发明涉及一种包括具有高介电常数的栅极绝缘体的半导体器件以及制造半导体器件的方法。

背景技术

众所周知，场效应晶体管（FET）使用通过薄栅极绝缘体与半导体沟道区隔开的栅极导体。施加到栅极的电压控制经过沟道区的传导。

传统上，已经使用二氧化硅作为栅极电介质，因为它可以简单地通过对硅进行氧化来生长在硅上。也已经广泛地使用其它材料，如氮化硅以及氧化硅和氮化硅的多层。

通常需要在单个衬底上集成越来越多这样的 FET，并进一步提高速度。然而，当将氧化硅和其它传统栅极材料变薄到未来电路所要求的厚度时，这可能要求使栅极电介质变薄，并且出现问题。

这已经因而导致了对可以改善性能并减小尺寸的高介电常数栅极电介质的要求。

过去已经提出过很多材料。

很多候选电介质材料是二元金属氧化物，例如 HfO_2 、 ZrO_2 、 Al_2O_3 、 Y_2O_3 、 La_2O_3 、 Pr_2O_3 、 Gd_2O_3 ，硅酸盐及其混合物。这样的材料具有在 10 到 30 范围内的介电常数。这样的材料允许使用较厚的栅极电介质，减小了隧道泄漏电流。然而，仍然存在对 30 以上介电常数的栅极电介质的需要。

US 6,005,274 讲授了多种材料，如锆钛酸钡（ $\text{Ba}(\text{Zr},\text{Ti})\text{O}_3$ ）、钛酸锶（ SrTiO_3 ）、或者五氧化钽（ Ta_2O_5 ）。这些材料是具有非常高介电常数的铁电材料。

不幸的是，铁电材料通常不具有对温度和频率稳定的电学特性。高极化、以及因此的高介电常数意味着存在高的偶极矩，以及所述偶极子

可以翻转。随温度和频率在电学特性上的这种改变对于使用中的半导体器件的热稳定性和频率稳定性都是非常不希望的，并且对于在制造器件的工艺期间半导体器件承受热处理的能力也是非常不希望的。

发明内容

根据本发明，提出了一种半导体器件，包括：

半导体的沟道区；

与所述沟道区相邻的导电栅电极；以及

导电栅电极和沟道区之间的栅极电介质；

其中，栅极电介质是由在体材料中(in bulk)是铁电性的材料形成的超顺电性(superparaelectric)栅极电介质。

通过使用超顺电性状态的材料，即使同样的材料在体材料中可能是铁电性，也可以实现高介电常数栅极电介质，而没有铁电电介质的缺点，即没有电学特性对温度和频率的相同敏感度。

栅极电介质可以是化学式为 AXO_3 的、在体材料中是钙钛矿的材料，其中 A 是 I 或 II 族元素或稀土元素，而 X 是钛、铌、锆和/或铪。

栅极电介质可以包括用于阻碍畴生长的掺杂剂，所述掺杂剂在栅极电介质材料中没有完全地形成固溶体。

掺杂剂可以是 Si、Ca、Al、Nb、La、Zr、Pb、Sr、Mn、W 或稀土的氧化物。

栅极电介质的厚度可以小于 100nm。

栅极电介质的材料可以是化学计量的 $BaTiO_3$ 。

优选地，栅极电介质的介电常数在 30 到 200 范围之内，进一步优选地在 50 到 100 之内。

本发明还涉及一种制造半导体器件的方法，包括：

形成沟道区；

沉积栅极电介质；以及

沉积栅极导体，将栅极电介质夹在沟道区和栅极导体之间；

其中在沉积栅极电介质的步骤中，栅极电介质是由在体材料中是铁电性的材料形成的超顺电性栅极电介质。

栅极电介质的材料可以是钙钛矿材料 AXO_3 ，其中 A 是 I 族或 II 族元素或稀土元素，而 X 是钛、铌、锆和/或钪，将栅极电介质形成为没有足够的铁电畴以便成为铁电性的栅极电介质，并且所具有的栅极电介质厚度使得栅极电介质作为超顺电性栅极电介质。优选地，A 是 I 族或 II 族元素。

通常，铁电材料的沉积导致自身为铁电性的薄膜。因此，本发明需要在沉积时避免栅极电介质具有铁电特性的技术。存在多于一种的方式，其中可以按照这样的方式沉积铁电材料，使得其不作为铁电材料而是作为超顺电性材料。

首先，可以使用低温沉积工艺。在这个情况下，可以使用分子束外延 (MBE)、脉冲激光沉积 (PLD) 或原子层沉积 (ALD) 在不高于 300°C 的衬底温度沉积栅极电介质。优选地，在生长期间将衬底保持在正常室温下并且在生长期间不超过 100°C 。

其次，本方法可以包括在栅极电介质中形成掺杂剂来阻碍畴生长。

掺杂剂可以是不与栅极电介质形成固溶体的氧化物，如 Nb、La、Zr、Pb、Sr、Mn、W 或稀土的氧化物。

栅极电介质的材料可以是 $BaTiO_3$ 。

使用掺杂剂，其它较高温度沉积工艺可以是可使用的，例如，包括 MOCVD 和溶胶/凝胶工艺。

第三，可以使用这些技术的组合，即将使用 MBE、ALD 或 PLD 的低温沉积与添加掺杂剂以避免畴生长相结合。

附图说明

为了更好地理解本发明，现在将参考附图仅通过示例的方式描述实施例，其中：

图 1 示出了根据本发明第一实施例的半导体器件；

图 2 示出了根据本发明第二实施例的半导体器件；以及

图 3 示出了根据本发明第三实施例的半导体器件。

具体实施方式

参考图1，半导体衬底2具有p型掺杂外延层4，以及在外延层中形成的n+掺杂源极6和漏极8扩散。

栅极电介质10形成于源极和栅极扩散6、8之间的衬底上，而栅电极12形成于栅极电介质10上。

源极14和漏极16接触形成为分别与源极和栅极扩散6、8接触。

在栅电极下的衬底区域限定了沟道18。

普通技术人员应该了解如何制造这种类型的晶体管，因此这里就不必要考虑这些工艺的进一步细节。

本发明依靠栅极电介质10的选择来与这种晶体管相区别。

在实施例中，栅极电介质由钙钛矿结构材料形成，即化学式为 AXO_3 ，其中A是I族或II族元素或稀土元素，而X是钛、铌、钽和/或锆。这样的材料通常是铁电的。

然而，按照以下方式形成栅极电介质：栅极电介质不表现出铁电特性，而是代替地作为超顺电性材料。

在实施例中，通过确保栅极电介质的厚度足够薄并且还通过确保不形成铁电畴来实现此方式。

本发明第一实施例通过以下步骤来实现此方式：在室温下保持衬底，通过分子束外延（MBE）生成在该实施例中形成的化学计量的（stoichiometric） $BaTiO_3$ 栅极电介质，并进一步生长该栅极电介质达到小于100nm的厚度。薄膜的尺寸效应和缺少大的铁电畴，以及化学计量钛酸钡的使用导致缺少铁电畴。

优选地，生长与衬底晶格匹配的钛酸钡。这可以使用掺杂或控制沉积来实现。

另外，在形成栅极电介质之后，随后的处理不使温度增加到300°C以上。

按照这种方式，铁电畴无法生长而栅极电介质表现出具有介电常数30到200范围内的超顺电性特性。

这与体钛酸钡约1000的介电常数相比，所述值依赖于精确的微结构，并且因此依赖于处理。

通过形成超顺电性薄膜代替体铁电材料，薄膜在随后的热处理或器件操作期间的加热中是稳定的。这比使用铁电材料确保了更好的可重复性，并仍然到实现了高数值的介电常数。

在图2中表示了本发明第二实施例。

在该配置中，几个分子层的伪钙钛矿，即类钙钛矿结构，或者钙钛矿本身或者衬底上的超晶格提供了边界层20。选择该边界层20以提供用于生长无应变的栅极电介质层12的良好基础。

在该配置中，在生长期间将氧化铌 (Nb_2O_5) 掺杂剂添加到栅极电介质。该掺杂剂完全不会与栅极电介质的钛酸钡形成固溶体。如果铁电畴开始形成，掺杂剂在畴边界处开始离析 (segregated)，并且阻止进一步的畴生长。因此，畴保持为对于钛酸钡太小而不能显示铁电特性。 Nb_2O_5 或其它掺杂剂可能和钙钛矿形成部分固溶体。换句话说，在钙钛矿中将包含少量的掺杂剂，但是它们的大部分将存在于畴边界中。

第二实施例中的生长再次使用低温分子束外延。

存在替代的生长可能性。代替使用分子束外延，脉冲激光沉积或原子层沉积也是合适的。

还可以使用化学气相沉积 (CVD)，如MOCVD或者溶胶-凝胶工艺。该工艺通常操作于会引起铁电畴生长的温度下。然而，通过包括如第二实施例中那样的掺杂剂，也可以使用这些工艺来实现超顺电性薄膜。

掺杂剂可以是不与栅极电介质形成固溶体、并且阻止畴形成和生长的任意氧化物。因此，掺杂剂可以是Si、Ca、Al、Nb、La、Zr、Pb、Sr、Mn、W或稀土的氧化物或者是这些氧化物的组合。当通过MBE生长电介质时，可以向分子束的源添加掺杂剂的金属，从而实现掺杂剂和所掺杂材料的混合物的生长。

在第三实施例中，晶体管不是横向场效应晶体管，而是纵向场效应晶体管，如图3所示。赋予类似元件以同样的参考数字。应该看出的是，在该器件中栅电极12和栅极电介质10形成于沟槽22中。p型外延层24形成本体，外延层中的源极扩散6形成源极，而外延层4是n型掺杂的并且作为漏极。在该示例中漏极接触16是背面接触。

在该实施例中，栅极电介质10通过MOCVD形成于沟槽22中，具有掺杂剂以防止畴形成。

本发明不局限于这些实施例，而是可以应用于要求高介电常数薄膜材料的任何结构中。

栅极电介质不需要是钛酸钡，而是不必要为钙钛矿的任何薄膜，所述薄膜在体材料中正常地是铁电性，并且利用尺寸效应成为超顺电性，没有大的畴。

在任意实施例中，如果需要，n型及p型区的掺杂和类型可以变化，例如，以便按需要形成n型、p型晶体管或者形成增强型或耗尽型晶体管。

在实际器件中，普通技术人员应该认识到，可以在单个电路上形成许多晶体管以提供集成电路。

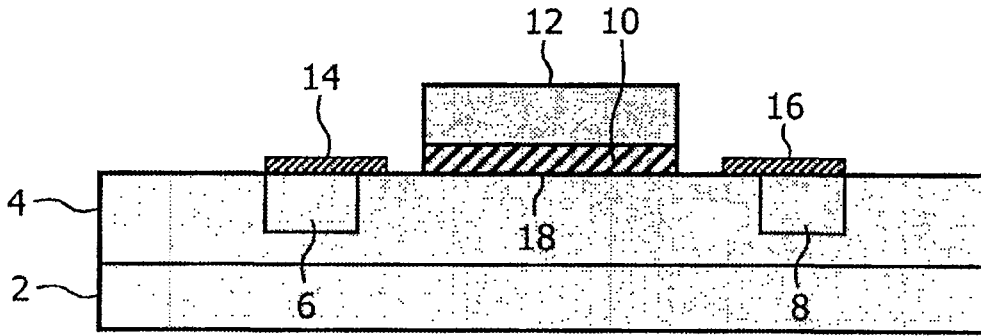


图 1

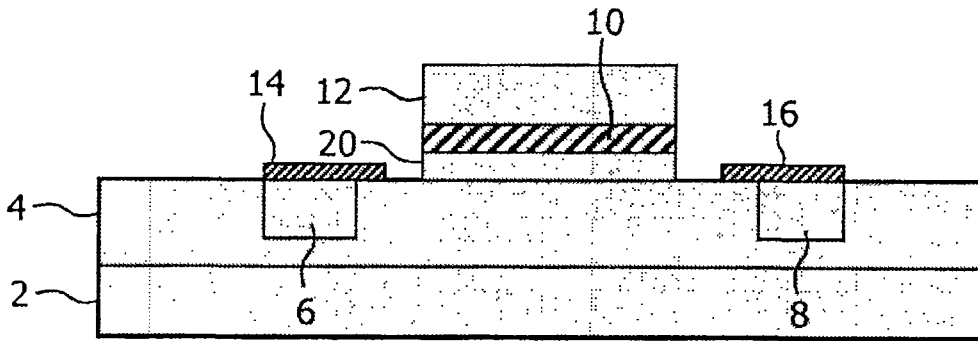


图 2

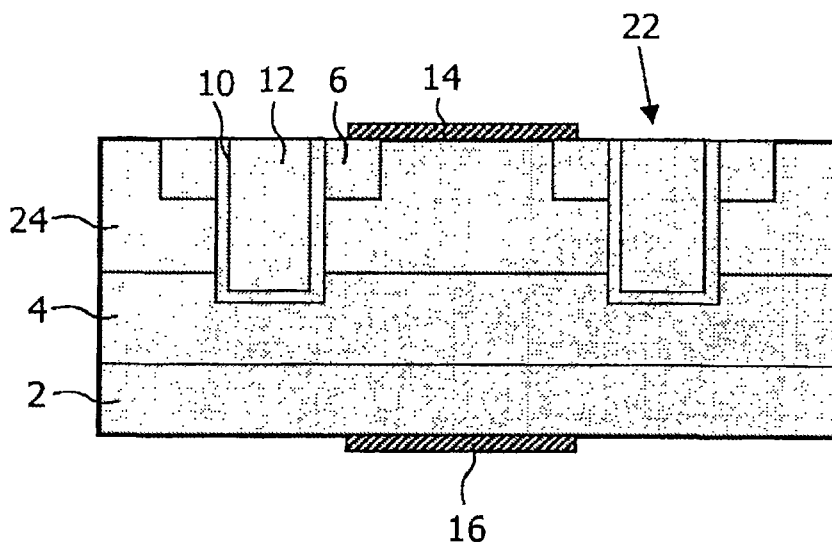


图 3