(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0015636
(43) 공개일자 2012년02월22일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2010-0077892
(22) 출원일자 2010년08월12일
심사청구일자 2010년08월12일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교)
(72) 발명자
최석호
경기도 수원시 영통구 영통동 989-2 현대아파트 726-1103
김민철
경기도 수원시 장안구 송정로76번길 45, 909호 (정자동, 기산아파트)
임근용
서울특별시 광진구 뚝섬로50길 26 (자양동)
(74) 대리인
이덕록

전체 청구항 수 : 총 4 항

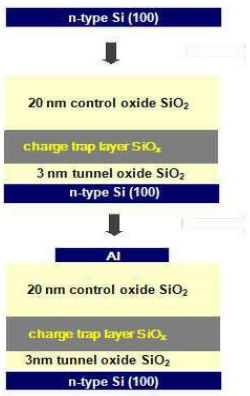
(54) 실리콘 과잉 산화막의 전하트랩을 이용한 비휘발성 메모리 소자 및 그의 제조방법

(57) 요 약

본 발명은 실리콘 과잉 산화막의 전하트랩을 이용한 비휘발성 메모리 소자 및 그의 제조방법에 관한 것이다.

실온-성장된 실리콘 과잉 산화막 층의 전하 트랩이 처음으로 비휘발성 메모리에 사용되었다. 메모리 윈도우는 x가 1.8 이하까지 증가함에 따라 단조 감소되었는데, 이는 X선 광전자 분광기에 의해 증명되는 바와 같이 전하 트랩의 원인이 되는 Si 아산화물 상태의 x-의존적 변화에 의해 야기되는 것일 수 있다. 메모리 윈도우는 T_A 증가에 따라 감소하는데, 이는 열처리에 의해 Si 아산화물 상태가 감소하는 것에 의해 설명될 수 있다. 전하 트랩의 밀도는 x = 1.0 내지 1.4인 경우에 (3.9 - 8.8) x 10^{12} cm^{-2}로 추정되었는데, 이는 Si-NC 비휘발성 메모리의 밀도보다 훨씬 크고, SONOS의 밀도와 유사한 것이다. x = 1.0에서 Si가 대부분을 차지하므로 전하 손실 비율은 거의 100%이었으나, x = 1.2에서는 급격히 감소하였다. x가 1.2 이상에서 더 증가함에 따라, 전하 손실 비율은 점차 증가하였고, 이는 x가 커질수록 실리콘 과잉 산화막/SiO_2 배리어가 낮아지는데 기인한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	2007-0055848
부처명	교육과학기술부 한국연구재단
연구관리전문기관	교육과학기술부 한국연구재단
연구사업명	교육과학기술부 학제기초연구사업
연구과제명	금속 이온 및 합금에 의해 형성된 전하 트랩을 이용한 비휘발성 메모리 연구
기여율	1/1
주관기관	경희대학교 산학협력단
연구기간	2007.09.01 ~ 2010.08.31

특허청구의 범위

청구항 1

n-타입 Si(100) 기반 위에 $SiO_2/SiO_x/SiO_2$가 형성된 실리콘 과잉 산화막을 포함하는 비휘발성 메모리 소자.

청구항 2

청구항 1에 있어서,

x가 1.0 내지 1.8인 실리콘 과잉 산화막을 포함하는 비휘발성 메모리 소자.

청구항 3

청구항 1에 있어서,

상기 SiO_x 층 두께가 3 내지 10nm 범위인 실리콘 과잉 산화막을 포함하는 비휘발성 메모리 소자.

청구항 4

이온빔 스퍼터링 증착(Ion Beam Sputtering Deposition: IBSD)에 의해 터널링(tunneling) SiO_2 층을 n-타입 (100) Si 웨이퍼(wafer) 상에 성장시키는 단계;

이어서, 실리콘 과잉 산화막을 상기 터널링 층 위에 성장시키는 단계;

마지막으로, 제어산화막, SiO_2 층을 성장시키는 단계를 포함하는 것을 특징으로 하는

청구항 1 내지 청구항 3중 어느 한 항에 기재된 비휘발성 메모리 소자의 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 실리콘 과잉 산화막의 전하트랩을 이용한 비휘발성 메모리 소자 및 그의 제조방법에 관한 것으로, 보다 구체적으로는 실리콘 과잉 산화막을 제작하여 그의 결함을 전하저장 트랩으로 활용하는 것을 특징으로 하는 비휘발성 메모리 소자 및 그의 제조방법에 관한 것이다.

배 경 기 술

[0002] 지난 수십년 동안 Si, Ge 등의 반도체 나노결정과 Pd, Ni 등의 금속 나노 결정을 기반으로 하는 비휘발성 메모리에 대한 연구가, 기존의 폴리실리콘 부유 게이트(floating-gate)를 전하 저장 매질로 사용했던 플래시 메모리의 대체물질로서 활발하게 진행되어 왔다.

[0003] 반도체 나노결정을 이용한 비휘발성 메모리는 전하 저장 역할을 하는 나노결정들이 산화물 내에 고립되어 있어 전하손실이 억제되기 때문에 데이터 유지 및 보존에 있어 큰 장점을 가지고 있다.

[0004] 그러나, 실리콘 나노결정 비휘발성 메모리인 경우에는 나노결정의 트랩 밀도가 10^{11}-10^{12} cm^{-2}의 영역에 한정되어 있어 고집적화의 데이터를 저장하기 어렵다. 실리콘 나노결정 비휘발성 메모리에 대하여는 예컨대, 특허출원 10-2006-0054531호 “실리콘 나노결정 형성방법 및 이 방법이 적용된 메모리 소자의 제조방법”을 참고할 수 있다. 상기 특허출원에는 베이스 막 상에 형성된 비정질 막을 불완전 산화시켜서 실리콘 나노결정을 형

성하는 방법 및 이로부터 제작된 메모리 소자의 제조방법이 기재되어 있다.

[0005] 또한, 금속 나노결정은 비휘발성 메모리 구현에 있어 고 집적도와 일함수 선택의 용이성과 같은 장점을 가지고 있지만, 온도 불안정성으로 인해 소자 성능을 저하시킬 수 있는 단점이 있어 메모리 소자의 활용에 부적합하다. 이와 관련하여서는 예컨대, 대한민국 등록특허 100791007호 “금속 실리사이드 나노결정을 구비하는 비휘발성 메모리 소자, 상기 금속 실리사이드 나노결정 형성 방법 및 상기 비휘발성 메모리 소자의 제조방법”을 참고할 수 있다. 상기 등록특허에는 기판 상에 제1금속 실리사이드 나노 결정을 함유하는 제1 전하 절연막을 갖는 비휘발성 메모리 소자가 기재되어 있다.

[0006] 이러한 단점들의 대안으로 질화물을 기반으로 하는 규소-산화물-질화물-산화물-규소(SONOS) 또는 $Si/SiO_2/SiN/Al_2O_3/TaN$ (TANOS) 소자와 같이 자연적으로 형성된 질화물 결함을 전하트랩으로 이용하는 메모리가 많은 주목을 받고 있다. 하지만 이 소자들은 트랩의 에너지와 농도를 제어하기 어렵다고 알려져 있어서 소자의 향상에 제한적이라는 단점이 있다. 질화물을 포함하는 메모리 소자에 대하여는 예컨대, 대한민국 등록특허 100873073호 “비휘발성 메모리소자 및 그 제조방법과 이를 포함한 메모리 장치”를 참고할 수 있다. 상기 등록특허에는 기존 제1산화막을 실리콘옥시나이트라이드(SiO_xN_y) 층이 포함되도록 형성하고, 기존 질화막을 실리콘 과잉 질화막으로 형성한 비휘발성 메모리 소자가 기재되어 있다.

[0007] 최근에는, Al_2O_3에 AlO^- 이온을 주입하여 밴드 갭 안에 인위적으로 불연속적인 트랩 준위를 형성하여 이를 전하 저장 준위로 활용하는 흥미로운 메모리소자가 보고되고 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명에서는 종래 비휘발성 메모리 소자에서 문제점으로 지적되어 온 고 집적화의 데이터 저장 곤란성, 온도 불안정성, 에너지와 농도 제어의 곤란성을 모두 해소시킬 수 있는 비휘발성 메모리소자 및 그의 제조방법을 제공하고자 한다.

과제의 해결 수단

[0009] 본 발명에 따르면, n-타입 Si(100) 기반 위에 $SiO_2/SiO_x/SiO_2$가 형성된 실리콘 과잉 산화막을 포함하는 비휘발성 메모리 소자를 제공한다.

[0010] 본 발명에 따르면, 상기 x가 1.0 내지 1.8인 실리콘 과잉 산화막을 포함하는 비휘발성 메모리 소자를 제공한다.

[0011] 또한, 본 발명에 따르면, 상기 SiO_x 층 두께가 3 내지 10nm 범위인 실리콘 과잉 산화막을 포함하는 비휘발성 메모리 소자를 제공한다.

[0012] 또한, 본 발명에 따르면, 이온빔 스퍼터링 증착(Ion Beam Sputtering Deposition: IBSD)에 의해 터널링(tunneling) SiO_2 층을 n-타입 (100) Si 웨이퍼(wafer) 상에 성장시키는 단계; 이어서,실리콘 과잉 산화막을 상기 터널링 층 위에 성장시키는 단계; 마지막으로, 제어산화막, SiO_2 층을 성장시키는 단계를 포함하는 것을 특징으로 하는 실리콘 과잉 산화막을 포함하는 비휘발성 메모리 소자의 제조 방법을 제공한다.

발명의 효과

[0013] 본 발명에 따라 이온빔 스퍼터링 증착에 의해 n-타입 Si(100) 기반 위에 $SiO_2/SiO_x/SiO_2$ 메모리 소자 구조를 제작할 수 있으며, 일양태인 3nm SiO_2/10nm SiO_x/20nm SiO_2 시료는 x가 1.0 내지 1.8인 경우에 -15V ~ 15V에서 최대 약 14V의 메모리 윈도우를 갖고, x가 1.0 내지 1.4 범위인 경우에 기존 비휘발성 메모리 소자보다 전하트랩 밀도가 향상된 메모리 특성을 나타내었으며, x가 1.0에서 1.8로 증가함에 따라서 메모리 윈도우가 점점 감소되

었고, x가 1.2인 경우에 가장 우수한 리텐션(retention) 특성을 나타내었다.

도면의 간단한 설명

[0014] 도 1은 본 발명에 따른 비휘발성 메모리 소자 및 그의 제조방법을 도식적으로 나타낸 것이다.

도 2는 본 발명의 비휘발성 메모리 소자의 제작에 이용되는 이온빔 스퍼터링 증착 장치의 일 양태를 나타낸 것이다.

도 3은 인가 전압에 따른 커패시턴스-전압 곡선의 변화를 나타낸 그래프이다.

도 4는 산소 함유량에 따른 메모리윈도우 폭의 변화를 나타낸 그래프이다.

도 5는 산소 함유량에 따른 실리콘 과잉 산화막 층의 x-선 광전자 분광기 스펙트럼을 나타낸 그래프이다.

도 6은 SiO_x 두께와 열처리 온도에 따른 메모리 윈도우 폭의 변화를 나타낸 그래프이다.

도 7은 열처리 온도 변화에 따른 $SiO_{1.0}$의 분광기 스펙트럼을 나타낸 그래프이다.

도 8은 산소 함유량에 따른 리텐션 시간을 측정한 그래프이다.

도 9는 산소 함량에 따른 전하 손실 비율을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 연구자들은 x(산소 함유량) 및 열처리 온도에 크게 좌우되는 밀도를 갖는 실온(RT)-증착된 실리콘 과잉 산화막의 전하 트랩을 이용한 비휘발성 메모리에 대하여 체계적으로 연구한 결과, 본 발명에 이르게 되었다.

[0016] 본 발명에 따르면, 카우프만(Kaufman) 타입 DC 이온 건(ion gun)과 Si 타겟을 포함한 이온빔 스퍼터링 증착(IBSD) 시스템(도 2 참고)에서 750eV 및 25mA의 이온 에너지를 갖는 Ar^+ 빔을 이용하여 실온에서 시료를 제작하였다.

[0017] 도 2에 도시된 이온빔 스퍼터링 증착 장치는 본 발명의 비휘발성 메모리 소자의 제조에 사용될 수 있는 이온빔 스퍼터링 증착 장치의 일 양태로서, 본 발명에서 사용할 수 있는 이온빔 스퍼터링 장치가 이에 한정되는 것은 아니다. 본 발명의 비휘발성 메모리 소자의 제작을 위해서는 증착 비율과 산소 분량을 제어할 수 있고, 초고진공(5.0×10^{-9} torr)으로 인해 결함을 최소화할 수 있으며, 상온 증착으로 내부 섞임과 확산이 없고, in-situ 상태에서 x-선 광전자 분광 스펙트럼 측정이 가능한 것이라면 임의의 이온빔 스퍼터링 증착 장치가 사용될 수 있다.

[0018] 상기 시스템에 아르곤 기체를 도입하기 전에 증착 챔버를 5.0×10^{-9} torr 압력까지 배기시킨다. 산소 분위기 중에서 산소의 부분압을 변화시키면서 Si을 스퍼터링함으로써 산소의 화학량론(x)이 다른 실리콘 과잉 산화막 층을 증착시킨다. SiO_x 막의 x 값은 1.0 내지 1.8로 변화시켰다. 시스템의 자세한 내용에 대하여는 문헌[K. J. Kim, D. W. Moon, S.-H. Hong, S.-H. Choi, M.-S. Yang, J.-H. Jhe, and J. H. Shin, Thin Solid Films 478, 21 2005.]을 참고한다. 막 두께는 일정 시간내에 성장한 전형적인 SiO_2 박막의 투과형 전자 현미경 측정에 의해 보정된 성장 비율에 의해 제어한다.

[0019] 증착 이후에는 비휘발성 메모리의 열처리 효과를 연구하기 위하여, 실리콘 과잉 산화막 시료의 일부를 초고순도 질소 분위기하에서 1분동안 다양한 온도로 급속 열처리(rapid-thermal-annealing) 장치에서 가열처리한다. X-선 광전자 분광기(XPS)를 이용하여, 1.5×10^{-10} torr의 베이스 압력을 갖는 포항 가속기 연구소(Pohang Accelerator Laboratory)의 8A1 빔라인에서 450 eV 에너지를 이용하여 실리콘 과잉 산화막 층의 조성을 분석하였다. X선 광전자 분석기에 대한 자세한 사항은 문헌[S.Kim, M.C.Kim, S.H.Choi, K.J.Kim, H.N.Hwang and C.C.Hwang, Appl. Phys. Lett. 91, 103113 (2007)]을 참고한다.

[0020] 실리콘 과잉 산화막 전하 트랩 층을 함유한 금속-산화물-반도체(MOS) 비휘발성 메모리 커패시터의 일양태에서, 3nm 터널링(tunneling) SiO_2 층을 n-타입 (100) Si 웨이퍼(wafer) 상에서 먼저 성장시킨다. 이어서,

실리콘 과잉 산화막을 상기 터널링 층 위에 성장시킨다. 마지막으로, SiO_2 층을 제어 산화막으로서 사용하기 위하여 20nm 두께로 성장시킨다. 금속-산화물-반도체 커패시터의 커패시턴스-전압 (C-V)을 측정하기 위해 200㎛ 직경의 Al 전극을 진공에서 시료 상에 증착시킨다. 1 MHz 주파수 및 100mV 변조 신호 진폭을 갖는 Agilent 4284A CV 미터를 이용하여 고주파 C-V 측정을 실시하였다.

[0021] 보다 구체적으로, 본 발명의 실험에서 사용되는 비휘발성 메모리 소자의 제조방법은 다음과 같으나, 본 발명에 따른 비휘발성 메모리 소자가 이에 한정되는 것은 아니다.

[0022] 제1 단계에서 3nm 터널링 SiO_2 층을 n-타입(100) Si 웨이퍼 상에서 성장시키고, 이어서 도 2에 도시된 이온빔 스퍼터링 증착 시스템을 이용하여 빔 전류 25mA 및 빔 전압 750eV에서 산소 함량(x)을 1.0, 1.2, 1.4, 1.6 및 1.8이 되도록 한 SiO_x를 3nm, 6nm 또는 10nm 두께로 증착시켰다. 이어서, 제어 산화물 SiO_2를 20nm 두께로 적층시켰다. 이후, 제2 단계에서 N_2 분위기에서 1분동안 300℃, 500℃, 700℃, 900℃ 또는 1100℃로 열처리하고, 직경 200㎛의 Al 전극을 진공에서 시료 상에 증착시켰다.

[0023] 도 3은 다양한 스위프(sweep) 전압에 대해서 10nm $SiO_{1.2}$ 층을 갖는 금속-산화물-반도체의 CV 이력현상(hysteresis) 루프를 나타낸 그래프이다.

[0024] 도 3에 따르면, 모든 시료는 시계 방향으로 C-V 이력현상 루프를 보여주었는데, 이는 기판으로부터 전하-트랩 층으로 전자가 주입되었음을 의미한다. 또한, 10nm SiO_2 시료에서 스위프 전압 증가에 따라 C-V 히스테레시스의 폭 (메모리 윈도우)이 증가하여 최대 14V까지 도달하였음을 보여준다.

[0025] 도 4는 산소 함유량에 따른 메모리 윈도우 폭의 변화를 나타낸 그래프이다.

[0026] 도 4에 따르면, 스위프 전압이 증가하면 메모리 윈도우가 증가하며 (● 표시), 산소 함유량이 증가하면 메모리 윈도우가 감소한다(■ 표시). 예컨대, 스위프 전압을 ± 5V에서 ± 15V로 변화시키면 메모리 윈도우는 약 0.6V부터 약 14V로 증가한다. 또한, 실리콘 과잉 산화막 층을 갖지 않는 메모리 커패시터는 스위프 전압이 증가하더라도 단지 수십 밀리볼트의 메모리 윈도우를 나타내었는데, 이는 메모리 효과가 거의 없음을 의미한다. 따라서, 메모리 효과는 실리콘 과잉 산화막 층으로부터 비롯되며, SiO_2 또는 Si/SiO_2 계면의 결함 상태에서는 발생되지 않음을 알 수 있다.

[0027] 도 5는 실리콘 과잉 산화막 박막의 in-situ Si 2p 코어-레벨 X선 광전자 분광기 스펙트럼을 x 함수로서 나타낸 그래프이다.

[0028] 도 5에 도시된 바와 같이, 99.7eV 및 103.7eV의 2개 주요 X선 광전자 분광기 피크는 금속성 Si ($Si0^{+}$) 및 완전 산화된 $SiO_2(Si^{4+})$에 각각 해당한다. $SiO_{1.0}$ 층에 대한 X선 광전자 분석기 스펙트럼을 분석한 결과에 따르면, Si 산화 상태에 해당하는 5개의 화합물 구조식 Si^{n+} (n = 0 ~ 4)은 문헌[K.J.Kim, J.W.Kim, M.S.Yang and J.H.Shin, Phys. Rev. B74, 153305 (2006)]에 보고된 바와 같이, 99.7 eV, 100.6 eV, 101.4 eV, 102.5 eV 및 103.7 eV의 결합 에너지에서 명확하게 구별된다. 3개의 부분 산화 상태 Si^{1+}, Si^{2+} 및 Si^{3+}는 가장 인접한 O 원자를 상이한 개수로 갖는 Si 원자때문이므로, 이들은 비휘발성 메모리의 전하-트랩 중심으로 작용하는 비-가교(nonbridging) 산소 정공 중심 및 중성 산소 공동(neutral oxygen vacancy)과 같은 고밀도 산소-결핍된 결함 중심을 함유한다.

[0029] 도 5에서 알 수 있듯이, x 값의 증가는 금속성 Si 구성성분을 감소시키고, 이와 함께 SiO_2 구성성분을 증가시킴으로써 Si 아산화물 상태의 밀도를 변화시킨다. 1.6 이상의 x를 갖는 실리콘 과잉 산화막 층의 경우에는, Si^{0+}를 거의 갖지 않고, Si^{4+} 피크만이 지배적으로 존재하는데, 이는 Si 아산화물 상태가 최소화됨을 의미하며 도 4에 나타난 바와 같이 1.6 이상의 x에서 메모리 윈도우가 매우 작아지는 원인이 된다.

[0030] 트랩에 저장되는 전하의 양은 식 $Q = C \triangle V_{MW}$에 의해 추정될 수 있는데, 여기에서 C는 커패시턴스 밀도이고, V_{MW}은 메모리 윈도우이다. 이 식에 의하면, 본 발명에서 트랩에 저장되는 전자 밀도는 x = 1.0 내지 1.4인 경우에 $(3.9 - 8.8) \times 10^{12}$ cm^{-2}인 것으로 계산되는데, 상기 수치는 Si-NC 비휘발성 메모리의 트랩 밀도보다 훨씬 크고, SONOS의 트랩 밀도와 유사하다.

[0031] 도 6은 x=1.0인 실리콘 과잉 산화막 층의 두께 함수(t)로서 메모리 윈도우를 도시하고 있다. 전하 트랩 중심이 증가하기 때문에 t를 6nm 이하까지 증가시키는 경우에는 메모리 윈도우가 증가하지만, t=6nm 이상에서는 거의 포화되는데, 이는 일정 스위프 전압(± 9V)에서 주입되는 제한된 전하수 때문일 수 있다. 또한, 도 6은 ± 11V의 스위프 범위에서 측정한 x=1.2인 시료의 메모리 윈도우를 열처리 온도(T_A) 함수로서 나타낸다. 열처리 온도를 300℃에서 700℃로 증가시킴에 따라 메모리 윈도우는 감소하지만, 900℃ 이상에서는 실리콘 과잉 산화막 층이 Si 나노결정으로 변화하면서 메모리 윈도우가 증가함을 나타낸다.

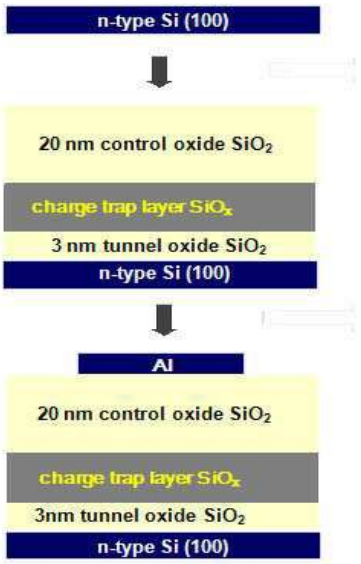
[0032] 도 7은 $SiO_{1.0}$ 박막의 ex-situ X선 광전자 분광기 스펙트럼을 T_A 함수로서 나타낸다. 도 7에 따르면, 열처리 전의 시료에서 Si^{4+} 피크는 Si^{0+} 피크보다 높아서 도 5의 in-situ 경우와는 다른데, 표면 산화물에 기인한 것일 수 있다. Si^{4+} 피크는 열처리 동안의 산화로 인해 열처리 후에 보다 높은 에너지로 이동한다. 열처리 후의 스펙트럼의 형상 변화로부터, 실리콘 과잉 산화막 층에 있는 Si 아산화물 상태 (또는 전하-트랩 중심)의 밀도가 열처리에 의해 상당히 감소된 것을 알 수 있으며, 이는 도 6에 나타낸 바와 같이 700℃ 이하에서 메모리 윈도우의 T_A-의존적 변화와 일치한다. 900℃ 이상에서 T_A가 더 증가하면 메모리 윈도우는 조금씩 증가하는데, 이는 문헌[D.M.Zhigunov, V.N.Seminogov, V.Y.Timoshenko, V.I.Sokolov, V.N.Glebov, A.M.Malyutin, N.E.Maslova, O.A.Shalygina, S.A.Dyakov, A.S.Akhmanov, V.Y.Panchenko, and P.K.Kashkarov, Physician E (Amsterdam) 41, 1006 (2009)]에 보고된 바와 같이, 상기 온도에서 Si NC의 형성으로부터 비롯된 것일 수 있다.

[0033] 도 8은 다양한 x 값에서 메모리 커패시터의 상온 전하-리텐션 특성을 비교한 그래프이다. 프로그래밍과 삭제는 각각 1초동안 ±10V에서 실시하였다. 이에 따르면, 10^4초까지 데이터 보존 특성을 보이는 것을 알 수 있으며, 특히 x 값이 1.2일 때 전하를 가장 많이 저장하고 전하 손실이 가장 적다.

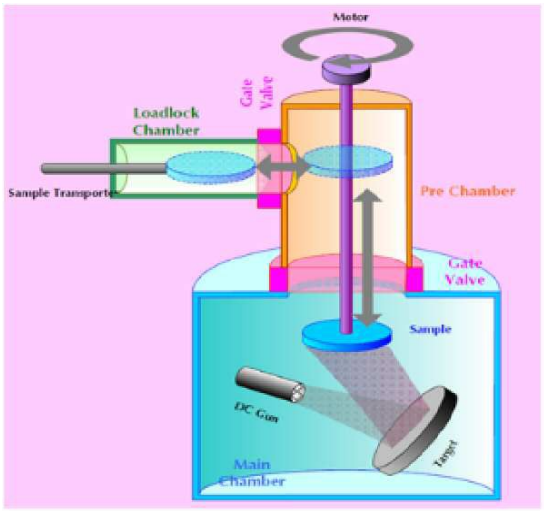
[0034] 도 9는 전하 손실 비율을 x 함수로서 요약한 것으로, 여기에서 전하 손실 비율은 10^4초동안 감소된 메모리 윈도우의 상대적 수치로 정의된다. 도 9에 따르면, 전하 손실 비율은 x = 1.0에서 거의 100%이고, 이는 도 5에도 나타난 바와 같이 x=1.0에서 Si^{0+} 구성성분이 지배적으로 존재하기 때문으로 생각된다. 고비율의 Si는 실리콘 과잉 산화막 층에서 일종의 연결된 전기전도 경로(conduction path)를 형성할 수 있어서, 전하 누설(charge leakage) 증가에 의해 큰 전하 손실 비율을 발생시킨다. 전하 손실 비율은 x=1.2에서 급격히 감소하지만, 1.2 이상의 x에서는 더 증가한다. 리텐션 상태에서, 전자는 실리콘 과잉 산화막 중에 있는 트랩 중심에서 Si 기반 또는 금속 접촉부까지 누설되기 위하여 실리콘 과잉 산화막/SiO_2 에너지 배리어(barrier)를 통해 터널화되어야 한다. 실리콘 과잉 산화막의 흡수 스펙트럼으로부터 결정된 최적 밴드 갭은 실리콘 과잉 산화막의 산소 농도가 증가할수록 증가하는 것으로 밝혀졌다. 이는 x가 커지면 실리콘 과잉 산화막/SiO_2 배리어가 낮아져서, 전하 손실 비율을 증가시킴을 의미하는데 이는 도 9에 나타난 바와 같이 x가 1.2 이상에서 증가함에 따라 전하 손실 비율이 점차 증가하는 이유를 설명해준다.

도면

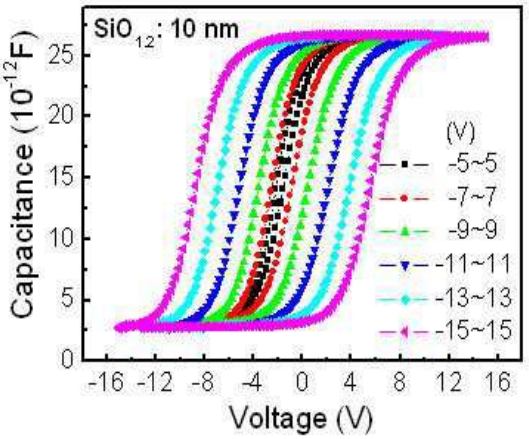
도면1


n-type Si (100)
20 nm control oxide SiO_2
charge trap layer SiO_x
3 nm tunnel oxide SiO_2
n-type Si (100)
Al
20 nm control oxide SiO_2
charge trap layer SiO_x
3nm tunnel oxide SiO_2
n-type Si (100)

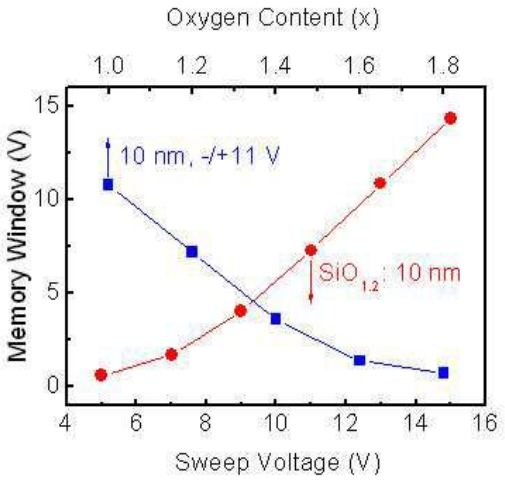
도면2


Motor
Gate Valve
Loadlock Chamber
Sample Transporter
Pre Chamber
Gate Valve
Sample
DC Gun
Target
Main Chamber

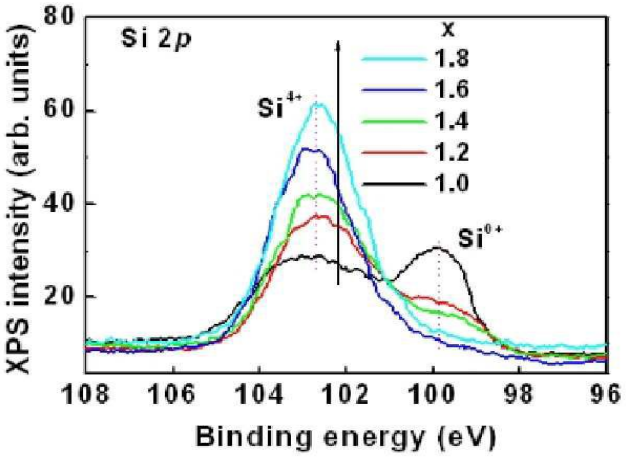
도면3


SiO1.2: 10 nm
Capacitance (10-12F)
Voltage (V)
(V)
-5~5
-7~7
-9~9
-11~11
-13~13
-15~15

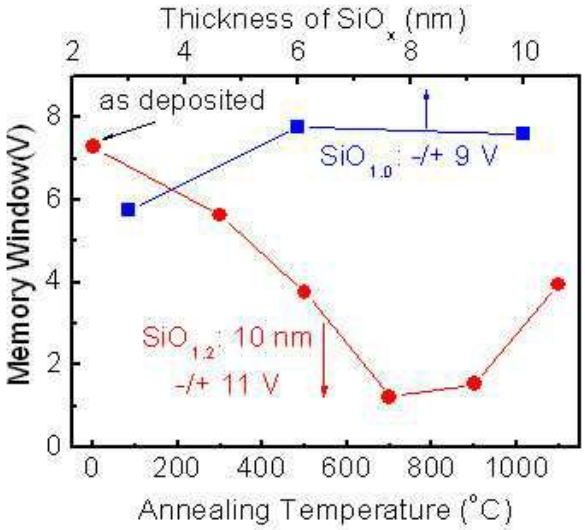
도면4


Oxygen Content (x)
Memory Window (V)
Sweep Voltage (V)
10 nm, -/+11 V
SiO1.2: 10 nm

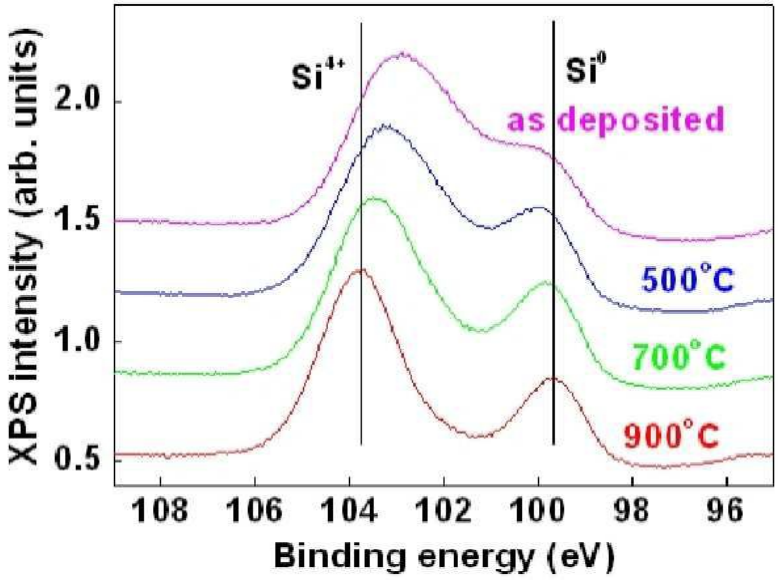
도면5


Si 2p
x
1.8
1.6
1.4
1.2
1.0
Si4+
Si0+
XPS intensity (arb. units)
Binding energy (eV)

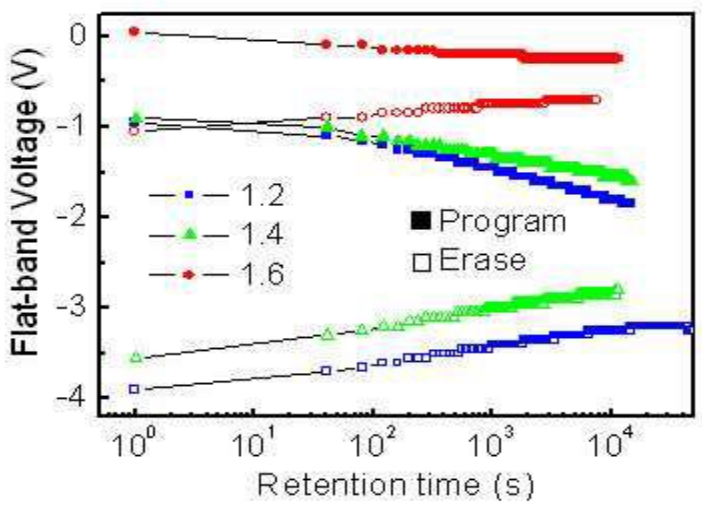
도면6


Thickness of SiO$_x$ (nm)
2
4
6
8
10
as deposited
SiO$_{1.0}$: -/+ 9 V
SiO$_{1.2}$: 10 nm
-/+ 11 V
Memory Window(V)
0
2
4
6
8
0
200
400
600
800
1000
Annealing Temperature (°C)

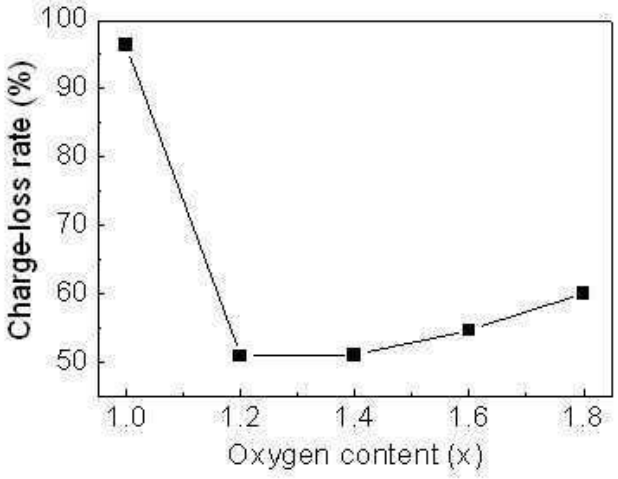
도면7


Si^{4+}
Si^0
as deposited
500°C
700°C
900°C
XPS intensity (arb. units)
0.5
1.0
1.5
2.0
108
106
104
102
100
98
96
Binding energy (eV)

도면8


Flat-band Voltage (V)
0
-1
-2
-3
-4
1.2
1.4
1.6
Program
Erase
10^0
10^1
10^2
10^3
10^4
Retention time (s)

도면9


Charge-loss rate (%)
100
90
80
70
60
50
1.0
1.2
1.4
1.6
1.8
Oxygen content (x)