

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5116844号
(P5116844)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl.

F I

H O 3 F 1/26 (2006.01)

H O 3 F 1/26

H O 3 F 3/189 (2006.01)

H O 3 F 3/189

請求項の数 20 (全 15 頁)

(21) 出願番号	特願2010-509798 (P2010-509798)	(73) 特許権者	598036300
(86) (22) 出願日	平成20年5月23日 (2008. 5. 23)		テレフオンアクチーボラゲット エル エ
(65) 公表番号	特表2010-528545 (P2010-528545A)		ム エリクソン (パブル)
(43) 公表日	平成22年8月19日 (2010. 8. 19)		スウェーデン国 スtockホルム エスー
(86) 国際出願番号	PCT/EP2008/056353		1 6 4 8 3
(87) 国際公開番号	W02008/145604	(74) 代理人	100076428
(87) 国際公開日	平成20年12月4日 (2008. 12. 4)		弁理士 大塚 康德
審査請求日	平成23年5月17日 (2011. 5. 17)	(74) 代理人	100112508
(31) 優先権主張番号	11/754, 696		弁理士 高柳 司郎
(32) 優先日	平成19年5月29日 (2007. 5. 29)	(74) 代理人	100115071
(33) 優先権主張国	米国 (US)		弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治

最終頁に続く

(54) 【発明の名称】 マルチバンド R F 受信機用の構成設定可能な可変利得の L N A

(57) 【特許請求の範囲】

【請求項 1】

電源に接続された構成設定可能な可変利得の低雑音増幅器 (L N A) であって、該低雑音増幅器は、

無線周波数 (R F) 入出力ポートと、

前記 R F 入力ポートと前記 R F 出力ポートとの間に並列に接続され、すべての増幅器段にはバイアス電圧生成回路が接続されており、個々の増幅器段は異なる幅の R F トランジスタと、前記 R F トランジスタのゲートをバイアス電圧或いは接地と選択的に結合して前記増幅器段の前記バイアスを変更することにより前記増幅器段を選択的に作動可能、或いは、作動不能にするようにし、前記作動可能になった増幅器段における前記 R F トランジスタの実効結合幅を変化させることにより前記低雑音増幅器の利得を変更するよう動作する制御回路とを有する複数の増幅器段と、

すべての増幅器段に接続され、個々の R F トランジスタの前記入力ゲートにおいて熱雑音を伴うことなく実際の抵抗を提示するよう動作するソース縮退インダクタと、

個々の増幅器段の制御回路に接続された制御入力部とを有し、

前記個々の増幅器段は、前記 R F トランジスタと前記 R F 出力ポートとの間で直列に接続された共通のゲートトランジスタをさらに有し、

前記共通のゲートトランジスタは、前記 R F トランジスタの幅にマッチする幅を有し、

前記個々の増幅器段は、前記増幅器段が作動不能にされたとき、前記トランジスタのブレークダウン電圧未満の電圧に前記共通のゲートトランジスタのゲート電圧とソース電圧

を引き下げようように動作する過電圧保護回路をさらに含むことを特徴とする低雑音増幅器。

【請求項 2】

個々の連続し隣接する増幅器段内の前記 R F トランジスタの幅は、前段の増幅器段内の R F トランジスタの幅の 2 倍であることを特徴とする請求項 1 に記載の低雑音増幅器。

【請求項 3】

個々の増幅器段の出力が共に接続され、

前記共通の増幅器段出力と前記 R F 出力ポートとの間で直列に接続されたトランジスタをさらに有することを特徴とする請求項 1 に記載の低雑音増幅器。

【請求項 4】

前記 R F 出力ポートと前記電源との間に接続された誘導負荷をさらに有することを特徴とする請求項 1 に記載の低雑音増幅器。

【請求項 5】

前記誘導負荷はバランの一次巻線を有することを特徴とする請求項 4 に記載の低雑音増幅器。

【請求項 6】

前記 R F 出力ポートと A C 接地との間に接続された同調回路をさらに有し、

前記同調回路は並列に接続された複数のキャパシタを備え、

個々のキャパシタは、該キャパシタと直列に接続されたスイッチによって A C 接地に選択的に結合され、

前記低雑音増幅器の共振周波数は、前記同調回路のスイッチを選択的に作動させることによって調整されることを特徴とする請求項 4 に記載の低雑音増幅器。

【請求項 7】

直列接続されたインダクタとキャパシタとを有し、入力信号と前記 R F 入力ポートとの間に接続された入力インピーダンスマッチングネットワークをさらに有することを特徴とする請求項 1 に記載の低雑音増幅器。

【請求項 8】

前記入力インピーダンスマッチングネットワークは、前記入力信号と接地との間に並列に接続されたインダクタとキャパシタとをさらに有することを特徴とする請求項 7 に記載の低雑音増幅器。

【請求項 9】

前記バイアス電圧発生回路はデジタル制御入力を受信し、

前記バイアス電圧発生回路は、

個々の制御ビットを受信するドライバと、

個々のドライバの出力部に接続された抵抗値 $2R$ の複数の抵抗と前記抵抗値 $2R$ の複数の抵抗の間に接続された抵抗値 R の複数の抵抗とを有する抵抗のラダーと、

前記抵抗のラダーの最後段とバイアス電圧出力との間に接続された抵抗値 R の抵抗とを有することを特徴とする請求項 1 に記載の低雑音増幅器。

【請求項 10】

オプションとして、温度により誘導された電流変動に対して前記バイアス電圧発生回路の出力を補償するように動作する温度追跡回路をさらに有し、

前記温度追跡回路は、夫々が異なる長さ幅とを有する並列に接続された複数の温度追跡トランジスタを有し、

個々の温度追跡トランジスタは、制御入力に応答して前記温度追跡トランジスタを選択的に作動可能、或いは、作動不能にするように動作するイネーブルトランジスタと直列に接続されていることを特徴とする請求項 9 に記載の低雑音増幅器。

【請求項 11】

前記温度追跡回路はバイアス電圧を発生させる抵抗分割器ネットワークをさらに有し、

前記複数の抵抗は夫々、前記抵抗分割器ネットワークを選択的に作動可能、或いは、作動不能にするように動作するスイッチング素子と直列に接続されることを特徴とする請求

10

20

30

40

50

項 1 0 に記載の低雑音増幅器。

【請求項 1 2】

異なる周波数範囲にわたって個々に動作する、選択的に作動可能であり構成設定可能な可変利得の複数の低雑音増幅器 (L N A) であって、

個々の低雑音増幅器が、無線周波数 (R F) 入出力ポートと、前記 R F 入力ポートと前記 R F 出力ポートとの間に並列に接続された複数の増幅器段と、すべての増幅器段に接続されたバイアス電圧生成回路とを有し、個々の増幅器段は、異なる幅を有する R F トランジスタと、前記 R F トランジスタのゲートをバイアス電圧或いは接地と選択的に結合して前記増幅器段の前記バイアス電圧を変更することにより前記増幅器段を作動可能、或いは、作動不能にするようにし、前記作動可能になった増幅器段における前記 R F トランジスタの実効結合幅を変化させることにより前記低雑音増幅器の利得を変更するよう動作する制御回路とを含む可変利得の複数の低雑音増幅器と、

10

個々の増幅器段の制御回路に接続された制御入力部と、

個々の低雑音増幅器に接続され、個々の低雑音増幅器の前記 R F 入力ポートにおいて熱雑音を伴うことなく実際の抵抗を提示するように動作するソース縮退インダクタとをさらに有することを特徴とする請求項 1 に記載の低雑音増幅器。

【請求項 1 3】

前記すべての低雑音増幅器は、ソース縮退インダクタを共有することを特徴とする請求項 1 2 に記載の低雑音増幅器。

【請求項 1 4】

20

1 つ以上の低雑音増幅器のグループは、別個のソース縮退インダクタを共有することを特徴とする請求項 1 2 に記載の低雑音増幅器。

【請求項 1 5】

前記すべての低雑音増幅器は、バイアス電圧発生回路を共有することを特徴とする請求項 1 2 に記載の低雑音増幅器。

【請求項 1 6】

信号源からの R F 信号を増幅する方法であって、

個々の増幅器段が異なる幅を有する R F トランジスタと、前記増幅器段を選択的に作動可能、或いは、作動不能するように動作する制御回路とを含む、並列に接続された複数の増幅器段を備えた構成設定可能な可変利得の低雑音増幅器 (L N A) へ前記 R F 信号を入力する工程と、

30

前記低雑音増幅器に接続されているソース縮退インダクタによって生成される、熱雑音を伴わない実際の抵抗値で前記信号源に対する前記低雑音増幅器のインピーダンスマッチを行う工程と、

前記増幅器段のゲートをバイアス電圧或いは接地に結合することにより、所望の有効な R F トランジスタ幅及び L N A 利得を生成するために 1 つ以上の増幅器段を選択的に作動可能にする工程と、

増幅された R F 信号を出力する工程とを有し、

前記個々の増幅器段は、前記 R F トランジスタと R F 出力ポートとの間で直列に接続された共通のゲートトランジスタをさらに有し、

40

前記共通のゲートトランジスタは、前記 R F トランジスタの幅にマッチする幅を有し、

前記個々の増幅器段は、前記増幅器段が作動不能にされたとき、前記トランジスタのブレイクダウン電圧未満の電圧に前記共通のゲートトランジスタのゲート電圧とソース電圧を引き下げるように動作する過電圧保護回路をさらに含むことを特徴とする方法。

【請求項 1 7】

前記低雑音増幅器の利得を調整するために、或いは、温度を補償するために、或いは、線形性を維持するために、個々の作動状態にされた増幅器段に印加されるバイアス電圧を調整する工程をさらに有することを特徴とする請求項 1 6 に記載の方法。

【請求項 1 8】

所望の周波数で誘導負荷と共振するために同調回路を同調させる工程をさらに有するこ

50

とを特徴とする請求項 1 6 に記載の方法。

【請求項 1 9】

構成設定可能で可変利得の複数の低雑音増幅器へ前記 R F 信号を入力し、前記複数の低雑音増幅器のうちの 1 つを選択的に作動可能にする工程をさらに有することを特徴とする請求項 1 6 に記載の方法。

【請求項 2 0】

個々の低雑音増幅器が所定の周波数範囲に対して最適化されることを特徴とする請求項 1 9 に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0 0 0 1】

本発明は、一般に、増幅器に関し、特に、無線周波数 (R F) 受信用のマルチバンドの構成設定可能な可変利得の低雑音増幅器 (L N A) に関する。

【背景技術】

【0 0 0 2】

L N A は無線通信システムにおける重要な構成要素である。移動体端末は、アンテナにおいて受信された非常に弱い信号をダウンコンバート (ミキシング)、復調、及び復号化のようなさらなる処理が行えるように十分なレベルまで増幅するために L N A を必要とする。送信機から移動体端末までの変動する距離、シールドディング、フェージング、及びその他の影響に起因して、変動する電力レベルで R F 信号が受信される。種々の受信信号を適切に増幅するためには可変利得の L N A が望ましい。例えば、非常に弱い信号はより大きな増幅を必要とし、そのため容認可能な信号対雑音比に達するためにより高い利得を必要とする。しかし、高い利得の L N A は高い電力レベルで受信された信号のクリッピングを引き起こすことになる。したがってより低い利得が必要とされる。

20

【0 0 0 3】

可変利得の L N A は当業で公知のものである。しかし、従来の可変利得の L N A 設計は、低利得モード又は高利得モードのいずれかのモードにおける動作のような非常に粗い利得調整を提供するものにすぎない。さらに、従来の可変利得の L N A のなかには、誘導負荷と並列に接続された抵抗値を変動させることによって利得の変動を達成するものもある。これは物理的抵抗素子に起因して生じる熱雑音を増幅信号の中へ導入することになる。

30

【0 0 0 4】

弱い R F 信号の印加は (名称が暗に意味しているように) 低雑音指数も必要とする。従来の固定 L N A は周波数に応じて異なる周波数帯域で種々の雑音特性を有しており、その周波数に対応して回路の最適化が行われる。異なる周波数帯域に対して別個の L N A が採用されるマルチバンド R F 受信機の場合、容認可能な耐雑音性能は、特定の周波数帯域に対して個々の L N A の耐雑音性能を最適化する個々の L N A のための異なる設計を必要とする場合がある。単一受信機における複数の L N A 設計は開発時間とコストを増加させるものとなる。

【0 0 0 5】

L N A の他の要件として干渉を避けるための線形性がある。L N A の線形性は、電界効果トランジスタ (F E T) のゲートとソース間のオーバドライブ電圧と、F E T ドレイン電流との双方に関係する。一般に、上昇したオーバドライブ電圧はより高い消費電力を代償として払ってより良好な線形性を生み出すことになる。長いチャネルの F E T デバイスの場合、ドレイン電流はトランジスタ幅とオーバドライブ電圧の 2 乗とに比例する。L N A の利得 (A_v) はドレイン電流 I_d とトランジスタ幅 W との積の平方根に関連する相互コンダクタンス g_m に比例する。即ち、

40

$$A_v \propto g_m = \sqrt{\{ (2 \mu_n C_{ox} W I_d) / L \}}$$

である。上式において、それぞれ、 μ_n は電子のモビリティであり、 C_{ox} は単位面積当たりのゲートキャパシタンスであり、 L はチャネル長である。

【発明の概要】

50

【発明が解決しようとする課題】

【0006】

利得は、トランジスタ幅 W とドレイン電流 I_d とのいずれかを変更することによって調整することができる。しかし、従来のLNAは双方のパラメータのいずれも変更することはできない。あるいは、高利得モードと低利得モードなどのような非常に粗いステップでしかパラメータの変更を行うことはできない。この形の利得制御はスムーズなものではなく、かつ、受信信号強度を最適に追跡するために、利得を連続して同調させることはできない。従来のLNAのなかにはバイアス電流を調節することによって利得を調整するものもある。しかし、バイアス電圧が変えられると、LNAの線形性が変化し、この変化に対応する制御方法が存在しない。その他の従来のLNAでは、利得の調整のために減衰ネットワークが採用されるが、この採用によって付加的に雑音が導入されることになる。さらに別の従来のLNAでは利得調整のためにバイバストポロジが利用される。この利得ステップはあまりに大きすぎて、スムーズな同調を行うことができない。

10

【0007】

ほとんどの従来のLNAでは固定されたトランジスタサイズが用いられる。ひとたびトポロジが選択され、トランジスタのサイズが決定されると、これを動的に変更することはできない。これは、スムーズな利得同調、低雑音、高い線形性及び低消費電力のような多くの最適化を不可能にする。

【課題を解決するための手段】

【0008】

20

1以上の実施例によれば、マルチバンドRF受信機フロントエンド用の構成設定可能なLNAアーキテクチャが異なる周波数帯域に対して個々に最適化された1バンクのLNAを有し、個々のLNAは構成設定可能なトポロジを有する。個々のLNAは複数の増幅器段を備え、個々の段は異なる幅を有するRFトランジスタを含む。LNAのRFトランジスタを選択的に作動可能、或いは、作動不能にすることによって、有効なトランジスタ幅をきめ細かな精度で制御することが可能となる。デジタル/アナログ変換器(DAC)は小さな量子化ステップでバイアス電圧を発生させ、きめ細かな制御精度を提供する。高い電源電圧は改善された線形性をLNAに提供し、かつ、過電圧保護回路はそのブレイクダウン電圧を超えた量だけ電源電圧からトランジスタをシールドする。ソース縮退インダクタは、熱雑音を導入しない、RF信号源インピーダンスマッチのためのLNAの入力部における実際の抵抗値を提示する。

30

【0009】

1つの実施例は電源に接続された構成設定可能な可変利得のLNAに関する。LNAはRF入出力ポートと、該RF入出力ポート間で並列に接続された複数の増幅器段とを含む。個々の増幅器段は、異なる幅を有するRFトランジスタと、増幅器段を選択的に作動可能、或いは、作動不能にするように動作する制御回路とを含む。LNAはすべての増幅器段に接続されたバイアス電圧発生回路をさらに含む。ソース縮退インダクタはすべての増幅器段に接続され、RF信号源インピーダンスにマッチさせるように熱雑音を伴わない実際の抵抗値を提示する。制御入力部が個々の増幅器段の制御回路に接続されている。増幅器段を選択的に作動可能にし、バイアス電圧を変更することによってLNAの利得は、制

40

【0010】

別の実施例はマルチバンド低雑音増幅器(LNA)バンクに関する。LNAバンクは複数の選択的に作動可能にされる、構成設定可能な可変利得のLNAを含む。個々のLNAは異なる周波数範囲にわたって動作する。個々のLNAは無線周波数(RF)入出力ポートと、RF入力ポート及びRF出力ポートとの間に並列に接続された複数の増幅器段とを備える。個々の増幅器段は異なる幅を有するRFトランジスタと、増幅器段を選択的に作動可能、或いは、作動不能にするように動作する制御回路とを含む。LNAバンクはまた、個々の増幅器段制御回路に接続された制御入力部と、すべての増幅器段に接続されたバイアス電圧発生回路とを含む。LNAバンクは個々のLNAに接続され、かつ、個々の増

50

幅器段への熱雑音を伴わないRF信号源インピーダンスにマッチさせるための実際の抵抗値を提示するように動作するソース縮退インダクタをさらに含む。

【0011】

さらに別の実施例は信号源からRF信号を増幅する方法に関する。RF信号は並列に接続された複数の増幅器段を備えるように構成設定可能な可変利得の低雑音増幅器(LNA)へ入力される。個々の増幅器段は、異なる幅を有するRFトランジスタと、増幅器段を選択的に作動可能、或いは、作動不能にするように動作する制御回路とを含む。LNAはLNAに接続されたソース縮退インダクタによって生成される、熱雑音を伴わない実際の抵抗値で信号源に対するインピーダンスマッチングが行われる。1以上の増幅器段が所望の有効なRFトランジスタ幅を生成するために選択的に作動可能にされる。増幅されたRF信号が出力される。

10

【図面の簡単な説明】

【0012】

【図1】複数の低雑音増幅器(LNA)を備えたマルチバンドRF受信機の機能ブロック図である。

【図2】図1のRF受信機内のLNAの機能ブロック図である。

【図3】図2のLNA内のイネーブル回路の機能ブロック図である。

【図4】図2のLNA内の過電圧保護回路の機能ブロック図である。

【図5】図2のLNA内の別のイネーブル回路の機能ブロック図である。

【図6】図1のRF受信機内のLNAの第2の実施例の機能ブロック図である。

20

【図7】図1のRF受信機内の同調回路の機能ブロック図である。

【図8A】図1のRF受信機内のマッチングネットワークの回路図である。

【図8B】図1のRF受信機内のマッチングネットワークの回路図である。

【図9】図1のRF受信機内のバイアス電圧発生回路の機能ブロック図である。

【図10】図1のRF受信機内の温度補償回路の機能ブロック図である。

【図11】図1のRF受信機内のソース縮退インダクタの動作を描く増幅器段の回路図である。

【図12】RF信号を増幅する方法を示すフローチャートである。

【発明を実施するための形態】

【0013】

30

図1は、例えば、無線通信システムにおいて好適に利用することができる構成設定可能なマルチバンドRF受信機10を描いている。マルチバンドRF受信機10は、個々にRF信号 $RF_{in}[i]$ を増幅する複数の(すなわち1からn個の)低雑音増幅器(LNA)を備える。但し、異なる周波数範囲において $i = 1, 2, \dots, n$ である。個々のLNA12は対応する $LE_n[i]$ ビットによって別々に動作可能になり、このうちの1つのみが通常ある時点で論理ハイに設定される。個々の入力信号 $RF_{in}[i]$ は、インピーダンスマッチングネットワーク14を介して対応するLNA12と結合される。ここでより詳細に記述されるように、LNA12の入力に対する抵抗を抵抗素子を介して提示する際に発生する熱雑音を伴うことなく、ソース縮退インダクタ16が実際の抵抗に変換される。個々のLNA12において、単一のソース縮退インダクタ16を対応する入力ノードと接続することにより、すべてのLNAがこのインダクタ16を共有するようにしてもよいし、あるいは、特定の実施形として必要又は所望に応じて2以上の別々のソース縮退インダクタ16を用いるようにしてもよい。

40

【0014】

個々のLNA12は、共通のマルチビット分岐実行信号 $BE_n[I:m]$ (但し、 $XX[1:x]$ はxビットを有するデジタル制御バス XX であり、 $XX[1]$ 、 $XX[2]$ 、 $\dots, XX[X]$ を表す。これと同じ表示例は以後同様の記号についても適用される)を受信する。ここで、さらに詳述するように、上記分岐イネーブル信号は、個々のLNA12内において、個々の増幅器段または分岐を選択的に作動可能、或いは、作動不能にする。RFトランジスタバイアス電圧がマルチビットデジタルバイアス制御 $[1:s]$ 信号とイ

50

ネーブル信号 $E n D A C$ とに 応答して バイアス $D A C$ 回路 18 において 生成される。信号 バイアス制御 [1 : s] を任意に 広くし、スムーズな利得制御を行うために バイアス電圧を調整する際、任意にきめ細かな量子化ステップを提供することが可能となる。

【0015】

オプションの温度追跡回路 20 は、マルチビットデジタル温度制御 [1 : t] 信号とイネーブル信号 $E n T e m p$ とに 応答して温度効果を補償するために バイアス電圧の調整を行う。マルチビットデジタル温度制御信号の値は較正処理手順中に決定される。バイアスデカップリングキャパシタ 22 はバイアスラインに対するクロストークを除去する。バイアス電圧はすべての $L N A 1 2$ へ分配される。

【0016】

選択された $L N A 1 2$ の出力部 $R F_{out}$ は誘導負荷 24 を駆動し、次いで、 $L N A 1 2$ の共振周波数はマルチビットデジタル同調制御 [1 : p] 信号に 応答して同調回路 26 により調整される。

【0017】

図 2 は $L N A 1 2$ を描いている。図 1 に示されているように、 $L N A 1 2$ は、 $R F$ 入力部 $R F_{in} [J]$ 、 $L N A$ イネーブル入力部 $L E n [J]$ 、分岐イネーブル入力部 $B E n [1]$ 、...、 $B E n [m]$ 、及びソース縮退インダクタ入力ノード s を有する。 $L N A 1 2$ はノード $R F_{out}$ において $R F$ 信号を出力する。 $L N A 1 2$ は、複数の (m 個の) 増幅器段 (分岐 30) を備え、個々の段 30 は、直列に接続された共通のソースと共通のゲートトランジスタ 34 とで構成された $R F$ トランジスタ 32 を含む。増幅器段 30 は制御入力信号 $B E n [1]$ 、...、 $B E n [m]$ に 応答して選択的に作動可能又は作動不能にされる。 $R F_{out}$ 信号は、非作動状態にされたすべての増幅器段 30 の共通のゲートトランジスタのドレインにおいて受け取られる。

【0018】

個々の増幅器段 30 内のトランジスタ 32、34 の幅のマッチングが行われ、これらの幅は、他の増幅器段 30 内のトランジスタ 32、34 の幅とは異なっている。1 つの実施例では、トランジスタ 32、34 の幅は 2 進重み付けされた幅に従い、それによって個々の連続する隣接の増幅器段 30 は前の段 30 の 2 倍の幅、或いは、 $W_{i+1} = 2 W_i$ であるトランジスタ 32、34 を含むようになる。但し、 $R F$ トランジスタ 32 と共通のゲートトランジスタ 34 の双方に対して $i = 1, 2, \dots, m - 1$ である。別の実施例では、一定のスケール係数による重み付けがトランジスタのサイズ設定に適用され、それによって個々の連続する隣接の増幅器段 30 の間の利得ステップは一定となる。

【0019】

即ち、

$$(W_{k+1} / W_k) = \sum_{i=0}^{k+1} w_i / \sum_{i=0}^k w_i = \text{一定}$$

である。但し、 w_i は i 番目の増幅器段 30 におけるトランジスタ 32、34 の幅であり、 W_k は利得ステップ k で作動可能になるトランジスタの全幅である。

【0020】

図 3 にさらに詳細に描かれているように、個々の増幅器段 30 内にある共通のゲートトランジスタ 34 は、共通のゲートトランジスタ 34 のイネーブル回路 $E n C G 36$ によって、 $L E n [J]$ と $B E n [I : m]$ の入力に 応じて選択的に作動可能にされる。 $E n C G$ 回路 36 は、 $N A N D$ ゲート論理回路 50 と、トランジスタ 52 とを含み、該 $E n C G$ 回路 36 は、 $L E n [J]$ と $B E n [k]$ が双方とも論理ハイでなくなるといつでも、そのゲートの V_{dd} との接続を切断することによって共通のゲートトランジスタ 34 を作動不能にする。 $E n C G$ 回路 36 は、インバータ論理回路 54 の出力部において増幅器段 30 のイネーブル信号 $E n [k]$ を発生させるためのインバータ論理回路 54 も含む。キャパシタ 53 は電源に接続され、良好な $A C$ 接地を共通のゲートトランジスタへ提供して、バイアスからの好ましくない雑音を低減する。

【0021】

図 2 に戻ると、増幅器段 30 のイネーブル信号 $E n [k]$ は、図 5 にさらに詳細に描か

10

20

30

40

50

れているRFトランジスタ32のイネーブル回路EnRF40へバイアス電圧Biasと共に入力される。En[k]信号が(図3及び図5に描かれている実施例における論理ハイレベルで)アサートされれば、トランジスタ72、74はバイアス電圧をRFトランジスタ32のゲート(G_{KRF})と接続する。増幅器段30が作動不能にされ、かつ、En[k]信号が(論理ローで)デアサートされた場合、RFトランジスタ32のゲート(G_{KRF})からバイアス電圧を切断するためにトランジスタ72、74はターンオフされ、次いで、そのゲートを接地へ引き下げることによりRFトランジスタ32を作動不能にするためにトランジスタ76、78がターンオンされる。再び図2を参照すると、増幅器段30が作動不能にされると、そのRFトランジスタ32のゲートは、他の非作動状態にされた増幅器段30内のRFトランジスタ32へ提供されるDCバイアス電圧からキャパシタ42によって隔離される。

10

【0022】

LNA12の出力時の誘導負荷24に起因して、増幅されたRF信号RF_{out}の最高ピークが誘導負荷のQと入力RF信号レベルとに応じて電源電圧を著しく上回る場合がある。所望の線形性と利得とを維持し、しかも、LNA12内の非作動状態にされた増幅器段30においてトランジスタ32、34を損傷しないように適当な電源電圧が選択される。しかし、この電源電圧は作動不能にされた増幅器段30内にあるトランジスタ32、34のブレイクダウン電圧を上回る場合がある。例えば、電源電圧は1.8Vとなる場合もあれば、トランジスタ32、34のブレイクダウン電圧は1.2Vとなる場合もある。図4にさらに詳細に描かれている過電圧保護回路OVP38は作動不能にされた増幅器段30内のトランジスタ32、34を過度の電源電圧から保護する。増幅器段30のイネーブル信号En[k]がデアサート(論理ローの状態に)されると、トランジスタ62は V_{dd} とアースの間にある電圧レベル V_m へ共通のゲートトランジスタ34のゲート(G_K)を引っ張る。同様に、トランジスタ64はRFトランジスタ32のドレイン(D_{KRF})を V_m へ引っ張る。これに応じて、トランジスタ32、34の双方は電源電圧 V_{dd} よりも低いドレイン-ソース間の有効な電圧降下を経験することになる。1つの実施例では、 V_{dd} の中間値近くに V_m を選択することができる。電圧ソースを発生させる V_m (不図示)は消費電力を低減するために高い出力インピーダンスを有することが望ましい。

20

【0023】

図6はLNA12の別の実施例を描いた図である。この実施例では、すべての増幅器段30の共通のゲートトランジスタ34は単一の共通ゲートトランジスタ34'の中へマージされる。この実施例では、増幅器段30は実際にはRFトランジスタ32であり、これらのRFトランジスタ32は、増幅器段の(図3の回路に類似した回路により発生される)イネーブル信号En[k]の制御の下で、RFトランジスタ32のイネーブル回路EnRF40により選択的に作動可能、或いは、作動不能にされる。

30

【0024】

図1に描かれているように、マルチバンド受信機10内のすべてのLNA12は単一の誘導負荷24と同調回路26とを共有する。図1の実施例では、LNA12はさらに単一のソース縮退インダクタ L_s 16も共有する。但し、別の実施例では、種々のグループの複数のLNA12が別のソース縮退インダクタ16を共有することも可能である。図7に描かれているように、誘導負荷は単一のインダクタ L_p 24又は受信機10の出力RF_{out}をミキサすなわち第2の段のLNA25と結合するバランのような変圧器の1次コイルを有していても良い。

40

【0025】

図7にも描かれているように、同調回路26はトランジスタスイッチ82と個々に直列に接続された1グループのキャパシタ80を備える。トランジスタスイッチ82は伝送ゲート又はPMOS/NMOSトランジスタを備えてもよい。スイッチ82はpビット幅のデジタル入力である同調制御[1:p]によって制御される。1つの実施例では、キャパシタ80と、スイッチ82の幅の双方には2進重み付けが行われる。キャパシタは、同調回路26の中へ又は同調回路26の中からスイッチを切り替えて、特定の周波数で利得を

50

ブーストしながら当該周波数で誘導負荷 2 4 と共振するようにすることができる。

【 0 0 2 6 】

図 8 A 及び図 8 B は、図 1 に描かれている入力マッチングネットワーク 1 4 の 2 つの実施例を描いている。これら両方の図において、 L_{q1} と L_{q2} はボンドワイヤ又はパッケージにより導入されるインダクタンスのような IC パッケージに関連づけられた寄生インダクタである。同様に、 C_{q1} と C_{q2} とは基板及びパッケージによる実装構成に係る寄生キャパシタである。キャパシタ C_{in90} は入力 AC 結合キャパシタである。

【 0 0 2 7 】

図 8 A では、入力インダクタ L_{in86} 及びオプションとして入力キャパシタ C_{i84} が分路内に接続されている。この実施例では、インダクタ L_{in86} と L_{g88} は、若干の電圧利得を導入する自動結合変圧器 (self-coupling transformer) を形成する。図 8 A の実施例は特別のユーティリティを周波数範囲において発見することができ、この周波数範囲内において ESD 保護及びパッケージにより導入されたキャパシタンスを共振周波数で同調させることができる。このマッチングネットワーク 1 4 は回路を同調させるための増大した柔軟性も提供する。図 8 B のマッチングネットワーク 1 4 は、入力信号インダクタ L_{in86} を伴うことなく、図 8 A の実施例の場合よりも少ない雑音を示すが、小さい利得も有するものとなる。この実施例はより低い周波数で好適に用いることができる。

【 0 0 2 8 】

図 9 はバイアス DAC 回路 1 8 を描いている。この回路は、R - 2 R レジスタラダーに接続された複数のドライバ 9 0 を備えたデジタル / アナログ変換器 (DAC) である。ドライバ 9 0 の入力バイアス制御 [1 : s] 制御バスのビットであり、DAC は EN DAC 信号によって作動可能となる。

【 0 0 2 9 】

図 1 0 は温度変化に起因して生じる電流の変動を補償するオプションの温度追跡回路 2 0 を描いている。温度制御 [1 : t] バスは温度追跡トランジスタ 9 8 を回路 2 0 の中へ又は回路 2 0 から切り替えて、トランジスタ 9 6 を選択的に作動可能にしたり、作動不能にしたりする。温度追跡トランジスタ 9 8 は異なるトランジスタ長及び幅を有する。例えば、初期設定中などに、較正処理手順の変動に基づいて最善の温度追跡トランジスタ 9 8 を選択することができる。温度制御 [1 : t] バスがすべて 0 になると、温度追跡回路 2 0 は作動不能となる。制御信号 EN Temp がアサートされた場合、トランジスタ 1 0 2 と 1 0 4 とが導通して、レジスタ 1 0 6、1 0 8 間に分圧器ネットワークを形成し、粗いバイアス電圧を生みだし、この粗いバイアス電圧をバイアス DAC 回路 1 8 によって生成されたバイアス電圧と同調させることができる。

【 0 0 3 0 】

代表的な LNA 1 2 の増幅器段 3 0 を描く図 1 1 を参照しながらソース縮退インダクタ 1 6 の動作について説明する。増幅器段 3 0 の入力インピーダンスは Z_{in} であり、この入力インピーダンスは以下のように表現することができる。即ち、

$$Z_{in} = (1 / s C_{gs}) + \omega_T L_s$$

である。但し、 $\omega_T = g_m / C_{gs}$ は MOS 型トランジスタのカットオフ周波数であり、 C_{gs} は RF トランジスタのゲート - ソースのキャパシタンスである。

【 0 0 3 1 】

Z_{in} の第 2 項は、実際の抵抗属性を示す物理的周波数とインダクタンス L_s との積である。この抵抗はソース縮退効果によって生みだされ、RF トランジスタのゲートにおいて生じる抵抗である。純粋なインダクタンスには熱雑音が含まれていない。そのため、生みだされた抵抗にも熱雑音が存在しない。信号源のインピーダンスにマッチさせるためにこの抵抗を用いることにより、実際の抵抗器を用いるときに遭遇する 3 dB の雑音係数の縮退が避けられることになる。しかし、この縮退は入力インピーダンスマッチングネットワークに要求される実際の抵抗マッチを提供するものである。劣悪なインピーダンスマッチングは、RF トランジスタ 3 2 のゲートへ渡される信号源電力を減らし、利得を減じることになる。したがって、ソース縮退インダクタ 1 6 を使用することによって、雑音を最小

10

20

30

40

50

限にとどめながら L N A 1 2 の利得は最大化されることになる。

【 0 0 3 2 】

本発明は従来の L N A に比べ優れた非常に多くの効果を提示するものである。異なる幅のトランジスタ 3 2、3 4 を個々に備えた 1 以上の増幅器段 3 0 を選択的に作動可能にすることによって、L N A 1 2 の有効な幅全体を動的に変更して、受信環境と、要求される利得と、消費電力とに最適化させることが可能となる。

【 0 0 3 3 】

いくつかの R F 周波数では、L N A における耐雑音性能はトランジスタ幅とバイアス電圧との関数である。高度の C M O S 技術の場合、フリッカ雑音が雑音指数に影響を与えることになる。低い R F 周波数では、広いトランジスタ幅ほどフリッカ雑音の影響を低減することができる。しかし、より高い R F 周波数では、L N A からの十分な貫通導電性 (transconductivity) を達成するために、通常より高いオーバドライブ電圧が要求され、さらに、最低雑音指数を達成するための最適のトランジスタのサイズは低い R F 周波数でのサイズよりも小さいものとなる。図 2 に描かれているような L N A 1 2 用の構成設定可能なトポロジを用いて、バイアス電圧と増幅器段 3 0 の数とを調整することにより最小限の雑音にすることが可能となる。

【 0 0 3 4 】

広い制御ワード幅、したがって小さな量子化ステップを有するバイアス D A C 1 8 と共に、増幅器段 3 0 を選択的に作動可能にすることによって、有効なトランジスタ幅を変動させる機能は、広い周波数帯域にわたるスムーズな利得制御を可能にする。R F_{in} 信号が中程度の出力又は高出力のレベルで受信された場合、増幅器段 3 0 のいくつかは、作動不能にされて、消費電力を減らし、さらには抵抗器ネットワークにおいて行われるような従来の減衰方法に固有の耐雑音性能の減損を避けることができる。

【 0 0 3 5 】

干渉が存在するとき高い線形性が要求される。改善された線形性にはさらに大きなオーバドライブ電圧が要求されることになるが、このオーバドライブ電圧の達成は、同数の増幅器段 3 0 を作動可能に保持するか、増幅器段 3 0 の数を減らすかのいずれかを行って、バイアス電圧を上げることにより可能となる。過電圧保護回路は、作動不能にされた増幅器段 3 0 内のトランジスタ 3 2、3 4 を損傷から保護する。したがって、強い干渉が存在するとき、L N A 1 2 の線形性を改善することが可能となる。

【 0 0 3 6 】

図 1 2 は信号源から R F 信号を増幅し、上記の種々のパラメータに沿って増幅器 1 2 を最適化する方法 2 0 0 を描いている。1 以上の構成設定可能な可変利得の L N A 1 2 を備えた受信機 1 0 に R F 信号を入力することによって方法 2 0 0 は開始する。この可変利得の L N A 1 2 は、ソース縮退インダクタ 1 6 によって生成される、熱雑音を伴わない実際の抵抗値で信号源に対するインピーダンスマッチングが行われる (ブロック 2 0 1)。1 ビットの L E n [n] バスをアサートするなどによって 1 つの構成設定可能な可変利得の L N A 1 2 を作動可能にすることにより、そして、バイアス制御 [1 : s] バスを介してバイアス D A C 回路 1 8 を調整するなどによってバイアス電圧をセットすることにより、チャンネルが選択される (ブロック 2 0 2)。L N A 1 2 の出力は、同調制御 [1 : p] バスを介して同調回路 2 6 を調整するなどによって利得を最大化するために誘導負荷 2 4 と共振するように同調される (ブロック 2 0 4)。

【 0 0 3 7 】

作動可能にされた構成設定可能な可変利得の L N A 1 2 は並列に接続された複数の増幅器段 3 0 を備え、個々の増幅器段 3 0 は、異なる幅を有する R F トランジスタ 3 2 と、増幅器段 3 0 を選択的に作動可能、或いは、作動不能にする制御回路 3 6、4 0、4 2 とを含む。所望の性能に基づいて、L N A 1 2 の動作は種々のパラメータに沿って最適化することができる (ブロック 2 0 6)。例えば、線形性の改善を図る (ブロック 2 0 8) ために、B e n [I : m] バスを介して増幅器段 3 0 を作動不能にするなどによってアクティブな増幅器段 3 0 の数を選択的に減らすことができる (ブロック 2 0 8 b)。バイアス制

御 [1 : s] バスを調整することによってバイアス D A C 回路 1 8 のバイアス電圧出力を上げることが可能であり (ブロック 2 0 8 c) 、共振同調周波数は、同調制御 [1 : p] バスによって調整することによってオフセットして、同調回路 2 6 の出力キャパシタンスを変更することができる (ブロック 2 0 8 d) 。ここで留意すべき点として、方法ステップ 2 0 8 b 、 2 0 8 c 、及び 2 0 8 d は、要求された順序又は所望の順序として任意の順序で実行されてもよいこと、及び、調整は反復可能であることを付記しておく。ブロック 2 1 6 で、制御は L N A 1 2 のさらなる可能な最適化を行うためにブロック 2 0 6 へ戻る。

【 0 0 3 8 】

B E n [I : m] バスを介してアクティブな増幅器段 3 0 の数を増やすこと (ブロック 2 1 0 b) 、バイアス制御 [1 : s] バスによってバイアス電圧を上げること (ブロック 2 1 0 c) 、同調制御 [1 : p] バスによって共振同調周波数を調整すること (ブロック 2 1 0 d) によって、L N A 1 2 を最適化して利得を上げるようにすることができる (ブロック 2 1 0) 。上記とは別に、B E n [I : m] バスを介してアクティブな増幅器段 3 0 の数を減らすこと (ブロック 2 1 2 b) 、バイアス制御 [1 : s] バスによってバイアス電圧を上げること (ブロック 2 1 2 c) 、同調制御 [1 : p] バスによって共振同調周波数を調整すること (ブロック 2 1 2 d) によって、L N A 1 2 を最適化して利得を下げるようにすることができる (ブロック 2 1 2) 。

【 0 0 3 9 】

さらに、B E n [I : m] バスを介してアクティブな増幅器段 3 0 の数を減らすこと (ブロック 2 1 4 b) 、バイアス制御 [1 : s] バスによってバイアス電圧を上げること (ブロック 2 1 4 c) 、同調制御 [1 : p] バスによって共振同調周波数を調整すること (ブロック 2 1 4 d) によって、L N A 1 2 を最適化して雑音を減らすようにすることができる (ブロック 2 1 4) 。

【 0 0 4 0 】

複数のパラメータに沿った構成設定の可能性は、最小限の雑音、最大の利得、最善の線形性、最低の消費電力又はこれらの目標間での種々のトレードオフのために最適化することができる L N A 1 2 を提供するものとなる。受信環境によって要求されるようにバイアスのための温度補償を選択的に作動可能にすることができる。

【 0 0 4 1 】

本発明は、その本質的な特徴から逸脱することなく、本明細書に具体的に記載した方法以外の方法でも実施可能であることはいうまでもない。本実施例は、いかなる点においても、例示にすぎず、本発明を限定するものではなく、添付した請求の範囲の意味する範囲及びそれと均等物の範囲に属するすべての変更は、本発明に含まれることが意図されている。

10

20

30

【図 1】

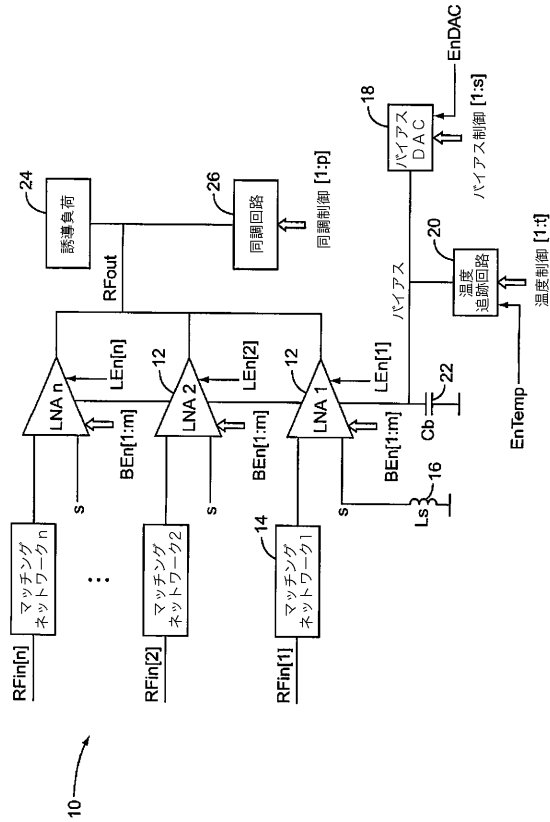


FIG. 1

【図 2】

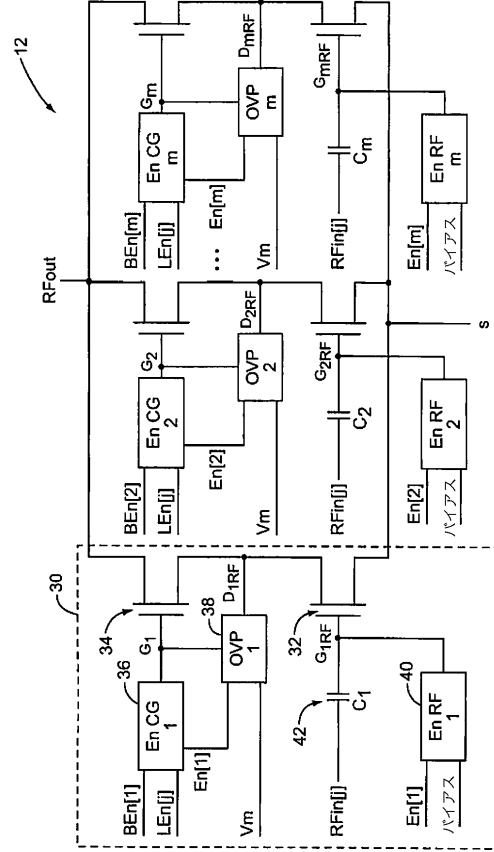


FIG. 2

【図 3】

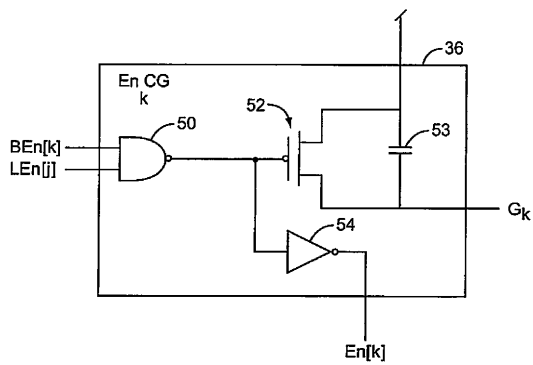


FIG. 3

【図 5】

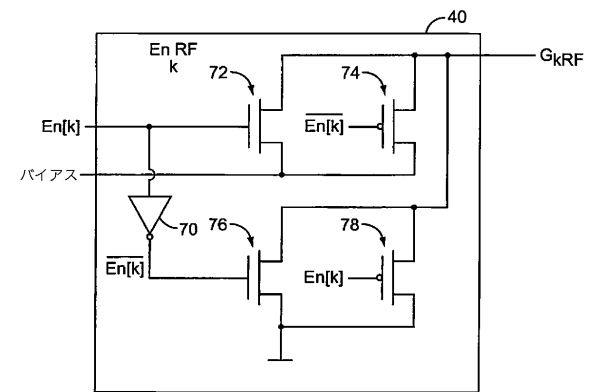


FIG. 5

【図 4】

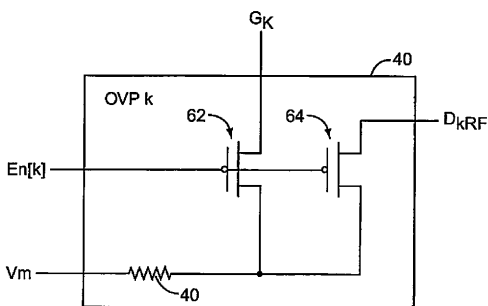


FIG. 4

【図 6】

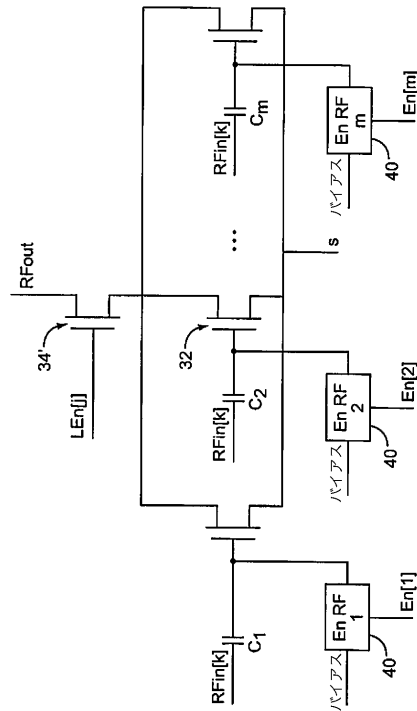


FIG. 6

【図 7】

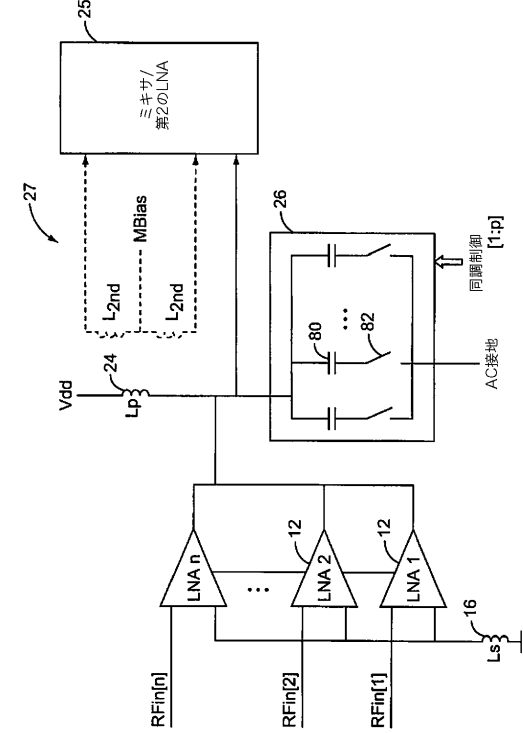


FIG. 7

【図 8 A】

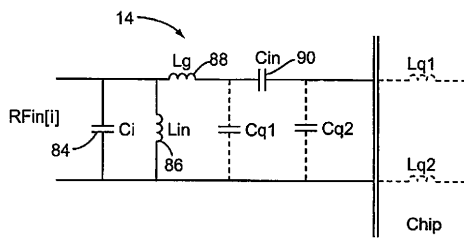


FIG. 8A

【図 8 B】

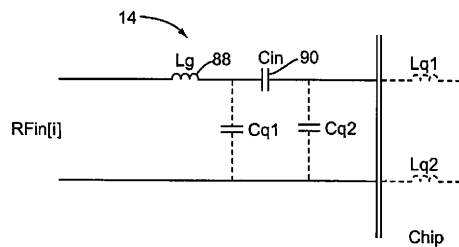


FIG. 8B

【図 9】

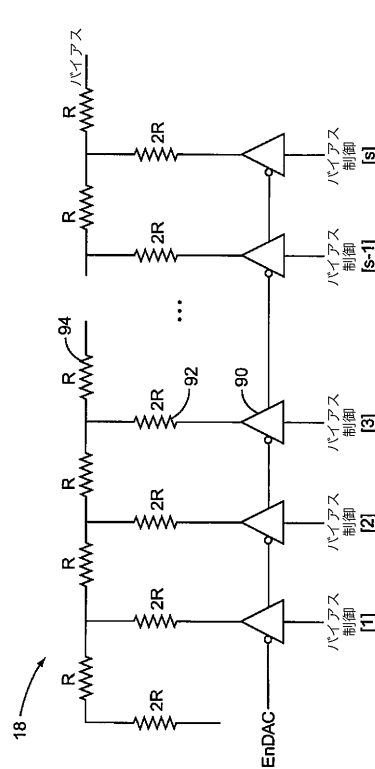


FIG. 9

【図 10】

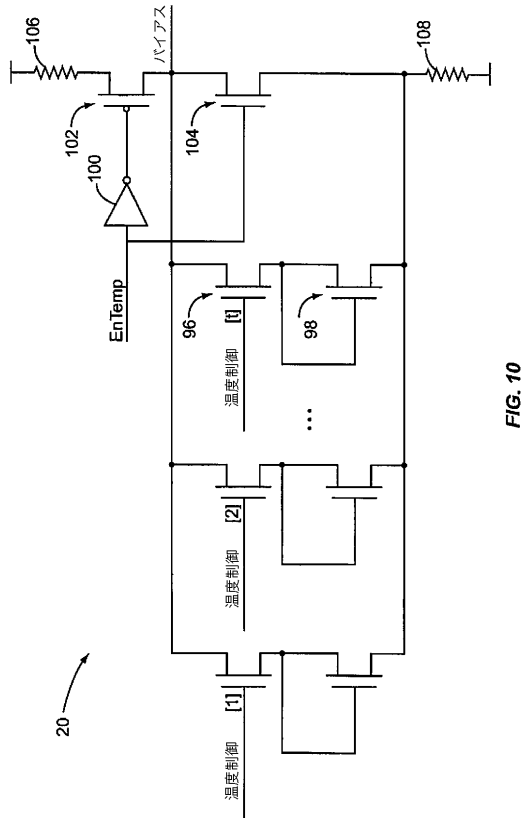


FIG. 10

【図 11】

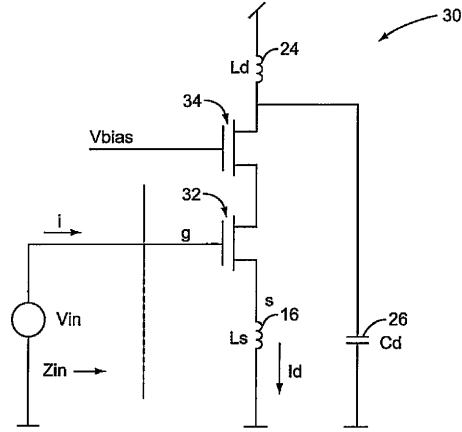


FIG. 11

【図 12】

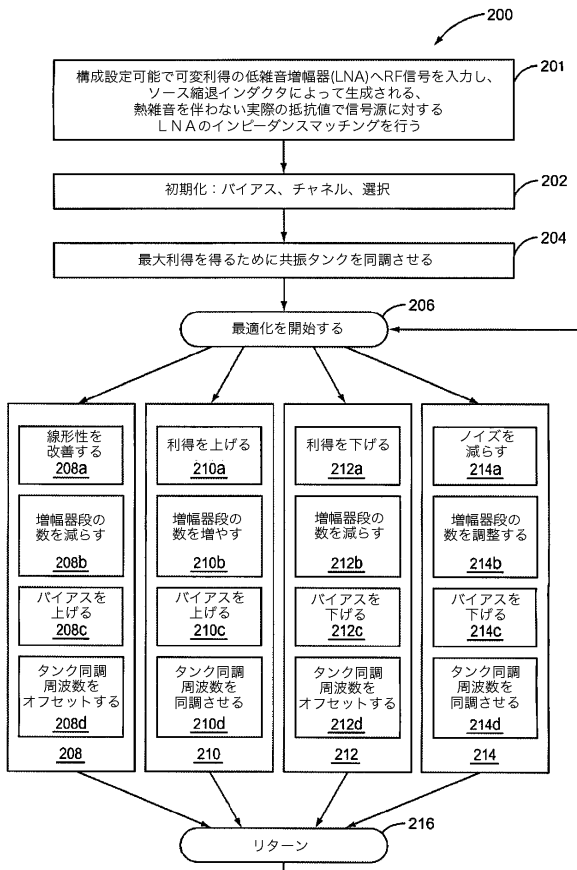


FIG. 12

フロントページの続き

(72)発明者 ム, フェンハオ

スウェーデン国 ヒェルプ エスイー - 2 4 5 6 3 , スメルブロンメヴェーゲン 1 7

審査官 矢頭 尚之

(56)参考文献 特表 2 0 0 3 - 5 1 6 0 8 2 (J P , A)

特開 2 0 0 6 - 1 3 5 9 3 3 (J P , A)

特開 2 0 0 4 - 1 8 7 3 0 4 (J P , A)

特開 2 0 0 6 - 1 7 4 4 8 3 (J P , A)

特開 2 0 0 6 - 1 2 1 7 2 7 (J P , A)

特開 2 0 0 3 - 3 4 7 8 5 9 (J P , A)

特開 2 0 0 3 - 1 8 8 6 6 4 (J P , A)

特開 2 0 0 5 - 2 7 5 7 0 1 (J P , A)

特開 2 0 0 6 - 1 7 2 5 2 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03F 1/26

H03F 3/189