

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6073862号
(P6073862)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl.

H01L 21/336 (2006.01)
H01L 29/786 (2006.01)

F 1

H01L 29/78
H01L 29/78626C
616A

請求項の数 15 (全 18 頁)

(21) 出願番号 特願2014-508559 (P2014-508559)
 (86) (22) 出願日 平成24年4月26日 (2012.4.26)
 (65) 公表番号 特表2014-517509 (P2014-517509A)
 (43) 公表日 平成26年7月17日 (2014.7.17)
 (86) 國際出願番号 PCT/US2012/035249
 (87) 國際公開番号 WO2012/149184
 (87) 國際公開日 平成24年11月1日 (2012.11.1)
 審査請求日 平成27年4月21日 (2015.4.21)
 (31) 優先権主張番号 13/094,645
 (32) 優先日 平成23年4月26日 (2011.4.26)
 (33) 優先権主張国 米国(US)

(73) 特許権者 390020248
 日本テキサス・インスツルメンツ株式会社
 東京都新宿区西新宿六丁目24番1号
 (73) 特許権者 507107291
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メイル ステイショ
 ン 3999 ピーオーボックス 655
 474
 (74) 上記1名の代理人 100098497
 弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】ドリフト領域の下にキャビティを備えるDMOSトランジスタ

(57) 【特許請求の範囲】

【請求項1】

DMOSトランジスタであって、
 シリコンオンインシュレータ(SOI)構造であって、上面を有するバルク領域と、前記バルク領域の上面に接し、上面と底面とを有する絶縁層と、前記絶縁層の上面に接する単結晶半導体領域とを有し、前記単結晶半導体領域が、前記絶縁層に接する第1の導電型のドープ領域と、前記絶縁層に接する第2の導電型のドリフト領域とを有する、前記SOI構造と、

前記絶縁層の底面の一部を露出させる、前記バルク領域内のキャビティであって、前記絶縁層の底面の前記一部が、前記ドリフト領域の直下に位置する、前記キャビティと、
 前記単結晶半導体領域と前記絶縁層とを介して前記キャビティに延びる複数の開口と、
 それぞれ、前記複数の開口の上部分を覆い、前記複数の開口を充填しない、複数のブラングと、

を含む、DMOSトランジスタ。

【請求項2】

請求項1に記載のDMOSトランジスタであって、

前記単結晶半導体領域が、

前記ドリフト領域に接し且つ前記ドープ領域から離間して位置する前記第2の導電型のドレイン領域と、前記ドープ領域に接し且つ前記ドリフト領域から離間して位置する前記第2の導電型のソース領域と、

前記ドリフト領域と前記ソース領域との間に水平に位置し且つそれらに接する前記ドープ領域のチャネル領域と、

を更に有する、D M O Sトランジスタ。

【請求項3】

請求項2に記載のD M O Sトランジスタであって、

前記ドープ領域が、

前記絶縁層に接するウェル領域と、

前記ウェル領域より高いドーパント濃度を有し、前記ウェル領域に接し、前記チャネル領域を含む、ボディ領域と、

前記ボディ領域より高いドーパント濃度を有し、前記ボディ領域に接するコンタクト領域と、10

を含む、D M O Sトランジスタ。

【請求項4】

請求項2に記載のD M O Sトランジスタであって、

前記チャネル領域に接し、その上に位置する非導電層と、

前記非導電層に接し、前記チャネル領域の上に位置するゲートと、

を更に含む、D M O Sトランジスタ。

【請求項5】

請求項4に記載のD M O Sトランジスタであって、

前記ドリフト領域が前記ドープ領域に接する、D M O Sトランジスタ。20

【請求項6】

請求項4に記載のD M O Sトランジスタであって、

前記ドープ領域が前記非導電層と前記絶縁層との間に位置する、D M O Sトランジスタ。。

【請求項7】

請求項4に記載のD M O Sトランジスタであって、

前記キャビティが前記ゲートの一部の直下に位置する、D M O Sトランジスタ。

【請求項8】

請求項4に記載のD M O Sトランジスタであって、

前記キャビティのいかなる部分も、前記ゲートの任意の部分の直下に位置しない、D M O Sトランジスタ。30

【請求項9】

請求項8に記載のD M O Sトランジスタであって、

前記ゲートに最も近く位置する前記キャビティのエッジが、前記キャビティに最も近く位置する前記ゲートのエッジに一致して位置する垂直ラインから水平に離間する、D M O Sトランジスタ

【請求項10】

D M O Sトランジスタを形成する方法であって、

上面を有するバルク領域と、前記バルク領域の上面に接する絶縁層であって、上面と底面とを有する、前記絶縁層と、前記絶縁層の上面に接する単結晶半導体領域とを含む、シリコンオンインシュレータ(S O I)構造を提供することと、40

前記絶縁層に接する第1導電型のドープボディ領域と、前記絶縁層に接する第2導電型のドリフト領域とを形成することと、

前記単結晶半導体領域の複数の隔離された領域を形成するために、前記単結晶半導体領域を通して前記絶縁層に延びるトレンチ隔離構造を形成することと、

前記単結晶半導体領域の上にパッド酸化物層を堆積することであって、続いて、前記パッド酸化物層の上にシリコン窒化物層を堆積する、前記パッド酸化物層を堆積することと、。

前記シリコン窒化物層上に露出された領域を形成するために前記シリコン窒化物層の上面にパターニングされたフォトレジスト層を形成することと、50

前記パターニングされたフォトレジスト層をマスクとして用いてハードマスクを形成することであって、前記シリコン窒化物層と前記パッド酸化物層との上の前記露出された領域をエッシングして前記単結晶半導体領域の表面上に露出された領域を結果として形成する、前記ハードマスクを形成すること、

前記単結晶半導体領域と前記絶縁層とを通ずる複数の開口を形成するために前記ハードマスクを用いて前記単結晶半導体領域の表面上の前記露出された領域を選択的にエッシングすることであって、それにより、前記シリコンオンインシュレータ(SOI)構造のバルク領域の表面上に対応する複数の領域を露出させ、前記複数の開口が複数の側壁を有する、前記露出された領域を選択的にエッシングすること、

前記複数の開口の前記複数の側壁に接する複数の側壁スペーサを形成すること、

10

前記複数の開口の各々の下に位置する单一のキャビティを形成するように、前記複数の開口を介して前記バルク領域をウェットエッシングすることであって、前記单一のキャビティが前記絶縁層の底面の一部を露出させ、前記絶縁層の底面の前記一部が前記ドリフト領域の直下に位置する、前記バルク領域をウェットエッシングすること、

前記複数の開口を覆うが前記複数の開口を充填しないキャップ酸化物層を形成することと、

前記単結晶半導体領域の上面が露出されるまで前記パッド酸化物層と前記キャップ酸化物層の一部を除去するように前記SOI構造の上面を平坦化することと、

を含む、方法。

【請求項11】

20

請求項10に記載の方法であって、

前記複数の開口を塞ぐ複数の非導電プラグを形成することを更に含む、方法。

【請求項12】

請求項10に記載の方法であって、

前記ドリフト領域が前記ドープボディ領域に接する、方法。

【請求項13】

請求項12に記載の方法であって、

前記キャビティが前記ドリフト領域の全ての直下に位置する、方法。

【請求項14】

請求項12に記載の方法であって、

30

前記キャビティが前記ドリフト領域の全てより少ない部分の直下に位置する、方法。

【請求項15】

請求項12に記載の方法であって、

前記第2の導電型のソース及びドレイン領域を形成することを更に含み、前記ソース領域が前記ドープ領域に接し且つ前記ドリフト領域から離間し、前記ドレイン領域が前記ドリフト領域に接し且つ前記ドープ領域から離間する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願はDMOSトランジスタに関し、より特定的には、ドリフト領域の下に位置するキャビティを備えるDMOSトランジスタに関する。

40

【背景技術】

【0002】

金属酸化物半導体(MOS)トランジスタは、逆の導電型の軽ドープチャネル半導体領域によって分割される、重ドープソース及びドレイン半導体領域を有する周知のデバイスである。またMOSトランジスタは、チャネル半導体領域の上に位置する酸化物層、及び酸化物層に接し且つチャネル半導体領域の上に位置する金属ゲートを有する。金属に加えて、MOSトランジスタのゲートは、一般にドープポリシリコンでも形成される。

【0003】

二重拡散型MOS(DMOS)トランジスタは、ドリフト領域として知られる大きな軽

50

ドープドレイン半導体領域を有するパワートランジスタであり、ドリフト領域はチャネル半導体領域に接し、典型的にチャネル半導体領域と重ドープドレイン半導体領域との間に位置する。DMOSトランジスタは一般に、ソース及びドレイン領域が垂直に離間する垂直デバイスとして、及びソース及びドレイン領域が水平に離間する横方向デバイスとして形成される。

【0004】

動作において、垂直DMOSトランジスタは、典型的に、横方向DMOSトランジスタより良好な性能（例えば、低いオン状態ドレインソース間抵抗）を提供する。しかしながら、一般に横方向DMOSトランジスタは垂直DMOSトランジスタに比べ製作がはるかに容易であり、従ってより安価に製造できる。

10

【0005】

図1は従来の横方向DMOSトランジスタ100の例を説明する断面図を示す。図1に示すように、DMOSトランジスタ100は、バルク領域104、バルク領域104の上面を覆う厚み約0.4μmの絶縁層106、及び絶縁層106の上面に接する厚み約0.8μmの単結晶半導体領域108を含むシリコンオインシュレータ（SOI）構造102を含む。

【0006】

また、SOI構造102は、絶縁層106に接するように、且つ単結晶半導体領域108の多数の隔離された領域を形成するように、単結晶半導体領域108を通って延びるトレンチ隔離構造TOXを含む（明確にするために、図では単結晶半導体領域108の1つの隔離された領域のみが示されている）。

20

【0007】

更に図1に示すように、単結晶半導体領域108は、絶縁層106に接するp型ウェル110、p型ウェルに接し（且つ、DMOSトランジスタ100の閾値電圧を設定する）p-ボディ領域112、及び、絶縁層106、p型ウェル110、及びp-ボディ領域112に接するn-ドリフト領域114を含む。

【0008】

単結晶半導体領域108は、n-ドリフト領域114に接し且つp-ボディ領域112から離間して位置するn+ドレイン領域120、p-ボディ領域112に接し且つn-ドリフト領域114から離間して位置するn+ソース領域122、及びp-ボディ領域112に接するp+コンタクト領域124を更に含む。このように、n-ドリフト領域114は、p型ウェル110、p-ボディ領域112、及びp+コンタクト領域124を含むドープ領域に接する。また、p-ボディ領域112のチャネル領域126は、n-ドリフト領域114とn+ソース領域122との間に水平に位置し、それらに接する。

30

【0009】

更に図1に示すように、横方向DMOSトランジスタ100は、チャネル領域126の上のp-ボディ領域112に接するゲート酸化物層130、及びチャネル領域126の上のゲート酸化物層130に接するゲート132を更に含む。ゲート132は金属又はドープポリシリコンを用いて実装され得る。

【0010】

40

動作において、第1の正電圧がn+ドレイン領域120に印加され、第2の正電圧がゲート132に印加され、一方、n+ソース領域122及びp+コンタクト領域124に接地が配置される。これらのバイアス条件に応答して、p-ボディ領域112のチャネル領域126が反転し、n+ソース領域122からn+ドレイン領域120に電子が流れる。

【0011】

DMOSトランジスタの1つの重要な特徴は、トランジスタの降伏電圧BV_{ds}sであり、これはドリフト領域114からボディ領域112への接合部がブレークダウンするか、或いは絶縁層106がブレークダウンするかいずれか低い方が発生するより以前にn+ドレイン領域120に印加され得る最大オフ状態電圧である。DMOSトランジスタはパワートランジスタであるため、より大きい電圧を扱う必要性があり、従って、トランジス

50

タの降伏電圧 BV_{dss} も増大させる必要がある。

【0012】

Udreaの米国特許第6,703,684号は、DMOSトランジスタの下に位置するバルク領域104の一部を除去することにより横方向DMOSトランジスタの降伏電圧 BV_{dss} が増大されることを教示している。図2は従来技術のUdreaのDMOSトランジスタ200の例を説明する断面図を示す。

【特許文献1】米国特許第6,703,684号

【0013】

UdreaのDMOSトランジスタ200は、DMOSトランジスタ100に似ているため、両方のDMOSトランジスタに共通の構造を示すために同じ参照番号を使用している。図2に示すように、UdreaのDMOSトランジスタ200は、UdreaのDMOSトランジスタ200がDMOSトランジスタ200の下に位置する絶縁層106の一部を露出させるようにバルク領域104を通って延びる背面開口210を有する点で、DMOSトランジスタ100とは異なる。

【0014】

しかしながら、Udreaのトランジスタ200はトランジスタの降伏電圧 BV_{dss} を増大させるが、背面トレニチエッティングは、プロセスフローを著しく複雑にさせ、エッチングをストップさせるために厚いSOIウエハを必要とし、またプロセスフローに必要な装置の購入に大きな設備投資が必要となり得る。

【図面の簡単な説明】

【0015】

【図1】従来の横方向DMOSトランジスタ100の例を説明する断面図である。

【0016】

【図2】従来のUdreaのDMOSトランジスタ200の例を説明する断面図である。

【0017】

【図3】本発明に従ったDMOSトランジスタ300の例を説明する断面図である。

【0018】

【図4】本発明に従ったDMOSトランジスタ300の動作を更に説明するグラフである。

【0019】

【図5A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

【図5B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図5Aの5B-5Bの線に沿った断面図である。

【図5C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図5Aの5C-5Cの線に沿った断面図である。

【図6A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

【図6B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図6Aの6B-6Bの線に沿った断面図である。

【図6C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図6Aの6C-6Cの線に沿った断面図である。

【図7A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

【図7B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図7Aの7B-7Bの線に沿った断面図である。

【図7C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図7Aの7C-7Cの線に沿った断面図である。

【図8A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

10

20

30

40

50

【図 8 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 8 A の 8 B 8 B の線に沿った断面図である。

【図 8 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 8 A の 8 C 8 C の線に沿った断面図である。

【図 9 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 9 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 9 A の 9 B 9 B の線に沿った断面図である。

【図 9 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 9 A の 9 C 9 C の線に沿った断面図である。 10

【図 10 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 10 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 10 A の 10 B 10 B の線に沿った断面図である。

【図 10 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 10 A の 10 C 10 C の線に沿った断面図である。

【図 11 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 11 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 11 A の 11 B 11 B の線に沿った断面図である。 20

【図 11 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 11 A の 11 C 11 C の線に沿った断面図である。

【図 12 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 12 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 12 A の 12 B 12 B の線に沿った断面図である。

【図 12 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 12 A の 12 C 12 C の線に沿った断面図である。

【図 13 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。 30

【図 13 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 13 A の 13 B 13 B の線に沿った断面図である。

【図 13 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 13 A の 13 C 13 C の線に沿った断面図である。

【図 14 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 14 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 14 A の 14 B 14 B の線に沿った断面図である。

【図 14 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 14 A の 14 C 14 C の線に沿った断面図である。 40

【図 15 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 15 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 15 A の 15 B 15 B の線に沿った断面図である。

【図 15 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 15 A の 15 C 15 C の線に沿った断面図である。

【図 16 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 16 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 16 A の 16 B 16 B の線に沿った断面図である。 50

【図16C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図16Aの16C 16Cの線に沿った断面図である。

【図17A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

【図17B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図17Aの17B 17Bの線に沿った断面図である。

【図17C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図17Aの17C 17Cの線に沿った断面図である。

【図18A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

【図18B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図18Aの18B 18Bの線に沿った断面図である。

【図18C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図18Aの18C 18Cの線に沿った断面図である。

【図19A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

【図19B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図19Aの19B 19Bの線に沿った断面図である。

【図19C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図19Aの19C 19Cの線に沿った断面図である。

【0020】

【図20】本発明の代替実施形態に従ったDMOSトランジスタ2000の例を説明する断面図である。

【0021】

【図21A】本発明に従ったDMOSトランジスタ2000の動作を更に説明するグラフである。

【図21B】本発明に従ったDMOSトランジスタ2000の動作を更に説明するグラフである。

【発明を実施するための形態】

【0022】

図3は本発明に従ったDMOSトランジスタ300の例を説明する断面図を示す。以下に更に詳しく説明するように、SOI構造のバルク領域にキャビティを形成することにより、DMOSトランジスタ300の降伏電圧BV_{ds}sが増大される。

【0023】

DMOSトランジスタ300はDMOSトランジスタ100に似ているため、両方のトランジスタに共通する構造を示すために同じ参照番号を使用している。図3に示すように、DMOSトランジスタ300は、DMOSトランジスタ300が絶縁層106の底面の一部を露出させるキャビティ310をバルク領域104に有するという点でDMOSトランジスタ100とは異なる。絶縁層106の底面の一部はn-ドリフト領域114の直下に位置する。

【0024】

キャビティ310は、深さDを有する単一領域であり、図3の例では、その一部がゲート132の一部の直下に位置する。或いは、キャビティ310のいかなる一部分もゲート132の任意の一部の直下に位置しなくてもよい。上述のように、DMOSトランジスタ300は、横方向pnダイオード(p-ボディ領域112及びn-ドリフト領域114)及び垂直に隔離されたフィールドプレートを含む。

【0025】

DMOSトランジスタ300の動作は、DMOSトランジスタ100と同じであるが、n+ドレイン領域120に電圧が印加されると、RESURF(REDUCED SURFACE FIELD(縮小表面電界))原理の結果として、絶縁層106を横切る電界の垂

10

20

30

40

50

直成分が、n - ドリフト領域114及び絶縁層106を横切る空間電荷空乏領域を誘導する。RESURF原理は横方向の電界を低下させる。低下させられた横方向の電界は、DMOSトランジスタ300の降伏電圧BVdssを増加させてDMOSトランジスタ300をより高いドレン電圧レベルで動作可能にさせる。

【0026】

図4は本発明に従ったDMOSトランジスタ300の動作を更に説明するグラフを示す。グラフは、シミュレートされた降伏電圧BVdss対MOSトランジスタ300のキャビティ310の深さDを比較している。図4に示すように、正しいキャビティ310の深さDを備えると700Vより高い降伏電圧BVdssが実現され得る。

【0027】

更に、図4はDMOSトランジスタ300のオン状態ドレンソース間抵抗 $r_{DS(ON)}$ とキャビティ310の深さDとの間の関係を示す。更に図4に示すように、オン状態ドレンソース間抵抗 $r_{DS(ON)}$ は、キャビティ310の深さDが増加するにつれて概して線形に上昇する。DMOSトランジスタはパワートランジスタであり、その結果、電源オン時に大きな電流を通過させることがある。そのためトランジスタのオン状態ドレンソース間抵抗 $r_{DS(ON)}$ が低いことが重要なファクタとなる。

【0028】

更に、シリコン、酸化物、及び(キャビティ310中の)空気は、極めて異なる誘電率(例えば、それぞれ、11.9、3.9、及び1.0)を有する。この値が低くなればなるほど、その領域に対して一層多くの電界線が引かれる。しかしながら、キャビティ310の深さDが増加すると、その領域に引かれる電界線が一層少なくなり得る。この効果にとって、誘電率が下れば下がる程一層良好になる。

【0029】

キャビティ310の深さDが非常に大きいとき、等電位線はキャビティ310内に自由に広がり、絶縁層106の厚みが降伏電圧BVdssを制限することはない。その結果、キャビティ310の深さDが非常に大きいとき、n - ドリフト領域114のドーピングは大幅に低減されるべきである。

【0030】

図4の例では、キャビティ310が深さD約1.5μmのときに、(絶縁層106が厚み約0.4μm、及び半導体領域108が厚み約0.8μmで)、700Vより高い降伏電圧BVdssと、低いオン状態ドレンソース間抵抗 $r_{DS(ON)}$ を備えるDMOSトランジスタが実現され得る。

【0031】

図5A～図5Cから図19A～図19Cは、本発明に従ったDMOSトランジスタを形成する方法を説明する図を示す。図5A～図19Aは平面図であり、図5B～図19Bは図5A～図19Aの5B～5Bから19B～19Bの線に沿った断面図であり、図5C～図19Cは、図5A～図19Aの5C～5Cから19C～19Cの線に沿った断面図である。

【0032】

図5A～図5Cに示すように、この方法は、厚み約750μmのバルク領域504、バルク領域504の上面を覆う厚み約0.4μmの絶縁層506、及び絶縁層506の上面に接する厚み約0.45μmの単結晶半導体領域510を含む、従来方法で形成されたSOIウェハ502を使用する。

【0033】

また、SOIウェハ502は、絶縁層506に接し且つ単結晶半導体領域510の多数の隔離された領域を形成するように、単結晶半導体領域510を通って延びるトレンチ隔離構造TOXを含む(明確にするために、図では単結晶半導体領域510の1つの隔離された領域のみが示されている)。

【0034】

更に、図5A～5Cに示すように、この方法は、先ず、単結晶半導体領域510上にパ

10

20

30

40

50

パッド酸化物層 512 の層を低圧化学気相堆積法 (LPCVD) 等により堆積し、その後、パッド酸化物層 512 上にシリコン窒化物層 514 を LPCVD 等により堆積する。

【0035】

この後、パターニングされたフォトレジスト層 516 がシリコン窒化物層 514 の上面上に形成される。パターニングされたフォトレジスト層 516 は、フォトレジストの層を堆積すること、及びマスクとして知られるパターニングされた黒／透明ガラス板を介して光を投影してフォトレジストの層上にパターニングされた画像を形成することを含む従来の方式により形成される。この光は露光されたフォトレジスト領域を軟化させる。その後、軟化したフォトレジスト領域が除去される。

【0036】

10

図 6A～図 6C に示すように、パターニングされたフォトレジスト層 516 が形成された後、単結晶半導体領域 510 の表面上の領域を露出させるように、従ってパターニングされたハードマスク 520 を形成するように、シリコン窒化物層 514 及びパッド酸化物層 512 の露出された領域が従来の方式で異方性エッチングされる。このようにしてパターニングされたハードマスク 520 は、シリコン窒化物層 514 及びパッド酸化物層 512 のエッチングによって画定されたパターンを有する。エッチングの後、パターニングフォトレジスト層 516 が従来の方式で除去される。

【0037】

20

図 7A～図 7C に示すように、ハードマスク 520 が形成された後、各々がバルク領域 504 の上面を露出する多数の開口 522 を形成するように、単結晶半導体領域 510 及び絶縁層 506 の露出された領域が異方性ドライエッチングされる。開口 522 は単結晶半導体領域 510 の領域を通って伸び得る。単結晶半導体領域 510 は、その後、軽ドープドリフト領域を形成するように、従って横方向 RESURF 領域として機能するように、或いは重ドープ領域を形成するように注入される。或いは、開口 522 は、トレンチ隔壁構造 TDX を通って形成され得る。

【0038】

30

次に、図 8A～図 8C に示すように、エッチングによって露出されたシリコン表面上に酸化物層 524 を形成するように SOI ウエハ 502 が酸化される。この後、窒化珪素の層が従来の方式で堆積される。次いで、バルク領域 504 の上面を露出させ、開口 522 の側壁の境界を提供する側壁スペーサ 526 を形成するように、窒化珪素層及び酸化物層 524 が従来の方式で異方性エッチバックされる。

【0039】

図 9A～図 9C に示すように、側壁スペーサ 526 が形成された後、バルク領域 504 にキャビティ 530 を形成するように、シリコンに選択的なエッチャントを用いて従来の方式で SOI ウエハ 502 がウェットエッチングされる。また、隣接する開口 522 間のキャビティ 530 の底面は、ウェット等方性エッチングを用いることによるピーク 532 を有する。ピーク 532 の高さを最小化するように、開口 522 の密度が配されるべきである。

【0040】

40

更に図 9B に示すように、キャビティ 530 は、単結晶半導体領域 510 のトランジスタ部分 534 及び絶縁層 506 の下部部分の下に延びる。一旦、キャビティ 530 が形成されると、シリコン窒化物層 514 と側壁スペーサ 526 の窒化物部分とが従来のプロセスを用いて除去される。

【0041】

シリコン窒化物層 514 及び側壁スペーサ 526 の窒化物部分の除去の後、図 10A～図 10C に示すように、キャップ酸化物層 536 の層がパッド酸化物層 512 上に、例えば、化学気相堆積によって、堆積される。更に図 10A～図 10C に示すように、キャップ酸化物層 536 は開口 522 を覆うが充填はしない。

【0042】

次に、図 11A～図 11C に示すように、単結晶半導体領域 510 の上面の上に位置す

50

る、パッド酸化物層 512 とキャップ酸化物層 536 の一部とを除去して、単結晶半導体領域 510 の上面を露出させるように、従来の方式で SOI ウエハ 502 が平坦化される。

【 0043 】

例えは、平坦な表面を形成するためにキャップ酸化物層 536 上に先ず平坦化材料が堆積され得る。その後、平坦化材料及び酸化物（キャップ酸化物層 536 及びパッド酸化物層 512）を実質的に同じ速度でエッティングするエッチャントを用いて、SOI ウエハ 502 がウェットエッティングされ得る。エッティングは、単結晶半導体領域 510 の上面が露出されるまで継続する。

【 0044 】

或いは、酸化物の上側部分を除去するために化学機械研磨が用いられ得るが、単結晶半導体領域 510 の上面に損傷を与えずに化学機械研磨が実行できない限り、単結晶半導体領域 510 の上面を露出させるために用いられる可能性は低い。

【 0045 】

また、更に図 11A～図 11C に示すように、この平坦化は酸化物プラグ 540 を形成する。平坦化及び単結晶半導体領域 510 の上面の露出の後、図 12A～図 12C に示すように、形成されるべき p 型ウェル領域のドーパント濃度を設定するように、ボロン等の p 型ドーパントが単結晶半導体領域 510 の上面にプランケット注入される。或いは、プランケット注入は、SOI ウエハ 502 が平坦化される前に実行されてもよい。

【 0046 】

次に、図 13A～図 13C に示すように、ゲート酸化物等の非導電層 542 が単結晶半導体領域 510 の上面に形成される。非導電層 542 の形成の後、ゲート酸化物層 542 に接するようにポリシリコン層 544 が形成される。

【 0047 】

ポリシリコン層 544 が形成されると、例えは、ドーズ量 1.79×10^{16} 原子 / cm^3 、及び注入エネルギー 30 KeV の n 型プランケット注入を用いて、ポリシリコン層 544 がドープされる。その後、パターニングされたフォトレジスト層 546 が通常の方式でポリシリコン層 544 上に形成される。

【 0048 】

次に、図 14A～図 14C に示すように、ゲート 550 を形成するように、ポリシリコン層 544 の露出された領域が従来の方式でエッティング除去される。次いでパターニングされたフォトレジスト層 546 が従来の工程を用いて除去される。その後、図 15A～図 15C に示すように、パターニングされたフォトレジスト層 552 が単結晶半導体領域 510 の上に従来の方式で形成される。

【 0049 】

次に、n - ドリフト領域 554 を形成するように、従って p 型ウェル領域 556 も形成するように、リン酸等の n 型ドーパントが単結晶半導体領域 510 の上面に注入される。例えは、n - ドリフト領域 554 は約 1×10^{16} 原子 / cm^3 のドーパント濃度及び約 $30 \sim 50 \mu\text{m}$ の長さを有し得る。キャビティ 530 の深さ D が増加するとともに、ドーピングが低減される。

【 0050 】

或いは、多数のパターニングされたフォトレジスト層を使用して、等級化されたドーパント濃度を有するように n 型ドリフト領域 554 が形成されてもよい。例えは、ゲート 550 に最も近い n - ドリフト領域 554 の領域のドーパント濃度は約 8×10^{15} 原子 / cm^3 であり得、ドーパント濃度は線形に増加してゲート 550 から最も遠くに位置する領域ではドーパント濃度が約 3×10^{16} 原子 / cm^3 になり得る。次いでパターニングされたフォトレジスト層 552 が従来の方式で除去される。

【 0051 】

パターニングされたフォトレジスト層 552 の除去の後、図 16A～図 16C に示すように、パターニングされたフォトレジスト層 560 が単結晶半導体領域 510 上に従来の

10

20

30

40

50

方式で形成される。次に、n+ソース領域562及びn+ドレイン領域564を形成するように、ヒ素等のn型ドーパントが単結晶半導体領域510の上面に注入される。例えば、n+ソース領域562及びドレイン領域564は 1×10^{18} 原子/cm³のドーパント濃度を有し得る。次いで、パターニングされたフォトレジスト層560が従来の方式で除去される。

【0052】

パターニングされたフォトレジスト層560の除去の後、図17A～図17Cに示すように、パターニングされたフォトレジスト層566が単結晶半導体領域510の上に従来の方式で形成される。次に、p-ボディ領域568を形成するように、ボロン等のp型ドーパントが、単結晶半導体領域510の上面に斜めに注入される。この注入は、形成されるべきDMOSトランジスタの閾値電圧を設定する。次いで、パターニングされたフォトレジスト層566が従来の方式で除去される。10

【0053】

パターニングされたフォトレジスト層566の除去の後、図18A～図18Cに示すように、パターニングされたフォトレジスト層569が単結晶半導体領域510の上に従来の方式で形成される。次に、p-ボディ領域568に接するp+コンタクト領域570を形成するように、ボロン等のp型ドーパントが単結晶半導体領域510の上面に注入される。例えば、p+コンタクト領域570は 1×10^{18} 原子/cm³のドーパント濃度を有し得る。

【0054】

このように、n-ドリフト領域554は、p型ウェル領域556、p-ボディ領域568、及びp+コンタクト領域570を含むドープ領域に接する。また、p-ボディ領域568のチャネル領域572は、n-ドリフト領域554とn+ソース領域562との間に水平に位置し、それらに接する。(n+ソース領域562及びp+コンタクト領域570の下に位置するp-ボディ領域568内に深いp型領域を形成するためなど、追加的な垂直のp型注入を行なってもよく、例えば、p型領域に更に合わせるように、マスクを形成し、注入し、マスクを除去する等の上述と同様の方式で行なう。)20

【0055】

その後、図19A～19Cに示すように、パターニングされたフォトレジスト層569が従来の方式で除去される。従来の高速熱プロセスが用いられて注入物のドライブ及び活性化が行なわれる(或いは、各注入の後などに、多数回注入物がドライブイン及び活性化されてもよい)。注入物がドライブ及び活性化されると、この方法は、従来のバックエンド処理工程で継続してDMOSトランジスタの形成を完了する。30

【0056】

このように、SOIウエハ502にキャビティ530を備える横方向DMOSトランジスタを形成する方法が開示されている。この方法では、単結晶半導体領域510及び絶縁層506を通る多数の開口を選択的にエッチングすることにより、キャビティ530を形成し、SOIウエハ502のバルク領域504に対応する数の領域を露出させる。

【0057】

また、この方法では、多数の開口522の側壁に接するように多数の側壁スペーサを形成し、多数の開口522を介してバルク領域504をウェットエッチングして、開口522の各々の下に位置する単一のキャビティ530を形成する。キャビティ530が形成されると、この方法では開口522を塞ぐ多数のプラグ540も形成する。40

【0058】

図20は本発明に従ったDMOSトランジスタ2000の例を説明する断面図を示す。DMOSトランジスタ2000はDMOSトランジスタ300に似ているため、両方のトランジスタに共通の構造を示すために同じ参照番号を使用している。

【0059】

図20に示すように、DMOSトランジスタ2000は、DMOSトランジスタ2000がn-ドリフト領域114の代わりにn-ドリフト領域2010を用いるという点で、50

DMOSトランジスタ300とは異なる。N型ドリフト領域2010は、n-ドリフト領域114より薄いため、p型ウェル領域110の一部をn-ドリフト領域2010の下に位置させることができる。

【0060】

また、キャビティ310も短いため、ゲート132の最も近くに位置するキャビティ310のエッジは、キャビティ310に最も近いゲート132のエッジに一致して位置する垂直ラインから水平分離距離 X_{S0N} だけ、水平に離間する。この場合、キャビティ310は、ドリフト領域2010の全てより少ない部分の直下に位置する。

【0061】

DMOSトランジスタ2000の動作は、DMOSトランジスタ300と同じであるが、n-ドリフト領域2010と、n-ドリフト領域2010の下に位置するp型ウェル領域110の一部との間の接合を横切る空乏領域が、n-ドリフト領域114の下に位置するp型ウェル領域110の一部と共に、n-ドリフト領域114を実質的に覆う点が異なる。

【0062】

DMOSトランジスタ2000は、約 2.5×10^{15} 原子/ cm^3 のドーパント濃度を有するように単結晶半導体領域510にp型ドーパントを注入し、次いでトレンチ隔離領域TOXが形成される前に、単結晶半導体領域510の上面にn型エピタキシャル層を成長させることによって、形成され得る。

【0063】

更に、バルク領域504がウェットエッチングされるとき、キャビティ530の長さを短くするように、より少ない開口522が形成される。また、続いてn-ドリフト領域2010が形成されるとき、約 3.0×10^{15} 原子/ cm^3 のドーパント濃度を有するように、より低い注入エネルギーを用いてn-ドリフト領域2010が形成される。

【0064】

図21A及び図21Bは、本発明に従ったDMOSトランジスタ2000の動作を更に説明するグラフを示す。図21Aのグラフは、DMOSトランジスタ2000のシミュレートされた降伏電圧BVdss対キャビティ310の深さDを比較する。図21Aに示すように、正しいキャビティ310の深さDを用いると、約600Vの降伏電圧BVdssが実現され得る。

【0065】

図21Bのグラフは、シミュレートされた降伏電圧BVdss対水平分離距離 X_{S0N} (ゲート132のエッジとキャビティ310のエッジとの間で測定)を比較する。図21Bに示すように、キャビティ310のエッジとゲート132のエッジとの間に小さな水平分離が存在するとき、最も高い降伏電圧が実現され得る。

【0066】

図20の例では、キャビティ310が約14μmの深さDを有するとき、(絶縁層106が厚み約1.0μm、n-ドリフト領域2010が厚み約2.25μm、及び、n-ドリフト領域2010の直下のp型ウェル領域110が厚み約2.2μmで)、約600Vの降伏電圧BVdssを備えるDMOSトランジスタが実現され得る。従って、DMOSトランジスタ2000は、DMOSトランジスタ300より僅かに低い降伏電圧BVdssを有するが、DMOSトランジスタ2000のキャビティ310の深さDは実質的に大きい。

【0067】

当業者であれば、本発明の特許請求の範囲から逸脱することなく、記載された実施形態に変更が行なわれ得ること、及び他の多くの実施形態が可能であることが理解されるであろう。

10

20

30

40

【図3】

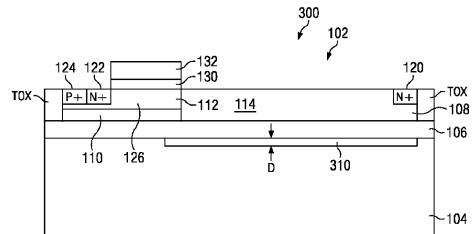


FIG. 3

【図4】

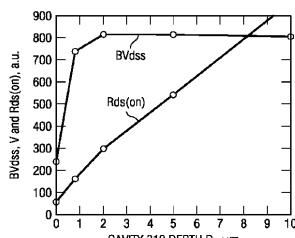


FIG. 4

【図5A】

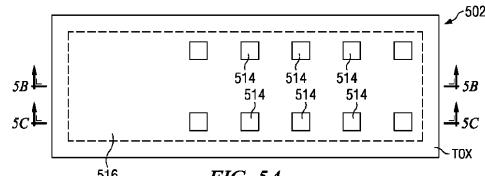


FIG. 5A

【図6B】

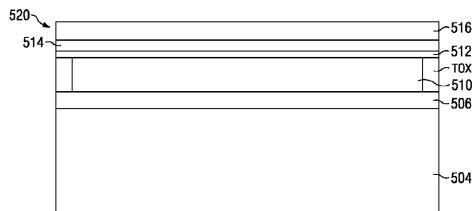


FIG. 6B

【図6C】

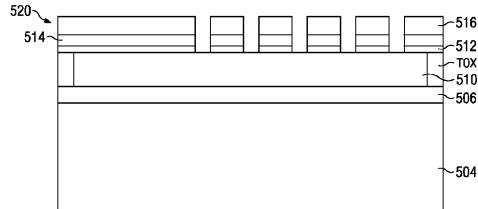


FIG. 6C

【図7A】

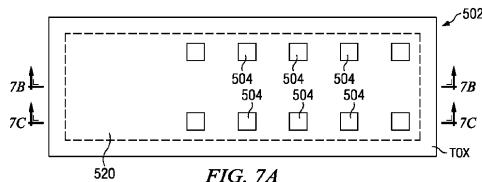


FIG. 7A

【図5B】

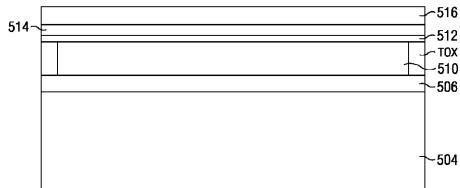


FIG. 5B

【図5C】

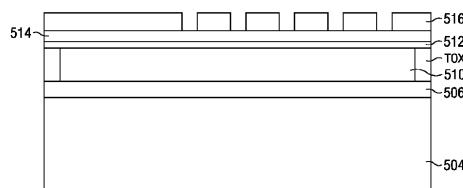


FIG. 5C

【図6A】

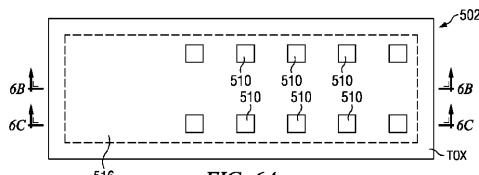


FIG. 6A

【図7B】

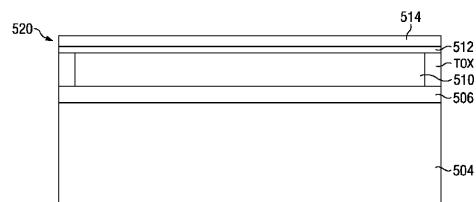


FIG. 7B

【図7C】

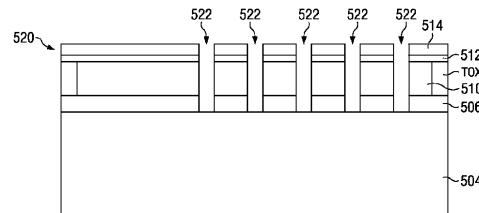


FIG. 7C

【図8A】

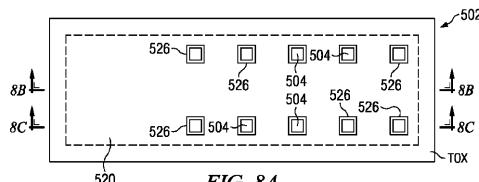


FIG. 8A

【図 1 2 B】

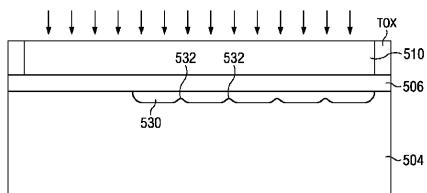


FIG. 12B

【図 1 3 B】

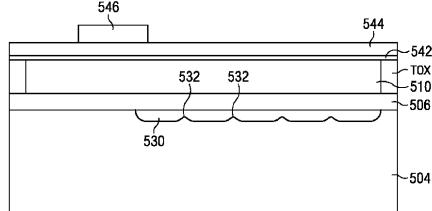


FIG. 13B

【図 1 2 C】

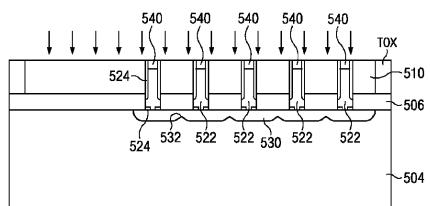


FIG. 12C

【図 1 3 C】

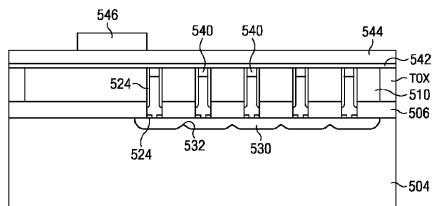


FIG. 13C

【図 1 3 A】

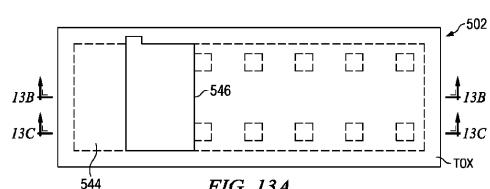


FIG. 13A

【図 1 4 A】

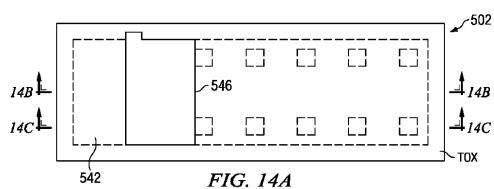


FIG. 14A

【図 1 4 B】

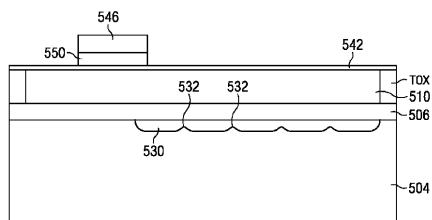


FIG. 14B

【図 1 5 B】

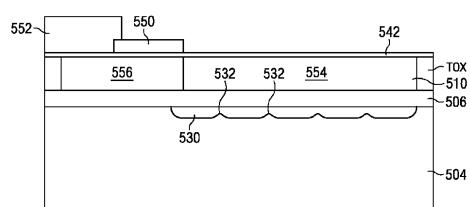


FIG. 15B

【図 1 4 C】

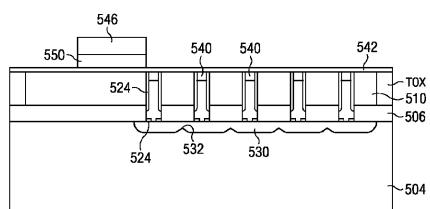


FIG. 14C

【図 1 5 C】

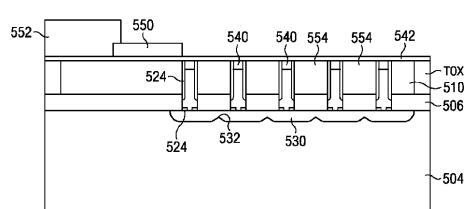


FIG. 15C

【図 1 5 A】

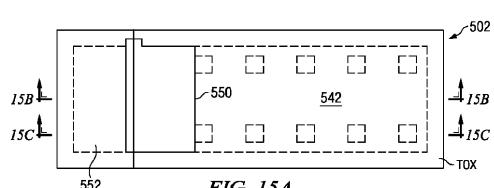


FIG. 15A

【図 1 6 A】

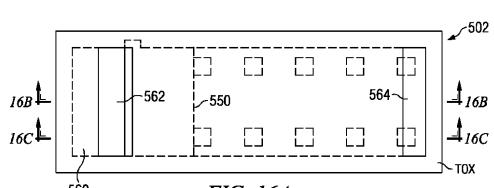


FIG. 16A

【図 16B】

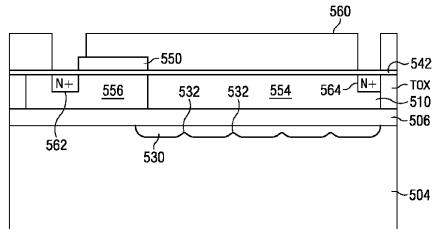


FIG. 16B

【図 17B】

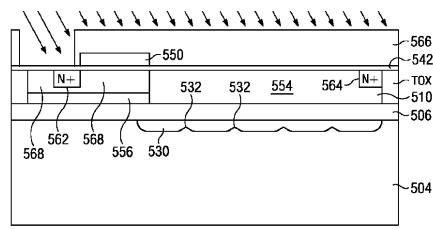


FIG. 17B

【図 16C】

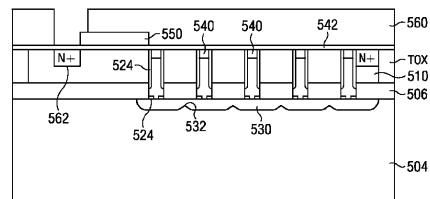


FIG. 16C

【図 17C】

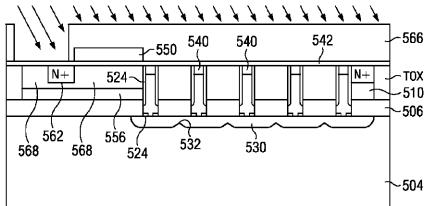


FIG. 17C

【図 17A】

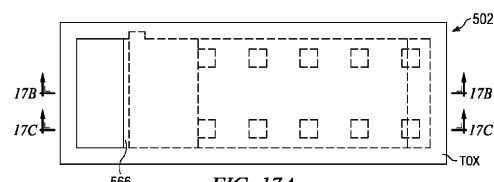


FIG. 17A

【図 18A】

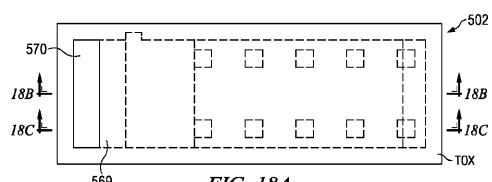


FIG. 18A

【図 18B】

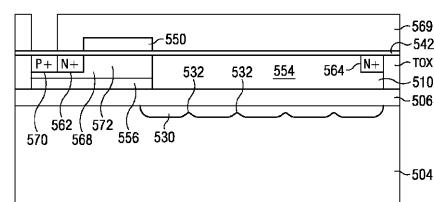


FIG. 18B

【図 19B】

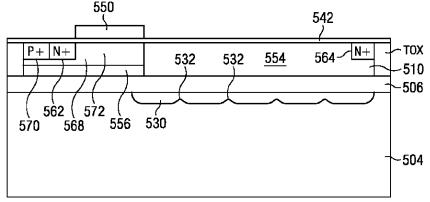


FIG. 19B

【図 18C】

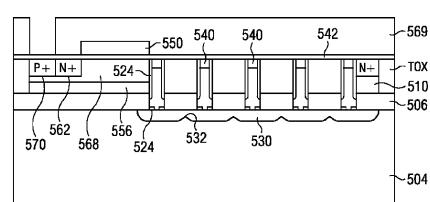


FIG. 18C

【図 19C】

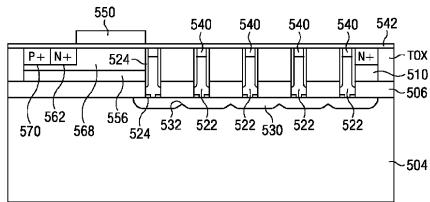


FIG. 19C

【図 19A】

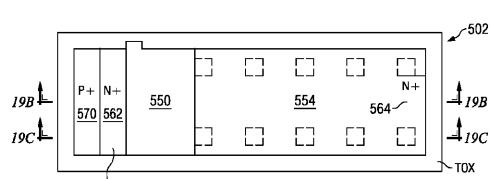


FIG. 19A

【図 20】

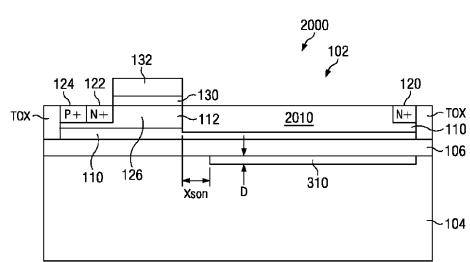


FIG. 20

【図 2 1 A】

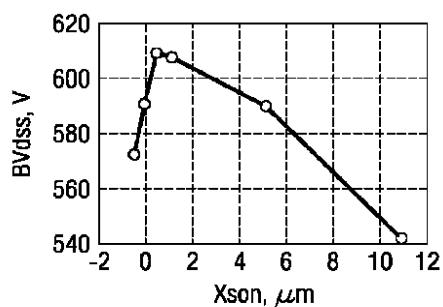


FIG. 21A

【図 2 1 B】

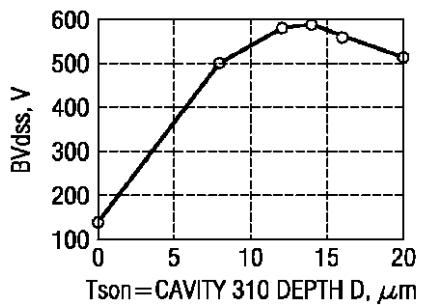


FIG. 21B

【図 1】

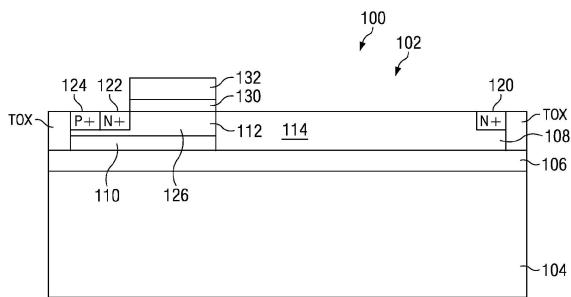
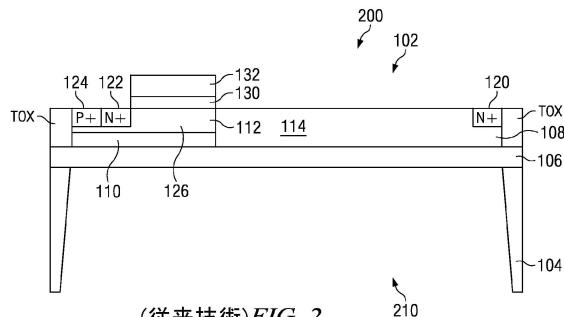


FIG. 1 (従来技術)

【図 2】



(従来技術) FIG. 2

フロントページの続き

- (72)発明者 ウィリアム フレンチ
アメリカ合衆国 95117 カリフォルニア州 サンノゼ, トパーズ アヴェニュー 119
8
- (72)発明者 ウラディスラフ ヴァシチェンコ
アメリカ合衆国 94306 カリフォルニア州 パロ アルト, ポール アヴェニュー 70
0
- (72)発明者 リチャード ウエンデル フート
アメリカ合衆国 76028 テキサス州 バーレソン, エンチャンティッド コート ノース
109
- (72)発明者 アレクセイ サドブニコフ
アメリカ合衆国 94086 カリフォルニア州 サニーベール, レッドウッド アヴェニュー
924
- (72)発明者 プニ ボラ
アメリカ合衆国 04106 メーン州 サウス ポートランド, ユニット 10404, リ
バーブレース ドライブ 10
- (72)発明者 ピーター ジェイ ホッパー
アメリカ合衆国 95134 カリフォルニア州 サンノゼ, ヴァーディグリス サークル 4
327

審査官 宇多川 勉

- (56)参考文献 特開平06-188438(JP, A)
特開2007-123823(JP, A)
米国特許第06211551(US, B1)
特開2002-110987(JP, A)
特表2008-541421(JP, A)
特開2006-173204(JP, A)
特開2007-158139(JP, A)
特表2003-504875(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/786