

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6073862号  
(P6073862)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 C
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 A

請求項の数 15 (全 18 頁)

(21) 出願番号	特願2014-508559 (P2014-508559)	(73) 特許権者	390020248
(86) (22) 出願日	平成24年4月26日(2012.4.26)		日本テキサス・インスツルメンツ株式会社
(65) 公表番号	特表2014-517509 (P2014-517509A)		東京都新宿区西新宿六丁目24番1号
(43) 公表日	平成26年7月17日(2014.7.17)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2012/035249		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02012/149184		レイテッド
(87) 国際公開日	平成24年11月1日(2012.11.1)		アメリカ合衆国 テキサス州 75265
審査請求日	平成27年4月21日(2015.4.21)		-5474 ダラス メール ステーショ
(31) 優先権主張番号	13/094,645		ン 3999 ビーオーボックス 655
(32) 優先日	平成23年4月26日(2011.4.26)		474
(33) 優先権主張国	米国 (US)	(74) 上記1名の代理人	100098497
			弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 ドリフト領域の下にキャビティを備える DMOS トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

DMOS トランジスタであって、

シリコンオンインシュレータ(SOI)構造であって、上面を有するバルク領域と、前記バルク領域の上面に接し、上面と底面とを有する絶縁層と、前記絶縁層の上面に接する単結晶半導体領域とを有し、前記単結晶半導体領域が、前記絶縁層に接する第1の導電型のドープ領域と、前記絶縁層に接する第2の導電型のドリフト領域とを有する、前記SOI構造と、

前記絶縁層の底面の一部を露出させる、前記バルク領域内のキャビティであって、前記絶縁層の底面の前記一部が、前記ドリフト領域の直下に位置する、前記キャビティと、

前記単結晶半導体領域と前記絶縁層とを介して前記キャビティに延びる複数の開口と、それぞれ、前記複数の開口の上部分を覆い、前記複数の開口を充填しない、複数のプラグと、

を含む、DMOS トランジスタ。

【請求項 2】

請求項 1 に記載の DMOS トランジスタであって、

前記単結晶半導体領域が、

前記ドリフト領域に接し且つ前記ドープ領域から離間して位置する前記第2の導電型のドレイン領域と、前記ドープ領域に接し且つ前記ドリフト領域から離間して位置する前記第2の導電型のソース領域と、

10

20

前記ドリフト領域と前記ソース領域との間に水平に位置し且つそれらに接する前記ドー  
プ領域のチャンネル領域と、

を更に有する、DMOSトランジスタ。

【請求項3】

請求項2に記載のDMOSトランジスタであって、  
前記ドーパ領域が、

前記絶縁層に接するウェル領域と、

前記ウェル領域より高いドーパント濃度を有し、前記ウェル領域に接し、前記チャンネル  
領域を含む、ボディ領域と、

前記ボディ領域より高いドーパント濃度を有し、前記ボディ領域に接するコンタクト領  
域と、

を含む、DMOSトランジスタ。

【請求項4】

請求項2に記載のDMOSトランジスタであって、

前記チャンネル領域に接し、その上に位置する非導電層と、

前記非導電層に接し、前記チャンネル領域の上に位置するゲートと、

を更に含む、DMOSトランジスタ。

【請求項5】

請求項4に記載のDMOSトランジスタであって、

前記ドリフト領域が前記ドーパ領域に接する、DMOSトランジスタ。

【請求項6】

請求項4に記載のDMOSトランジスタであって、

前記ドーパ領域が前記非導電層と前記絶縁層との間に位置する、DMOSトランジスタ

。

【請求項7】

請求項4に記載のDMOSトランジスタであって、

前記キャビティが前記ゲートの一部の直下に位置する、DMOSトランジスタ。

【請求項8】

請求項4に記載のDMOSトランジスタであって、

前記キャビティのいかなる部分も、前記ゲートの任意の部分の直下に位置しない、DM  
OSトランジスタ。

【請求項9】

請求項8に記載のDMOSトランジスタであって、

前記ゲートに最も近く位置する前記キャビティのエッジが、前記キャビティに最も近く  
位置する前記ゲートのエッジに一致して位置する垂直ラインから水平に離間する、DMO  
Sトランジスタ

【請求項10】

DMOSトランジスタを形成する方法であって、

上面を有するバルク領域と、前記バルク領域の上面に接する絶縁層であって、上面と底  
面とを有する、前記絶縁層と、前記絶縁層の上面に接する単結晶半導体領域とを含む、シリ  
コンオンインシュレータ(SOI)構造を提供することと、

前記絶縁層に接する第1導電型のドーパボディ領域と、前記絶縁層に接する第2導電型  
のドリフト領域とを形成することと、

前記単結晶半導体領域の複数の隔離された領域を形成するために、前記単結晶半導体領  
域を通して前記絶縁層に延びるトレンチ隔離構造を形成することと、

前記単結晶半導体領域の上にパッド酸化物層を堆積することであって、続いて、前記パ  
ッド酸化物層の上にシリコン窒化物層を堆積する、前記パッド酸化物層を堆積することと  
、

前記シリコン窒化物層上に露出された領域を形成するために前記シリコン窒化物層の上  
面にパターニングされたフォトリソ層を形成することと、

10

20

30

40

50

前記パターンニングされたフォトリソ層をマスクとして用いてハードマスクを形成することであって、前記シリコン窒化物層と前記パッド酸化物層との上の前記露出された領域をエッチングして前記単結晶半導体領域の表面上に露出された領域を結果として形成する、前記ハードマスクを形成することと、

前記単結晶半導体領域と前記絶縁層とを通ずる複数の開口を形成するために前記ハードマスクを用いて前記単結晶半導体領域の表面上の前記露出された領域を選択的にエッチングすることであって、それにより、前記シリコンオンインシュレータ(SOI)構造のバルク領域の上面に対応する複数の領域を露出させ、前記複数の開口が複数の側壁を有する、前記露出された領域を選択的にエッチングすることと、

前記複数の開口の前記複数の側壁に接する複数の側壁スペーサを形成することと、

前記複数の開口の各々の下に位置する単一のキャビティを形成するように、前記複数の開口を介して前記バルク領域をウェットエッチングすることであって、前記単一のキャビティが前記絶縁層の底面の一部を露出させ、前記絶縁層の底面の前記一部が前記ドリフト領域の直下に位置する、前記バルク領域をウェットエッチングすることと、

前記複数の開口を覆うが前記複数の開口を充填しないキャップ酸化物層を形成することと、

前記単結晶半導体領域の上面が露出されるまで前記パッド酸化物層と前記キャップ酸化物層の一部を除去するように前記SOI構造の上面を平坦化することと、

を含む、方法。

【請求項 11】

請求項 10 に記載の方法であって、

前記複数の開口を塞ぐ複数の非導電プラグを形成することを更に含む、方法。

【請求項 12】

請求項 10 に記載の方法であって、

前記ドリフト領域が前記ドープボディ領域に接する、方法。

【請求項 13】

請求項 12 に記載の方法であって、

前記キャビティが前記ドリフト領域の全ての直下に位置する、方法。

【請求項 14】

請求項 12 に記載の方法であって、

前記キャビティが前記ドリフト領域の全てより少ない部分の直下に位置する、方法。

【請求項 15】

請求項 12 に記載の方法であって、

前記第 2 の導電型のソース及びドレイン領域を形成することを更に含み、前記ソース領域が前記ドープ領域に接し且つ前記ドリフト領域から離間し、前記ドレイン領域が前記ドリフト領域に接し且つ前記ドープ領域から離間する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願はDMOSトランジスタに関し、より特定的には、ドリフト領域の下に位置するキャビティを備えるDMOSトランジスタに関する。

【背景技術】

【0002】

金属酸化物半導体(MOS)トランジスタは、逆の導電型の軽ドープチャネル半導体領域によって分割される、重ドープソース及びドレイン半導体領域を有する周知のデバイスである。またMOSトランジスタは、チャネル半導体領域の上に位置する酸化物層、及び酸化物層に接し且つチャネル半導体領域の上に位置する金属ゲートを有する。金属に加えて、MOSトランジスタのゲートは、一般にドープポリシリコンでも形成される。

【0003】

二重拡散型MOS(DMOS)トランジスタは、ドリフト領域として知られる大きな軽

10

20

30

40

50

ドーパドレイン半導体領域を有するパワートランジスタであり、ドリフト領域はチャネル半導体領域に接し、典型的にチャネル半導体領域と重ドーパドレイン半導体領域との間に位置する。DMOSトランジスタは一般に、ソース及びドレイン領域が垂直に離間する垂直デバイスとして、及びソース及びドレイン領域が水平に離間する横方向デバイスとして形成される。

#### 【0004】

動作において、垂直DMOSトランジスタは、典型的に、横方向DMOSトランジスタより良好な性能（例えば、低いオン状態ドレインソース間抵抗）を提供する。しかしながら、一般に横方向DMOSトランジスタは垂直DMOSトランジスタに比べ製作がはるかに容易であり、従ってより安価に製造できる。

10

#### 【0005】

図1は従来の横方向DMOSトランジスタ100の例を説明する断面図を示す。図1に示すように、DMOSトランジスタ100は、バルク領域104、バルク領域104の上面を覆う厚み約0.4 μmの絶縁層106、及び絶縁層106の上面に接する厚み約0.8 μmの単結晶半導体領域108を含むシリコンオンインシュレータ(SOI)構造102を含む。

#### 【0006】

また、SOI構造102は、絶縁層106に接するように、且つ単結晶半導体領域108の多数の隔離された領域を形成するように、単結晶半導体領域108を通して延びるトレンチ隔離構造TOXを含む（明確にするために、図では単結晶半導体領域108の1つの隔離された領域のみが示されている）。

20

#### 【0007】

更に図1に示すように、単結晶半導体領域108は、絶縁層106に接するp型ウェル110、p型ウェルに接し（且つ、DMOSトランジスタ100の閾値電圧を設定する）p-ボディ領域112、及び、絶縁層106、p型ウェル110、及びp-ボディ領域112に接するn-ドリフト領域114を含む。

#### 【0008】

単結晶半導体領域108は、n-ドリフト領域114に接し且つp-ボディ領域112から離間して位置するn+ドレイン領域120、p-ボディ領域112に接し且つn-ドリフト領域114から離間して位置するn+ソース領域122、及びp-ボディ領域112に接するp+コンタクト領域124を更に含む。このように、n-ドリフト領域114は、p型ウェル110、p-ボディ領域112、及びp+コンタクト領域124を含むドーパ領域に接する。また、p-ボディ領域112のチャネル領域126は、n-ドリフト領域114とn+ソース領域122との間に水平に位置し、それらに接する。

30

#### 【0009】

更に図1に示すように、横方向DMOSトランジスタ100は、チャネル領域126の上のp-ボディ領域112に接するゲート酸化物層130、及びチャネル領域126の上のゲート酸化物層130に接するゲート132を更に含む。ゲート132は金属又はドーパポリシリコンを用いて実装され得る。

#### 【0010】

動作において、第1の正電圧がn+ドレイン領域120に印加され、第2の正電圧がゲート132に印加され、一方、n+ソース領域122及びp+コンタクト領域124に接地が配置される。これらのバイアス条件に应答して、p-ボディ領域112のチャネル領域126が反転し、n+ソース領域122からn+ドレイン領域120に電子が流れる。

40

#### 【0011】

DMOSトランジスタの1つの重要な特徴は、トランジスタの降伏電圧BV<sub>ds</sub>であり、これはドリフト領域114からボディ領域112への接合部がブレイクダウンするか、或いは絶縁層106がブレイクダウンするかいずれか低い方が発生するより以前にn+ドレイン領域120に印加され得る最大オフ状態電圧である。DMOSトランジスタはパワートランジスタであるため、より大きい電圧を扱う必要性があり、従って、トランジス

50

タの降伏電圧  $BV_{ds}$  も増大させる必要がある。

【0012】

Udreaらの米国特許第6,703,684号は、DMOSトランジスタの下に位置するバルク領域104の一部を除去することにより横方向DMOSトランジスタの降伏電圧  $BV_{ds}$  が増大され得ることを教示している。図2は従来技術のUdreaのDMOSトランジスタ200の例を説明する断面図を示す。

【特許文献1】米国特許第6,703,684号

【0013】

UdreaのDMOSトランジスタ200は、DMOSトランジスタ100に似ているため、両方のDMOSトランジスタに共通の構造を示すために同じ参照番号を使用している。図2に示すように、UdreaのDMOSトランジスタ200は、UdreaのDMOSトランジスタ200がDMOSトランジスタ200の下に位置する絶縁層106の一部を露出させるようにバルク領域104を通して延びる背面開口210を有する点で、DMOSトランジスタ100とは異なる。

【0014】

しかしながら、Udreaのトランジスタ200はトランジスタの降伏電圧  $BV_{ds}$  を増大させるが、背面トレンチエッチングは、プロセスフローを著しく複雑にさせ、エッチングをストップさせるために厚いSOIウエハを必要とし、またプロセスフローに必要な装置の購入に大きな設備投資が必要となり得る。

【図面の簡単な説明】

【0015】

【図1】従来の横方向DMOSトランジスタ100の例を説明する断面図である。

【0016】

【図2】従来のUdreaのDMOSトランジスタ200の例を説明する断面図である。

【0017】

【図3】本発明に従ったDMOSトランジスタ300の例を説明する断面図である。

【0018】

【図4】本発明に従ったDMOSトランジスタ300の動作を更に説明するグラフである。

。

【0019】

【図5A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

。

【図5B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図5Aの5B-5Bの線に沿った断面図である。

【図5C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図5Aの5C-5Cの線に沿った断面図である。

【図6A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

。

【図6B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図6Aの6B-6Bの線に沿った断面図である。

【図6C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図6Aの6C-6Cの線に沿った断面図である。

【図7A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

。

【図7B】本発明に従ったDMOSトランジスタを形成する方法を説明する、図7Aの7B-7Bの線に沿った断面図である。

【図7C】本発明に従ったDMOSトランジスタを形成する方法を説明する、図7Aの7C-7Cの線に沿った断面図である。

【図8A】本発明に従ったDMOSトランジスタを形成する方法を説明する平面図である。

。

10

20

30

40

50

【図 8 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 8 A の 8 B 8 B の線に沿った断面図である。

【図 8 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 8 A の 8 C 8 C の線に沿った断面図である。

【図 9 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 9 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 9 A の 9 B 9 B の線に沿った断面図である。

【図 9 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 9 A の 9 C 9 C の線に沿った断面図である。

10

【図 1 0 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 0 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 0 A の 1 0 B 1 0 B の線に沿った断面図である。

【図 1 0 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 0 A の 1 0 C 1 0 C の線に沿った断面図である。

【図 1 1 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 1 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 1 A の 1 1 B 1 1 B の線に沿った断面図である。

20

【図 1 1 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 1 A の 1 1 C 1 1 C の線に沿った断面図である。

【図 1 2 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 2 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 2 A の 1 2 B 1 2 B の線に沿った断面図である。

【図 1 2 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 2 A の 1 2 C 1 2 C の線に沿った断面図である。

【図 1 3 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

30

【図 1 3 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 3 A の 1 3 B 1 3 B の線に沿った断面図である。

【図 1 3 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 3 A の 1 3 C 1 3 C の線に沿った断面図である。

【図 1 4 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 4 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 4 A の 1 4 B 1 4 B の線に沿った断面図である。

【図 1 4 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 4 A の 1 4 C 1 4 C の線に沿った断面図である。

40

【図 1 5 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 5 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 5 A の 1 5 B 1 5 B の線に沿った断面図である。

【図 1 5 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 5 A の 1 5 C 1 5 C の線に沿った断面図である。

【図 1 6 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 6 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 6 A の 1 6 B 1 6 B の線に沿った断面図である。

50

【図 1 6 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 6 A の 1 6 C 1 6 C の線に沿った断面図である。

【図 1 7 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 7 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 7 A の 1 7 B 1 7 B の線に沿った断面図である。

【図 1 7 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 7 A の 1 7 C 1 7 C の線に沿った断面図である。

【図 1 8 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

10

【図 1 8 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 8 A の 1 8 B 1 8 B の線に沿った断面図である。

【図 1 8 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 8 A の 1 8 C 1 8 C の線に沿った断面図である。

【図 1 9 A】本発明に従った D M O S トランジスタを形成する方法を説明する平面図である。

【図 1 9 B】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 9 A の 1 9 B 1 9 B の線に沿った断面図である。

【図 1 9 C】本発明に従った D M O S トランジスタを形成する方法を説明する、図 1 9 A の 1 9 C 1 9 C の線に沿った断面図である。

20

【 0 0 2 0 】

【図 2 0】本発明の代替実施形態に従った D M O S トランジスタ 2 0 0 0 の例を説明する断面図である。

【 0 0 2 1 】

【図 2 1 A】本発明に従った D M O S トランジスタ 2 0 0 0 の動作を更に説明するグラフである。

【図 2 1 B】本発明に従った D M O S トランジスタ 2 0 0 0 の動作を更に説明するグラフである。

【発明を実施するための形態】

【 0 0 2 2 】

30

図 3 は本発明に従った D M O S トランジスタ 3 0 0 の例を説明する断面図を示す。以下に更に詳しく説明するように、S O I 構造のバルク領域にキャビティを形成することにより、D M O S トランジスタ 3 0 0 の降伏電圧  $B V_{d s s}$  が増大される。

【 0 0 2 3 】

D M O S トランジスタ 3 0 0 は D M O S トランジスタ 1 0 0 に似ているため、両方のトランジスタに共通する構造を示すために同じ参照番号を使用している。図 3 に示すように、D M O S トランジスタ 3 0 0 は、D M O S トランジスタ 3 0 0 が絶縁層 1 0 6 の底面の一部を露出させるキャビティ 3 1 0 をバルク領域 1 0 4 に有するという点で D M O S トランジスタ 1 0 0 とは異なる。絶縁層 1 0 6 の底面の一部は n - ドリフト領域 1 1 4 の直下に位置する。

40

【 0 0 2 4 】

キャビティ 3 1 0 は、深さ D を有する単一領域であり、図 3 の例では、その一部がゲート 1 3 2 の一部の直下に位置する。或いは、キャビティ 3 1 0 のいかなる一部分もゲート 1 3 2 の任意の一部の直下に位置しなくてもよい。上述のように、D M O S トランジスタ 3 0 0 は、横方向 p n ダイオード ( p - ボディ領域 1 1 2 及び n - ドリフト領域 1 1 4 ) 及び垂直に隔離されたフィールドプレートを含む。

【 0 0 2 5 】

D M O S トランジスタ 3 0 0 の動作は、D M O S トランジスタ 1 0 0 と同じであるが、n + ドレイン領域 1 2 0 に電圧が印加されると、R E S U R F ( R E d u c e d S U R f a c e F i e l d ( 縮小表面電界 ) ) 原理の結果として、絶縁層 1 0 6 を横切る電界の垂

50

直成分が、 $n$ -ドリフト領域 114 及び絶縁層 106 を横切る空間電荷空乏領域を誘導する。RESURF 原理は横方向の電界を低下させる。低下させられた横方向の電界は、DMOS トランジスタ 300 の降伏電圧  $BV_{ds}$  を増加させて DMOS トランジスタ 300 をより高いドレイン電圧レベルで動作可能にさせる。

【0026】

図 4 は本発明に従った DMOS トランジスタ 300 の動作を更に説明するグラフを示す。グラフは、シミュレートされた降伏電圧  $BV_{ds}$  対 MOS トランジスタ 300 のキャパティ 310 の深さ  $D$  を比較している。図 4 に示すように、正しいキャパティ 310 の深さ  $D$  を備えると 700 V より高い降伏電圧  $BV_{ds}$  が実現され得る。

【0027】

更に、図 4 は DMOS トランジスタ 300 のオン状態ドレインソース間抵抗  $r_{DS(on)}$  とキャパティ 310 の深さ  $D$  との関係を示す。更に図 4 に示すように、オン状態ドレインソース間抵抗  $r_{DS(on)}$  は、キャパティ 310 の深さ  $D$  が増加するにつれて概して線形に上昇する。DMOS トランジスタはパワートランジスタであり、その結果、電源オン時に大きな電流を通過させることがある。そのためトランジスタのオン状態ドレインソース間抵抗  $r_{DS(on)}$  が低いことが重要なファクタとなる。

【0028】

更に、シリコン、酸化物、及び（キャパティ 310 中の）空気は、極めて異なる誘電率（例えば、それぞれ、11.9、3.9、及び 1.0）を有する。この値が低くなればなるほど、その領域に対して一層多くの電界線が引かれる。しかしながら、キャパティ 310 の深さ  $D$  が増加すると、その領域に引かれる電界線が一層少なくなり得る。この効果によって、誘電率が下れば下がる程一層良好になる。

【0029】

キャパティ 310 の深さ  $D$  が非常に大きいとき、等電位線はキャパティ 310 内に自由に広がり、絶縁層 106 の厚みが降伏電圧  $BV_{ds}$  を制限することはない。その結果、キャパティ 310 の深さ  $D$  が非常に大きいとき、 $n$ -ドリフト領域 114 のドーピングは大幅に低減されるべきである。

【0030】

図 4 の例では、キャパティ 310 が深さ  $D$  約 1.5  $\mu\text{m}$  のときに、（絶縁層 106 が厚み約 0.4  $\mu\text{m}$ 、及び半導体領域 108 が厚み約 0.8  $\mu\text{m}$  で）、700 V より高い降伏電圧  $BV_{ds}$  と、低いオン状態ドレインソース間抵抗  $r_{DS(on)}$  を備える DMOS トランジスタが実現され得る。

【0031】

図 5 A ~ 図 5 C から図 19 A ~ 図 19 C は、本発明に従った DMOS トランジスタを形成する方法を説明する図を示す。図 5 A ~ 図 19 A は平面図であり、図 5 B ~ 図 19 B は図 5 A ~ 図 19 A の 5 B - 5 B から 19 B - 19 B の線に沿った断面図であり、図 5 C ~ 図 19 C は、図 5 A ~ 図 19 A の 5 C - 5 C から 19 C - 19 C の線に沿った断面図である。

【0032】

図 5 A ~ 図 5 C に示すように、この方法は、厚み約 750  $\mu\text{m}$  のバルク領域 504、バルク領域 504 の上面を覆う厚み約 0.4  $\mu\text{m}$  の絶縁層 506、及び絶縁層 506 の上面に接する厚み約 0.45  $\mu\text{m}$  の単結晶半導体領域 510 を含む、従来方法で形成された SOI ウエハ 502 を使用する。

【0033】

また、SOI ウエハ 502 は、絶縁層 506 に接し且つ単結晶半導体領域 510 の多数の隔離された領域を形成するように、単結晶半導体領域 510 を通って延びるトレンチ隔離構造 TOX を含む（明確にするために、図では単結晶半導体領域 510 の 1 つの隔離された領域のみが示されている）。

【0034】

更に、図 5 A ~ 5 C に示すように、この方法は、先ず、単結晶半導体領域 510 上にパ

10

20

30

40

50



ッド酸化物層 512 の層を低圧化学気相堆積法 (LPCVD) 等により堆積し、その後、パッド酸化物層 512 上にシリコン窒化物層 514 を LPCVD 等により堆積する。

【0035】

この後、パターニングされたフォトレジスト層 516 がシリコン窒化物層 514 の上面上に形成される。パターニングされたフォトレジスト層 516 は、フォトレジストの層を堆積すること、及びマスクとして知られるパターニングされた黒/透明ガラス板を介して光を投影してフォトレジストの層上にパターニングされた画像を形成することを含む従来の方式により形成される。この光は露光されたフォトレジスト領域を軟化させる。その後、軟化したフォトレジスト領域が除去される。

【0036】

10

図 6A ~ 図 6C に示すように、パターニングされたフォトレジスト層 516 が形成された後、単結晶半導体領域 510 の表面上の領域を露出させるように、従ってパターニングされたハードマスク 520 を形成するように、シリコン窒化物層 514 及びパッド酸化物層 512 の露出された領域が従来の方式で異方性エッチングされる。このようにしてパターニングされたハードマスク 520 は、シリコン窒化物層 514 及びパッド酸化物層 512 のエッチングによって画定されたパターンを有する。エッチングの後、パターニングフォトレジスト層 516 が従来の方式で除去される。

【0037】

図 7A ~ 図 7C に示すように、ハードマスク 520 が形成された後、各々がバルク領域 504 の上面を露出する多数の開口 522 を形成するように、単結晶半導体領域 510 及び絶縁層 506 の露出された領域が異方性ドライエッチングされる。開口 522 は単結晶半導体領域 510 の領域を通して延び得る。単結晶半導体領域 510 は、その後、軽ドーパドリフト領域を形成するように、従って横方向 RESURF 領域として機能するように、或いは重ドーパ領域を形成するように注入される。或いは、開口 522 は、トレンチ隔離構造 Trench を通して形成され得る。

20

【0038】

次に、図 8A ~ 図 8C に示すように、エッチングによって露出されたシリコン表面上に酸化物層 524 を形成するように SOIウエハ 502 が酸化される。この後、窒化珪素の層が従来の方式で堆積される。次いで、バルク領域 504 の上面を露出させ、開口 522 の側壁の境界を提供する側壁スペーサ 526 を形成するように、窒化珪素層及び酸化物層 524 が従来の方式で異方性エッチバックされる。

30

【0039】

図 9A ~ 図 9C に示すように、側壁スペーサ 526 が形成された後、バルク領域 504 にキャビティ 530 を形成するように、シリコンに選択的なエッチャントを用いて従来の方式で SOIウエハ 502 がウェットエッチングされる。また、隣接する開口 522 間のキャビティ 530 の底面は、ウェット等方性エッチングを用いることによるピーク 532 を有する。ピーク 532 の高さを最小化するように、開口 522 の密度が配されるべきである。

【0040】

更に図 9B に示すように、キャビティ 530 は、単結晶半導体領域 510 のトランジスタ部分 534 及び絶縁層 506 の下部部分の下に延びる。一旦、キャビティ 530 が形成されると、シリコン窒化物層 514 と側壁スペーサ 526 の窒化物部分とが従来のプロセスを用いて除去される。

40

【0041】

シリコン窒化物層 514 及び側壁スペーサ 526 の窒化物部分の除去の後、図 10A ~ 図 10C に示すように、キャップ酸化物層 536 の層がパッド酸化物層 512 上に、例えば、化学気相堆積によって、堆積される。更に図 10A ~ 図 10C に示すように、キャップ酸化物層 536 は開口 522 を覆うが充填はしない。

【0042】

次に、図 11A ~ 図 11C に示すように、単結晶半導体領域 510 の上面の上に位置す

50

る、パッド酸化物層 5 1 2 とキャップ酸化物層 5 3 6 の一部とを除去して、単結晶半導体領域 5 1 0 の上面を露出させるように、従来の方式で S O I ウエハ 5 0 2 が平坦化される。

【 0 0 4 3 】

例えば、平坦な表面を形成するためにキャップ酸化物層 5 3 6 上に先ず平坦化材料が堆積され得る。その後、平坦化材料及び酸化物（キャップ酸化物層 5 3 6 及びパッド酸化物層 5 1 2 ）を実質的に同じ速度でエッチングするエッチャントを用いて、S O I ウエハ 5 0 2 がウェットエッチングされ得る。エッチングは、単結晶半導体領域 5 1 0 の上面が露出されるまで継続する。

【 0 0 4 4 】

或いは、酸化物の上側部分を除去するために化学機械研磨が用いられ得るが、単結晶半導体領域 5 1 0 の上面に損傷を与えずに化学機械研磨が実行できない限り、単結晶半導体領域 5 1 0 の上面を露出させるために用いられる可能性は低い。

【 0 0 4 5 】

また、更に図 1 1 A ~ 図 1 1 C に示すように、この平坦化は酸化物プラグ 5 4 0 を形成する。平坦化及び単結晶半導体領域 5 1 0 の上面の露出の後、図 1 2 A ~ 図 1 2 C に示すように、形成されるべき p 型ウェル領域のドーパント濃度を設定するように、ボロン等の p 型ドーパントが単結晶半導体領域 5 1 0 の上面にブランケット注入される。或いは、ブランケット注入は、S O I ウエハ 5 0 2 が平坦化される前に実行されてもよい。

【 0 0 4 6 】

次に、図 1 3 A ~ 図 1 3 C に示すように、ゲート酸化物等の非導電層 5 4 2 が単結晶半導体領域 5 1 0 の上面上に形成される。非導電層 5 4 2 の形成の後、ゲート酸化物層 5 4 2 に接するようにポリシリコン層 5 4 4 が形成される。

【 0 0 4 7 】

ポリシリコン層 5 4 4 が形成されると、例えば、ドーズ量  $1.79 \times 10^{16}$  原子 /  $\text{cm}^3$ 、及び注入エネルギー 30 KeV の n 型ブランケット注入を用いて、ポリシリコン層 5 4 4 がドーピングされる。その後、パターニングされたフォトレジスト層 5 4 6 が通常的方式でポリシリコン層 5 4 4 上に形成される。

【 0 0 4 8 】

次に、図 1 4 A ~ 図 1 4 C に示すように、ゲート 5 5 0 を形成するように、ポリシリコン層 5 4 4 の露出された領域が従来の方式でエッチング除去される。次いでパターニングされたフォトレジスト層 5 4 6 が従来の工程を用いて除去される。その後、図 1 5 A ~ 図 1 5 C に示すように、パターニングされたフォトレジスト層 5 5 2 が単結晶半導体領域 5 1 0 の上に従来の方式で形成される。

【 0 0 4 9 】

次に、n - ドリフト領域 5 5 4 を形成するように、従って p 型ウェル領域 5 5 6 も形成するように、リン酸等の n 型ドーパントが単結晶半導体領域 5 1 0 の上面に注入される。例えば、n - ドリフト領域 5 5 4 は約  $1 \times 10^{16}$  原子 /  $\text{cm}^3$  のドーパント濃度及び約 30 ~ 50  $\mu\text{m}$  の長さを有し得る。キャビティ 5 3 0 の深さ D が増加するとともに、ドーピングが低減される。

【 0 0 5 0 】

或いは、多数のパターニングされたフォトレジスト層を使用して、等級化されたドーパント濃度を有するように n 型ドリフト領域 5 5 4 が形成されてもよい。例えば、ゲート 5 5 0 に最も近い n - ドリフト領域 5 5 4 の領域のドーパント濃度は約  $8 \times 10^{15}$  原子 /  $\text{cm}^3$  であり得、ドーパント濃度は線形に増加してゲート 5 5 0 から最も遠くに位置する領域ではドーパント濃度が約  $3 \times 10^{16}$  原子 /  $\text{cm}^3$  になり得る。次いでパターニングされたフォトレジスト層 5 5 2 が従来の方式で除去される。

【 0 0 5 1 】

パターニングされたフォトレジスト層 5 5 2 の除去の後、図 1 6 A ~ 図 1 6 C に示すように、パターニングされたフォトレジスト層 5 6 0 が単結晶半導体領域 5 1 0 上に従来の

10

20

30

40

50

方式で形成される。次に、 $n +$ ソース領域 562 及び  $n +$ ドレイン領域 564 を形成するように、ヒ素等の  $n$  型ドーパントが単結晶半導体領域 510 の上面に注入される。例えば、 $n +$ ソース領域 562 及びドレイン領域 564 は  $1 \times 10^{18}$  原子 /  $\text{cm}^3$  のドーパント濃度を有し得る。次いで、パターンニングされたフォトレジスト層 560 が従来の方式で除去される。

#### 【0052】

パターンニングされたフォトレジスト層 560 の除去の後、図 17A ~ 図 17C に示すように、パターンニングされたフォトレジスト層 566 が単結晶半導体領域 510 の上に従来の方式で形成される。次に、 $p$  - ボディ領域 568 を形成するように、ボロン等の  $p$  型ドーパントが、単結晶半導体領域 510 の上面に斜めに注入される。この注入は、形成されるべき DMOS トランジスタの閾値電圧を設定する。次いで、パターンニングされたフォトレジスト層 566 が従来の方式で除去される。

10

#### 【0053】

パターンニングされたフォトレジスト層 566 の除去の後、図 18A ~ 図 18C に示すように、パターンニングされたフォトレジスト層 569 が単結晶半導体領域 510 の上に従来の方式で形成される。次に、 $p$  - ボディ領域 568 に接する  $p +$  コンタクト領域 570 を形成するように、ボロン等の  $p$  型ドーパントが単結晶半導体領域 510 の上面に注入される。例えば、 $p +$  コンタクト領域 570 は  $1 \times 10^{18}$  原子 /  $\text{cm}^3$  のドーパント濃度を有し得る。

#### 【0054】

20

このように、 $n$  - ドリフト領域 554 は、 $p$  型ウェル領域 556、 $p$  - ボディ領域 568、及び  $p +$  コンタクト領域 570 を含むドーブ領域に接する。また、 $p$  - ボディ領域 568 のチャンネル領域 572 は、 $n$  - ドリフト領域 554 と  $n +$  ソース領域 562 との間に水平に位置し、それらに接する。(  $n +$  ソース領域 562 及び  $p +$  コンタクト領域 570 の下に位置する  $p$  - ボディ領域 568 内に深い  $p$  型領域を形成するためなど、追加的な垂直の  $p$  型注入を行なってもよく、例えば、 $p$  型領域に更に合わせるように、マスクを形成し、注入し、マスクを除去する等の上述と同様の方式で行なう。 )

#### 【0055】

その後、図 19A - 19C に示すように、パターンニングされたフォトレジスト層 569 が従来の方式で除去される。従来の高速熱プロセスが用いられて注入物のドライブ及び活性化が行なわれる( 或いは、各注入の後などに、多数回注入物がドライブイン及び活性化されてもよい)。注入物がドライブ及び活性化されると、この方法は、従来のバックエンド処理工程で継続して DMOS トランジスタの形成を完了する。

30

#### 【0056】

このように、SOI ウエハ 502 にキャピティ 530 を備える横方向 DMOS トランジスタを形成する方法が開示されている。この方法では、単結晶半導体領域 510 及び絶縁層 506 を通る多数の開口を選択的にエッチングすることにより、キャピティ 530 を形成し、SOI ウエハ 502 のバルク領域 504 に対応する数の領域を露出させる。

#### 【0057】

また、この方法では、多数の開口 522 の側壁に接するように多数の側壁スペーサを形成し、多数の開口 522 を介してバルク領域 504 をウェットエッチングして、開口 522 の各々の下に位置する単一のキャピティ 530 を形成する。キャピティ 530 が形成されると、この方法では開口 522 を塞ぐ多数のプラグ 540 も形成する。

40

#### 【0058】

図 20 は本発明に従った DMOS トランジスタ 2000 の例を説明する断面図を示す。DMOS トランジスタ 2000 は DMOS トランジスタ 300 に似ているため、両方のトランジスタに共通の構造を示すために同じ参照番号を使用している。

#### 【0059】

図 20 に示すように、DMOS トランジスタ 2000 は、DMOS トランジスタ 2000 が  $n$  - ドリフト領域 114 の代わりに  $n$  - ドリフト領域 2010 を用いるという点で、

50

DMOSTランジスタ300とは異なる。N型ドリフト領域2010は、n - ドリフト領域114より薄いため、p型ウェル領域110の一部をn - ドリフト領域2010の下に位置させることができる。

【0060】

また、キャビティ310も短いため、ゲート132の最も近くに位置するキャビティ310のエッジは、キャビティ310に最も近いゲート132のエッジに一致して位置する垂直ラインから水平分離距離 $X_{SON}$ だけ、水平に離間する。この場合、キャビティ310は、ドリフト領域2010の全てより少ない部分の直下に位置する。

【0061】

DMOSTランジスタ2000の動作は、DMOSTランジスタ300と同じであるが、n - ドリフト領域2010と、n - ドリフト領域2010の下に位置するp型ウェル領域110の一部との間の接合を横切る空乏領域が、n - ドリフト領域114の下に位置するp型ウェル領域110の一部と共に、n - ドリフト領域114を実質的に覆う点異なる。

10

【0062】

DMOSTランジスタ2000は、約 $2.5 \times 10^{15}$  原子/cm<sup>3</sup>のドーパント濃度を有するように単結晶半導体領域510にp型ドーパントを注入し、次いでトレンチ隔離領域TOXが形成される前に、単結晶半導体領域510の表面上にn型エピタキシャル層を成長させることによって、形成され得る。

【0063】

20

更に、バルク領域504がウェットエッチングされるとき、キャビティ530の長さを短くするように、より少ない開口522が形成される。また、続いてn - ドリフト領域2010が形成されるとき、約 $3.0 \times 10^{15}$  原子/cm<sup>3</sup>のドーパント濃度を有するように、より低い注入エネルギーを用いてn - ドリフト領域2010が形成される。

【0064】

図21A及び図21Bは、本発明に従ったDMOSTランジスタ2000の動作を更に説明するグラフを示す。図21Aのグラフは、DMOSTランジスタ2000のシミュレートされた降伏電圧 $BV_{dss}$ 対キャビティ310の深さDを比較する。図21Aに示すように、正しいキャビティ310の深さDを用いると、約600Vの降伏電圧 $BV_{dss}$ が実現され得る。

30

【0065】

図21Bのグラフは、シミュレートされた降伏電圧 $BV_{dss}$ 対水平分離距離 $X_{SON}$ （ゲート132のエッジとキャビティ310のエッジとの間で測定）を比較する。図21Bに示すように、キャビティ310のエッジとゲート132のエッジとの間に小さな水平分離が存在するとき、最も高い降伏電圧が実現され得る。

【0066】

図20の例では、キャビティ310が約14  $\mu m$ の深さDを有するとき、（絶縁層106が厚み約1.0  $\mu m$ 、n - ドリフト領域2010が厚み約2.25  $\mu m$ 、及び、n - ドリフト領域2010の直下のp型ウェル領域110が厚み約2.2  $\mu m$ で）、約600Vの降伏電圧 $BV_{dss}$ を備えるDMOSTランジスタが実現され得る。従って、DMOSTランジスタ2000は、DMOSTランジスタ300より僅かに低い降伏電圧 $BV_{dss}$ を有するが、DMOSTランジスタ2000のキャビティ310の深さDは実質的に大きい。

40

【0067】

当業者であれば、本発明の特許請求の範囲から逸脱することなく、記載された実施形態に変更が行なわれ得ること、及び他の多くの実施形態が可能であることが理解されるであろう。

【図 3】

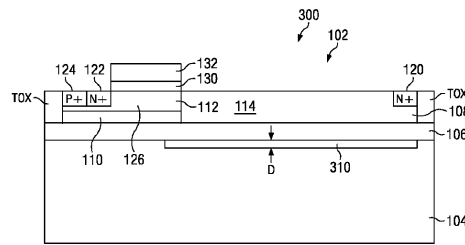


FIG. 3

【図 4】

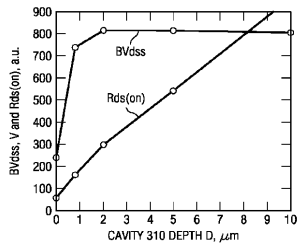


FIG. 4

【図 5 A】

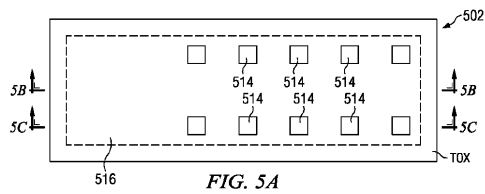


FIG. 5A

【図 6 B】

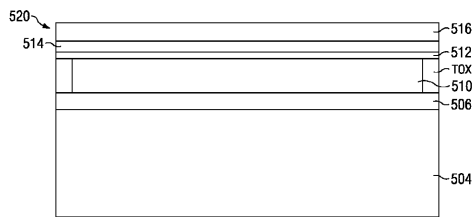


FIG. 6B

【図 6 C】

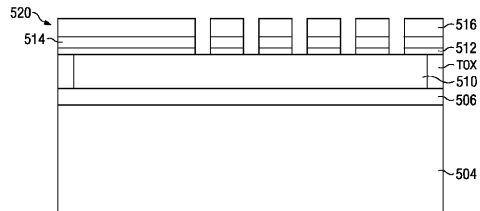


FIG. 6C

【図 7 A】

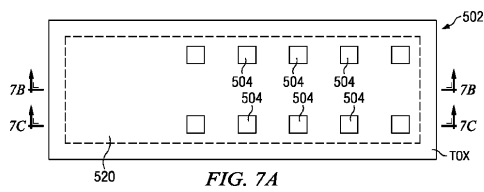


FIG. 7A

【図 5 B】

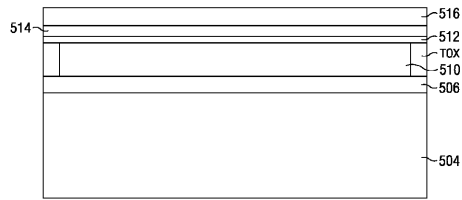


FIG. 5B

【図 5 C】

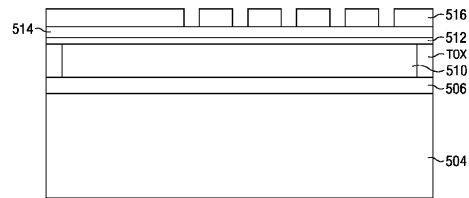


FIG. 5C

【図 6 A】

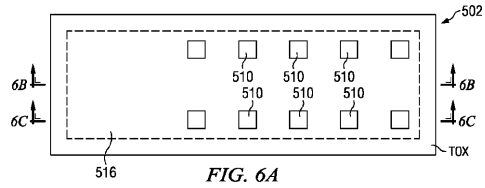


FIG. 6A

【図 7 B】

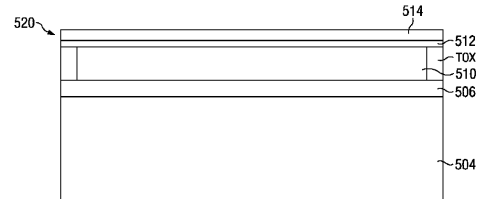


FIG. 7B

【図 7 C】

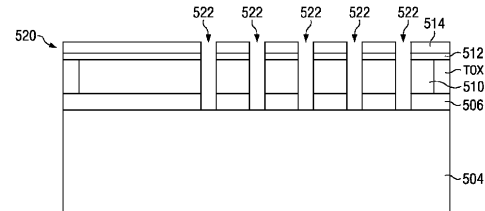


FIG. 7C

【図 8 A】

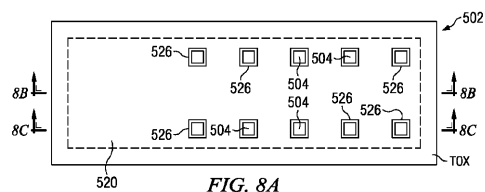


FIG. 8A

【図 8 B】

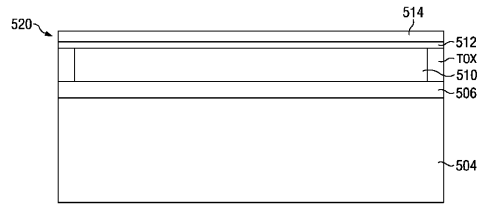


FIG. 8B

【図 9 B】

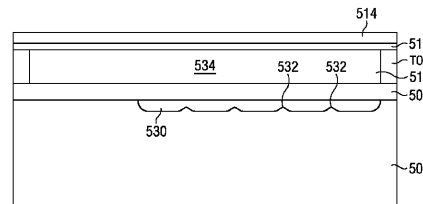


FIG. 9B

【図 8 C】

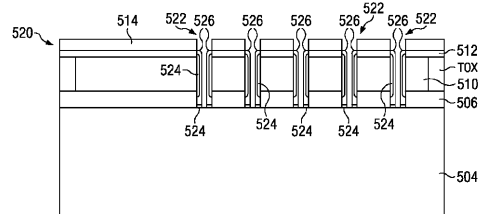


FIG. 8C

【図 9 C】

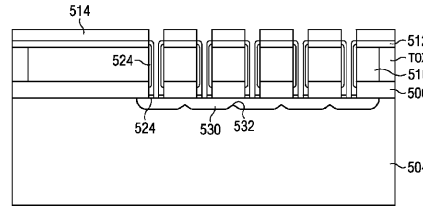


FIG. 9C

【図 9 A】

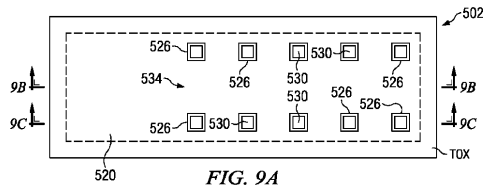


FIG. 9A

【図 10 A】

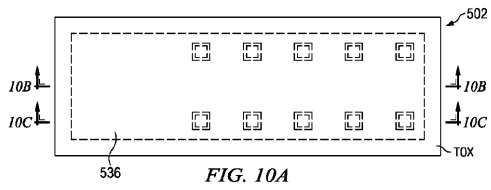


FIG. 10A

【図 10 B】

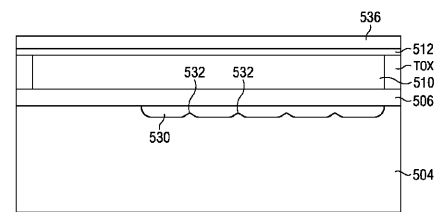


FIG. 10B

【図 11 B】

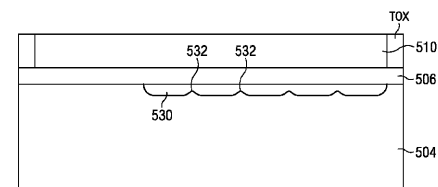


FIG. 11B

【図 10 C】

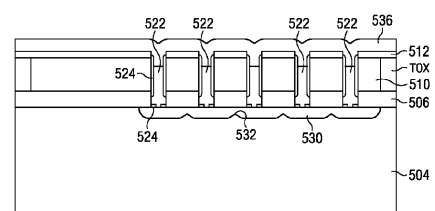


FIG. 10C

【図 11 C】

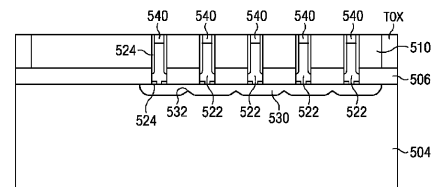


FIG. 11C

【図 11 A】

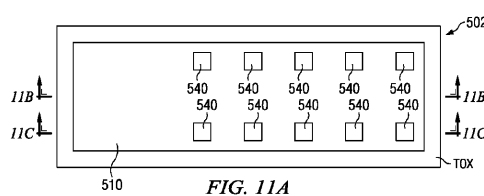


FIG. 11A

【図 12 A】

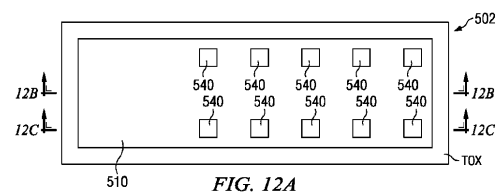


FIG. 12A

【図 12 B】

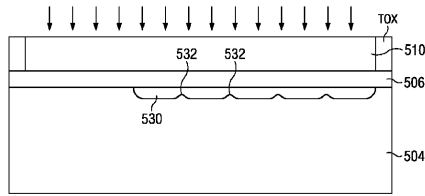


FIG. 12B

【図 13 B】

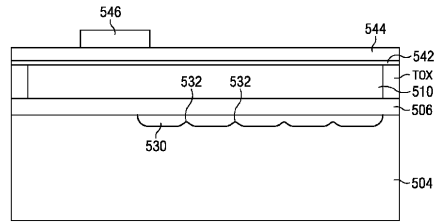


FIG. 13B

【図 12 C】

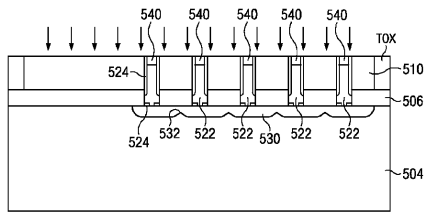


FIG. 12C

【図 13 C】

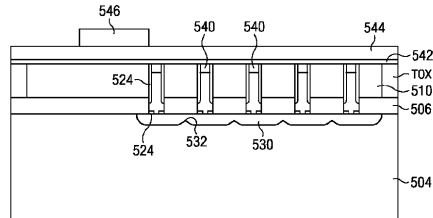


FIG. 13C

【図 13 A】

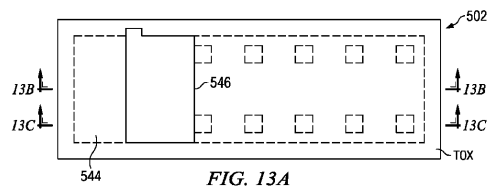


FIG. 13A

【図 14 A】

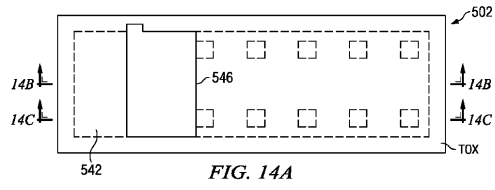


FIG. 14A

【図 14 B】

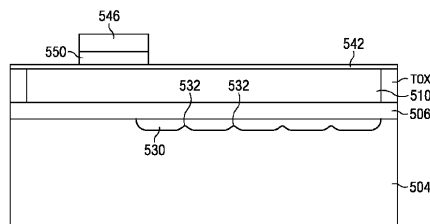


FIG. 14B

【図 15 B】

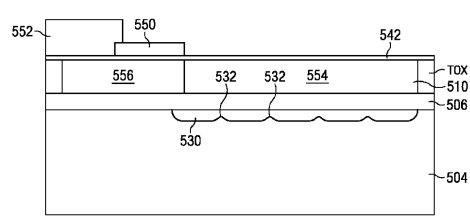


FIG. 15B

【図 14 C】

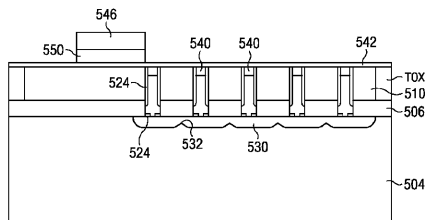


FIG. 14C

【図 15 C】

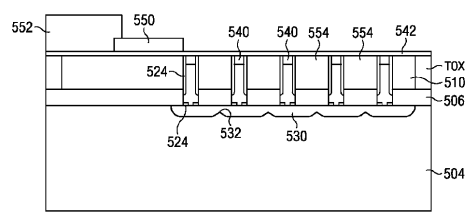


FIG. 15C

【図 15 A】

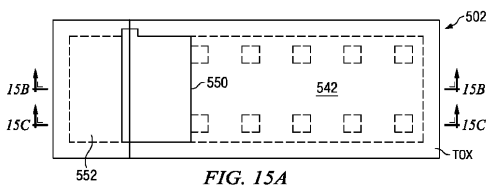


FIG. 15A

【図 16 A】

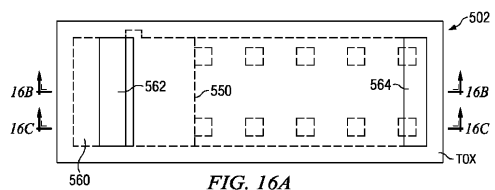


FIG. 16A

【図 16 B】

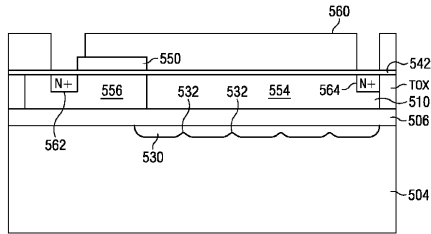


FIG. 16B

【図 17 B】

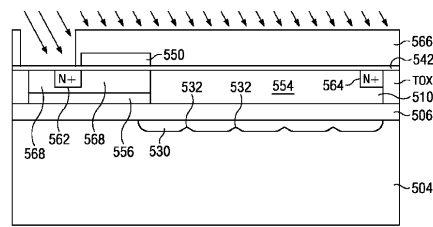


FIG. 17B

【図 16 C】

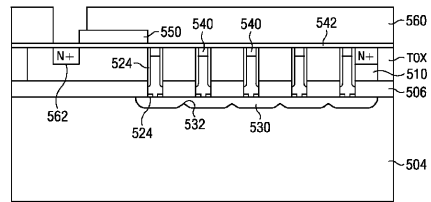


FIG. 16C

【図 17 C】

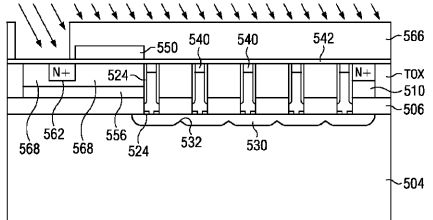


FIG. 17C

【図 17 A】

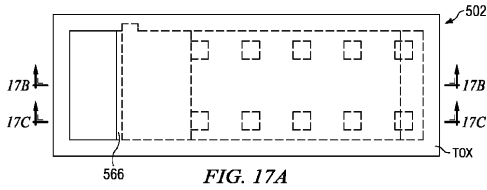


FIG. 17A

【図 18 A】

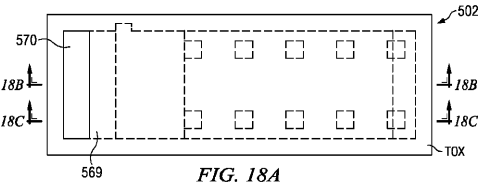


FIG. 18A

【図 18 B】

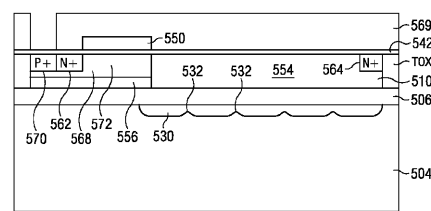


FIG. 18B

【図 19 B】

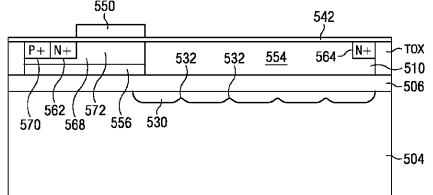


FIG. 19B

【図 18 C】

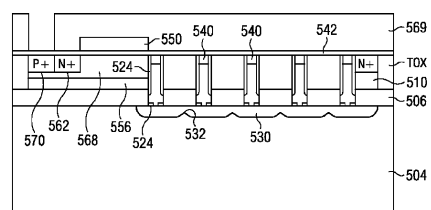


FIG. 18C

【図 19 C】

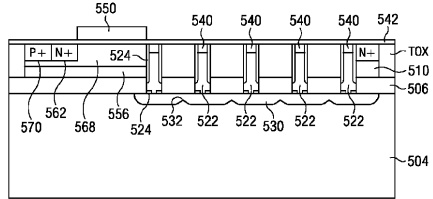


FIG. 19C

【図 19 A】

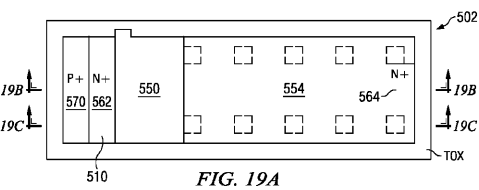


FIG. 19A

【図 20】

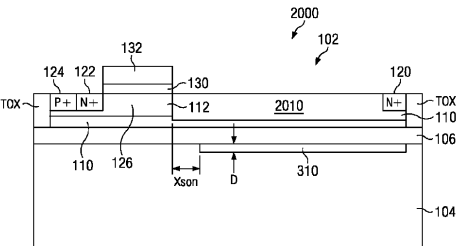
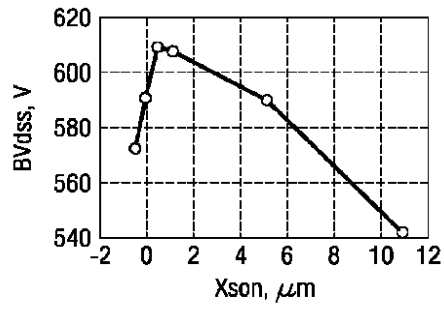


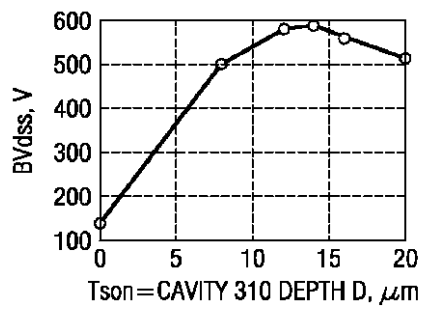
FIG. 20



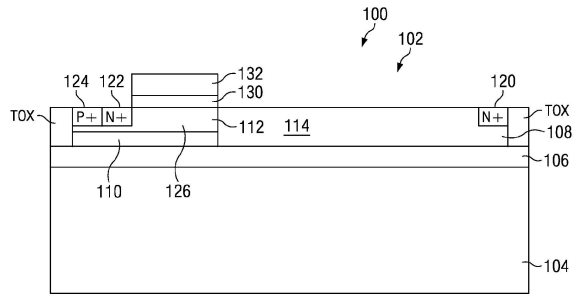
【図 2 1 A】

**FIG. 21A**

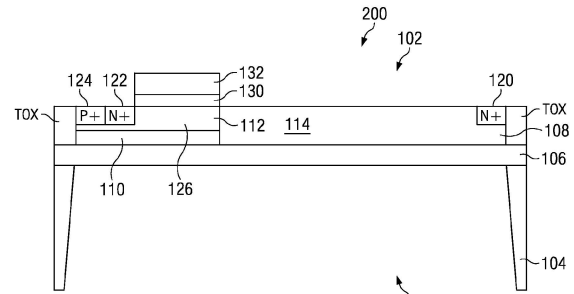
【図 2 1 B】

**FIG. 21B**

【図 1】

**FIG. 1 (従来技術)**

【図 2】

**(従来技術) FIG. 2**

## フロントページの続き

- (72)発明者 ウィリアム フレンチ  
アメリカ合衆国 95117 カリフォルニア州 サンノゼ, トパーズ アヴェニュー 119  
8
- (72)発明者 ウラディスラフ ヴァシチェンコ  
アメリカ合衆国 94306 カリフォルニア州 パロ アルト, ポール アヴェニュー 70  
0
- (72)発明者 リチャード ウェンデル フート  
アメリカ合衆国 76028 テキサス州 バールソン, エンチャンティッド コート ノース  
109
- (72)発明者 アレクセイ サドブニコフ  
アメリカ合衆国 94086 カリフォルニア州 サニーベール, レッドウッド アヴェニュー  
924
- (72)発明者 プニ ボラ  
アメリカ合衆国 04106 メーン州 サウス ポートランド, ユニット 10404, リ  
バープレイス ドライブ 10
- (72)発明者 ピーター ジェイ ホッパー  
アメリカ合衆国 95134 カリフォルニア州 サンノゼ, ヴァーディグリス サークル 4  
327

審査官 宇多川 勉

- (56)参考文献 特開平06-188438(JP,A)  
特開2007-123823(JP,A)  
米国特許第06211551(US,B1)  
特開2002-110987(JP,A)  
特表2008-541421(JP,A)  
特開2006-173204(JP,A)  
特開2007-158139(JP,A)  
特表2003-504875(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/786