

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
26. April 2018 (26.04.2018)



(10) Internationale Veröffentlichungsnummer
WO 2018/073128 A1

(51) Internationale Patentklassifikation:
H05K 3/46 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2017/076219

(22) Internationales Anmeldedatum:
13. Oktober 2017 (13.10.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2016 119 825.0
18. Oktober 2016 (18.10.2016) DE

(71) Anmelder: HELLA GMBH & CO. KGAA [DE/DE];
Rixbecker Straße 75, 59552 Lippstadt (DE).

(72) Erfinder: STANZMANN, Ralf; Kampstraße 37, 33449
Langenberg (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP,
KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,
SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,

(54) Title: CIRCUIT BOARD

(54) Bezeichnung: LEITERPLATTE

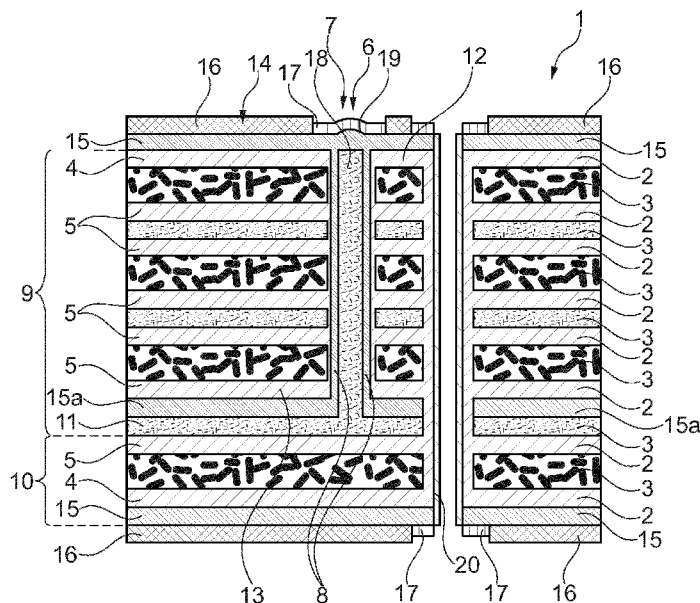


Fig. 1

(57) Abstract: The invention relates to a circuit board (1) having a plurality of electrically conductive layers (2) which are separated from one another by electrically non-conductive layers (3), wherein at least one electrically conductive outer layer (4) and a plurality of electrically conductive intermediate layers (5) are provided; at least one electrically conductive through-connection (6) between an electrically conductive outer layer (4) and an electrically conductive intermediate layer (5) is provided; the circuit board (1) consists of at least one first multi-layer partial circuit board (9) and a second multi-layer partial circuit board (10); the first multi-layer partial circuit board (9) is formed from a plurality of electrically conductive layers (2) and a plurality of electrically non-conductive layers (3), and the second multi-layer partial circuit board (10) comprises at least one electrically conductive layer (2) and at least one electrically non-

SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Erklärungen gemäß Regel 4.17:

— *Erfindererklärung (Regel 4.17 Ziffer iv)*

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

conductive layer (3); the multi-layer partial circuit boards (9, 10) are connected to one another, and the electrically conductive through-connection (6) is formed between a first electrically conductive outer layer (12) and a second electrically conductive outer layer (13) of one of the multi-layer partial circuit boards (9). The invention further relates to a method for producing a circuit board.

(57) Zusammenfassung: Die Erfindung betrifft eine Leiterplatte (1) mit einer Mehrzahl von elektrisch leitenden Lagen (2), die von elektrisch nicht leitenden Lagen (3) voneinander getrennt sind, wobei zumindest eine elektrisch leitende Außenlage (4) und eine Mehrzahl von elektrisch leitenden Zwischenlagen (5) vorgesehen sind, wobei zumindest eine elektrisch leitende Durchkontaktierung (6) zwischen einer elektrisch leitenden Außenlage (4) und einer elektrisch leitenden Zwischenlage (5) vorgesehen ist, wobei die Leiterplatte (1) aus zumindest einer ersten Mehrschichtteilleiterplatte (9) und aus einer zweiten Mehrschichtteilleiterplatte (10) besteht, wobei die erste Mehrschichtteilleiterplatte (9) aus einer Mehrzahl von elektrisch leitenden Lagen (2) und einer Mehrzahl von elektrisch nicht leitenden Lagen (3) gebildet ist und die zweite Mehrschichtteilleiterplatte (10) zumindest eine elektrisch leitende Lage (2) und zumindest eine elektrisch nicht leitende Lage (3) aufweist, wobei die Mehrschichtteilleiterplatten (9, 10) miteinander verbunden sind, wobei die elektrisch leitende Durchkontaktierung (6) zwischen einer ersten elektrisch leitenden Außenlage (12) und einer zweiten elektrisch leitenden Außenlage (13) einer der Mehrschichtteilleiterplatten (9) ausgebildet ist. Auch betrifft die Erfindung ein Verfahren zur Herstellung einer Leiterplatte.

Leiterplatte

Beschreibung

Technisches Gebiet

Die Erfindung betrifft eine Leiterplatte, wie insbesondere eine Multischichtleiterplatte.

Stand der Technik

Leiterplatten mit einer Mehrzahl von leitenden Lagen, die von nicht leitenden Lagen voneinander getrennt sind, sind im Stand der Technik bekannt. Sie werden auch als Multischichtleiterplatten bezeichnet. Sie weisen üblicherweise zumindest eine leitende Außenlage und eine Mehrzahl von leitenden Zwischenlagen auf, wobei zumindest eine leitende Durchkontaktierung zwischen einer leitenden Außenlage und einer leitenden ersten Zwischenlage vorgesehen ist. Solche Ausgestaltungen sind beispielsweise durch die CN 203181403 U bekannt geworden. Zur Ausbildung solcher Durchkontaktierungen wird dabei eine Bohrung als Tiefenbohrung in die Leiterplatte bis zu der Zwischenlage geführt, in welcher eine elektrisch leitende Hülse ausgebildet wird. Dabei muss tiefenkontrolliert gebohrt werden, damit die Bohrung nicht zu tief oder nicht zu wenig tief reicht. Dies erhöht den Aufwand, weil jede Leiterplatte für sich einzeln äußerst präzise und mikrometergenau mit dem Einsatz von Bohrern mit abgeflachter Spitze als Spezialwerkzeuge gebohrt werden muss. Dies ist zeit- und kostenintensiv. Auch sind Durchkontaktierungen bekannt, die die Leiterplatte vollständig durchgreifen. Dabei wird eine durchgehende Bohrung erzeugt, in welche eine elektrisch leitende Hülse ausgebildet wird.

Bei der Durchkontaktierung die als Tiefenbohrung ausgeführt ist, hängt die Breite bzw. der Durchmesser der eingesetzten Hülse von der Bohrtiefe ab. Der Durchmesser der Hülse steigt mehr als proportional zur Bohrtiefe. Somit muss bei Tiefenbohrungen der Durchmesser der Hülse größer sein. Dies vergrößert die Abmessungen der Leiterplat-

te und damit das Gehäuse des Steuergeräts und damit den benötigten Bauraum im Fahrzeug. Auch ist es ein Nachteil, dass die Hülsen nach außen nicht sauber verschlossen sind, was für die weitere Montage und die Dauerhaltbarkeit Probleme bereitet. Weiterhin ist es nachteilig, dass eine solche Tiefenbohrung nicht sauber verschlossen werden kann, weil bei der Tiefenbohrung im Gegensatz zur Durchbohrung das Füllmaterial nicht durchgedrückt werden kann. So entsteht beim Einbringen des Füllmaterials zwangsläufig ein Luftpolster. Das luftleere Verschließen der Hülse ist erheblich erschwert und die Hülse kann nach außen nicht sauber verschlossen werden. Ein planes und luftleeres Verschließen der Hülse ist insbesondere für die weitere Montage und die Dauerhaltbarkeit im automotiven Bereich besonders vorteilhaft.

Darstellung der Erfindung, Aufgabe, Lösung, Vorteile

Daher ist es die Aufgabe der vorliegenden Erfindung, eine Leiterplatte, insbesondere für Sensoren und für Radaranwendungen, zu schaffen, die insbesondere den automotiven Ansprüchen genügt und in der Fläche kleiner und vorteilhafterweise im Gewicht geringer ist und insbesondere auch vorteilhafter herzustellen ist und die Nachteile des Standes der Technik reduziert. Auch ist es die Aufgabe, ein Verfahren zur Herstellung einer Leiterplatte zu schaffen, mittels welchem eine Leiterplatte mit Durchkontaktierung von einer Außenlage bis zu einer Zwischenlage einfach und kostengünstig herstellbar ist.

Die Aufgabe der vorliegenden Erfindung bezüglich der Leiterplatte wird mit den Merkmalen gemäß Anspruch 1 gelöst.

Ein Ausführungsbeispiel der Erfindung betrifft eine Leiterplatte mit einer Mehrzahl von elektrisch leitenden Lagen, die von elektrisch nicht leitenden Lagen voneinander getrennt sind, wobei zumindest eine elektrisch leitende Außenlage und eine Mehrzahl von elektrisch leitenden Zwischenlagen vorgesehen sind, wobei zumindest eine elektrisch leitende Durchkontaktierung zwischen einer elektrisch leitenden Außenlage und einer elektrisch leitenden Zwischenlage vorgesehen ist, wobei die Leiterplatte aus

zumindest einer ersten Mehrschichtteilleiterplatte und aus einer zweiten Mehrschichtteilleiterplatte besteht, wobei die erste Mehrschichtteilleiterplatte aus einer Mehrzahl von elektrisch leitenden Lagen und einer Mehrzahl von elektrisch nicht leitenden Lagen gebildet ist und die zweite Mehrschichtteilleiterplatte zumindest eine elektrisch leitende Lage und zumindest eine elektrisch nicht leitende Lage aufweist, wobei die Mehrschichtteilleiterplatten miteinander verbunden sind, wobei die elektrisch leitende Durchkontaktierung zwischen einer ersten elektrisch leitenden Außenlage und einer zweiten elektrisch leitenden Außenlage einer der Mehrschichtteilleiterplatten ausgebildet ist.

Dadurch bildet die zweite Außenlage die erste Zwischenlage, so dass die diesbezügliche Mehrschichtteilleiterplatte durchgebohrt werden kann, um anschließend die Hülse in die Bohrung einzusetzen oder dort auszubilden. Es ist keine Tiefenbohrung mehr nötig, die nur teilweise in die Mehrschichtteilleiterplatte reicht. Das Herstellungsverfahren kann dadurch erheblich vereinfacht werden, weil die erste Mehrschichtteilleiterplatte vorgefertigt werden kann und mit einer zweiten Mehrschichtteilleiterplatte verbunden wird, um die Leiterplatte zu bilden.

Besonders bevorzugt ist es, wenn auch die zweite Mehrschichtteilleiterplatte aus einer Mehrzahl von elektrisch leitenden Lagen und aus einer Mehrzahl von elektrisch nicht leitenden Lagen gebildet ist. Dadurch kann auch eine weiterhin mehrschichtige Leiterplatte geschaffen werden.

Ebenso ist es auch vorteilhaft, wenn die Leiterplatte aus den Mehrschichtteilleiterplatten zusammengesetzt ist, insbesondere sind dabei die Mehrschichtteilleiterplatten miteinander verklebt. Dadurch wird eine stabile Leiterplatte erzeugt.

Die Erfindung macht es zudem vorteilhaft möglich, eine elektrisch leitende Hülse einfach, robust und im Wesentlichen plan mit einem Füllmaterial zu verfüllen. Damit kann das Verfüllen im Wesentlichen vollständig erfolgen, so dass die Hülse auch sicher mit einer elektrisch leitenden Abdeckung versehen werden kann, auf der unter automoti-

ven Gesichtspunkten sicher ein Bauteil montiert, wie beispielsweise gelötet, werden kann.

Die zumindest zwei verwendeten Mehrschichtteilleiterplatten können als getrennt verpresste Elemente ausgebildet werden, die miteinander verbunden werden. Es wird also eine mehrfach verpresste Leiterplatte geschaffen, die insbesondere für automotiv-e Sensoren und/oder automotiv-e HF-Anwendungen verwendbar und vorteilhaft ist. Auch können solche Leiterplatten für Anwendungen außerhalb des automotiv-en Bereichs eingesetzt werden.

Dies ermöglicht eine Miniaturisierung von automotiv-tauglichen Multischichtleiterplatten, vorzugsweise hochfrequenter 24 GHz und 77 GHz Radaranwendungen. Die erfindungsgemäße Leiterplatte kann auch auf andere Anwendungsgebiete, insbesondere im automotiv-en Bereich, angewendet werden, vorzugsweise in Produktbereichen oder für Spezialanwendungen mit eingeschränktem Bauraum. Die Ausgestaltung führt zu einer Miniaturisierung der Steuergeräte und/oder Sensoren und reduziert damit den benötigten Bauraum im Fahrzeug. Sie führt damit direkt und auch indirekt zu einer Kosten- und Gewichtsersparnis.

Vorteilhaft ist es, wenn zumindest zwei Mehrschichtteilleiterplatten, zumindest eine erste Mehrschichtteilleiterplatte und eine zweite Mehrschichtteilleiterplatte, miteinander verklebt oder anderweitig verbunden sind. Dadurch wird die Leiterplatte durch vorbereitete Mehrschichtteilleiterplatten ausgebildet, wobei die eine, wie die erste, Mehrschichtteilleiterplatte die besagte Durchkontaktierung ausbildet, wobei auch die zweite Mehrschichtteilleiterplatte die besagte Durchkontaktierung oder eine solche Durchkontaktierung oder eine Durchkontaktierung eines anderen Typs ausbilden kann.

Bevorzugt sind mehrere Durchkontaktierungen in der einen und/oder in der anderen Mehrschichtteilleiterplatte vorgesehen, die zur Leiterplatte miteinander verbunden werden.

Auch ist es zweckmäßig, wenn die Durchkontaktierung in der ersten Mehrschichtteilleiterplatte angeordnet ist, wobei die zweite Mehrschichtteilleiterplatte im Anschluss an die Durchkontaktierung der ersten Mehrschichtteilleiterplatte keine oder alternativ auch eine Durchkontaktierung oder mehrere Durchkontaktierungen gleichen Typs oder auch unterschiedlicher Typen, je nach Anforderung, aufweisen kann. Durch das Verkleben der beiden Mehrschichtteilleiterplatten wird die Durchkontaktierung zu einer blinden Durchkontaktierung, weil sie im Stapel der Lagen endet und auf einer Seite nicht nach außen geführt wird.

Ebenso ist es zweckmäßig, wenn die Durchkontaktierung der ersten Mehrschichtteilleiterplatte durch die zweite Mehrschichtteilleiterplatte einseitig verschlossen ist. Damit wird ein verschlossener Abschluss geschaffen.

Weiterhin ist es bei einem Ausführungsbeispiel vorteilhaft, wenn die Durchkontaktierung auf der Außenseite der ersten Mehrschichtteilleiterplatte vollständig von einem mit Klebstoff angereicherten Füllmaterial, insbesondere ohne Lufteinschlüsse, verschlossen wird und von einer leitenden Lage abgedeckt ist. Dadurch kann auch oberhalb der Durchkontaktierung ein elektronisches Bauelement platziert werden, was zu einer erheblichen Reduzierung der Leiterplattenfläche führt und direkt Leiterplattenkosten und Gewicht spart.

Bei einem weiteren Ausführungsbeispiel ist es zweckmäßig, wenn die leitende Lage zur Abdeckung eine Kupferschicht, insbesondere eine Kupferschicht mit einer Lötmaske ist, oder eine Kupferschicht mit einer Oberflächenbeschichtung, insbesondere eine Kupferschicht mit Oberflächenbeschichtung und mit einer Lötmaske ist. Dadurch kann die Durchkontaktierung sicher verschlossen und für die Platzierung von elektronischen Bauelementen vorbereitet werden.

Auch ist es zweckmäßig, wenn die Durchkontaktierung gebildet ist durch eine Durchbohrung der ersten Mehrschichtteilleiterplatte, in welche eine leitende Hülse einge-

setzt oder galvanisch metallisiert ausgebildet ist. Dies ist vorteilhaft, weil damit auch mehrere solcher Mehrschichtteilleiterplatten als Stapel gleichzeitig verarbeitet bzw. gebohrt werden können. Dies reduziert den Aufwand und die Kosten.

Besonders vorteilhaft ist es auch, wenn die leitende Hülse von einem Füllmaterial, wie einem mit Klebstoff angereicherten Füllmaterial, im Wesentlichen vollständig und insbesondere vorteilhaft auch ohne Lufteinschlüsse oder mit nur wenigen Lufteinschlüssen aufgefüllt ist. Dadurch kann ein abgedichteter Abschluss ohne Luftblase oder ohne Vakuum erreicht werden, was die sichere Montage auf der Hülse ermöglicht, die Betriebssicherheit erhöht und dem automotiven Anspruch gerecht wird.

Ebenso ist es zweckmäßig, wenn die zumindest eine erste Mehrschichtteilleiterplatte und die zweite Mehrschichtteilleiterplatte mittels des Klebstoffs miteinander verklebt sind. So kann für das Verkleben oder Verpressen und das Auffüllen der leitenden Hülse der gleiche Klebstoff verwendet werden. Dabei kann dies ggf. auch im gleichen Verfahrensschritt erfolgen. Alternativ kann das Auffüllen der Hülse im separaten Arbeitsschritt erfolgen, um dann im Anschluss daran die Leiterplatten miteinander zu verkleben.

Besonders vorteilhaft ist es, wenn die erfindungsgemäße Leiterplatte für die Verwendung in Steuergeräten oder Sensoren, insbesondere für automotive Anwendungen, insbesondere als Radarsensoren oder Steuereinheiten für Radarsensoren, vorgesehen ist.

Die Aufgabe wird bezüglich des Verfahrens mit den Merkmalen von Anspruch 14 gelöst.

Ein Ausführungsbeispiel der Erfindung betrifft dabei ein Verfahren zur Herstellung einer Leiterplatte mit einer Mehrzahl von elektrisch leitenden Lagen, die von elektrisch nicht leitenden Lagen voneinander getrennt sind, wobei zumindest eine elektrisch leitende Außenlage und eine Mehrzahl von elektrisch leitenden Zwischenlagen vorgese-

hen sind, wobei zumindest eine elektrisch leitende Durchkontaktierung zwischen einer elektrisch leitenden Außenlage und einer elektrisch leitenden Zwischenlage vorgesehen ist, wobei das Verfahren zur Herstellung einer Leiterplatte vorsieht, dass zumindest eine erste Mehrschichtteilleiterplatte und zumindest eine zweite Mehrschichtteilleiterplatte zur Verfügung gestellt wird, wobei die erste Mehrschichtteilleiterplatte aus einer Mehrzahl von elektrisch leitenden Lagen und einer Mehrzahl von elektrisch nicht leitenden Lagen gebildet ist und die zweite Mehrschichtteilleiterplatte zumindest eine elektrisch leitende Lage und zumindest eine elektrisch nicht leitende Lage aufweist, wobei die elektrisch leitende Durchkontaktierung zwischen einer ersten elektrisch leitenden Außenlage und einer zweiten elektrisch leitenden Außenlage einer der Mehrschichtteilleiterplatten ausgebildet wird und wobei die Mehrschichtteilleiterplatten miteinander verbunden werden.

Dabei ist es besonders vorteilhaft, wenn die zumindest eine erste Mehrschichtteilleiterplatte und die zumindest eine zweite Mehrschichtteilleiterplatte miteinander verbunden, insbesondere miteinander verklebt werden.

Vorteilhafte Weiterbildungen der vorliegenden Erfindung sind in den Unteransprüchen und der nachfolgenden Figurenbeschreibung beschrieben. Dabei zeigen:

Figur 1 eine schematische Darstellung eines Ausschnitts eines Ausführungsbeispiels einer erfindungsgemäßen Leiterplatte, und

Figur 2 eine schematische Darstellung eines Ausschnitts eines Ausführungsbeispiels einer erfindungsgemäßen Leiterplatte.

Bevorzugtes Ausführungsbeispiel der Erfindung

Die Fig. 1 zeigt in einer schematischen Darstellung einen Ausschnitt einer erfindungsgemäßen Leiterplatte 1 mit einer Mehrzahl von elektrisch leitenden Lagen 2, die von nicht leitenden Lagen 3 voneinander getrennt sind.

Dabei sind zumindest eine elektrische leitende Außenlage 4 und eine Mehrzahl von elektrisch leitenden Zwischenlagen 5 vorgesehen. Im gezeigten Ausführungsbeispiel sind acht elektrisch leitende Lagen 2 vorgesehen, also zwei elektrisch leitende Außenlagen 4 und sechs elektrisch leitende Zwischenlagen 5.

Zu erkennen ist eine elektrisch leitende Durchkontaktierung 6. Dabei stellt diese gezeigte Durchkontaktierung 6 ein Beispiel für zumindest eine elektrisch leitende Durchkontaktierung 6 dar, die zwischen einer elektrisch leitenden Außenlage 4 und einer elektrisch leitenden ersten Zwischenlage 5 ausgebildet ist. Bevorzugt ist eine Mehrzahl solcher Durchkontaktierungen 6 vorgesehen. Die Durchkontaktierung 6 ist gebildet durch eine Bohrung 7 mit einer galvanisch metallisierten elektrisch leitenden Hülse 8.

Die erfindungsgemäße Leiterplatte 1 ist dabei aus einer ersten Mehrschichtteilleiterplatte 9 und aus einer zweiten Mehrschichtteilleiterplatte 10 zusammengesetzt, die jeweils aus einer Mehrzahl von elektrisch leitenden Lagen 2 und einer Mehrzahl von nicht leitenden Lagen 3 gebildet sind, wobei die zumindest zwei Mehrschichtteilleiterplatten 9, 10 miteinander verbunden sind. Dazu dient die insbesondere mit Klebstoff angereicherte nicht leitende Lage 11. Die zumindest eine erste Mehrschichtteilleiterplatte 9 und eine zweite Mehrschichtteilleiterplatte 10 sind vorteilhaft miteinander verklebt oder anderweitig verbunden.

Die Durchkontaktierung 6 ist erfindungsgemäß zwischen einer ersten elektrisch leitenden Außenlage 12 und einer zweiten elektrisch leitenden Außenlage 13 einer der Mehrschichtteilleiterplatten 9 ausgebildet. Dadurch kann diese Mehrschichtteilleiterplatte 9 durchgebohrt und die elektrisch leitende Hülse 8 ausgebildet werden. Dies geschieht mittels eines galvanischen Abscheidungsprozesses.

In Figur 1 ist die Durchkontaktierung 6 beispielweise in der ersten Mehrschichtteilleiterplatte 9 angeordnet, wobei die zweite Mehrschichtteilleiterplatte 10 im Anschluss an die Durchkontaktierung 6 der ersten Mehrschichtteilleiterplatte 9 keine elektrisch leitende Durchkontaktierung aufweist. Wie aber in Figur 2 dargestellt, kann die zweite Mehrschichtteilleiterplatte 10 auch eine elektrisch leitende Durchkontaktierung 50 aufweisen oder auch eine Mehrzahl von elektrisch leitenden Durchkontaktierungen auch unterschiedlicher Typen aufweisen, je nach Anforderung.

Die zweite Mehrschichtteilleiterplatte 10 schließt in Figur 1 die Durchkontaktierung 6 in einem mittleren Bereich der Leiterplatte 1 ab. Die Durchkontaktierung 6 der ersten Mehrschichtteilleiterplatte 9 wird also durch die nicht leitende, mit Klebstoff angereicherte Lage 11 und die zweite Mehrschichtteilleiterplatte 10 einseitig verschlossen.

Zu erkennen ist auch, dass die mit einem Füllstoff 18 aufgefüllte bzw. verschlossene Durchkontaktierung 6 auf der Außenseite 14 der ersten Mehrschichtteilleiterplatte 9 von einer leitenden Lage 15 sicher abgedeckt ist. Eine solche Lage findet sich auch auf der anderen Seite der ersten Mehrschichtteilleiterplatte 9 und auf der gegenüberliegenden Seite der zweiten Mehrschichtteilleiterplatte 10. Die elektrisch leitende Lage 2 als Außenlage 4 weist zur Abdeckung also eine Kupferschicht als Abdeckung bzw. Lage 15 auf, insbesondere eine Kupferschicht als Lage 15 mit einer Lötmaske 16, oder eine Kupferschicht als Lage 15 mit einer Oberflächenbeschichtung 17, insbesondere eine Kupferschicht 15 mit Oberflächenbeschichtung 17 und mit einer Lötmaske 16.

Die Durchkontaktierung 6 ist gemäß dem Ausführungsbeispiel gebildet durch eine Durchbohrung der ersten Mehrschichtteilleiterplatte 9, in welche eine elektrisch leitende Hülse 8 ausgebildet ist. Die Hülse 8 ist mit einem insbesondere mit einem Klebstoff angereicherten Füllmaterial 18 befüllt. Die mit Klebstoff angereicherte Lage 11 wird für das Verkleben der zumindest einen ersten Mehrschichtteilleiterplatte 9 und der zweiten Mehrschichtteilleiterplatte 10 verwendet. Das mit Klebstoff angereicherte

Füllmaterial kann dabei anteilig auch als Füllstoff 18 für die Durchkontaktierung 6 verwendet werden.

Die Leiterplatte 1 wird bevorzugt für die Verwendung in Steuergeräten oder als Sensoren, insbesondere für automotiv Anwendungen, insbesondere als Radarsensoren oder Steuereinheiten für Radarsensoren, vorgesehen.

Die Durchkontaktierung weist eine metallische, elektrisch leitende Abdeckung 19, wie Kappe, auf, die es erlaubt auch unmittelbar über der Durchkontaktierung elektronische Bauelemente zu platzieren.

Wird die Durchkontaktierung durch ein Durchbohren der ersten Mehrschichtleiterplatte bewirkt, so kann der Bohrdurchmesser jeweils gleich und klein sein. Der Bohrdurchmesser bzw. Lochdurchmesser ist vorteilhaft auch unabhängig von der Bohrtiefe.

Die jeweiligen ersten Mehrschichtleiterplatten können äußerst vorteilhaft gestapelt gebohrt werden und müssen nicht mehr einzeln, mit Sonderwerkzeugen, hochpräzise und tiefenkontrolliert gebohrt werden. Dies reduziert die Kosten der Herstellung.

Die Figur 2 zeigt ein weiteres Ausführungsbeispiel einer Leiterplatte 1, die im Wesentlichen dem Ausführungsbeispiel der Figur 1 entspricht, wobei zusätzlich eine Durchkontaktierung 50 im Bereich der zweiten Mehrschichtleiterplatte 10 vorgesehen ist. Ansonsten wird auf die Beschreibung zur Figur 1 verwiesen.

Erfindungsgemäß ist es besonders vorteilhaft, wenn die elektrisch leitende Durchkontaktierung 6 mit einem insbesondere mit Klebstoff angereicherten Füllmaterial 18 befüllt bzw. verschlossen ist und insbesondere mit einer elektrisch leitenden Abdeckung 19 versehen ist.

Die Herstellung der Leiterplatte erfolgt dabei beispielsweise mittels eines erfindungsgemäßen Verfahrens, bei welchem zumindest eine erste Mehrschichtteilleiterplatte zur Verfügung gestellt wird, die Durchkontaktierung von einer elektrischen Außenlage der ersten Mehrschichtteilleiterplatte zu der anderen elektrischen Außenlage der ersten Mehrschichtteilleiterplatte entweder bereits eingebracht ist oder hergestellt wird. Dabei wird in zumindest eine erste Mehrschichtteilleiterplatte eine durchgehende Bohrung eingebracht, die beispielsweise durch Metallisieren oder Galvanisieren randseitig metallisch beschichtet wird. Alternativ kann auch eine massive Hülse eingebracht werden o.Ä.

Anschließend ist bzw. wird die Durchkontaktierung bevorzugt mit einem Füllstoff aufgefüllt und optional einseitig oder beidseitig verschlossen.

Anschließend kann zumindest eine zweite Mehrschichtteilleiterplatte zur Verfügung gestellt werden, die mit der zumindest einen ersten Mehrschichtteilleiterplatte verbunden wird, so dass die zumindest beiden miteinander verbundenen Mehrschichtteilleiterplatten einen Stapel von elektrisch leitenden Lagen und elektrisch nicht leitenden Lagen bilden. Das Verbinden erfolgt dabei bevorzugt durch Kleben.

Die Anordnung ist dabei so ausgebildet, dass die Durchkontaktierung der ersten Mehrschichtteilleiterplatte so angeordnet ist, dass sie in einem eher mittigen Bereich der miteinander verbundenen Mehrschichtteilleiterplatten endet und damit eine Durchkontaktierung von einer Außenlage der ersten Mehrschichtteilleiterplatte bis in einen mittigen Bereich der Leiterplatte ausbildet.

Das Verfahren zur Herstellung einer Leiterplatte mit einer Mehrzahl von elektrisch leitenden Lagen, die von elektrisch nicht leitenden Lagen voneinander getrennt sind, wobei zumindest eine elektrisch leitende Außenlage und eine Mehrzahl von elektrisch leitenden Zwischenlagen vorgesehen sind, wobei zumindest eine elektrisch leitende Durchkontaktierung zwischen einer elektrisch leitenden Außenlage und einer elektrisch leitenden Zwischenlage vorgesehen ist, sieht vor, dass zumindest eine erste Mehrschichtteilleiterplatte und zumindest eine zweite Mehrschichtteilleiterplatte zur

Verfügung gestellt wird, wobei die erste Mehrschichtteilleiterplatte aus einer Mehrzahl von elektrisch leitenden Lagen und einer Mehrzahl von elektrisch nicht leitenden Lagen gebildet ist und die zweite Mehrschichtteilleiterplatte zumindest eine elektrisch leitende Lage und zumindest eine elektrisch nicht leitende Lage aufweist, wobei die elektrisch leitende Durchkontaktierung zwischen einer ersten elektrisch leitenden Außenlage und einer zweiten elektrisch leitenden Außenlage einer der Mehrschichtteilleiterplatten ausgebildet wird und wobei die Mehrschichtteilleiterplatten miteinander verbunden werden.

Ebenso ist vorgesehen, dass die zumindest eine erste Mehrschichtteilleiterplatte und die zumindest eine zweite Mehrschichtteilleiterplatte miteinander verbunden, insbesondere miteinander verklebt werden.

In die so erzeugte Leiterplatte aus mehreren Mehrschichtteilleiterplatten kann zumindest eine weitere Durchkontaktierung 20 von einer Außenlage der Leiterplatte zu einer gegenüberliegenden Außenlage der Leiterplatte eingebracht werden, indem die Leiterplatte mit einer Durchbohrung versehen wird, die anschließend metallisiert bzw. galvanisiert wird. Alternativ kann auch eine Hülse eingesetzt werden. Bevorzugt ist diese Durchkontaktierung 20 ohne Füllung ausgebildet.

Bezugszeichenliste

1	Leiterplatte
2	elektrisch leitende Lage
3	mit Klebstoff angereicherte, elektrisch nicht leitende Lage (prepreg)
4	Außenlage
5	Zwischenlage
6	Durchkontaktierung
7	Bohrung
8	elektrisch leitende Hülse
9	Mehrschichtteilleiterplatte
10	Mehrschichtteilleiterplatte
11	mit Klebstoff angereicherte, elektrisch nicht leitende Lage (prepreg)
12	Außenlage
13	Außenlage
14	Außenseite
15	elektrisch leitende Lage
15a	elektrisch leitende Lage
16	Lötmaske
17	Oberflächenbeschichtung
18	mit Klebstoff angereichertes Füllmaterial, Füllstoff
19	elektrisch leitende Abdeckung
20	Durchkontaktierung
50	Durchkontaktierung

Leiterplatte

Patentansprüche

1. Leiterplatte (1) mit einer Mehrzahl von elektrisch leitenden Lagen (2), die von elektrisch nicht leitenden Lagen (3) voneinander getrennt sind, wobei zumindest eine elektrisch leitende Außenlage (4) und eine Mehrzahl von elektrisch leitenden Zwischenlagen (5) vorgesehen sind, wobei zumindest eine elektrisch leitende Durchkontaktierung (6) zwischen einer elektrisch leitenden Außenlage (4) und einer elektrisch leitenden Zwischenlage (5) vorgesehen ist, **dadurch gekennzeichnet, dass** die Leiterplatte (1) aus zumindest einer ersten Mehrschichtteilleiterplatte (9) und aus einer zweiten Mehrschichtteilleiterplatte (10) besteht, wobei die erste Mehrschichtteilleiterplatte (9) aus einer Mehrzahl von elektrisch leitenden Lagen (2) und einer Mehrzahl von elektrisch nicht leitenden Lagen (3) gebildet ist und die zweite Mehrschichtteilleiterplatte (10) zumindest eine elektrisch leitende Lage (2) und zumindest eine elektrisch nicht leitende Lage (3) aufweist, wobei die Mehrschichtteilleiterplatten (9, 10) miteinander verbunden sind, wobei die elektrisch leitende Durchkontaktierung (6) zwischen einer ersten elektrisch leitenden Außenlage (12) und einer zweiten elektrisch leitenden Außenlage (13) einer der Mehrschichtteilleiterplatten (9) ausgebildet ist.
2. Leiterplatte (1) nach Anspruch 1, **dadurch gekennzeichnet, dass** die zweite Mehrschichtteilleiterplatte (10) aus einer Mehrzahl von elektrisch leitenden Lagen (2) und aus einer Mehrzahl von elektrisch nicht leitenden Lagen (3) gebildet ist.
3. Leiterplatte (1) nach Anspruch 1 oder 2, **dadurch gekennzeichnet, dass** die Leiterplatte (1) aus den Mehrschichtteilleiterplatten (9,19) zusammengesetzt ist.

4. Leiterplatte (1) nach Anspruch 1, 2 oder 3, **dadurch gekennzeichnet, dass** zumindest zwei Mehrschichtteilleiterplatten (9, 10), zumindest eine erste Mehrschichtteilleiterplatte (9) und eine zweite Mehrschichtteilleiterplatte (10), miteinander verklebt oder anderweitig verbunden sind.
5. Leiterplatte (1) nach Anspruch 1, 2, 3 oder 4, **dadurch gekennzeichnet, dass** die elektrisch leitende Durchkontaktierung (6) in der ersten Mehrschichtteilleiterplatte (9) angeordnet ist, wobei die zweite Mehrschichtteilleiterplatte (10) im Anschluss an die elektrisch leitende Durchkontaktierung (6) der ersten Mehrschichtteilleiterplatte (9) keine Durchkontaktierung (6) oder ebenfalls zumindest eine elektrisch leitende Durchkontaktierung aufweist.
6. Leiterplatte (1) nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** die elektrisch leitende Durchkontaktierung (6) der ersten Mehrschichtteilleiterplatte (9) durch die zweite Mehrschichtteilleiterplatte (10) einseitig verschlossen ist.
7. Leiterplatte (1) nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** die elektrisch leitende Durchkontaktierung (6) auf der Außenseite der ersten Mehrschichtteilleiterplatte (9) von einer elektrisch leitenden Lage (15) als Abdeckung abgedeckt ist.
8. Leiterplatte (1) nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** die elektrisch leitende Lage (15) zur Abdeckung eine Kupferschicht, insbesondere eine Kupferschicht mit einer Lötmaske (16) ist oder eine Kupferschicht mit einer Oberflächenbeschichtung (17), insbesondere eine Kupferschicht mit Oberflächenbeschichtung (17) und mit einer Lötmaske (16), ist.
9. Leiterplatte (1) nach einem der vorhergehenden Ansprüche, **dadurch ge-**

kennzeichnet, dass die elektrisch leitende Durchkontaktierung (6) gebildet ist durch eine Durchbohrung der ersten Mehrschichtteilleiterplatte (9), in welche eine elektrisch leitende Hülse (8) eingesetzt oder galvanisch metallisiert ausgebildet ist.

10. Leiterplatte (1) nach Anspruch 9, **dadurch gekennzeichnet, dass** die elektrisch leitende Hülse (8) von einem Füllmaterial (18) aufgefüllt ist.
11. Leiterplatte (1) nach Anspruch 10, **dadurch gekennzeichnet, dass** auf der mit Füllmaterial (18) verschlossenen elektrisch leitenden Hülse (8) eine elektrisch leitende Abdeckung (19), insbesondere im Wesentlichen plan, aufgebracht ist.
12. Leiterplatte (1) nach Anspruch 11, **dadurch gekennzeichnet, dass** die elektrisch leitende Abdeckung (19) derart auf dem Füllmaterial (18) aufgebracht ist, dass eine direkte Montage bzw. Lötung von elektronischen Komponenten auf der elektrisch leitenden Abdeckung (19) durchführbar ist.
13. Leiterplatte (1) nach einem der Ansprüche 10 bis 12, **dadurch gekennzeichnet, dass** das Füllmaterial (18) ein mit einem Klebstoff angereichertes Füllmaterial ist.
14. Leiterplatte (1) nach einem der vorhergehenden Ansprüche 10 bis 13, **dadurch gekennzeichnet, dass** die zumindest erste Mehrschichtteilleiterplatte (9) und die zweite Mehrschichtteilleiterplatte (10) mittels einer mit Klebstoff angereicherten nicht leitenden Lage (11), miteinander verklebt sind.
15. Leiterplatte (1) nach einem der vorhergehenden Ansprüche für die Verwendung in Steuergeräten, als Sensoren, insbesondere für automotive Anwendungen, insbesondere als Radarsensoren oder in Steuereinheiten für Radarsensoren.

16. Verfahren zur Herstellung einer Leiterplatte (1) mit einer Mehrzahl von elektrisch leitenden Lagen (2), die von elektrisch nicht leitenden Lagen (3) voneinander getrennt sind, wobei zumindest eine elektrisch leitende Außenlage (4) und eine Mehrzahl von elektrisch leitenden Zwischenlagen (5) vorgesehen sind, wobei zumindest eine elektrisch leitende Durchkontaktierung (6) zwischen einer elektrisch leitenden Außenlage (4) und einer elektrisch leitenden Zwischenlage (5) vorgesehen ist, **dadurch gekennzeichnet, dass** das Verfahren zur Herstellung einer Leiterplatte (1) vorsieht, dass zumindest eine erste Mehrschichtteilleiterplatte (9) und zumindest eine zweite Mehrschichtteilleiterplatte (10) zur Verfügung gestellt wird, wobei die erste Mehrschichtteilleiterplatte (9) aus einer Mehrzahl von elektrisch leitenden Lagen (2) und einer Mehrzahl von elektrisch nicht leitenden Lagen (3) gebildet ist und die zweite Mehrschichtteilleiterplatte (10) zumindest eine elektrisch leitende Lage (2) und zumindest eine elektrisch nicht leitende Lage (3) aufweist, wobei die elektrisch leitende Durchkontaktierung (6) zwischen einer ersten elektrisch leitenden Außenlage (12) und einer zweiten elektrisch leitenden Außenlage (13) einer der Mehrschichtteilleiterplatten (9) ausgebildet wird und wobei die Mehrschichtteilleiterplatten (9, 10) miteinander verbunden werden.
17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass die zumindest eine erste Mehrschichtteilleiterplatte (9) und die zumindest eine zweite Mehrschichtteilleiterplatte (10) miteinander verbunden, insbesondere miteinander verklebt, werden.

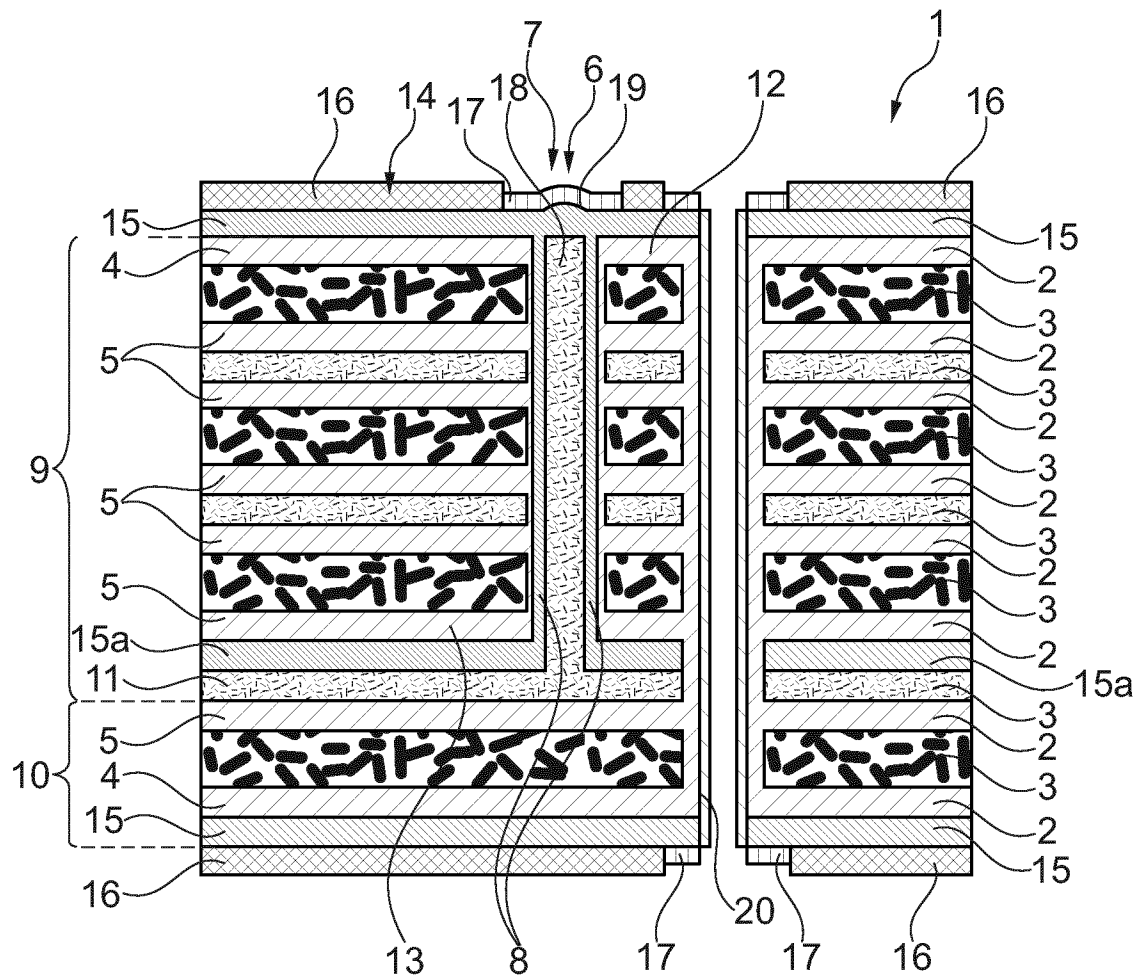


Fig. 1

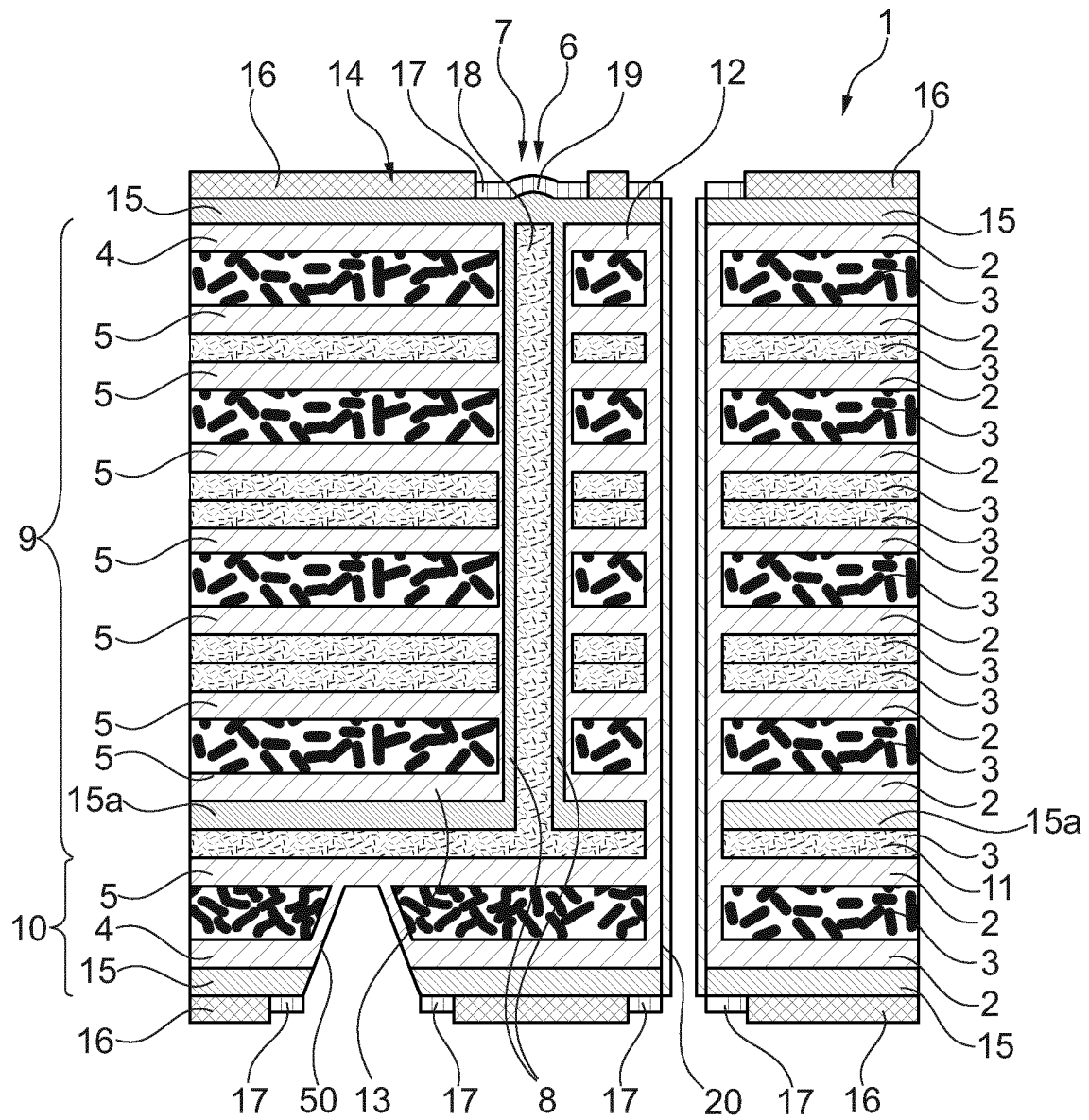


Fig. 2

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/076219

A. CLASSIFICATION OF SUBJECT MATTER
 INV. H05K3/46
 ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/180346 A1 (KNIGHT SUZANNE [US] ET AL) 17 August 2006 (2006-08-17) claim 23 paragraph [0034] figures 2-4	1-6,9, 15-17
X	US 2009/007425 A1 (SHINADA EIICHI [JP] ET AL) 8 January 2009 (2009-01-08) claim 1 paragraph [0120] figures 3,4,11,14	1-17
A	GB 2 202 094 A (INT COMPUTERS LTD) 14 September 1988 (1988-09-14) claim 1 figures 3,5	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 January 2018

Date of mailing of the international search report

19/01/2018

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer

Dardel, Blaise

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/076219

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006180346 A1	17-08-2006	US 2006180346 A1	17-08-2006
		WO 2006089255 A2	24-08-2006

US 2009007425 A1	08-01-2009	CN 101385403 A	11-03-2009
		JP 5012514 B2	29-08-2012
		JP WO2007091582 A1	02-07-2009
		KR 20080081368 A	09-09-2008
		TW 200810626 A	16-02-2008
		US 2009007425 A1	08-01-2009
		WO 2007091582 A1	16-08-2007

GB 2202094 A	14-09-1988	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H05K3/46
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H05K

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2006/180346 A1 (KNIGHT SUZANNE [US] ET AL) 17. August 2006 (2006-08-17) Anspruch 23 Absatz [0034] Abbildungen 2-4	1-6,9, 15-17
X	US 2009/007425 A1 (SHINADA EIICHI [JP] ET AL) 8. Januar 2009 (2009-01-08) Anspruch 1 Absatz [0120] Abbildungen 3,4,11,14	1-17
A	GB 2 202 094 A (INT COMPUTERS LTD) 14. September 1988 (1988-09-14) Anspruch 1 Abbildungen 3,5	1-17



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

11. Januar 2018

Absendedatum des internationalen Recherchenberichts

19/01/2018

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Dardel, Blaise

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2017/076219

Im Recherchenbericht angeführtes Patentdokument			Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung	
US	2006180346	A1	17-08-2006	US	2006180346	A1	17-08-2006	
				WO	2006089255	A2	24-08-2006	

US	2009007425	A1	08-01-2009	CN	101385403	A	11-03-2009	
				JP	5012514	B2	29-08-2012	
				JP	W02007091582	A1	02-07-2009	
				KR	20080081368	A	09-09-2008	
				TW	200810626	A	16-02-2008	
				US	2009007425	A1	08-01-2009	
				WO	2007091582	A1	16-08-2007	

GB	2202094	A	14-09-1988	KEINE				
