



(12) 发明专利

(10) 授权公告号 CN 101521230 B

(45) 授权公告日 2013. 08. 21

(21) 申请号 200910007920. 5

(22) 申请日 2009. 02. 26

(30) 优先权数据

2008-044393 2008. 02. 26 JP

(73) 专利权人 精工电子有限公司

地址 日本千叶县千叶市

(72) 发明人 理崎智光 北岛裕一郎

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 柯广华 王丹昕

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 21/336(2006. 01)

审查员 张剑铭

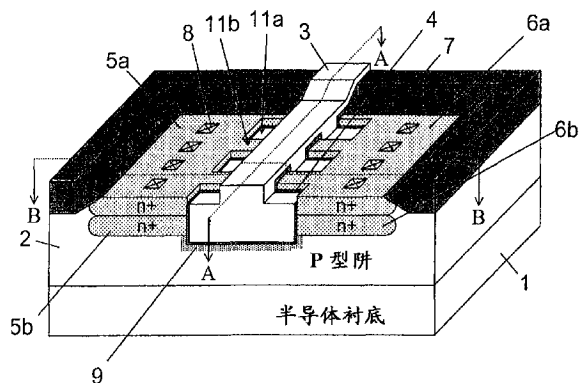
权利要求书2页 说明书5页 附图4页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明为半导体器件及其制造方法,在阱区中,不平整结构在栅极宽度方向上形成,并且栅电极在凹陷部分中以及在凸出部分的顶面上借助绝缘膜形成。上源区和下源区在栅电极在栅极长度方向上的一侧形成,并且上漏区和下漏区在其另一侧形成。通过以这种方式在源区和漏区中形成下源区和下漏区,当栅极长度变得更短时,可抑制沟道区的上部中产生的电流集中,并且可允许电流在整个沟道区中均匀流动,因此,由于阱区中形成的不平整结构而使有效栅极宽度更宽。相应地,降低了半导体器件的导通电阻,以便增强驱动性能。



1. 一种半导体器件,包括:

半导体衬底;

第一导电类型下阱区,设置在所述半导体衬底上;

第二导电类型下源区和第二导电类型下漏区,分别设置在所述第一导电类型下阱区的一部分中;

半导体外延层,设置在所述第一导电类型下阱区的衬底表面、所述第二导电类型下源区的衬底表面和所述第二导电类型下漏区的衬底表面上;

上阱区,设置在所述半导体外延层上;

用于形成不平整结构的、其深度比所述下源区和所述下漏区的深度更深的沟槽;

设置在所述不平整结构的整个表面上的绝缘膜,以及借助所述绝缘膜设置的栅电极;
和

设置在所述栅电极的两侧上的上源区和上漏区,其中所述上源区和所述上漏区与所述第二导电类型下源区和所述第二导电类型下漏区接触。

2. 如权利要求 1 所述的半导体器件,其中,与所述栅电极相邻的所述第二导电类型上漏区和所述第二导电类型下漏区的区域设置成具有低杂质浓度。

3. 一种制造半导体器件的方法,包括:

在半导体衬底上形成第一导电类型下阱区;

在所述第一导电类型下阱区的一部分中形成第二导电类型下源区和第二导电类型下漏区;

在所述第一导电类型下阱区的衬底表面、所述第二导电类型下源区的衬底表面和所述第二导电类型下漏区的衬底表面上形成半导体外延层;

在所述半导体外延层上形成上阱区;

通过蚀刻形成用于形成不平整结构的、其深度比所述下源区和所述下漏区的深度更深的沟槽;

在所述不平整结构的整个表面上形成绝缘膜,并且借助所述绝缘膜形成栅电极;以及
在所形成的栅电极的两侧上进行离子注入,并且形成上源区和上漏区,以便使之与所述第二导电类型下源区和所述第二导电类型下漏区接触。

4. 一种制造半导体器件的方法,包括:

在半导体衬底上形成第一导电类型下阱区;

在所述第一导电类型下阱区的一部分中形成第二导电类型低浓度下区;

在所述低浓度下区的一部分中形成第二导电类型下源区和第二导电类型下漏区,所述第二导电类型下源区和所述第二导电类型下漏区具有比所述低浓度下区更高的杂质浓度;

在所述第一导电类型下阱区的衬底表面、所述第二导电类型下源区的衬底表面和所述第二导电类型下漏区的衬底表面上形成半导体外延层;

在所述半导体外延层上形成上阱区;

通过蚀刻形成用于形成不平整结构的、其深度比所述下源区和所述下漏区的深度更深的沟槽;

在所述不平整结构的整个表面上形成绝缘膜,并且借助所述绝缘膜形成栅电极;

在所述栅电极的两侧上进行离子注入,并且形成第二导电类型低浓度上区,以便与所述低浓度下区接触;以及

在所述栅电极的源侧上以及在所述栅电极的漏侧的一部分上形成第二导电类型上源区和第二导电类型上漏区,以便分别与所述下源区以及与所述下漏区接触,所述第二导电类型上源区和所述第二导电类型上漏区具有比所述第二导电类型低浓度上区更高的杂质浓度。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件和制造半导体器件的方法,更具体来说,涉及使用了沟槽具有宽栅极宽度的金属氧化物半导体(MOS)晶体管。

背景技术

[0002] MOS晶体管是在电子技术核心的电子器件,因此,MOS晶体管的规模缩小和驱动性能增强是重要课题。作为增强MOS晶体管的驱动性能的方法,提供了涉及使栅极宽度更长、由此降低导通电阻的方法。但是,在使栅极宽度更长时,产生了MOS晶体管的占用面积变得更大的问题。

[0003] JP 2006-294645 A提出一种技术,其中,使栅极宽度更长,同时抑制具有横向MOS结构的MOS晶体管的占用面积的增加。在这种技术中,如图2A的透视图所示,凹陷部分(沟槽)11a在阱2中形成,并且栅电极3借助(via)栅绝缘膜4在凸出部分11b之上以及在凹陷部分11a之中形成。在阱2的表面部分,源区5a在栅电极3的一侧形成,并且漏区6a在其另一侧形成。

[0004] 图2A的A-A截面图和B-E截图分别如图2B和图2C所示。如A-A截面图所示,栅电极3在凹陷部分11a中形成,因此与栅绝缘膜4接触的轮廓(outline)的长度成为栅极宽度。这样,根据这种技术,通过在具有凹陷部分11a和凸出部分11b的沟槽结构中形成栅部分,可使有效栅极宽度的长度比栅部分的表面上栅电极3的长度更长,由此可降低每个单位面积的导通电阻,而没有降低MOS晶体管的耐受电压。

[0005] 在这种技术中,如图2A的透视图所示,沟槽在阱2中形成以便形成凹陷部分11a和凸出部分11b,并且栅电极3借助栅绝缘膜4在凸出部分11b的顶面之上以及在凹陷部分11a之中形成。在阱2的表面部分,源区5a在栅电极3的一侧形成,并且漏区6a在其另一侧形成。

[0006] 图2B是图2A的A-A截面图,其中,通过将电压施加到栅电极3,沿凹陷部分11a和凸出部分11b形成沟道区9,并且可使栅极宽度比其中没有形成沟槽的一般MOS晶体管要长凹陷部分的侧表面的长度,由此可降低每个单位面积的导通电阻,而没有降低MOS晶体管的耐受电压。

[0007] 但是,在图2A的结构中,产生当栅极长度L变得更短时无法获得预计驱动性能的问题。

[0008] 图2C是图2A的B-B截面图。从图2B清楚地看到,图2C是通过切割与其中形成了沟道区9的沟槽的侧壁直接相邻的部分所得到的截面图。电流借助电流通路10流入在源极与漏极之间所形成的沟道区9,如图2C所示。位于沟道区9的上部的电流通路10比位于沟道区9的下部的电流通路10更短,并且当栅极长度L变得更短时,明显观察到这种差别。具体来说,当栅极长度L变得更短时,电流以集中方式流经位于沟道区9的上部的电流通路10。这引起电流很难流经位于下部分的电流通路10的现象。这样,无法有效地使用沟道区9,因此无法获得预计驱动性能。这可能是因为源区5a和漏区6a具有比沟槽更浅的深

度。在可使源区 5a 和漏区 6a 的深度几乎等于沟槽深度时,上述电流集中甚至对于较短栅极长度 L 也没有出现,并且电流在整个沟道中均匀流动。但是,对于对其应用正常杂质注入的源区和漏区,甚至当很深地形成源区和漏区时,一般也很难以大于 $0.5\mu\text{m}$ 的深度来形成它们。

[0009] 通过杂质注入之后的热扩散,可将杂质扩散到较深水平。但是,扩散降低源区和漏区的浓度,并且引起寄生电阻的增加以及驱动性能的退化。另外,杂质不仅在深度方向而且还在横向扩散,因此有效长度 L 变得更短。为了获得目标有效长度 L,必须使布局的长度 L 要大横向扩散的量,因此,装置的大小增加并且每个单位面积的驱动性能退化。

[0010] 作为另一种方法,可使用特别大的注入能量来使杂质更深地扩散。与上述方法相似,在这种方法中,杂质的横向扩散也使每个单位面积的驱动性能退化。此外,增加的注入能量引起杂质渗入将要注入沟道的栅电极的风险。

发明内容

[0011] 本发明的一个目的是增强具有沟槽结构的半导体器件的每个单位面积的驱动性能。

[0012] (1) 为了实现上述目的,本发明提供一种半导体器件,包括:半导体衬底;第一导电类型阱区,在半导体衬底上形成并且具有在栅极宽度方向上在其中形成的不平整结构(irregularity);栅电极,借助绝缘膜在不平整结构中形成;第二导电类型上源区,在栅电极的一侧在不平整结构的(irregular)长度方向上、在第一导电类型阱区的上部附近形成;第二导电类型下源区,在第二导电类型上源区的下侧形成,制作成比第一导电类型阱区更浅;第二导电类型上漏区,在栅电极的另一侧在不平整结构的长度方向上、在第一导电类型阱区的上部附近形成;以及第二导电类型下漏区,在第二导电类型上漏区的下侧形成,以便制作成比第一导电类型阱区更浅。

[0013] (2) 在上述半导体器件中,与栅电极相邻的第二导电类型上漏区和第二导电类型下漏区的区域设置成具有低杂质浓度。

[0014] (3) 还提供一种制造半导体器件的方法,包括:在半导体衬底上形成第一导电类型下阱区;在第一导电类型下阱区的一部分中形成第二导电类型下源区和第二导电类型下漏区;在第一导电类型下阱区的衬底表面、第二导电类型下源区的衬底表面和第二导电类型下漏区的衬底表面形成半导体外延层;在半导体外延层上形成上阱区;通过蚀刻来形成用于形成不平整结构的沟槽;在不平整结构的整个表面形成绝缘膜,并且借助绝缘膜形成栅电极;以及在所形成的栅电极的两侧上执行离子注入,并且形成上源区和上漏区,以便与第二导电类型下源区和第二导电类型下漏区接触。

[0015] (4) 此外,提供一种制造半导体器件的方法,包括:在半导体衬底上形成第一导电类型下阱区;在第一导电类型下阱区的一部分中形成第二导电类型低浓度下源区和第二导电类型低浓度下漏区;在第一导电类型下阱区的一部分中形成第二导电类型下源区和第二导电类型下漏区,所述第二导电类型下源区和第二导电类型下漏区具有比第二导电类型低浓度下源区和第二导电类型低浓度下漏区更高的杂质浓度;在第一导电类型下阱区的衬底表面、第二导电类型下源区的衬底表面和第二导电类型下漏区的衬底表面上形成半导体外延层;在半导体外延层上形成上阱区;通过蚀刻来形成用于形成不平整结构的沟槽;在不

平整结构的整个表面上形成绝缘膜,并且借助绝缘膜形成栅电极;在栅电极的两侧执行离子注入,并且形成第二导电类型低浓度上区(upper region);并且在栅电极的源侧上以及在栅电极的漏侧的一部分上形成第二导电类型上源区和第二导电类型上漏区,所述第二导电类型上源区和第二导电类型上漏区具有比第二导电类型低浓度上区更高的杂质浓度。

[0016] 根据本发明,半导体器件的驱动性能可通过形成比现有技术更深的源区和漏区得到增加。

附图说明

[0017] 附图包括:

[0018] 图 1A 至图 1C 是用于描述根据本发明的一个实施例的半导体器件的结构视图;

[0019] 图 2A 至图 2C 是用于描述常规半导体器件的视图;

[0020] 图 3A 至图 3F 是用于描述一种制造图 1A 至图 1C 的半导体器件的方法的视图;

[0021] 图 4 是用于描述根据修改方案 1 的半导体器件的结构视图;以及

[0022] 图 5A 至图 5I 是用于描述一种制造图 4 的半导体器件的方法的视图。

具体实施方式

[0023] (1) 实施例概述

[0024] 图 1A 至图 1C 示出根据本发明的一个实施例的半导体器件的结构。图 1A 是透视图,图 1B 是图 1A 的 A-A 截面图,以及图 1C 是图 1A 的 B-B 截面图。

[0025] 在阱区 2 中,不平整结构(凹陷部分 11a 和凸出部分 11b)在栅极宽度方向上形成,并且栅电极 3 在凹陷部分 11a 中以及在凸出部分 11b 顶面上借助绝缘膜 4 形成。上源区 5a 和下源区 5b 在栅电极 3 的一侧在栅极长度上方向形成,并且上漏区 6a 和下漏区 6b 在其另一侧形成。这样,通过在源区和漏区中形成下源区 5b 和下漏区 6b,可抑制当长度 L 变得更短时图 1C 的沟道区 9 的上部中产生的电流集中,并且可允许电流在整个沟道区 9 中均匀流动,由此增强驱动性能。

[0026] (2) 实施例细节

[0027] 图 1A 至图 1C 是用于描述根据本发明的一个实施例的半导体器件的结构视图。

[0028] 本发明提供一种具有横向 MOS 结构的 MOS 晶体管,其中,阱区 2 在半导体衬底 1 上形成,此外,栅电极 3、上源区 5a、下源区 5b、上漏区 6a 和下漏区 6b 在阱区 2 上形成。那些组件通过硅的局部氧化(LOCOS)7 与半导体衬底 1 的其它区域电绝缘。阱区 2 形成为具有第一导电类型,而上源区 5a、下源区 5b、上漏区 6a 和下漏区 6b 形成为具有第二导电类型。当第一导电类型为 p 型时,第二导电类型为 n 型,而当第一导电类型为 n 型时,第二导电类型为 p 型。

[0029] 在图 1A 至图 1C 中,第一导电类型为 p 型,而第二导电类型为 n 型,阱区 2 由 p 型半导体形成,以及源区 5 和漏区 6 由 n 型半导体形成。在图 1A 至图 1C 中,为了清楚地区分 p 型和 n 型,p 型的阱区称作“p 型阱区”。此外,在图 1A 至图 1C 中,在以下情况中也可进行类似描述:第一导电为 n 型而第二导电为 p 型,阱区 2 由 n 型半导体形成,而上源区 5a、下源区 5b、上漏区 6a 和下漏区 6b 由 p 型半导体形成。

[0030] 多个沟槽,即凹陷部分 11a 在将要设置的阱区 2 中在栅极宽度方向上形成。由 SiO_2

制成的绝缘膜 4 在凹陷部分 11a 的内表面侧和凸出部分 11b 的顶表面侧（即在栅电极在其上与阱区 2 相对的表面上）形成。由多晶硅等制成的栅电极 3 在凹陷部分 11a 的内表面以及在凸出部分 11b 的顶面借助绝缘膜 4 形成。包括那些凹陷部分 11a、凸出部分 11b、绝缘膜 4 和栅电极 3 的这种结构与图 2A 至图 2C 所示的常规示例相似。

[0031] 在栅极长度方向上的栅电极 3 的侧表面区域中，在其一侧形成由 n 型半导体所形成的上源区 5a 和下源区 5b。在其另一侧形成由 n 型半导体所形成的上漏区 6a 和下漏区 6b。通过形成下源区 5b 和下漏区 6b，与仅具有上源区 5a 和上漏区 6a 的结构的情况相比，使源区和漏区的深度更大。多个接触部 8 在上源区 5a 和上漏区 6a 中形成，由此可进行与外部电路的接合。图 1A 和图 1C 的符号“n+”表示 n 型的浓度很高（即，杂质高度集中）。在低浓度的情况下，使用符号“n-”。

[0032] 如上所述，通过分别在源区和漏区中形成下源区 5b 和下漏区 6b，可抑制当栅极长度 L 变得更短时图 1C 的沟道区 9 的上部中产生的电流集中，并且可允许电流在整个沟道区 9 中均匀流动，由此增强驱动性能。通过这种结构，可增强驱动性能，同时抑制本发明的半导体器件的占用面积的增加。

[0033] 随后对制造图 1A 至图 1C 的半导体器件的方法进行描述。

[0034] 为了制造图 1A 至图 1C 的半导体器件，如图 3A 所示，首先，第一导电类型下阱区 2b 在半导体衬底 1 上形成。此后，通过抗蚀剂等形成掩模，在任意部分执行下源极和下漏极的杂质注入 12，以及在下阱区 2b 中形成第二导电类型杂质区 13。然后，如图 3B 所示，在衬底表面上生长半导体外延层 16，以及对半导体外延层 16 的表面执行上阱的杂质注入 14，由此形成第一导电类型杂质区 15。

[0035] 如图 3C 所示，形成 LOCOS 7，并且扩散下源极和下漏极的杂质区 13 以及上阱的杂质区 15 中的杂质，由此形成下源区 5b、下漏区 6b 和上阱区 2a。在这种情况下，使下源极和下漏极的杂质注入 12 的剂量远远大于上阱的杂质注入 14 的剂量，使得下源区 5b 和下漏区 6b 没有被上阱区 2a 压制（extinguished）。此外还调整上阱的杂质注入 14 的剂量，使得上阱区 2a 的浓度基本上等于下阱区 2b 的浓度。此外，还调整半导体外延层 16 的厚度，使得上阱区 2a 与下阱区 2b 接触。

[0036] 如图 3D 所示，形成沟槽 11a，此后形成栅绝缘膜 4，并且在栅绝缘膜 4 上形成栅电极 3。在这种情况下，形成栅电极 3，以便填充沟槽 11a。随后，如图 3E 所示，采用抗蚀剂蚀刻栅电极 3，有选择地来形成掩模。最后，如图 3F 所示，执行上源极和上漏极的杂质注入 18，以便通过自对准来形成第二导电类型的上源区 5a 和上漏区 6a。

[0037] 在这种情况下，外延层的厚度以及上源极和上漏极的杂质注入 18 的剂量和能量经过调整，使得上源区 5a 和上漏区 6a 分别与下源区 5b 和下漏区 6b 接触。

[0038] 根据上述的这个实施例，可得到以下效果。

[0039] (1) 栅电极 3 在凹陷部分 11a 中以及在凸出部分 11b 上形成，以便与不平整结构接触，它允许形成具有不平整结构的沟道 9，并且使得有效栅极宽度更宽。

[0040] (2) 通过在源区和漏区中形成下源区 5b 和下漏区 6b，可抑制当栅极长度 L 变得更短时图 1C 的沟道区 9 的上部中产生的电流集中，并且可允许电流在整个沟道区 9 中均匀流动，这允许有效地使用沟道。

[0041] (3) 使有效栅极宽度更大，因此降低导通电阻。相应地，可增强半导体器件 1 的驱

动性能。

[0042] (4) 可形成在一个芯片中具有高驱动性能的互补金属氧化物半导体 (CMOS) 结构。

[0043] 注意,在图 1A 至图 1C 中,第一导电类型为 p 型,而第二导电类型为 n 型,由此得到 n 沟道 MOS 晶体管。当第一导电类型为 n 型而第二导电类型为 p 型时,MOS 晶体管充当 p 沟道 MOS 晶体管。

[0044] (修改方案 1)

[0045] 在这个修改方案中,通过在漏区形成电场松弛 (relaxation) 区来增强半导体器件的耐受电压。

[0046] 图 4 是用于描述根据这个修改方案的半导体器件的结构视图。

[0047] 在图 1A 至图 1C 的上述半导体器件的漏区 6a 和 6b 中,在与栅电极 3 相对一侧形成作为具有 n 型的低浓度的 n- 区的低浓度下漏区 21 和低浓度上漏区 22。N+ 漏区 6a 和 6b 具有基本上等于图 1A 至图 1C 的漏区 6a 和 6b 的浓度的 n 型的高浓度,并且在 n+ 漏区 6a 和 6b 上形成接触部 8。另一方面,源侧上的结构与图 1A 至图 1C 相同。如上所述,当栅电极 3 与 n+ 漏区 6a、6b 之间的区域具有 n 型的低浓度时,电场在这个区域松弛 (relaxed),并且图 4 所示的半导体器件的耐受电压得到增强。

[0048] 接下来描述制造图 4 的半导体器件的方法。图 5A 至图 5I 示出制造图 4 的半导体器件的方法,并且基本制造方法与示出制造图 1A 至图 1C 的半导体器件的方法的图 3A 至图 3F 中相同。图 5A 至图 5I 在以下方面与图 3A 至图 3F 不同:增加了图 5A 的低浓度下区 (lowerlow-concentration region) 21 的杂质 20 的杂质注入 19 和图 5G 的低浓度上区 22 的杂质注入 23,并且如图 5H 所示,形成抗蚀剂掩模 17,使得低浓度上区 22 没有被上漏区 6a 压制。通过这种方法,形成低浓度漏区,因此增强图 4 的半导体器件的耐受电压。

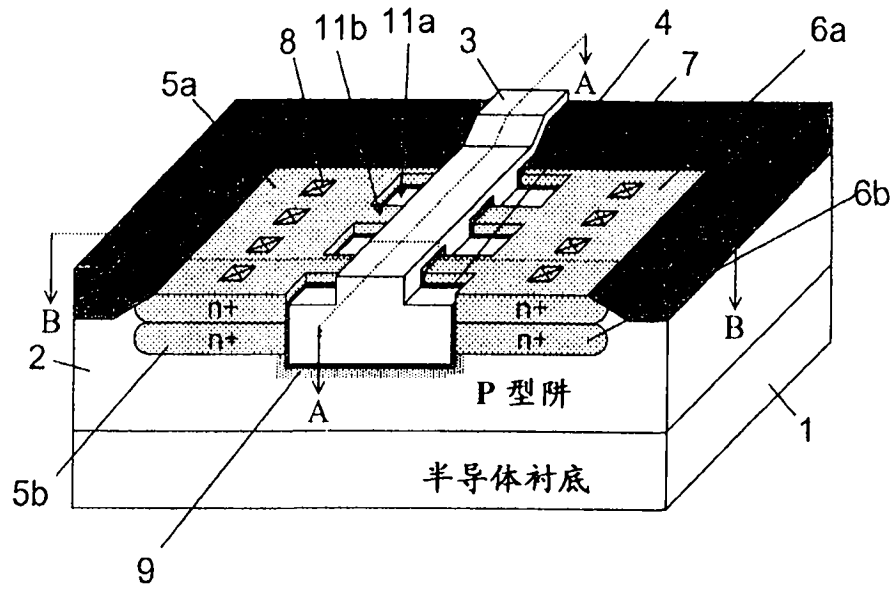


图 1A

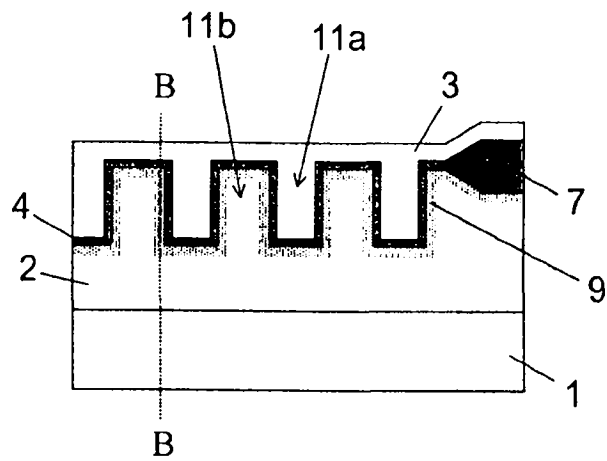


图 1B

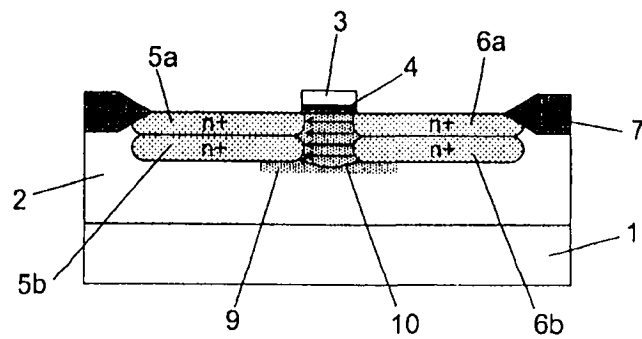


图 1C

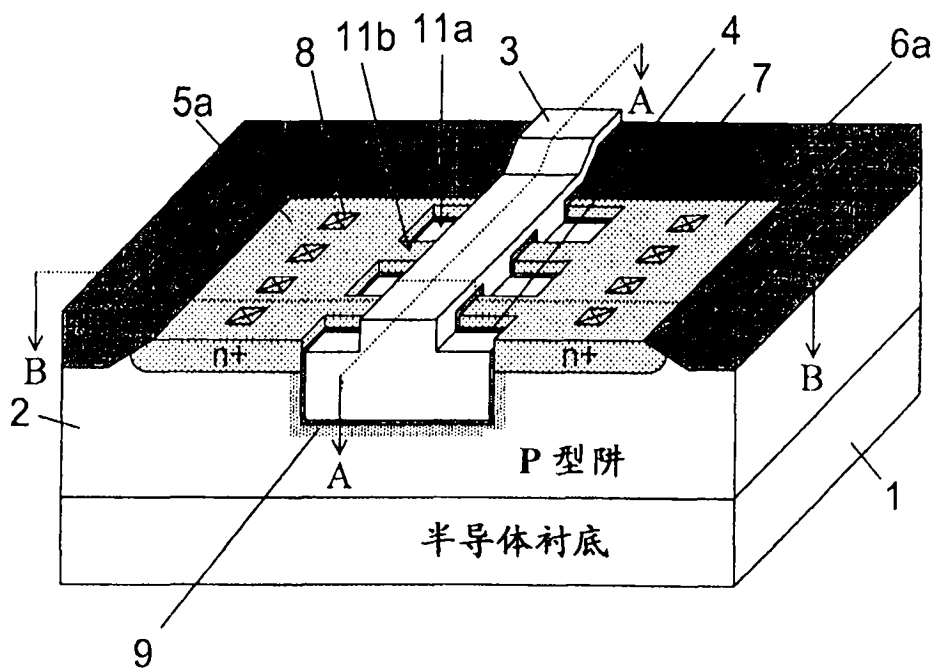


图 2A

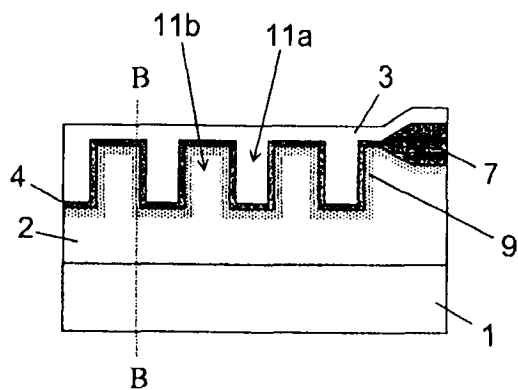


图 2B

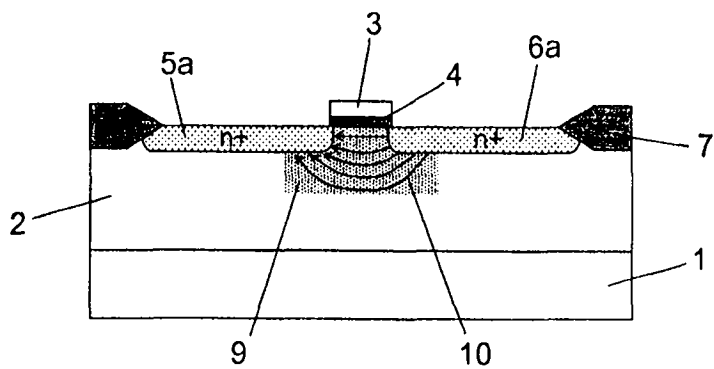


图 2C

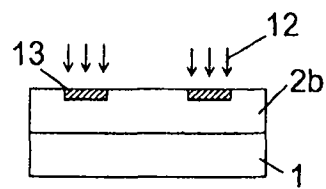


图 3A

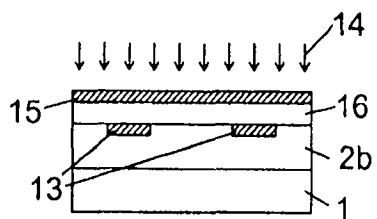


图 3B

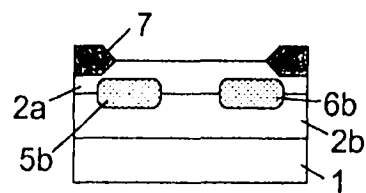


图 3C

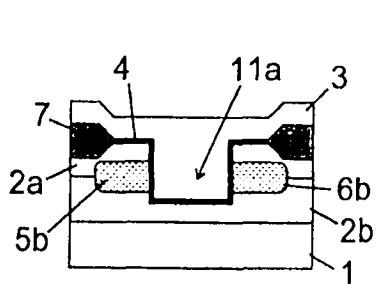


图 3D

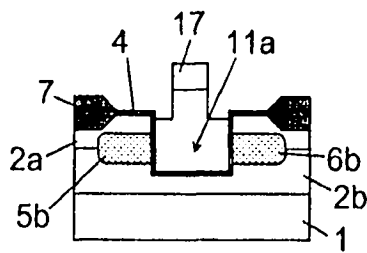


图 3E

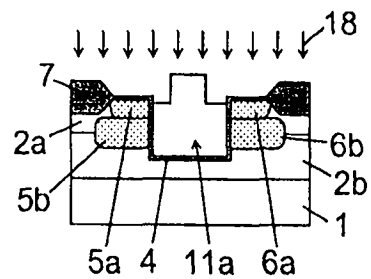


图 3F

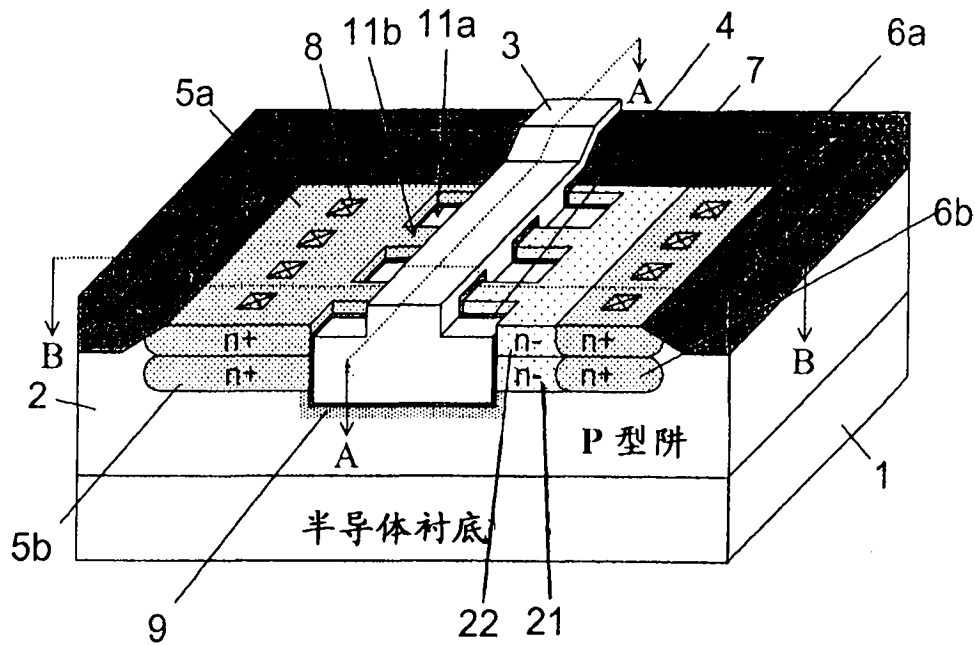


图 4

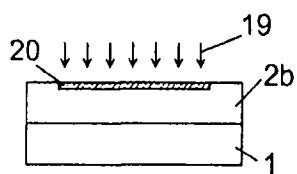


图 5A

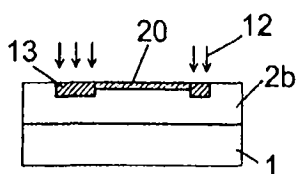


图 5B

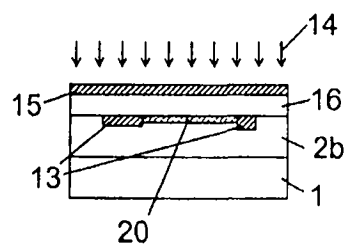


图 5C

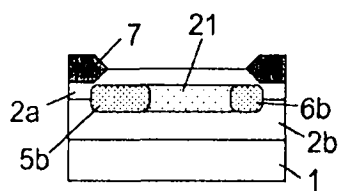


图 5D

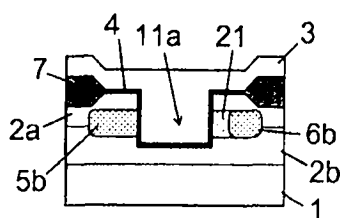


图 5E

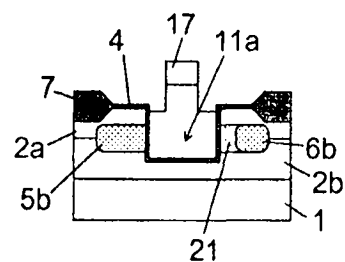


图 5F

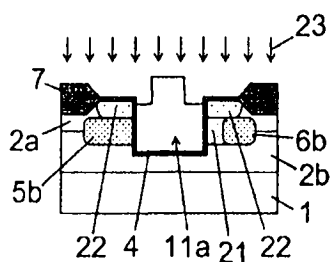


图 5G

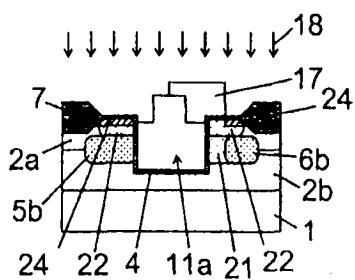


图 5H

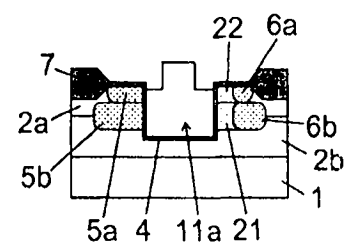


图 5I