



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I463578 B

(45)公告日：中華民國 103 (2014) 年 12 月 01 日

(21)申請案號：100131894

(22)申請日：中華民國 100 (2011) 年 09 月 05 日

(51)Int. Cl. : H01L21/58 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/09/27 美國

12/891,715

(71)申請人：吉林克斯公司(美國) XILINX, INC. (US)

美國

(72)發明人：馬帝 摩森 H MARDI, MOHSEN H. (US) ; 馬哈尼 大衛 M MAHONEY, DAVID

M. (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

TW 479332

審查人員：湯欽全

申請專利範圍項數：15 項 圖式數：9 共 34 頁

(54)名稱

用於積體電路晶粒的角結構

CORNER STRUCTURE FOR IC DIE

(57)摘要

一或更多積體電路晶片(102)係經覆晶連附於一基板(104)的第一表面。在該基板的第二表面上製造一接點陣列(120)。而經接附於該積體電路晶片的角結構(108、110)覆蓋該 IC 晶片的至少兩個角。

One or more integrated circuit chips (102) are flip-chip bonded to a first surface of a substrate (104). A contact array (120) is fabricated on a second surface of the substrate. Corner structures (108, 110) attached to the integrated circuit chip cover at least two corners of the IC chip.

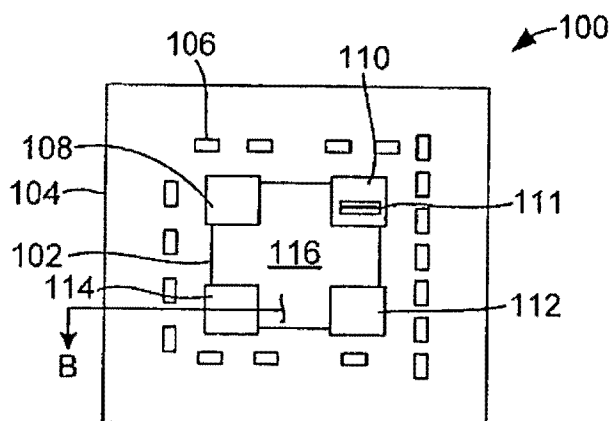


圖 1A

100 . . . 封裝 IC

102 . . . IC 晶粒

104 . . . 封裝基板

106 . . . 元件

108 . . . 角結構

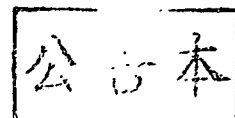
110 . . . 角結構

111 . . . 產品標記

112 . . . 角結構

114 . . . 角結構

115 . . . 基腳



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100131894

※申請日：100-9.5

※IPC 分類：

H01L 21/58 :2006.01

H01L 21/60 :2006.01

一、發明名稱：(中文/英文)

用於積體電路晶粒的角結構

CORNER STRUCTURE FOR IC DIE

二、中文發明摘要：

一或更多積體電路晶片(102)係經覆晶連附於一基板(104)的第一表面。在該基板的第二表面上製造一接點陣列(120)。而經接附於該積體電路晶片的角結構(108、110)覆蓋該 IC 晶片的至少兩個角。

三、英文發明摘要：

One or more integrated circuit chips (102) are flip-chip bonded to a first surface of a substrate (104). A contact array (120) is fabricated on a second surface of the substrate. Corner structures (108, 110) attached to the integrated circuit chip cover at least two corners of the IC chip.

四、指定代表圖：

(一)本案指定代表圖為：圖 1A。

(二)本代表圖之元件符號簡單說明：

100	封裝 IC
102	IC 晶粒
104	封裝基板
106	元件
108	角結構
110	角結構
111	產品標記
112	角結構
114	角結構
115	基腳

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本揭示之具體實施例概略關於積體電路，並且尤其是有關用以保護經封裝積體電路之晶粒的角結構。

【先前技術】

許多積體電路(IC)晶片(晶粒)皆設有蓋體，該等蓋體基本上能夠包封 IC 晶片以及通常其他經架置於封裝基板上的晶片。在電子檢測的過程中，一般會將力度施加於該經封裝 IC 的頂側，藉以將位在該封裝基板之底部處的接點陣列夾定於一檢測固架上。視蓋體設計而定，封裝蓋體可將施加於該封裝 IC 頂側處的力度散佈在該蓋體的週緣處，如此可避免力度直接地施加於 IC 晶片上，同時亦可防止封裝基板出現彎曲，而這種彎曲會導致部份的接點無法交接於該檢測固架。然若需顯著力度方能夾固無蓋式封裝 IC 的接點陣列，則可能會產生晶粒碎裂或焊燒斷裂問題。

一種避免晶粒碎裂和焊燒斷裂問題的方式是在檢測過程中保持多個同時力度壓靠於 IC 晶粒及封裝基板上。很不幸地，這種方法會導致檢測固架複雜化，特別是若在該封裝基板上表面架設有像是晶片電容器的其他元件時尤甚。

故而可供檢測具有接點陣列之無蓋式封裝 IC 的技術確為所冀求者。

【發明內容】

在一具體實施例裡，一種積體電路(IC)，其可含有一基板，像是封裝基板或矽質介置板；以及一 IC 晶片，該晶片為經連附於該基板之第一表面的覆晶片。該 IC 晶片可具有一第一角、一第二角、一第三角及一第四角。該基板在一第二表面上可具有一接點陣列。一第一角結構可為接附於該 IC 晶片並且能夠覆蓋至少該第一角。一第二角結構可為接附於該 IC 晶片並且能夠覆蓋至少該第二角，藉以使該 IC 晶片的中央區域不被該第一角結構與該第二角結構所覆蓋。

在本具體實施例裡，該第一角結構可覆蓋該第三角，同時該第二角結構可覆蓋該第四角。該第一角結構可為含有一第一側壁局部的一第一邊緣角結構，該第二角結構可為含有一第二側壁局部的一第二邊緣角結構。該第一側壁局部及該第二側壁局部各者可延伸至該基板的第一表面。一產品標記可位於該第一角結構上。該 IC 晶片可為現場可程式化閘極陣列，並且在該現場可程式化閘極陣列上可進一步含有產品標記。一第三角結構可覆蓋該第三角，同時一第四角結構可覆蓋該第四角。該等第一角結構、第二角結構、第三角結構及第四角結構各者可含有一或更多側壁局部。該等側壁局部可延伸至該基板的第一表面。在側壁局部與該 IC 晶片的邊緣之間可出現有一間隔；並且在該側壁局部與該邊緣之間可出現有一底部填充物。

在該第一角結構與該第二角結構之間可將一電性元件架置於該 IC 晶片上。該電性元件可為一第二 IC 晶片。該

基板可為一矽質介置板，並且可進一步含有一封裝基板；同時，第二 IC 晶片可為經連附於該矽質介置板之第一表面的覆晶片，並且該矽質介置板可為架置於該封裝基板上。一第三角結構可為經連附於該 IC 晶片；一第四角結構可為經連附於該 IC 晶片；一第五角結構可為經連附於該第二 IC 晶片；一第六角結構可為經連附於該第二 IC 晶片；一第七角結構可為經連附於該第二 IC 晶片；並且一第八角結構可為經連附於該第二 IC 晶片。該 IC 晶片可為第一現場可程式化閘極陣列，並且該第二 IC 晶片可為第二現場可程式化閘極陣列。

在另一具體實施例中，一積體電路(IC)可含有一封裝基板；一第一 IC 晶片，其可為一經連附於該封裝基板之第一表面的覆晶片；一第二 IC 晶片，其可為堆疊於該第一 IC 晶片上；一第一角結構，其可在具有延伸至該封裝基板之第一表面的第一基腳之第一角處接附於該第二 IC 晶片；以及一第二角結構，其可在具有延伸至該封裝基板之第一表面的第二基腳之第二角處接附於該第二 IC 晶片。該第一 IC 晶片可較該第二 IC 晶片為薄。該第一 IC 晶片可藉由位在該第一 IC 晶片與該第二 IC 晶片之間的接點陣列所電性連接於該第二 IC 晶片。

在一具體實施例裡，一種製造無蓋式封裝積體電路(IC)的方法可包含：將一 IC 晶片覆晶連附於一封裝基板的第一側上；將角結構接附於該 IC 晶片的至少兩個角；將該無蓋式封裝 IC 放置在一檢測固架的檢測固架插槽上；以及令該

無蓋式封裝 IC 的角結構接觸於該檢測固架的工作壓機，藉以靠在該檢測固架的電性檢測接點陣列上將接點陣列壓置於該封裝基板的第二側上。將一第二 IC 晶片覆晶連附於該封裝基板；以及將第二角結構接附於該第二 IC 晶片，其中接觸於該等角結構可包含接觸於該等第二角結構。

在另一具體實施例裡，一種製造積體電路(IC)的方法可包含：將一 IC 晶片覆晶連附於一基板的第一側上，其中該 IC 晶片具有一第一角、一第二角、一第三角和一第四角；將一第一角結構接附於該 IC 晶片以覆蓋至少該第一角；以及將一第二角結構接附於該 IC 晶片以覆蓋至少該第二角，藉此使該 IC 晶片的中央區域不被該第一角結構和該第二角結構所覆蓋。該方法可進一步包含將另一 IC 晶片覆晶連附於該基板的第一側；以及將該基板架置於封裝基板。此外，該方法可進一步包含將一第三角結構接附於該 IC 晶片；將一第四角結構接附於該 IC 晶片；將一第五角結構接附於該另一 IC 晶片；將一第六角結構接附於該另一 IC 晶片；將一第七角結構接附於該另一 IC 晶片；以及將一第八角結構接附於該另一 IC 晶片。該方法可進一步包含在該第一角結構與該第二角結構之間將一電性元件架置於該 IC 晶片上。此外，該方法可進一步包含將該 IC 放置在一檢測固架的檢測固架插槽內；以及令該 IC 的角結構接觸於該檢測固架的工作壓機，藉以靠在該檢測固架的電性檢測接點陣列上將接點陣列壓置於該封裝基板的第二側上。

【實施方式】

無蓋式覆晶封裝 IC 的生產檢測通常會牽涉到將該封裝 IC 之接點陣列(即如球柵陣列或者焊接凸塊陣列)按壓至一檢測固架之相對應釘床或彈針(pogo-pin)陣列內的工作壓機。在傳統檢測流程中，該覆晶 IC 係經連附於一較大的封裝基板，並且靠在 IC 晶粒上進行工作壓機。而封裝基板的捲扭或彎曲可能造成 IC 晶粒的變形，從而導致電性或視覺失效。一具體實施例可含有對該(等)無蓋式封裝晶粒之一或更多角或邊緣的支撐結構，因此工作壓機可透過該(等) IC 晶粒的保護角，或是透過該等支撐結構，來產生力度，故而減低彎曲及其相關問題。

圖 1A 為根據一具體實施例之封裝 IC 100 的平面圖。IC 晶粒 102 係經覆晶架置(連附)於一封裝基板 104。其他元件 106，像是晶片電容器，可為選擇性地架置在其上架置有該 IC 晶粒 102 的封裝基板表面。該封裝基板的相反側(未予圖示)具有像是球柵陣列或者焊接凸塊陣列的接點陣列。該封裝基板 104 為多層式印刷線路板，例如具有一或更多經圖型化之金屬及穿孔的覆層，該等可將該 IC 晶粒的接點陣列連接於該封裝基板之底部上的相對應接點。在一特定具體實施例裡，該封裝基板係一矽質介置板，其可互連經架置於該矽質介置板或矽質封裝基板上的多個 IC 晶粒。同樣地，該封裝基板可將該等元件 106 連接於位在該封裝基板之底部上的 IC 晶粒或接點。

多個長方形(方形)角結構 108、110、112、114 係經接

附於該 IC 晶粒 102。在一特定具體實施例裡，該等角結構係自銅質薄片所衝戳或按壓，並且藉由樹脂或其他黏著劑接附於該 IC 晶粒。或者，可利用一種可壓縮的金屬熱性介面材料，像是鈦或鈦質合金，以接附銅質角結構。銅質由於其高熱傳導性和相對延展性之故而為製造角結構的所欲材料。或者，角結構可為由蓋體材料(亦即用以製造傳統蓋體的材料)所製成。

該等角結構 108、110、112、114 覆蓋該 IC 晶粒 102 的角，並且使該 IC 晶粒 102 的中央區域 116 不被覆蓋，該中央區域 116 可用來製作產品標記。在替代性或進一步的具體實施例裡，該產品標記 111 是被設置在該等角結構上。在一特定具體實施例裡，封裝基板為約 15mm 乘約 15mm，並且厚度約為 0.69mm；同時，IC 晶粒為約 5.6mm 乘約 9.5mm，並且厚度約為 0.8mm (31mils)。該等電性元件包含經表面黏著的解耦電容器，高度約為 0.50mm。

圖 1B 為圖 1A 封裝 IC 100 之局部而沿部分截線 B 所取得的截面圖。該角結構 114 含有一基腳 115，其係位移於該 IC 晶粒 102 的側邊緣，因此該基腳 115 並不會撞擊到有時自該晶粒之邊緣延伸而出的底部填充物 117。該基腳 115 可將經施加於該角結構 114 之頂部的力度 119 傳遞至該封裝基板 104。

圖 2 為根據另一具體實施例之封裝 IC 200 的平面圖。IC 晶粒 202 係經覆晶架置(連附)於一封裝基板 204。其他元件 206，像是晶片電容器，可為選擇性地架置在其上架置有

該 IC 晶粒 202 的封裝基板表面。該封裝基板的相反側(未予圖示)具有像是球柵陣列或者焊接凸塊陣列的接點陣列。多個三角形角結構 208、210、212、214 係經架置於該 IC 晶粒 202 上，使在該 IC 晶粒 102 的中央區域不被覆蓋。在進一步具體實施例裡，像是晶片電容器或另一 IC 晶粒的一或更多元件 218 係經架置於該 IC 晶粒的背側上，並且角結構具有足夠厚度(亦即升至高於該 IC 晶粒 202 上方的足夠高度)，因此在檢測過程中工作壓機不會接觸到且壓碎該等元件。

在一特定具體實施例裡，該 IC 晶粒 202 含有連接經堆疊之 IC 晶粒(即如元件 218)的直通矽質穿孔，該等直通矽質穿孔是對應於位在該堆疊晶粒上的接點陣列。具有直通矽質穿孔的 IC 晶粒通常會較傳統晶粒為薄，其原因在於用以製造該等的晶圓係經背部重疊(薄化)俾有助於進行穿孔蝕刻或者曝出先前所蝕刻的穿孔。根據具體實施例的角結構特別地適合運用於像是具有直通矽質穿孔之 IC 晶粒的薄型 IC 晶粒。

圖 3A 為根據另一具體實施例之封裝 IC 300 的平面圖。IC 晶粒 302 係經覆晶架置(連附)於一封裝基板 304。其他元件 306，像是晶片電容器，可為選擇性地架置在其上架置有該 IC 晶粒 302 的封裝基板表面。該封裝基板的相反側具有像是球柵陣列或者焊接凸塊陣列的接點陣列(未予圖示，參見圖 3 的參考編號 328 者)。邊緣角結構(亦即沿著邊緣循行而覆蓋到一或更多角的結構) 308、310 係經接附於該 IC 晶

粒 302 的相反邊緣。在一具體實施例裡，該等邊緣角結構基本上為平坦條帶(參見圖 7)。而在替代性具體實施例裡，該等邊緣角結構為角型組件(參見圖 3B)，或是含有基腳，該等基腳係延伸至該封裝基板以將力度自該工作壓機(概略參見圖 6)傳遞至該封裝基板。

圖 3B 為圖 3A 封裝 IC 中沿截線 C-C 所取得的截面圖。該等邊緣角結構 308、310 具有一沿該 IC 晶粒 302 之背側 324 延伸的第一(水平)或頂部局部 322，以及一自該頂部局部延伸的基腳側壁局部 326。在一特定具體實施例裡，該側壁局部為延伸至該封裝基板 304 的基腳。該頂部局部 322 可將力度自一檢測固架內的工作壓機傳遞至該 IC 晶粒，並且該基腳局部 326 將力度自該工作壓機傳遞至該封裝基板。來自該工作壓機的力度可壓固該封裝 IC 的接點陣列 328 而接觸於一電性檢測機床。在替代性具體實施例中，該基腳局部並未延伸至該封裝基板，而是對該邊緣接點結構提供硬固性並且對該 IC 晶粒提供額外的連附表面區域。或者，具有基腳(側壁局部)的角結構並未一直延伸到該基板，此方式對於其中應避免接觸到鄰近該 IC 晶粒之封裝基板或是該封裝基板表面上之結構的應用項目而言確為所欲者。

圖 3C 為根據一進一步具體實施例按照圖 3A 之封裝 IC 的側視圖。該長方形 IC 晶粒 302 係經堆疊於一底置 IC 晶粒 303 之上。在一特定具體實施例裡，該底置 IC 晶粒 303 具有與該疊置晶粒 302 相同的佔位面積，並且含有多個自該活性矽質延伸至該 IC 晶粒 303 之背側的直通矽質穿孔(未

予圖示)。具有直通矽質穿孔的 IC 晶粒比起不具有直通矽質穿孔的 IC 晶粒來說通常顯著較薄，且因此較易於碎裂，原因是這些直通矽質穿孔具備有限的縱橫比例，並且其上具有直通矽質穿孔之 IC 晶粒的晶圓通常為背側重疊俾容允細密相隔的穿孔。該等角結構具有基腳 313、315，該等可在該封裝 IC 的電子檢測過程中藉由工作壓機將力度施加於該角結構的表面 317。

圖 4 為根據另一具體實施例之封裝 IC 400 的平面圖。長方形 IC 晶粒 402 係經覆晶架置(連附)於一封裝基板 404。其他元件 406，像是晶片電容器或其他 IC，可為選擇性地架置在其上架置有該 IC 晶粒 402 的封裝基板表面，或是在該 IC 晶粒上。該封裝基板的相反側(未予圖示)具有像是球柵陣列或者焊接凸塊陣列的接點陣列。多個條帶角結構 408、410、412、414 係經架置於該 IC 晶粒 402 上，該等係自該 IC 晶粒的一角 409 朝向該 IC 晶粒的未經覆蓋中央區域 216 所延伸。在一具體實施例裡，該等條帶角結構含有延伸至該封裝基板的基腳。該等基腳可在 Z 方向上提供額外的強度，藉以將一部分的按壓力度自該角結構耦接至該 IC 晶粒外部的封裝基板。而一替代性具體實施例則是省略該等基腳，並且透過該 IC 晶粒以將該按壓力度傳遞至該封裝基板。

圖 5A 為根據一具體實施例之複合封裝 IC 500 的平面圖。多個 IC 晶粒 502、504、506 係經架置於一第一側(頂側)上，並且電性連接於一矽質介置板 508，此介置板在一特定

具體實施例裡為在介接於該等 IC 晶粒之一側上具有多個圖型化金屬層，以及多個自該等圖型化金屬層延伸至該介置板相反側(底側)之直通矽質穿孔(未予圖示)，的矽質介置板。該等直通矽質穿孔通常為凸起(未予圖示)，藉以在該矽質介置板 508 底部上構成接點陣列，像是球柵陣列或者焊接凸塊陣列，而此陣列係連接於位在一封裝基板 510 (未予圖示，因為是在該介置板的底下)上的相對應接點陣列。該封裝基板 510 通常具有多個藉由插入介電材料來分隔的圖型化金屬覆層，並且在底側上(即相對於其上架置有該介置板的一側)具有另一個接點陣列(未予圖示)，此陣列係為以連接於位在印刷線路板或其他組裝上的相對應接點陣列，或另連接於連附板。

矽質介置板會特別適用於複合封裝 IC，原因是矽質介置板的熱膨脹特徵匹配於該等矽質 IC 晶粒的熱膨脹特徵。在替代性具體實施例裡，該封裝基板為一印刷線路板。該等 IC 晶粒可為例如多個現場可程式化閘極陣列(FPGA)；一 FPGA 並且組合於處理器、ASIC 或記憶體晶片；或者是多個 FPGA 並且組合於處理器、ASIC 或記憶體晶片。

該等 IC 晶粒 502、504、506 各者含有多個角結構 510、512、514、516、518、520、522、524、526、528、530、532。或者，可在部分的角處或是部分的晶粒處省略角結構。其他像是電容器的表面黏著元件可為選擇性地納入在該複合封裝 IC 500 之內，然圖 5 中予以省略俾簡化說明。

圖 5B 為圖 5A 封裝 IC 500 中沿截線 D-D 所取得的截面

圖。角結構 514、516 位於該等 IC 晶粒 502、504、506 之上，而該等晶粒是藉由接點陣列 515，在一特定具體實施例裡為焊接凸塊陣列，所架置且連接於該矽質介置板 508。該矽質介置板 508 則是藉由接點陣列 509，在一特定具體實施例裡為焊接凸塊陣列或焊接球點陣列，所架置且電性連接於該封裝基板 510。該封裝基板 510 在相對於該矽質介置板 508 的一側上具有接點陣列 511，此陣列是用以將該封裝 IC 500 連接於一印刷線路板或其他組件。

圖 6 為根據一具體實施例用以檢測無蓋式封裝 IC 之檢測固架 600 的截面圖。該檢測固架 600 含有一基底 602，此基底具有彈針或釘床類型之接點 604 的陣列，該等接點是對應於並且電性接觸於位在該無蓋式封裝 IC 608 底部上的焊接球點或其他接點 606。該等接點 604 係經連接於一可提供偏壓、信號與測量介面的電性檢測站台(未予圖示)，即如 IC 檢測和測量業界所眾知者。

該檢測固架 600 具有一第一停阻(標規化表面) 610，其限制將該無蓋式封裝 IC 608 按壓至該等接點(接點構件或接點腳針) 604 內的深遠程度；以及一第二停阻(硬性停阻) 612，其限制該工作壓機 614 朝向該基底 602 延伸的程度。換言之，該基底含有限制該工作壓機之行旅的硬性停阻。該無蓋式封裝 IC 與該工作壓機之間的力度可加以控制而不致造成 IC 晶粒破損，並且選擇該硬性停阻以將該等接點腳針下壓至一選定距離，因此能夠在該封裝基板上的球點陣列與該等接點腳針之間提供可靠的電性接觸。

該無蓋式封裝 IC 608 含有根據一或更多具體實施例而具有側邊局部 620、622 的角結構 616、618，該等局部係概略地自該工作壓機 614 的接點表面朝向該封裝 IC 的封裝基板 624 延伸。或者，該等側邊局部並不是一直延伸到該封裝基板。該工作壓機 614 接觸於該等角結構 616、618 以及該封裝基板 624。在一些具體實施例裡，該工作壓機 614 可作為散熱器之用，其可在電性檢測過程中經由該等邊緣角結構 616、618 以自 IC 晶粒散除熱量。在一特定具體實施例裡，該工作壓機含有一銅質區塊，其在生產檢測過程中可接觸於該晶粒的頂部以提供熱穩性。或者，具有順應性的熱導材料，像是鈳質，可在至少一未被該等角結構所覆蓋的區域內與該 IC 晶粒相接觸。該順應性的熱導材料可在電性檢測過程中提供自該 IC 晶粒散除熱量的功能，而無須對該 IC 晶粒增施顯著力度。

所冀求者的係，避免該封裝 IC 在檢測過程中出現捲扭，理由是捲扭會在一或更多接點組對(亦即檢測腳針-接觸球點/凸塊組對)處導致不可靠的電性連接。過度的捲扭結果也會造成 IC 晶粒或基板產生碎裂。

圖 7 為根據另一具體實施例用以檢測無蓋式封裝 IC 之檢測固架 700 的截面圖。該檢測固架 700 含有一基底 702，此基底具有彈針或釘床類型之接點 704 的陣列，該等接點是對應於並且電性接觸於位在該無蓋式封裝 IC 708 底部上的焊接球點或其他接點 706。該等接點 704 係經連接於一可提供偏壓、信號與測量介面的電性檢測站台(未予圖示)，即

如 IC 檢測和測量業界所眾知者。

該檢測固架 700 具有一第一停阻(標規化表面) 710，其限制將該無蓋式封裝 IC 708 按壓至該等接點 704 內的深遠程度；以及一第二停阻 712，其限制該工作壓機 714 朝向該基底 702 延伸的程度。換言之，該基底含有限制該工作壓機之行旅程度的硬性停阻。

該無蓋式封裝 IC 708 含有根據一或更多具體實施例的角結構 716、718。該工作壓機 714 接觸於該等角結構 716、718 以及該封裝基板 724。在一些具體實施例裡，該工作壓機 714 可作為散熱器之用，其可在電性檢測過程中經由該等角結構 716、718 以自 IC 晶粒散除熱量。在一特定具體實施例裡，該工作壓機含有一銅質區塊，其在生產檢測過程中可接觸於該晶粒的頂部以提供熱穩性。

該等角結構可提供一表面以於其上接觸到經散佈且整合於該封裝 IC 的晶粒。該等角結構可保護該 IC 晶粒不致受到在傳統封裝 IC 中當晶粒壓機或其他工具接觸於裸露晶粒 BGA 覆晶封裝或其他裸露晶粒封裝時所可能造成，或者是在封裝 IC 的處置過程中所可能出現，的損傷。根據具體實施例的角結構亦能防止晶粒的背側受到工作壓機的刮傷或損害，否則可能會直接地接觸到該晶粒。這些刮傷會干擾產品標記，並亦提供因機械應變情況所致生之碎裂或其他失效情況的潛在引發處所。

圖 8 為製造具備根據一具體實施例的角結構之無蓋式封裝 IC 的製程 800 流程圖。該製程包含多項步驟，即組裝

該無蓋式封裝 IC (亦即步驟 802 及 804)，並且對該無蓋式封裝 IC 進行電性檢測(亦即步驟 806)，這在一特定具體實施例裡為最終電性檢測。一或更多 IC 晶片係經覆晶連附於一封裝基板的表面，此基板在一特定具體實施例裡為介置板(步驟 802)。其他元件，像是晶片電容器，可為選擇性地連附於該封裝基板的表面。接附多個角結構以覆蓋該 IC 晶片的角(步驟 804)。在一特定具體實施例裡，兩個邊緣角結構覆蓋該 IC 晶片的四個角。在一替代性具體實施例裡，是以四個角結構來覆蓋該 IC 晶片的角。在多重晶片封裝 IC 裡，角結構會覆蓋所有 IC 晶片的所有角。而在一替代性具體實施例裡，一多重晶片封裝 IC 的一或更多角並未被角結構所覆蓋。

在一具體實施例裡，各個角結構具有一基腳，其係自經架置於該 IC 之表面(背側)上的角結構延伸至該封裝基板的表面。在一替代性具體實施例裡，沒有一角結構具有延伸至該封裝基板之表面的基腳。在又另一具體實施例裡，部分的角結構會具有延伸至該封裝基板之表面的基腳，然一部分則非如此。

該封裝 IC 係經設置在一電性檢測固架插槽內(步驟 806)，同時一工作壓機接觸於該等角結構及該封裝基板，並且靠在該檢測固架的相對應電性檢測接點陣列上按壓位於該封裝 IC 底部上的接點陣列(步驟 808)。在一特定具體實施例裡，該檢測固架插槽含有一第一停阻，藉此限制該封裝 IC 朝向該等電性檢測接點之陣列的行旅程度；以及一第

二停阻，藉此限制該工作壓機朝向該封裝 IC 的行旅程度。

圖 9 為適用於具體實施例之 FPGA 900 的平面圖。例如，根據圖 9，圖 5 中的 IC 502、504、506 之一或更多者為 FPGA。該 FPGA 是利用 CMOS 製程或者混合式 CMOS/NMOS 製程所製作。

該 FPGA 架構含有眾多不同的可程式化組塊，這些包含多重千兆位元收發器(MGT) 901、可組態設定邏輯區塊(CLB) 902、隨機存取記憶體區塊(BRAM) 903、輸入/輸出區塊(IOB) 904、組態及時脈邏輯(CONFIG/CLOCKS) 905、數位信號處理(DSP)區塊 906、特殊化輸入/輸出區塊(I/O) 907 (即如組態連接埠和時脈連接埠)，以及其他的可程式化邏輯 908，像是數位時脈衝管理器、類比至數位轉換器、系統監視邏輯...等等。有些 FPGA 亦含有專屬處理器區塊(PROC) 910。自該 CONFIG/CLOCKS 905 縱行所延伸的水平區域 909 是用以在跨於該 FPGA 900 的範圍上配送時脈及組態信號。

在一些 FPGA 中，各個可程式化組塊可含有可程式化互連構件(INT) 911，其設有可供往返於各個鄰近組塊內之相對應互連構件的標準化連接。因此，這些可程式化互連構件可併同地實作對於所述 FPGA 的可程式化互連結構。該可程式化互連構件(INT) 911 亦含有可供往返於位在相同組塊內之可程式化邏輯構件的連接，即如由圖 9 上方處的範例所顯示者。

例如，CLB 902 可含有一可組態設定邏輯構件(CLE) 912，其可經程式設定以實作使用者邏輯，以及一單一可程

式化互連構件(INT) 911。除一或更多可程式化互連構件以外，BRAM 903 可含有 BRAM 邏輯構件(BRL) 913。一般說來，納入在一組塊內之互連構件的數量是根據該組塊的高度而定。在所示具體實施例裡，BRAM 組塊是擁有與五個 CLB 相同的高度，然亦可運用其他數量(即如四個)。除適當數量的可程式化互連構件以外，DSP 組塊 906 可含有一 DSP 邏輯構件(DSPL) 914。除該可程式化互連構件(INT) 911 的一個實例以外，IOB 904 可含有例如兩個輸入/輸出邏輯構件(IOL) 915 的實例。有些運用如圖 9 所示架構的 FPGA 含有散解組成該 FPGA 大部分之常規性縱行結構的額外邏輯區塊。這些額外的邏輯區塊可為可程式化區塊及/或專屬邏輯。例如圖 9 所示之處理器區塊(PROC) 910 可擴展於多個 CLB 及 BRAM 的多個縱行。PROC 910 可含有單一電力領域，或者可含有多個電力領域，或是與 FPGA 900 內的其他區塊共享一個電力領域。

注意到圖 9 僅欲以說明一示範性 FPGA 架構。在圖 9 上方處所包含的一縱行內之邏輯區塊的數量、該等縱行的相對寬度、該等縱行的數量和次序、該等縱行內所含有之邏輯區塊的類型、該等邏輯區塊的相對大小以及互連/邏輯實作方式皆純為示範性。例如，在真實的 FPGA 裡，當出現有 CLB 時通常就會含有一個以上的鄰近 CLB 縱行，藉以協助有效率地實作使用者邏輯。

本發明雖既經關聯於特定具體實施例所描述，然熟習該項技術者確能顯知該等具體實施例的變化項目。例如，

可運用擁有替代性基腳、柱體或側壁的替代性角結構排置或角結構組態。因此，後文載述之申請專利範圍的精神與範圍不應受限於前揭示說明。

【圖式簡單說明】

圖 1A 為根據一具體實施例之封裝 IC 的平面圖。

圖 1B 為圖 1A 封裝 IC 之局部的截面圖。

圖 2 為根據另一具體實施例之封裝 IC 的平面圖。

圖 3A 為根據另一具體實施例之封裝 IC 的平面圖。

圖 3B 為圖 3A 封裝 IC 的截面圖。

圖 3C 為根據一進一步具體實施例按照圖 3A 之封裝 IC 的側視圖。

圖 4 為根據另一具體實施例之封裝 IC 的平面圖。

圖 5A 為根據一具體實施例之複合封裝 IC 500 的平面圖。

圖 5B 為圖 5A 封裝 IC 中沿截線 D-D 所取得的截面圖。

圖 6 為根據一具體實施例用以檢測封裝 IC 之檢測固架的截面圖。

圖 7 為根據另一具體實施例用以檢測封裝 IC 之檢測固架的截面圖。

圖 8 為根據一具體實施製造一 IC 之製程的流程圖。

圖 9 為適用於具體實施例之 FPGA 的平面圖。

【主要元件符號說明】

100	封 裝 IC
102	IC 晶 粒
104	封 裝 基 板
106	元 件
108	角 結 構
110	角 結 構
111	產 品 標 記
112	角 結 構
114	角 結 構
115	基 腳
116	中 央 區 域
117	底 部 填 充 材 料
119	力 度
200	封 裝 IC
202	IC 晶 粒
204	封 裝 基 板
206	元 件
208	三 角 形 角 結 構
210	三 角 形 角 結 構
212	三 角 形 角 結 構
214	三 角 形 角 結 構
216	中 央 區 域
218	元 件
300	封 裝 IC

302	IC 晶粒
303	底置 IC 晶粒
304	封装基板
306	元件
308	边缘角结构
310	边缘角结构
313	基脚
315	基脚
317	表面
322	顶部局部
324	背侧
326	基脚侧壁局部
328	接点阵列
400	封装 IC
402	IC 晶粒
404	封装基板
406	元件
408	条带角结构
410	条带角结构
412	条带角结构
414	条带角结构
416	中央区域
500	封装 IC
502	IC 晶粒

504	IC 晶粒
506	IC 晶粒
508	矽質介置板
509	接點陣列
510	封裝基板
511	接點陣列
512	角結構
514	角結構
515	接點陣列
516	角結構
518	角結構
520	角結構
522	角結構
524	角結構
526	角結構
528	角結構
530	角結構
532	角結構
600	檢測固架
602	基底
604	接點
606	接點
608	無蓋式封裝 IC
610	第一停阻(標規化表面)

612	第二停阻(硬性停阻)
614	工作壓機
616	邊緣角結構
618	邊緣角結構
620	側邊局部
622	側邊局部
624	封裝基板
700	檢測固架
702	基底
704	接點
706	接點
708	無蓋式封裝 IC
710	第一停阻(標規化表面)
712	第二停阻(硬性停阻)
714	工作壓機
716	角結構
718	角結構
724	封裝基板
800	製程
802-806	製程 800 的步驟
900	FPGA
901	多重千兆位元收發器(MGT)
902	可組態設定邏輯區塊(CLB)
903	隨機存取記憶體區塊(BRAM)

904	輸入/輸出區塊(IOB)
905	組態及時脈邏輯(CONFIG/CLOCKS)
906	數位信號處理區塊(DSP)
907	輸入/輸出區塊(I/O)
908	可程式設計邏輯
909	水平區域
910	處理器區塊(PROC)
911	互連構件(INT)
912	可組態設定邏輯構件(CLE)
913	BRAM 邏輯構件(BRL)
914	DSP 邏輯構件(DSPL)
915	輸入/輸出邏輯構件(IOL)

七、申請專利範圍：

1.一種積體電路(IC)，其包含：

一基板；

一 IC 晶片，其係以覆晶方式連附於該基板的第一表面，其中該 IC 晶片具有一第一角、一第二角、一第三角及一第四角；

一接點陣列，其位於該基板的第二表面上；

一第一角結構，其係經接附於該 IC 晶片而覆蓋至少該第一角，其中該第一角結構具有一第一基腳，該第一基腳係將施加至該第一角結構的一頂部的力度傳遞至該基板；以及

一第二角結構，其係經接附於該 IC 晶片而覆蓋至少該第二角，藉以使該 IC 晶片的中央區域不被該第一角結構與該第二角結構所覆蓋，其中該第二角結構具有一第二基腳，該第二基腳係將施加至該第二角結構的一頂部的力度傳遞至該基板。

2.如申請專利範圍第 1 項所述之 IC，其中該第一角結構亦覆蓋該第三角且該第二角結構亦覆蓋該第四角。

3.如申請專利範圍第 1 或 2 項所述之 IC，其中該第一角結構為含有一第一側壁局部的一第一邊緣角結構，該第二角結構為含有一第二側壁局部的一第二邊緣角結構。

4.如申請專利範圍第 3 項所述之 IC，其中該第一側壁局部及該第二側壁局部各者延伸至該基板的第一表面。

5.如申請專利範圍第 1 或 2 項所述之 IC，進一步包含

位在該第一角結構上的產品標記。

6.如申請專利範圍第 1 或 2 項所述之 IC，進一步包含一覆蓋該第三角的第三角結構以及一覆蓋該第四角的第四角結構。

7.如申請專利範圍第 1 或 2 項所述之 IC，進一步包含一電性元件，其係於該第一角結構與該第二角結構之間架置在該 IC 晶片上。

8.如申請專利範圍第 7 項所述之 IC，其中該電性元件為一第二 IC 晶片。

9.如申請專利範圍第 1 或 2 項所述之 IC，其中該基板為一矽質介置板，並且進一步包含：

一封裝基板；以及

另一 IC 晶片，其係以覆晶方式連附於該矽質介置板的第一表面，其中該矽質介置板係經架置於該封裝基板上。

10.如申請專利範圍第 9 項所述之 IC，進一步包含：

一第三角結構，其係經接附於該 IC 晶片；

一第四角結構，其係經接附於該 IC 晶片；

一第五角結構，其係經接附於該另一 IC 晶片；

一第六角結構，其係經接附於該另一 IC 晶片；

一第七角結構，其係經接附於該另一 IC 晶片；以及

一第八角結構，其係經接附於該另一 IC 晶片。

11.一種製造一積體電路(IC)的方法，其包含：

將一 IC 晶片以覆晶方式連附於一基板的第一側，其中該 IC 晶片具有一第一角、一第二角、一第三角及一第四角；

將一第一角結構接附於該 IC 晶片以覆蓋至少該第一角，其中該第一角結構具有一第一基腳，該第一基腳係將施加至該第一角結構的一頂部的力度傳遞至該基板；以及

將一第二角結構接附於該 IC 晶片以覆蓋至少該第二角，藉此使該 IC 晶片的中央區域不被該第一角結構與該第二角結構所覆蓋，其中該第二角結構具有一第二基腳，該第二基腳係將施加至該第二角結構的一頂部的力度傳遞至該基板。

12.如申請專利範圍第 11 項所述之方法，進一步包含：
將另一 IC 晶片以覆晶方式連附於該基板的第一側；以及

將該基板架置於一封裝基板。

13.如申請專利範圍第 12 項所述之方法，進一步包含：

將一第三角結構接附於該 IC 晶片；

將一第四角結構接附於該 IC 晶片；

將一第五角結構接附於該另一 IC 晶片；

將一第六角結構接附於該另一 IC 晶片；

將一第七角結構接附於該另一 IC 晶片；以及

將一第八角結構接附於該另一 IC 晶片。

14.如申請專利範圍第 11-13 項任一項所述之方法，進一步包含：

在該第一角結構與該第二角結構之間將一電性元件架置於該 IC 晶片上。

15.如申請專利範圍第 11-13 項任一項所述之方法，進

一步包含：

將該 IC 放置在一檢測固架的檢測固架插槽內；以及
令該 IC 的角結構接觸於該檢測固架的工作壓機，藉以
將該封裝基板的第二側上之接點陣列壓置抵靠該檢測固架
的電性檢測接點陣列。

八、圖式：

(如次頁)

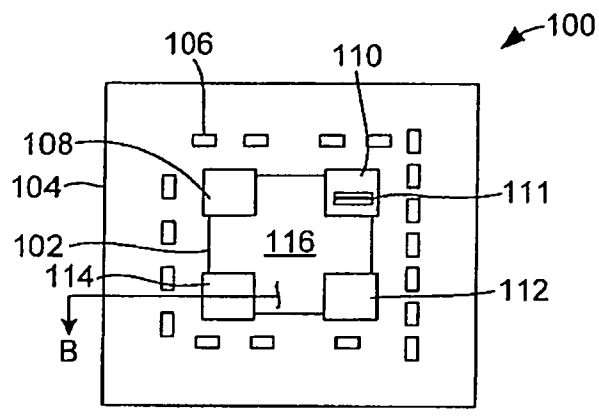


圖 1A

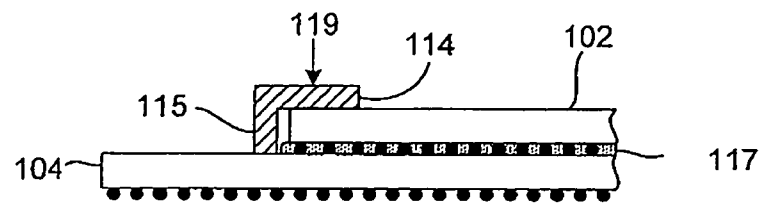


圖 1B

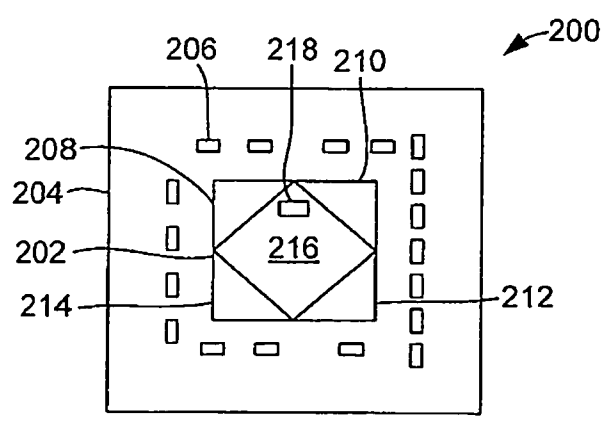


圖 2

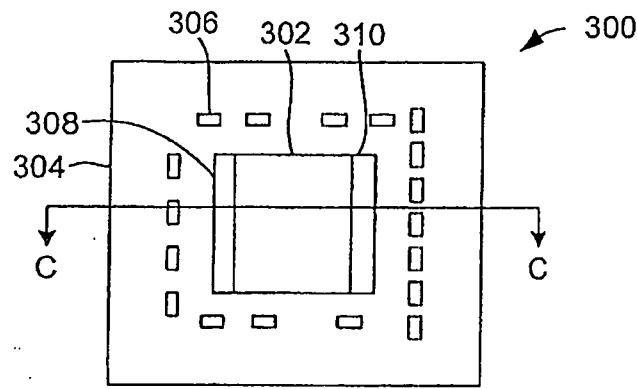


圖 3A

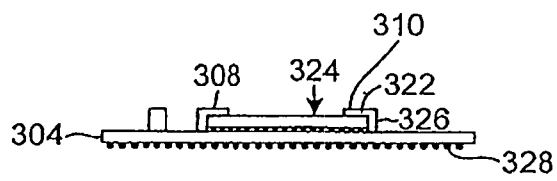


圖 3B

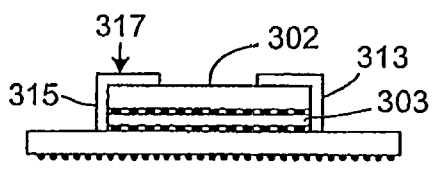


圖 3C

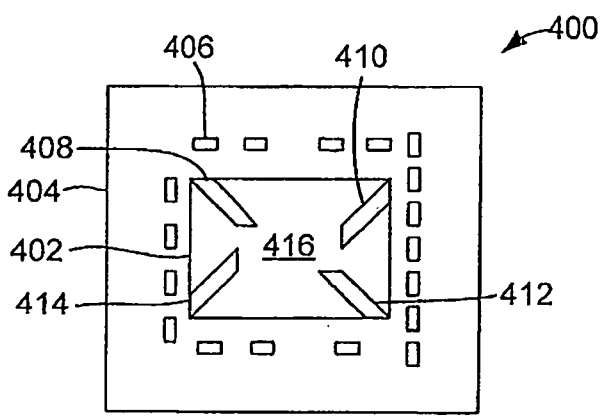


圖 4

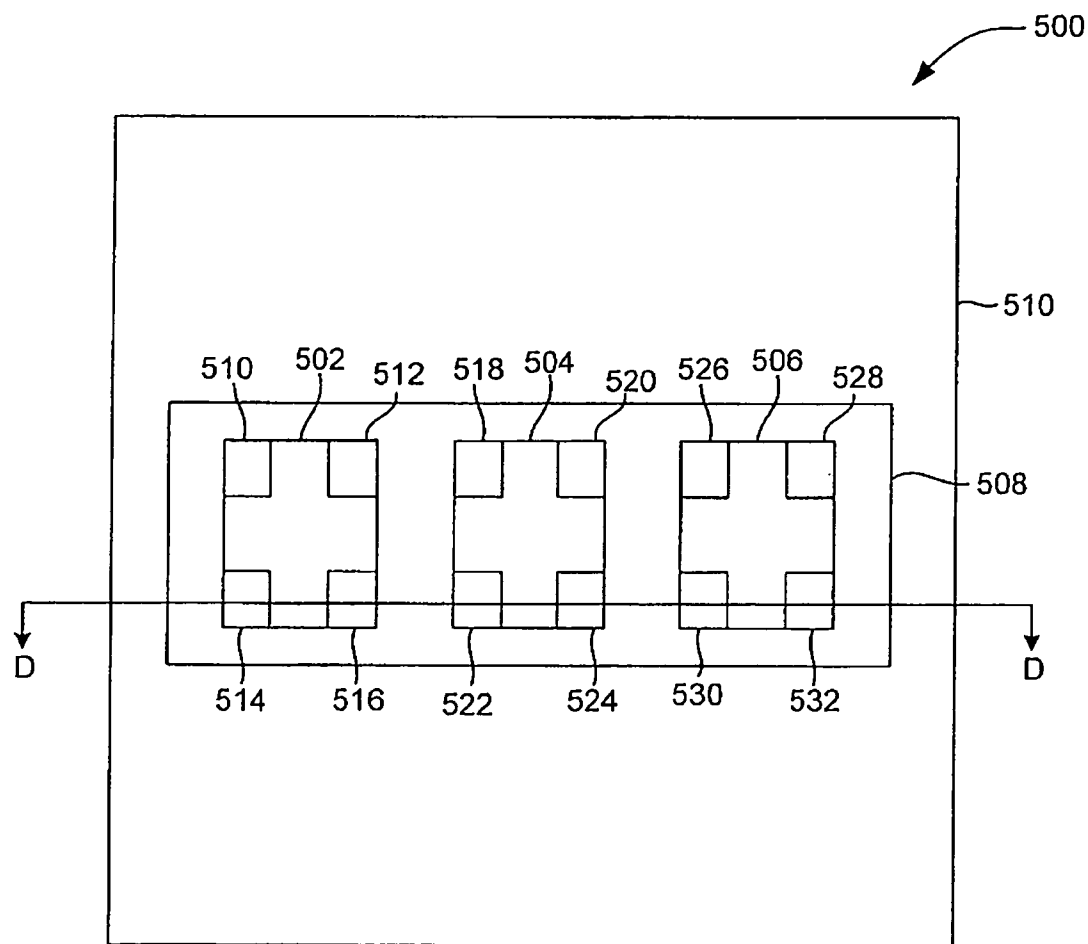


圖5A

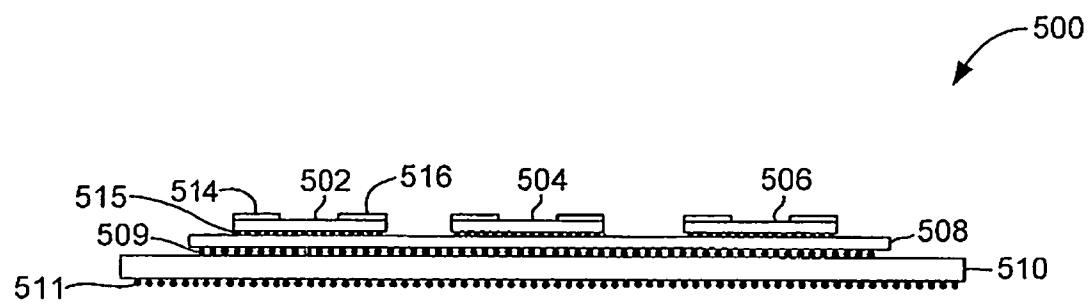


圖5B

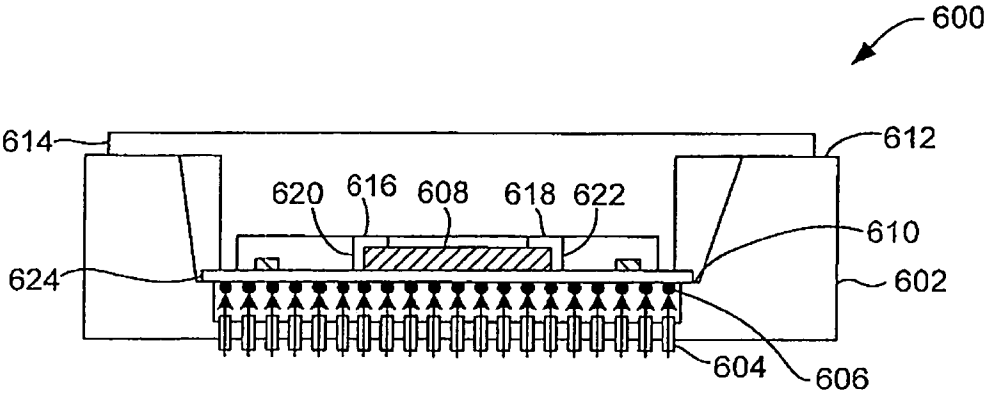


圖 6

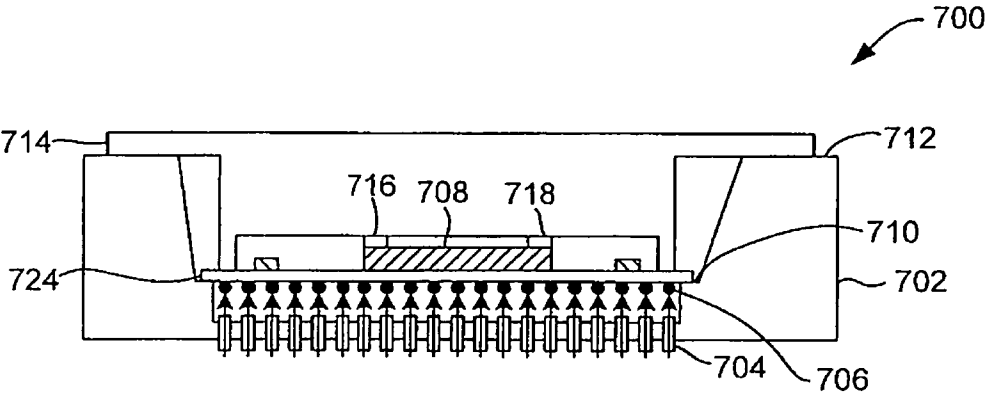


圖 7

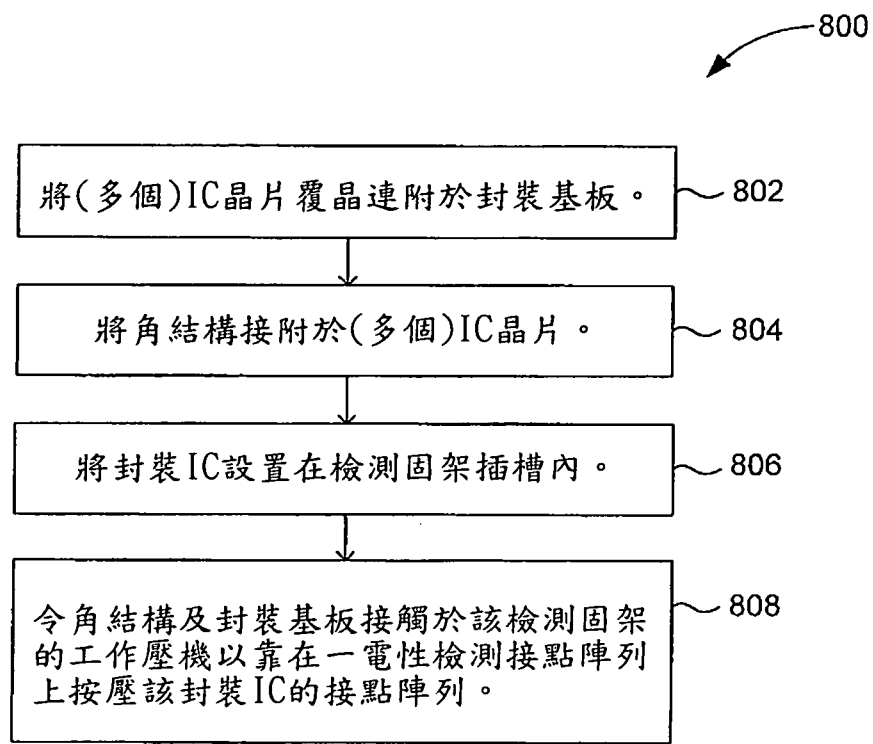


圖8

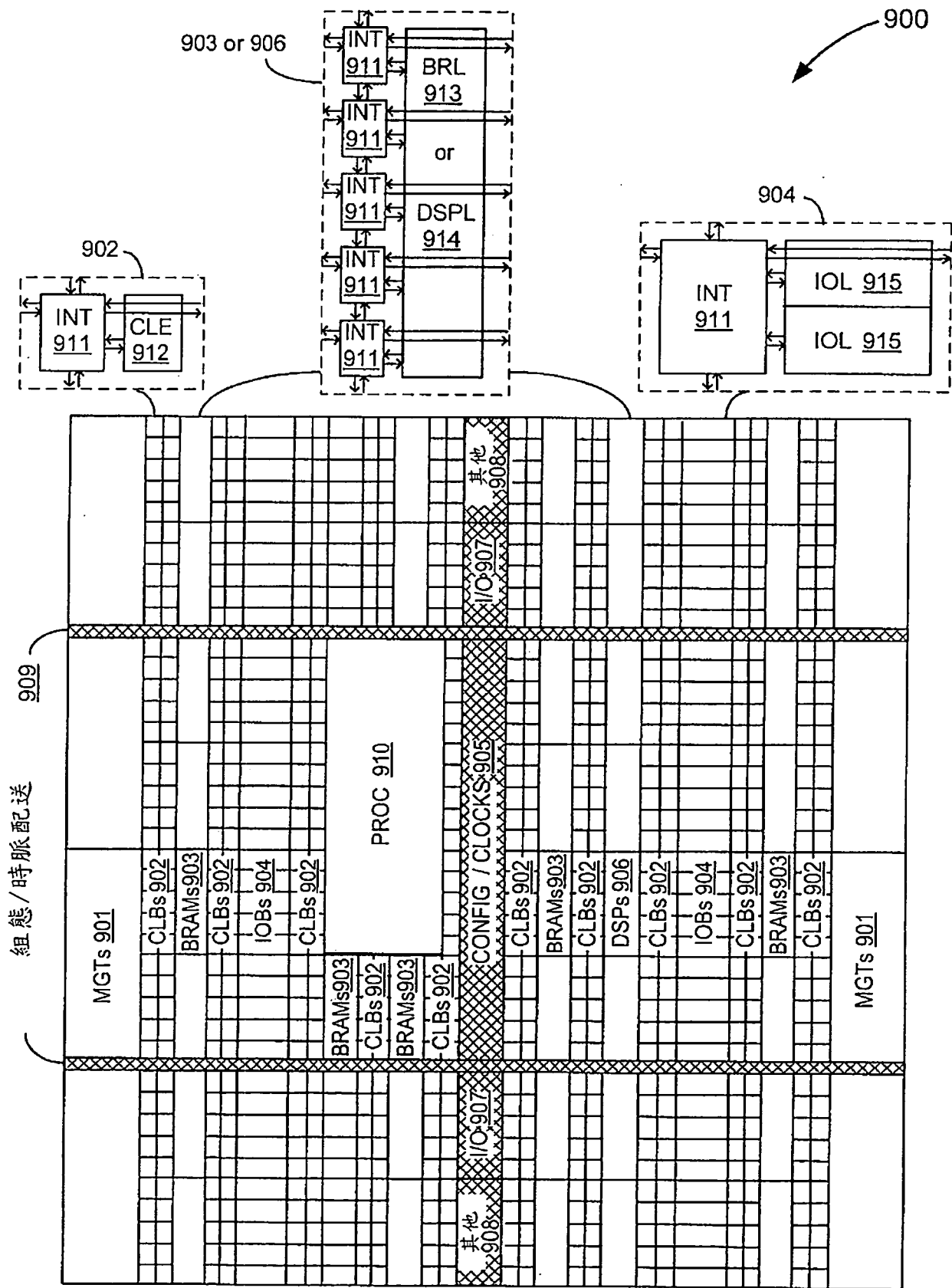


圖 9