



(12)发明专利申请

(10)申请公布号 CN 110838311 A

(43)申请公布日 2020.02.25

(21)申请号 201910705593.4

(22)申请日 2019.08.01

(30)优先权数据

10-2018-0095876 2018.08.17 KR

(71)申请人 爱思开海力士有限公司

地址 韩国京畿道

(72)发明人 申旻澈

(74)专利代理机构 北京三友知识产权代理有限公司

11127

代理人 刘久亮 黄纶伟

(51)Int.Cl.

G11C 7/12(2006.01)

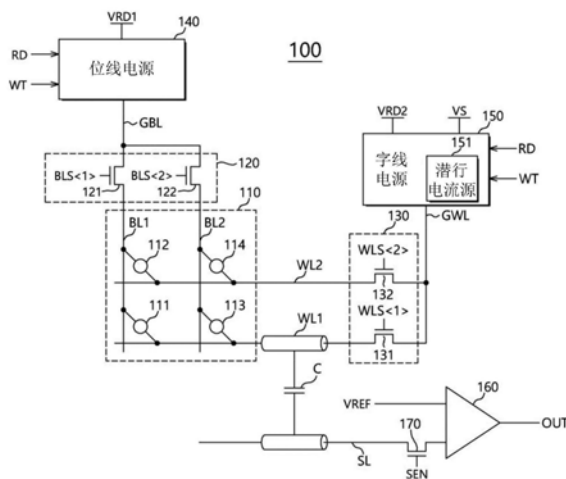
权利要求书2页 说明书9页 附图5页

(54)发明名称

半导体存储器装置及其操作方法

(57)摘要

半导体存储器装置及其操作方法。一种半导体存储器装置包括联接在位线和字线之间的存储器单元。感测线与字线相邻设置以与字线一起形成电容器。联接到感测线的感测放大器通过检测感测线的电压电平来生成输出信号。



1. 一种半导体存储器装置,该半导体存储器装置包括:
存储器单元,所述存储器单元联接在位线和字线之间;
感测线,所述感测线与所述字线相邻设置以与所述字线一起形成电容器;以及
感测放大器,所述感测放大器联接至所述感测线,其中,所述感测放大器被配置为通过检测所述感测线的电压电平来生成输出信号。
2. 根据权利要求1所述的半导体存储器装置,该半导体存储器装置还包括:
列开关,所述列开关被配置为基于位线选择信号将所述位线联接至全局位线;以及
位线电源,所述位线电源被配置为向所述全局位线提供第一电源电压。
3. 根据权利要求1所述的半导体存储器装置,该半导体存储器装置还包括:
行开关,所述行开关被配置为基于字线选择信号将所述字线联接至全局字线;以及
字线电源,所述字线电源被配置为向所述全局字线提供第二电源电压。
4. 根据权利要求3所述的半导体存储器装置,其中,所述字线选择信号的电压电平在所述字线被预充电至所述第二电源电压的电压电平之后改变。
5. 根据权利要求3所述的半导体存储器装置,其中,所述字线电源在所述字线被预充电至所述第二电源电压的电压电平之后允许潜行电流流过所述字线。
6. 根据权利要求1所述的半导体存储器装置,其中,所述感测放大器通过将所述感测线的电压电平与读取参考电压进行比较来生成所述输出信号。
7. 根据权利要求1所述的半导体存储器装置,该半导体存储器装置还包括:感测开关,所述感测开关被配置为当感测使能信号被使能时将所述感测放大器联接至所述感测线。
8. 根据权利要求7所述的半导体存储器装置,其中,所述感测使能信号在第一电源电压被提供给所述位线之后预定时间被使能。
9. 根据权利要求1所述的半导体存储器装置,其中,所述感测线与所述位线平行地并且与所述字线垂直地延伸。
10. 一种半导体存储器装置,该半导体存储器装置包括:
多个存储器单元,所述多个存储器单元分别联接在多条位线和多条字线之间;
多条感测线,所述多条感测线分别与所述多条字线相邻设置以与所述多条字线一起形成电容器,其中,所述多条感测线与所述多条位线平行地并且与所述多条字线垂直地延伸;以及
感测放大器,所述感测放大器联接至所述多条感测线并且被配置为通过检测所述多条感测线的电压电平来生成输出信号。
11. 根据权利要求10所述的半导体存储器装置,该半导体存储器装置还包括:
多个列开关,所述多个列开关分别被配置为基于多个位线选择信号将所述多条位线联接至全局位线;以及
位线电源,所述位线电源被配置为向所述全局位线提供第一电源电压。
12. 根据权利要求10所述的半导体存储器装置,该半导体存储器装置还包括:
多个行开关,所述多个行开关分别被配置为根据多个字线选择信号将所述多条字线联接至全局字线;以及
字线电源,所述字线电源被配置为向所述全局字线提供第二电源电压。
13. 根据权利要求12所述的半导体存储器装置,其中,所述多个字线选择信号中被提供

给被配置为将所述多条字线中的被选字线联接到所述全局字线的行开关的字线选择信号的电压电平在所述被选字线被预充电到所述第二电源电压的电压电平之后改变。

14. 根据权利要求12所述的半导体存储器装置,其中,所述字线电源在所述多条字线中的被选字线被预充电到所述第二电源电压的电压电平之后允许潜行电流流过所述被选字线。

15. 根据权利要求10所述的半导体存储器装置,其中,所述感测放大器通过将所述多条感测线的电压电平与读取参考电压进行比较来生成所述输出信号。

16. 根据权利要求10所述的半导体存储器装置,其中,所述感测放大器在感测使能信号被使能时联接到所述多条感测线。

17. 根据权利要求16所述的半导体存储器装置,其中,所述感测使能信号在第一电源电压被提供给所述多条位线中的被选位线之后预定时间被使能。

18. 一种半导体存储器装置的操作方法,该操作方法包括以下步骤:

通过基于位线选择信号选择位线并基于字线选择信号选择字线来选择存储器单元;

将所述字线预充电到第二电源电压;

改变所述字线选择信号的电压电平并允许潜行电流流过所述字线;

向所述位线提供第一电源电压;以及

检测与所述字线相邻设置以与所述字线一起形成电容器的感测线的电压电平。

19. 根据权利要求18所述的操作方法,其中,选择位线的步骤包括基于所述位线选择信号将所述位线联接到全局位线,并且其中,选择字线的步骤包括基于所述字线选择信号将所述字线联接到全局字线。

20. 根据权利要求18所述的操作方法,其中,改变所述字线选择信号的电压电平的步骤包括:改变所述字线选择信号的电压电平,以使被配置为接收所述字线选择信号的行开关部分地导通。

21. 根据权利要求18所述的操作方法,其中,所述感测线与所述位线平行地并且与所述字线垂直地延伸。

半导体存储器装置及其操作方法

技术领域

[0001] 本公开的各种实施方式涉及集成电路技术,更具体地,涉及半导体存储器装置和半导体系统。

背景技术

[0002] 诸如计算机之类的电子设备可以具有许多半导体组件并且包括存储器装置。动态随机存取存储器 (DRAM) 广泛用作通用存储器装置,具有以快速且稳定的速度存储和输出数据并且随机存取的优点。然而,DRAM具有易失性特性的原因在于,因为它具有包括电容器的存储器单元所以它在断电时丢失所存储的数据。闪存存储器克服了DRAM的易失性缺点。闪存存储器具有非易失性特性的原因在于,因为它具有包括浮栅的存储器单元所以即使在断电时它也保留所存储的数据。然而,与DRAM相比,闪存存储器的缺点在于它以低速存储和输出数据并且不是随机存取的。

[0003] 诸如相变RAM (PCM)、磁RAM、电阻RAM和铁电RAM之类的下一代存储器装置具有操作速度快和非易失性特性的优点。具体地,PCM具有包含硫族化物的相变存储器单元,并且能够通过改变存储器单元的电阻值来存储数据。

发明内容

[0004] 在本公开的实施方式中,半导体存储器装置可以包括存储器单元、感测线和感测放大器。存储器单元可以联接在位线和字线之间。感测线可以与字线相邻设置以与字线一起形成电容器。感测放大器可以联接到感测线,并且被配置为通过检测感测线的电压电平来生成输出信号。

[0005] 在本公开的实施方式中,半导体存储器装置可以包括多个存储器单元、多条感测线和感测放大器。多个存储器单元可以分别联接在多条位线和多条字线之间。多条感测线可以分别与多条字线相邻设置以分别与多条字线一起形成电容器。此外,多条感测线可以沿与多条位线基本平行并且与多条字线基本垂直的方向延伸。感测放大器可以联接到多条感测线,并且被配置为通过检测多条感测线的电压电平来生成输出信号。

[0006] 在本公开的实施方式中,半导体存储器装置的操作方法可以包括通过基于位线选择信号选择位线并基于字线选择信号选择字线来选择存储器单元。操作方法还可以包括将字线预充电到第二电源电压。该操作方法还可以包括改变字线选择信号的电压电平并允许潜行电流流过字线。该方法可以附加地包括向位线提供第一电源电压并检测与字线相邻设置以与字线一起形成电容器的感测线的电压电平。

附图说明

[0007] 图1示出了例示根据本公开的实施方式的半导体存储器装置的配置的示意图。

[0008] 图2示出了例示根据本公开的实施方式的半导体存储器装置的操作方法的流程图。

[0009] 图3示出了例示根据本公开的实施方式的在半导体存储器装置的读取操作期间发生的尖峰电流(spike current)的曲线图。

[0010] 图4示出了例示根据本公开的实施方式的半导体存储器装置的配置的立体图。

[0011] 图5示出了例示根据本公开的实施方式的包括半导体存储器装置的存储卡的图。

[0012] 图6示出了根据本公开的实施方式的包括半导体存储器装置的电子装置的框图。

[0013] 图7示出了例示根据本公开的实施方式的包括半导体存储器装置的数据储存设备的框图。

[0014] 图8示出了例示根据本公开的实施方式的包括半导体存储器装置的电子系统的框图。

具体实施方式

[0015] 在下文中,通过各种实施方式参照附图在下面描述根据本公开的半导体装置。

[0016] 图1示出了例示根据本公开的实施方式的半导体存储器装置100的配置的示意图。参照图1,半导体存储器装置100可以包括存储器单元阵列110。存储器单元阵列110可以包括多条位线、多条字线和分别联接到多条位线和多条字线的交叉点的多个存储器单元。多个存储器单元可以是各自包括诸如硫族化物之类的相变材料的相变存储器单元。在高于阈值电压的电压被施加到存储器单元的两端或者大于阈值电流的电流流过存储器单元时,多个存储器单元中的每一个可以被快反向并因此导通。可以将多个存储器单元编程为高电阻状态和低电阻状态。可以将多个存储器单元编程为高电阻状态以存储复位数据。可以将多个存储器单元编程为低电阻状态以存储置位数据。在实施方式中,多个存储器单元可以被编程为多于3个电阻状态以存储多比特数据。

[0017] 图1例示了分别联接到第一位线BL1和第二位线BL2与第一字线WL1和第二字线WL2之间的交叉点的4个存储器单元。第一存储器单元111可以联接到第一位线BL1和第一字线WL1之间的交叉点,第二存储器单元112可以联接到第一位线BL1和第二字线WL2之间的交叉点,第三存储器单元113可以联接到第二位线BL2和第一字线WL1之间的交叉点,并且第四存储器单元114可以联接到第二位线BL2和第二字线WL2之间的交叉点。

[0018] 半导体存储器装置100还可以包括列选择电路120和行选择电路130。列选择电路120可以将多条位线中的一条或更多条位线联接到全局位线GBL。列选择电路120可以接收多个位线选择信号,并且可以基于多个位线选择信号将多条位线中的一条或更多条位线联接到全局位线GBL。列选择电路120可以包括多个列开关。多个列开关可以分别接收多个位线选择信号,并且可以分别选择一条或更多条位线以联接到全局位线GBL。尽管图1例示了被配置为将第一位线BL1联接到全局位线GBL的第一列开关121和被配置为将第二位线BL2联接到全局位线GBL的第二列开关122,但是半导体存储器装置100可以包括数量与存储器单元阵列110中所包括的位线的数量相对应的列开关。

[0019] 第一列开关121可以基于位线选择信号BLS<1>将第一位线BL1联接到全局位线GBL。第二列开关122可以基于位线选择信号BLS<2>将第二位线BL2联接到全局位线GBL。可以根据列地址信号生成位线选择信号BLS<1>和BLS<2>。在实施方式中,半导体存储器装置100可以具有分层级的位线结构。尽管未例示出,但是列选择电路120可以包括分层级的开关,诸如本地列开关和全局列开关。根据分层级的位线结构,本地列开关可以将本地位线联

接到多条位线中的一条,并且全局列开关可以将全局位线GBL联接到多条本地位线中的一条。

[0020] 行选择电路130可以将多条字线中的一个或更多条字线联接到全局字线GWL。行选择电路130可以接收多个字线选择信号,并且可以基于多个字线选择信号将多条字线中的一条或更多条字线联接到全局字线GWL。行选择电路130可以包括多个行开关。多个行开关可以分别接收多个字线选择信号,并且可以分别选择一条或更多条字线以联接到全局字线GWL。尽管图1例示了被配置为将第一字线WL1联接到全局字线GWL的第一行开关131和被配置为将第二字线WL2联接到全局字线GWL的第二行开关132,但是半导体存储器装置100可以包括数量与存储器单元阵列110中包括的字线的数量相对应的行开关。

[0021] 第一行开关131可以基于字线选择信号WLS<1>将第一字线WL1联接到全局字线GWL。第二行开关132可以基于字线选择信号WLS<2>将第二字线WL2联接到全局字线GWL。可以根据行地址信号生成字线选择信号WLS<1>和WLS<2>。在实施方式中,半导体存储器装置100可以具有分层级的字线结构。尽管未例示出,但行选择电路130可以包括分层级的开关,诸如本地行开关和全局行开关。根据分层级的字线结构,本地行开关可以将本地字线联接到多条字线中的一条,并且全局行开关可以将全局字线GWL联接到多条本地字线中的一条。

[0022] 半导体存储器装置100还可以包括位线电源140和字线电源150。位线电源140可以向全局位线GBL供应电源电压。位线电源140可以接收读取信号RD和写入信号WT。在半导体存储器装置100的读取操作期间,可以为半导体存储器装置100生成读取信号RD,以读取存储器单元中所存储的数据。在半导体存储器装置100的写入操作期间,可以为半导体存储器装置100生成写入信号WT,以将数据编程到存储器单元中。位线电源140可以基于读取信号RD向全局位线GBL提供用于读取操作的电源电压,并且可以基于写入信号WT向全局位线GBL提供用于写入操作的电源电压。位线电源140可以基于读取信号RD向全局位线GBL和被选位线提供第一电源电压VRD1。位线电源140可以通过向全局位线GBL提供第一电源电压VRD1,将全局位线GBL和被选位线的电压电平升高到第一电源电压VRD1的电平。

[0023] 字线电源150可以向全局字线GWL供应电源电压。字线电源150可以接收读取信号RD和写入信号WT。字线电源150可以基于读取信号RD向全局字线GWL提供用于读取操作的电源电压,并且可以基于写入信号WT向全局字线GWL提供用于写入操作的电源电压。字线电源150可以基于读取信号RD向全局字线GWL提供第二电源电压VRD2。第二电源电压VRD2可以具有比第一电源电压VRD1低的电平。字线电源150可以通过向全局字线GWL和被选字线提供第二电源电压VRD2来将全局字线GWL和被选字线的电压电平降低到第二电源电压VRD2的电平。在半导体存储器装置100不执行读取操作或写入操作的时候,字线电源150可以向全局字线GWL提供第三电源电压VS。第三电源电压VS的电平可以比第二电源电压VRD2的电平高并且比第一电源电压VRD1的电平低。例如,第三电源电压VS可以具有对应于接地电压的电压电平。

[0024] 字线电源150可以通过基于读取信号RD向全局字线GWL提供第二电源电压VRD2来将全局字线GWL和被选字线预充电到第二电源电压VRD2的电平。在被选字线被预充电到第二电源电压VRD2的电平之后,半导体存储器装置100可以改变字线选择信号的电压电平。半导体存储器装置100可以改变字线选择信号的电压电平,使得全局字线GWL和被选字线之间的导电性变得降低。在被选字线被预充电到第二电源电压VRD2的电平之后,字线电源150可

以允许潜行电流 (sneak current) 流过全局字线GWL。字线电源150可以包括被配置为生成潜行电流的潜行电流源151。潜行电流可以是少量的电流,使得全局字线GWL和被选字线是导电的。在实施方式中,在将被选字线预充电到第二电源电压VRD2的电平之后,半导体存储器装置100可以禁用字线选择信号并且可以断开全局字线GWL与被选字线之间的电联接。因此,被选字线可以被浮置,并且半导体存储器装置100可以根据浮置方案执行读取操作。

[0025] 参照图1,半导体存储器装置100还可以包括感测线SL和感测放大器160。感测线SL可以与第一字线WL1和第二字线WL2相邻设置。感测线SL可以与第一字线WL1和第二字线WL2相邻设置,使得感测线SL与第一字线WL1和第二字线WL2一起形成电容器C。由于感测线SL与第一字线WL1和第二字线WL2相邻,所以可以在感测线SL与第一字线WL1和第二字线WL2之间形成互电容。该互电容由图1中所示的电容器C表示。对于本教导的各种实施方式,利用了在一条或更多条感测线与一条或更多条位线之间发生的互电容。当第一字线WL1和第二字线WL2的电压电平改变时,感测线SL的电压电平可以通过电容器C而改变。感测线SL可以在与第一位线BL1和第二位线BL2的延伸方向基本平行并且与第一字线WL1和第二字线WL2的延伸方向基本垂直的方向上延伸。

[0026] 感测放大器160可以通过感测感测线SL的电压电平来生成输出信号OUT。感测放大器160可以接收读取参考电压VREF。读取参考电压VREF可以具有利用其能够感测到感测线SL的电压电平变化的电压电平。感测放大器160可以通过比较读取参考电压VREF和感测线SL的电压电平来生成输出信号OUT。例如,当感测线SL的电压电平高于读取参考电压VREF时,感测放大器160可以生成具有逻辑高电平的输出信号OUT。当感测线SL的电压电平低于读取参考电压VREF时,感测放大器160可以生成具有逻辑低电平的输出信号OUT。当感测使能信号SEN被使能时,感测放大器160可以联接到感测线SL以感测感测线SL的电压电平。感测使能信号SEN可以在第一电源电压VRD1通过全局位线GBL被提供给被选位线之后预定时间被使能。例如,可以在读取信号RD被使能之后预定时间使能感测使能信号SEN。预定时间可以具有足以使得被选位线的电压电平上升到第一电源电压VRD1以引起存储器单元的快反向的持续时间。

[0027] 半导体存储器装置100还可以包括感测开关170。感测开关170可以接收感测使能信号SEN。当感测使能信号SEN被使能时,感测开关170可以将感测线SL联接到感测放大器160。

[0028] 通常,半导体存储器装置的感测放大器联接到全局字线GWL,并通过感测全局字线GWL的电压电平来生成输出信号OUT。因此,在半导体存储器装置的读取操作期间,应当将全局字线GWL和被选字线的电压电平保持在第二电源电压VRD2的电平,这是因为感测放大器应感测全局字线GWL的电压电平或流过全局字线GWL的电流。当第一位线BL1和第一字线WL1被选择时,第一存储器单元111被选择,并且第一存储器单元111成为目标存储器单元。当第一存储器单元111被选择时,第二存储器单元112的一端联接到未选第二字线WL2,而第二存储器单元112的另一端联接到被选第一位线BL1。此外,第三存储器单元113的一端联接到未选第二位线BL2,而第三存储器单元113的另一端联接到被选第一字线WL1。存储器单元根据工艺、电压或温度的变化而具有各种阈值电压,并且联接到被选位线和被选字线的未选存储器单元可能被导通。因此,可能发生当与目标存储器单元相邻的存储器单元被导通时存储在该相邻存储器单元中的数据丢失的干扰。

[0029] 根据本公开的实施方式,半导体存储器装置100的感测放大器160可以通过感测与字线相邻设置的感测线SL的电压电平来生成输出信号OUT。因此,半导体存储器装置100可以通过在将全局字线GWL和被选字线预充电到第二电源电压VRD2的电平之后改变字线选择信号的电压电平,来降低全局字线GWL和被选字线的导电性。当全局字线GWL和被选字线的导电性降低时,可以减轻目标存储器单元和相邻存储器单元之间的干扰。因为即使只有潜行电流流过全局字线GWL时,也可以通过与字线相邻设置的感测线SL感测到存储器单元中所存储的数据,所以可以减少在读取操作期间发生的尖峰电流,并且还可以减少读取操作期间的功耗。

[0030] 图2示出了例示根据本公开的实施方式的半导体存储器装置100的操作方法的流程图。参照图1和图2描述半导体存储器装置100的操作方法。在半导体存储器装置100的读取操作期间,当基于列地址信号和行地址信号使能位线选择信号和字线选择信号时,可以选择特定位线和特定字线。当特定位线和特定字线被选择时,可以访问特定存储器单元(S210)。例如,如图1中所例示,第一列开关121可以基于位线选择信号BLS<1>将第一位线BL1联接到全局位线GBL,并且第一行开关131可以基于字线选择信号WLS<1>将第一字线WL1联接到全局字线GWL。当第一位线BL1和第一字线WL1被选择时,第一存储器单元111可以被选择。

[0031] 字线电源150可以基于读取信号RD将第二电源电压VRD2提供给全局字线GWL,并且可以通过全局字线GWL将第二电源电压VRD2提供给被选字线(S220)。第一字线WL1可以通过全局字线GWL提供有第二电源电压VRD2,因此全局字线GWL和第一字线WL1可以被预充电到第二电源电压VRD2的电平。

[0032] 当全局字线GWL和被选字线被预充电时,半导体存储器装置100可以改变字线选择信号WLS<1>的电压电平(S230)。半导体存储器装置100可以改变字线选择信号WLS<1>的电压电平,使得全局字线GWL和第一字线WL1之间的导电性降低。例如,半导体存储器装置100可以将字线选择信号WLS<1>的电压电平从使第一行开关131完全导通的电压电平改变为使第一行开关131部分导通的电压电平。当第一行开关131用N沟道MOS晶体管实现时,半导体存储器装置100可以降低字线选择信号WLS<1>的电压电平。当全局字线GWL和第一字线WL1被预充电时,字线电源150可以允许潜行电流流过全局字线GWL和第一字线WL1(S230)。在实施方式中,在全局字线GWL和被选字线被预充电之后,半导体存储器装置100可以禁用字线选择信号WLS<1>。

[0033] 然后,位线电源140可以将第一电源电压VRD1提供给全局位线GBL,并且可以通过全局位线GBL将第一电源电压VRD1提供给被选位线(S240)。第一位线BL1可以通过全局位线GBL被提供有第一电源电压VRD1。当第一位线BL1的电压电平上升到第一电源电压VRD1的电平时,根据第一存储器单元111的电阻状态可以发生快反向(snap-back)。例如,当第一存储器单元111处于高电阻状态时,可能不会发生快反向并且第一存储器单元111可能不导通。当第一存储器单元111处于低电阻状态时,可以发生快反向并且第一存储器单元111可以导通。当第一存储器单元111处于高电阻状态时,可能不会发生快反向,因此少量电流可以流过第一存储器单元111并且第一字线WL1的电压电平可能不会改变。当第一存储器单元111处于低电阻状态时,可以发生快反向,因此大量电流可以流过第一存储器单元111,并且因此大量电流可以通过第一存储器单元111从第一位线BL1流向第一字线WL1。因此,第一字线

WL1的电压电平可以上升。

[0034] 当第一电源电压VRD1被提供给第一位线BL1并且经过预定时间以使存储器单元快反向时,可以将感测使能信号SEN使能。当感测使能信号SEN被使能时,感测放大器160可以通过将感测线SL的电压电平与读取参考电压VREF的电平进行比较来生成输出信号OUT(S250)。当第一存储器单元111处于高电阻状态时,第一字线WL1的电压电平可能不会改变,并且感测线SL的电压电平可能不会改变。因此,感测放大器160可以通过检测到比读取参考电压VREF的电平低的感测线SL的电压电平,来生成具有逻辑低电平的输出信号OUT。感测放大器160可以将第一存储器单元111中所存储的数据感测为复位数据。当第一存储器单元111处于低电阻状态时,第一字线WL1的电压电平可以上升并且感测线SL的电压电平可以通过电容器C上升。因此,感测放大器160可以通过检测到比读取参考电压VREF的电平高的感测线SL的电压电平,来生成具有逻辑高电平的输出信号OUT。感测放大器160可以将第一存储器单元111中所存储的数据感测为置位数据。

[0035] 图3示出了例示根据本公开的实施方式的在半导体存储器装置100的读取操作期间发生的尖峰电流量的示例表示的曲线图。在曲线图中,x轴表示时间,并且y轴表示电流。实线表示在根据本教导的实施方式的半导体存储器装置100的读取操作期间发生的尖峰电流,并且虚线表示在一般的半导体存储器装置的读取操作期间发生的尖峰电流。在将感测放大器和全局字线彼此联接的半导体存储器装置中,在读取操作期间保持字线选择信号的电压电平并且预定量的电流Ihold流过全局字线。如图1中所例示,当全局字线GWL和第一字线WL1被预充电到第二电源电压VRD2的电平时,半导体存储器装置100可以通过改变提供给行选择电路130的字线选择信号WLS的电压电平,来减小行选择电路130的导电性和/或全局字线GWL与第一字线WL1之间的导电性。此外,半导体存储器装置100可以仅允许潜行电流Isneak流过全局字线GWL和第一字线WL1。因此,可以急剧减少从第一字线WL1流到全局字线GWL的电流。当存储器单元被提供有高于阈值电压的电压时,可以发生存储器单元的快反向并且可以发生尖峰电流。半导体存储器装置100可以通过改变字线选择信号WLS的电压电平并允许潜行电流流过字线WL,来减少在存储器单元导通时发生的尖峰电流的量。随着字线选择信号WLS的电压电平降低的越多,尖峰电流的量可以减少的越多。因此,可以降低半导体存储器装置100的读取操作期间的功耗。

[0036] 图4示出了例示根据本公开的实施方式的半导体存储器装置400的配置的立体图。参照图4,半导体存储器装置400可以包括多条位线、多条字线和多条感测线。图4例示了四条位线、四条字线和三条感测线,本公开的实施方式不限于此。第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4可以沿第一方向(例如,X方向)延伸,并且可以沿第二方向(例如,Y方向)顺序地设置。第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4可以在第三方向(例如,Z方向)上设置在第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4下方。第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4可以沿第二方向(即,Y方向)延伸,并且可以沿第一方向(即,X方向)顺序地设置。多个存储器单元MC可以分别在第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4与第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4之间的交叉点处联接在第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4与第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4之间。

[0037] 第一感测线SL1、第二感测线SL2和第三感测线SL3可以在第三方向(即,Z方向)上

设置在第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4下方。第一感测线SL1、第二感测线SL2和第三感测线SL3可以与第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4相邻设置,使得第一感测线SL1、第二感测线SL2和第三感测线SL3分别与第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4一起形成电容器C。第一感测线SL1、第二感测线SL2和第三感测线SL3可以沿与第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4的延伸方向基本平行并且与第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4的延伸方向基本垂直的方向延伸。第一感测线SL1、第二感测线SL2和第三感测线SL3可以沿第一方向(即,X方向)延伸,并且可以沿第二方向(即,Y方向)顺序地设置,这类似于第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4。第一感测线SL1、第二感测线SL2和第三感测线SL3的数量可以小于半导体存储器装置400中包括的第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4的数量。根据其它实施方式,感测线的数量可以小于位线的数量,其中感测线的数量和位线的数量分别不限于三条和四条。第一感测线SL1、第二感测线SL2和第三感测线SL3可以实现为与第一位线BL1、第二位线BL2、第三位线BL3和第四位线BL4以及第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4的金属具有不同特性的感测金属。

[0038] 第一感测线SL1、第二感测线SL2和第三感测线SL3可以与第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4一起形成电容器C。当第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4中的一个的电压电平改变时,第一感测线SL1、第二感测线SL2和第三感测线SL3的电压电平也可以通过电容器C改变。

[0039] 半导体存储器装置400可以包括感测放大器460和感测开关470。感测开关470可以基于感测使能信号SEN将第一感测线SL1、第二感测线SL2和第三感测线SL3联接到感测放大器460。感测放大器460可以通过检测第一感测线SL1、第二感测线SL2和第三感测线SL3中的一条的电压电平变化来生成输出信号OUT。感测放大器460可以接收读取参考电压VREF,诸如用于图1中所例示的感测放大器160。感测放大器460可以通过将读取参考电压VREF与第一感测线SL1、第二感测线SL2和第三感测线SL3的电压电平进行比较来生成输出信号OUT。

[0040] 图5示出了例示根据一些实施方式的包括半导体存储器装置的存储卡系统4100的图。参照图5,存储卡系统4100可以包括控制器4110、存储器4120和接口构件4130。控制器4110和存储器4120可以被配置为交换命令和/或数据。例如,存储器4120可以用于存储控制器4110所要执行的命令和/或用户数据。

[0041] 存储卡系统4100可以将数据存储在存储器4120中或者将数据从存储器4120输出到存储卡系统4100外部的设备。存储器4120可以包括根据本教导的至少一个半导体存储器装置,诸如图1的半导体存储器装置100和/或图4的半导体存储器装置400。

[0042] 接口构件4130可以控制从/向存储卡系统4100外部的设备输入/输出数据。存储卡系统4100可以是但不限于多媒体卡(MMC)、安全数字卡(SD)或便携式数据储存设备。

[0043] 图6示出了有助于说明根据一些实施方式的包括半导体存储器装置的电子装置4200的框图。参照图6,电子装置4200可以包括处理器4210、存储器4220和输入/输出设备4230。处理器4210,存储器4220和输入/输出设备4230可以通过总线4246联接。

[0044] 存储器4220可以从处理器4210接收控制信号。存储器4220可以存储用于处理器4210的操作的代码和数据。存储器4220可以用于存储要通过总线4246访问的数据。存储器4220可以包括分别在图1和图4中示出的半导体存储器装置100和400中的至少一个。为了实

现不同的实施方式以及这些实施方式的不同变型,可以提供附加的电路和控制信号。

[0045] 电子装置4200可以构成使用存储器4220的各种电子控制装置。例如,电子装置4200可以用在计算机系统、无线通信设备(例如PDA、膝上型计算机、笔记本计算机、网络平板、无线电话、便携式电话、数字音乐播放器、MP3播放器、导航仪、固态硬盘(SSD)、家用电器、或能够在无线环境下发送和接收信息的附加设备)中。

[0046] 下面参照图7和图8对电子装置4200的详细实现和变型例进行描述。

[0047] 图7示出了例示根据一些实施方式的包括半导体存储器装置的数据储存设备的框图。参照图7,可以提供诸如固态硬盘(SSD)4311之类的数据储存设备。固态硬盘(SSD)4311可以包括接口4313、控制器4315、非易失性存储器4318和缓冲存储器4319。

[0048] 固态硬盘4311是通过使用半导体器件来存储信息的设备。与硬盘驱动器(HDD)相比,固态硬盘4311提供的优点在于其速度快,另外,机械延迟、故障率、发热和噪声产生减少,并且可以实现小型化和轻量化。固态硬盘4311可以用在笔记本PC、网络本、台式PC、MP3播放器或便携式储存设备中。

[0049] 控制器4315可以位于接口4313附近并且电联接到接口4313。控制器4315可以是包括存储器控制器和缓冲控制器的微处理器。非易失性存储器4318可以位于控制器4315附近并且经由连接端子T电联接到控制器4315。固态硬盘4311的数据储存容量可以对应于非易失性存储器4318。缓冲存储器4319可以位于控制器4315附近并且电联接到控制器4315。每个非易失性存储器4318可以包括根据本教导的至少一个半导体存储器装置,诸如图1的半导体存储器装置100和/或图4的半导体存储器装置400。

[0050] 接口4313可以联接到主机4302并发送和接收电信号,诸如数据信号。例如,接口4313可以是使用与SATA、IDE、SCSI和/或其组合相同的协议的设备。非易失性存储器4318可以经由控制器4315联接到接口4313。

[0051] 非易失性存储器4318可以存储通过接口4313接收的数据。非易失性存储器4318可以具有即使切断对固态硬盘4311的供电也保持其内所存储的数据的特性。

[0052] 缓冲存储器4319可以包括易失性存储器或非易失性存储器。易失性存储器可以是DRAM和/或SRAM。非易失性存储器可以包括根据本教导的至少一个半导体存储器装置,诸如图1的半导体存储器装置100和/或图4的半导体存储器装置400。

[0053] 与非易失性存储器4318的操作速度相比,接口4313的数据处理速度可以相对更快。缓冲存储器4319可以临时存储数据。通过接口4313接收的数据可以经由控制器4315临时存储在缓冲存储器4319中,然后,可以遵照非易失性存储器4318的数据记录速度永久存储在非易失性存储器4318中。

[0054] 非易失性存储器4318中所存储的数据当中频繁使用的数据可以被预先读取并临时存储在缓冲存储器4319中。即,缓冲存储器4319可以增加固态硬盘4311的有效操作速度并降低固态硬盘4311的错误发生率。

[0055] 图8示出了例示根据一些实施方式的包括半导体存储器装置的电子系统4400的框图。参照图8,电子系统4400可以包括主体4410、微处理器单元4420、电源单元4430、功能单元4440和显示控制器单元4450。

[0056] 主体4410可以是由印刷电路板(PCB)形成的主板。微处理器单元4420、电源单元4430、功能单元4440和显示控制器单元4450可以安装到主体4410。显示单元4460可以设置

在主体4410内部或主体4410外部。例如,显示单元4460可以设置在主体4410的表面上并显示由显示控制器单元4450处理的图像。

[0057] 电源单元4430可以从外部电池等接收电压,将电压划分成所需的电压电平,并将分压后的电压供应给微处理器单元4420、功能单元4440、显示控制器单元4450等。微处理器单元4420可以从电源单元4430接收电压并控制功能单元4440和显示单元4460。功能单元4440可以执行电子系统4400的各种功能。例如,在电子系统4400是便携式电话的情况下,功能单元4440可以包括能够执行便携式电话的功能(诸如拨号、通过与外部设备4470的通信向显示单元4460输出图像、向扬声器输出语音,等)的各种组件元件。在将相机集成到电子系统4400中的情况下,功能单元4440还可以起到相机图像处理器的作用。

[0058] 在电子系统4400与存储卡等联接以扩展容量的情况下,功能单元4440可以是存储卡控制器。功能单元4440可以通过有线或无线通信单元4480与外部设备4470交换信号。在电子系统4400需要USB等来扩展功能的情况下,功能单元4440可以起到接口控制器的作用。根据上述实施方式的图1的半导体存储器装置100和/或图4的半导体存储器装置400可以应用为微处理器单元4420和功能单元4440中的至少任意一个。

[0059] 虽然上面已经描述了特定实施方式,但是本领域技术人员将理解,所描述的实施方式仅表示有限数量的可能实施方式。因此,不应基于所描述的实施方式限制非易失性存储器装置、包括非易失性存储器装置的半导体系统及其操作方法。相反,本文描述的非易失性存储器装置、包括非易失性存储器装置的半导体系统及其操作方法应当仅根据结合以上描述和附图的所附权利要求进行限制。

[0060] 相关申请的交叉引用

[0061] 本申请要求于2018年8月17日在韩国知识产权局提交的韩国申请号10-2018-0095876的优先权,该申请通过引用整体并入本文中。

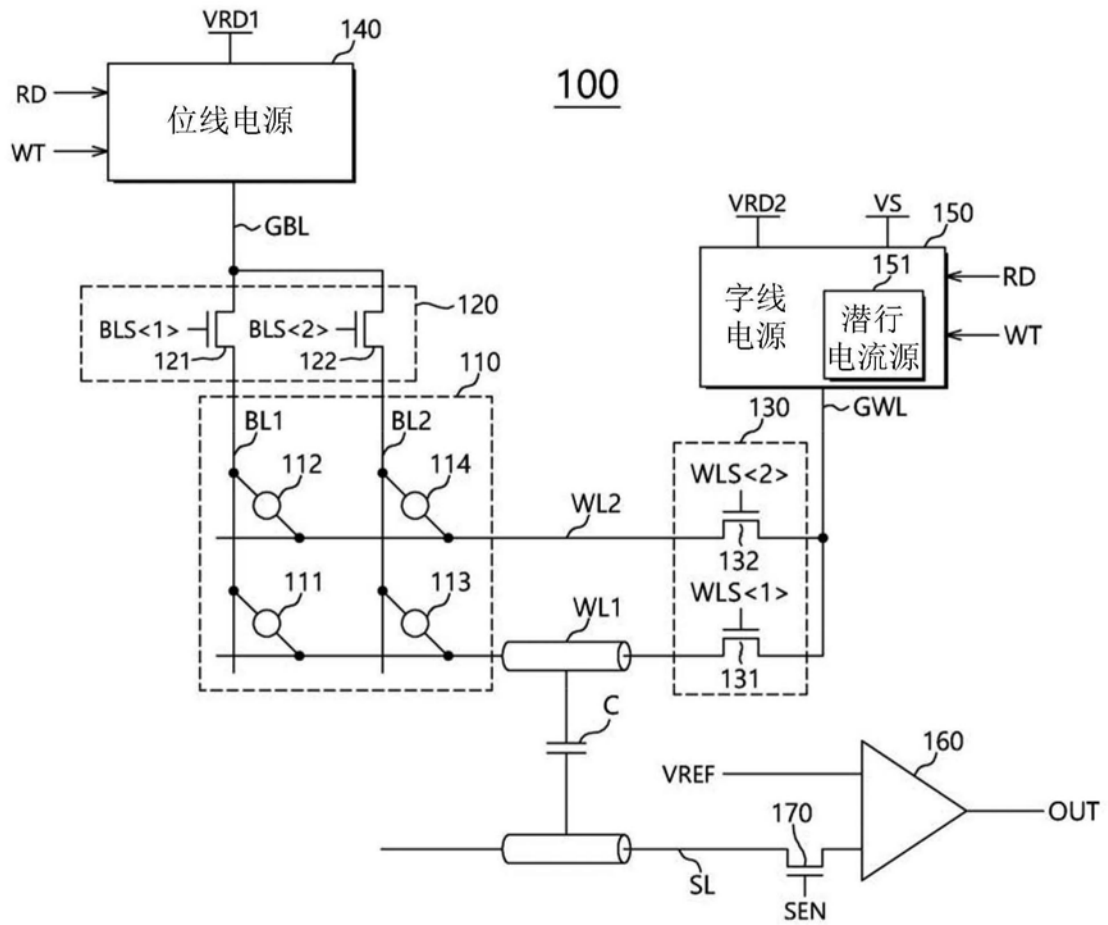


图1

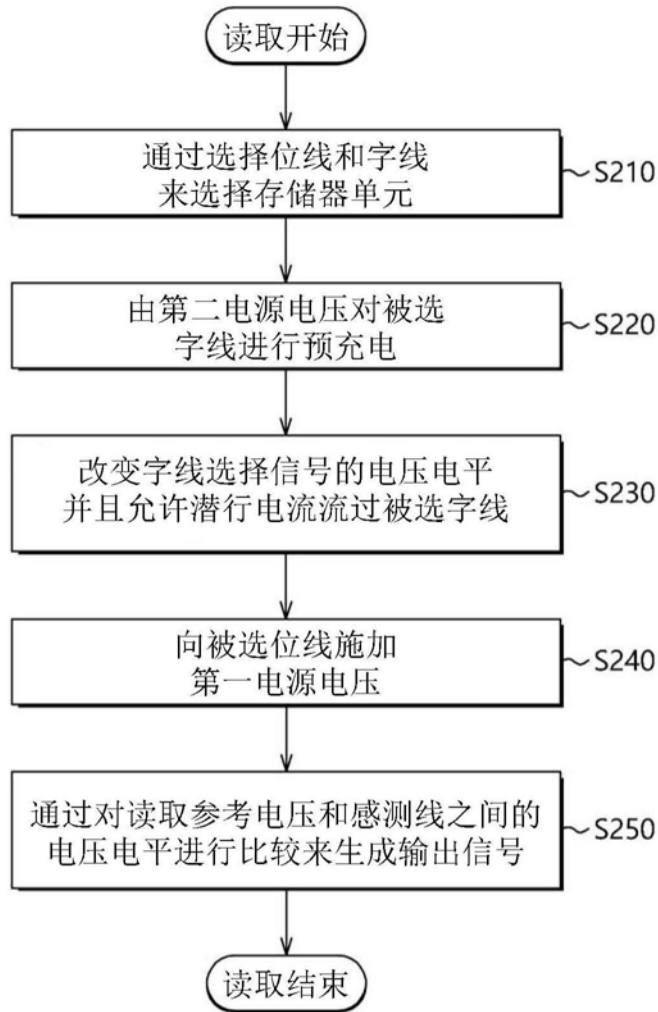


图2

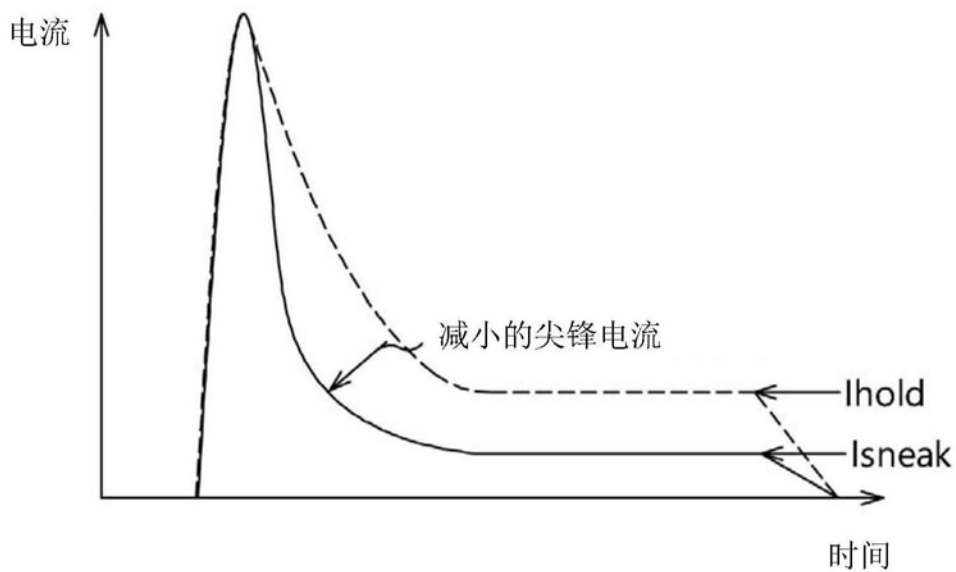


图3

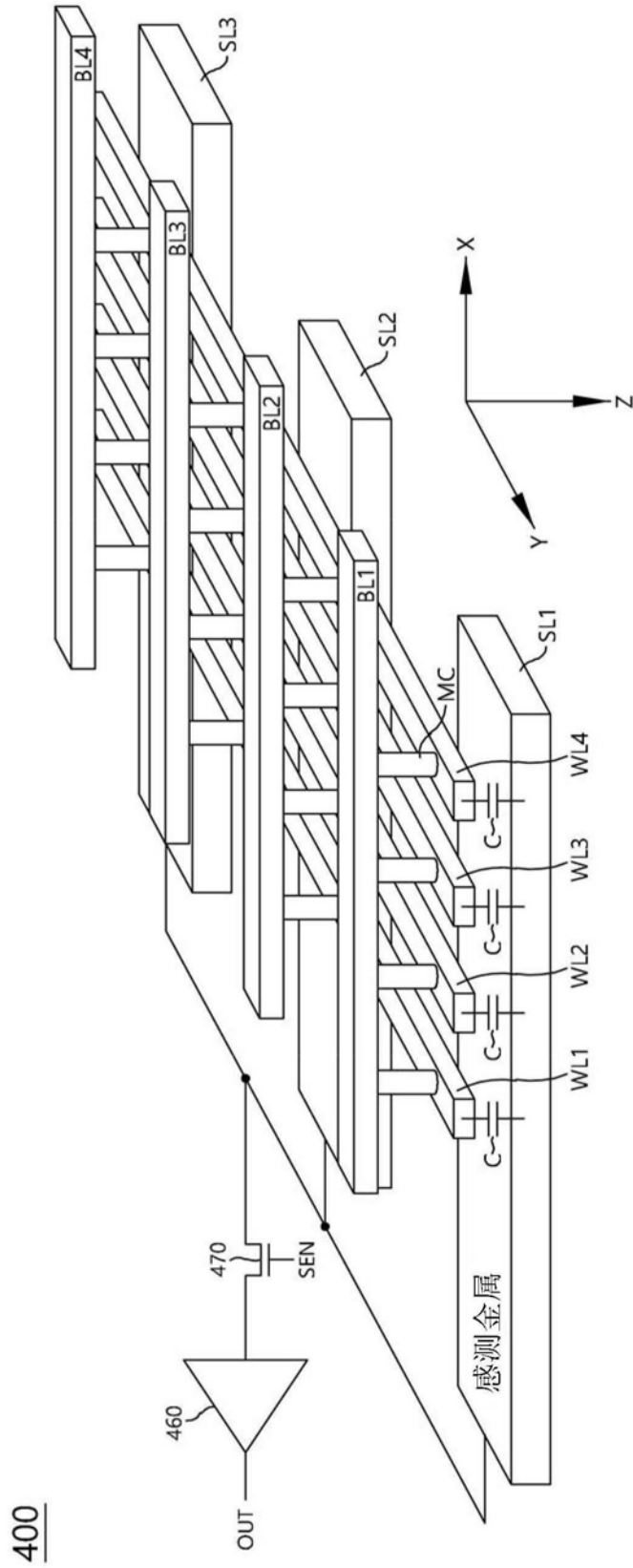


图4

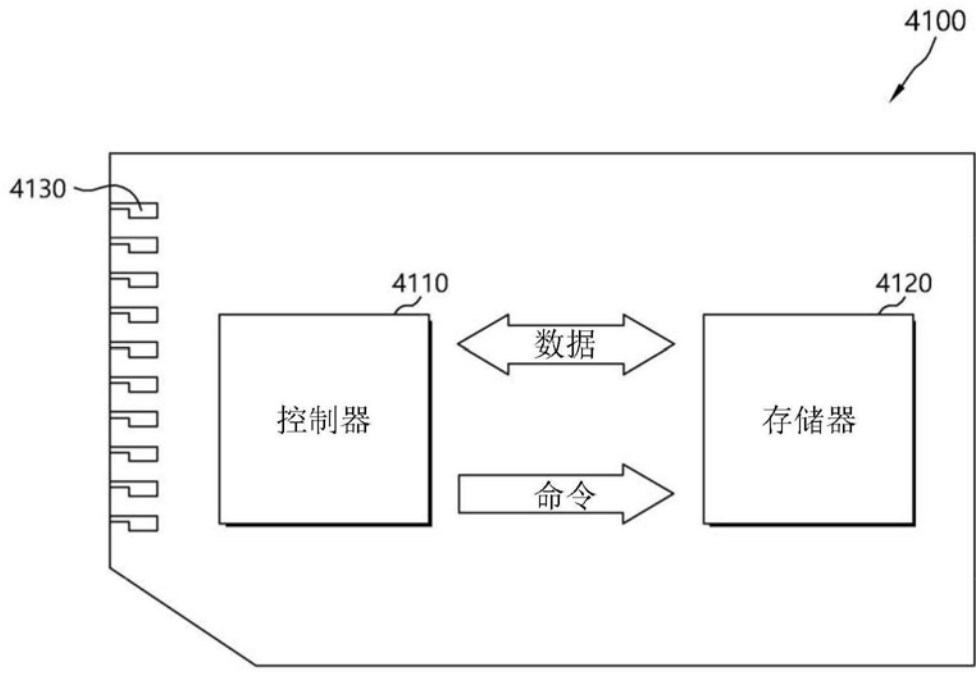


图5

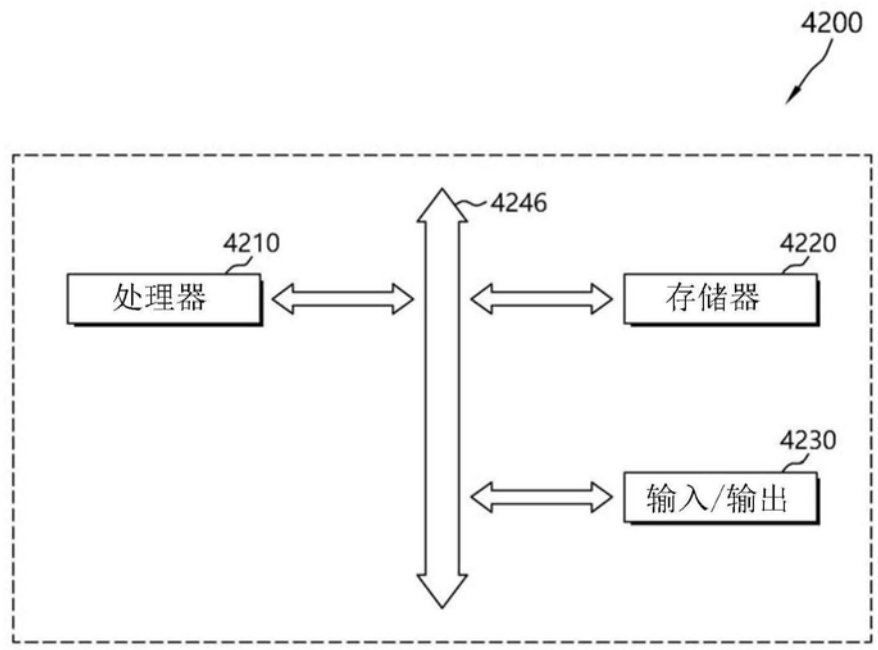


图6

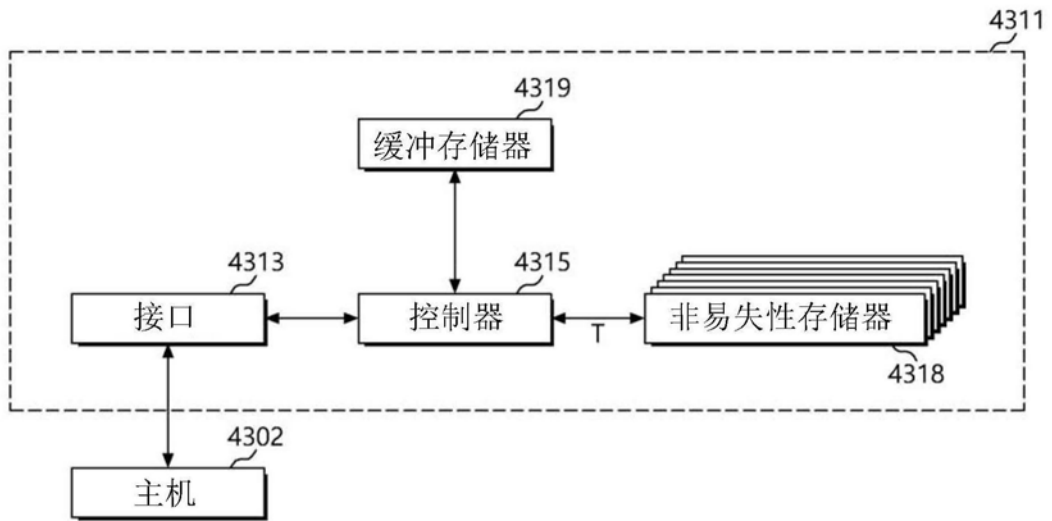


图7

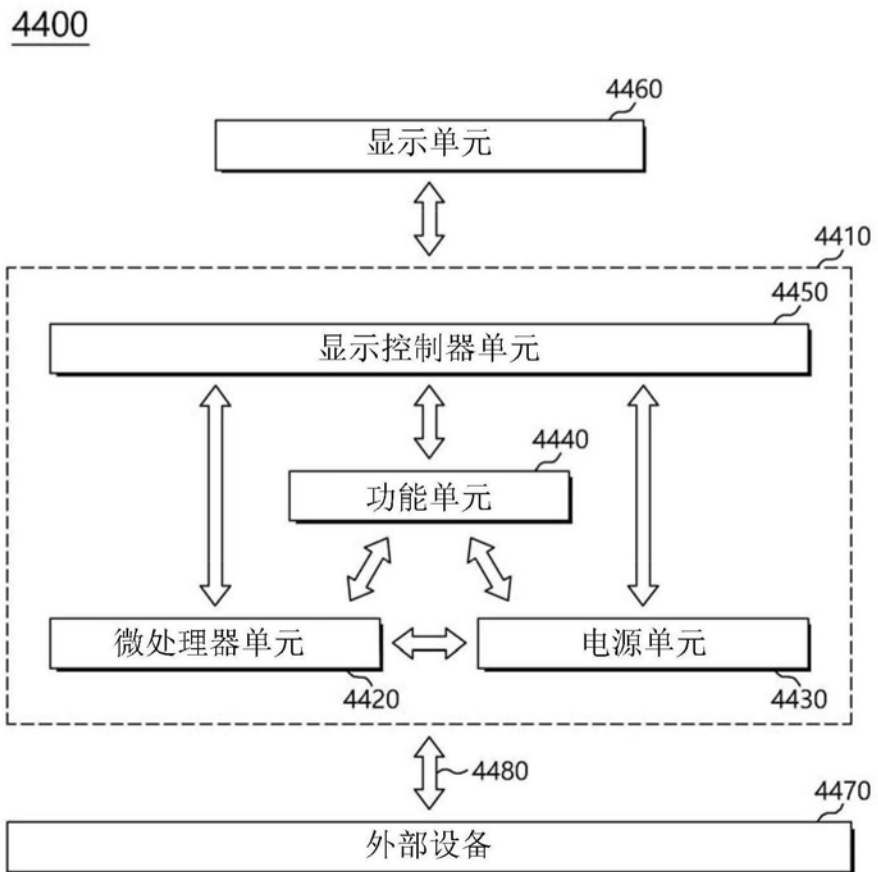


图8