

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年4月20日(20.04.2017)



(10) 国際公開番号

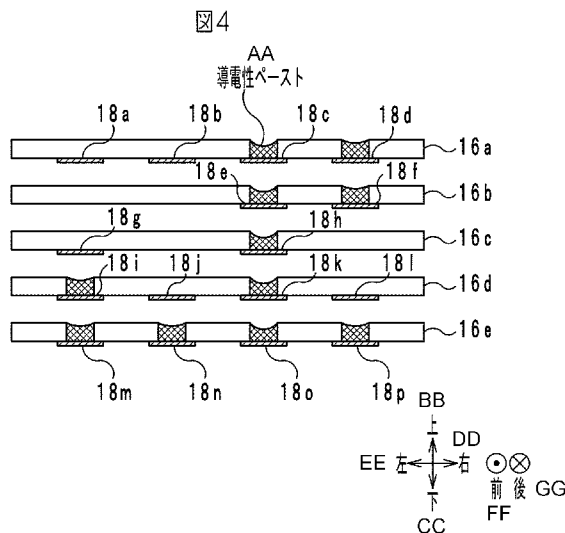
WO 2017/065012 A1

- (51) 国際特許分類:
H05K 3/40 (2006.01) H05K 3/46 (2006.01)
H05K 1/11 (2006.01)
- (21) 国際出願番号: PCT/JP2016/078760
- (22) 国際出願日: 2016年9月29日(29.09.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-201687 2015年10月13日(13.10.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 池野 圭亮(IKENO, Keisuke); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 藤井 洋隆(FUJII, Hirotaka); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: アセンド特許業務法人(ASCEND IP LAW FIRM); 〒5300003 大阪府大阪市北区堂島一丁目5番17号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: MULTILAYER SUBSTRATE AND MULTILAYER SUBSTRATE PRODUCTION METHOD

(54) 発明の名称: 多層基板及び多層基板の製造方法



AA Conductive paste
BB Up
CC Down
DD Right
EE Left
FF Front
GG Rear

(57) Abstract: Provided is a multilayer substrate wherein degeneration of the flatness of a main surface can be suppressed. Also provided is a multilayer substrate production method. This multilayer substrate production method is characterized by comprising: a through hole formation step wherein through holes are formed in an insulator layer at locations at which via-hole conductors are formed; and a paste application step wherein a conductive paste is applied to the through holes. The multilayer substrate production method is also characterized in that, when the location at which the most via hole conductors are located is a first location, when the via hole conductors located at the first location are first via hole conductors, when the location at which the fewest via hole conductors are located is a second location, and when the via hole conductors located at the second location are second via hole conductors, the conductive paste is applied such that the ratio of the volume of the conductive paste applied to through holes that correspond to the first via hole conductors to the volume of the through holes is smaller than the ratio of the volume of the conductive paste applied to through holes that correspond to the second via hole conductors to the volume of the through holes.

(57) 要約:

[続葉有]

WO 2017/065012 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

主面の平坦性の悪化を抑制できる多層基板及び多層基板の製造方法を提供する。本発明に係る多層基板の製造方法は、絶縁体層に対してビアホール導体が形成される位置に貫通孔を形成する貫通孔形成工程と、貫通孔に対して導電性ペーストを付与するペースト付与工程と、を備えており、最も多くのビアホール導体が位置している位置を第 1 の位置とし、第 1 の位置に位置するビアホール導体を第 1 のビアホール導体とし、最も少ないビアホール導体が位置している位置を第 2 の位置とし、第 2 の位置に位置するビアホール導体を第 2 のビアホール導体とし、第 1 のビアホール導体に対応する貫通孔に付与される導電性ペーストの体積の貫通孔の体積に対する割合が、第 2 のビアホール導体に対応する貫通孔に付与される導電性ペーストの体積の貫通孔の体積に対する割合よりも低くなるように、導電性ペーストを付与すること、を特徴とする。

明 細 書

発明の名称：多層基板及び多層基板の製造方法

技術分野

[0001] 本発明は、絶縁体層が積層されて構成された多層基板及び多層基板の製造方法に関する。

背景技術

[0002] 従来の多層基板に関する発明としては、例えば、特許文献１に記載の有機多層基板が知られている。図１４は、特許文献１に記載の有機多層基板５００の断面構造図である。

[0003] 有機多層基板５００は、積層体５０２及び複数のビアホール５０４を備えている。積層体５０２は、複数の樹脂シート層５０６が積層されて構成されている。複数のビアホール５０４は、樹脂シート層５０６を上下方向に貫通している。また、有機多層基板５００では、図１４の楕円で囲んだ部分のように、多くのビアホール５０４が一つに繋がって上下に重なっている。

[0004] ところで、特許文献１に記載の有機多層基板５００では、多くのビアホール５０４が上下方向に重なっている部分において、主面の平坦性が悪化しやすい。より詳細には、有機多層基板５００を形成する際には、樹脂シート層５０６に貫通孔を形成し、該貫通孔に導電性ペーストを充填する。そして、樹脂シート層５０６を積層・圧着することにより、有機多層基板５００を得る。

[0005] ビアホール５０４は、他のビアホール５０４や導体層と接続される。ビアホール５０４と他のビアホール５０４又は導体層とが確実に接続されるように、貫通孔には多めに導電性ペーストが充填される。従って、図１４の楕円で囲んだ部分のように、多くのビアホール５０４が上下方向に重なっている部分における積層体５０２の厚みは、残余の部分の積層体５０２の厚みよりも大きくなってしまう。その結果、有機多層基板５００では、図１４の拡大図のように、多くのビアホール５０４が重なっている部分において、主面が

突出することによって主面の平坦性が悪化しやすい。主面の平坦性が悪化すると、例えば、有機多層基板５００に電子部品を実装したり、有機多層基板５００をマザー基板に実装したりする際に、実装不良が起こる可能性がある。

先行技術文献

特許文献

[0006] 特許文献１：特開２０１２－８９５６８号公報

発明の概要

発明が解決しようとする課題

[0007] そこで、本発明の目的は、主面の平坦性の悪化を抑制できる多層基板及び多層基板の製造方法を提供することである。

課題を解決するための手段

[0008] 本発明の一形態に係る多層基板の製造方法は、複数の絶縁体層に対して複数のビアホール導体が形成される位置に複数の貫通孔を形成する貫通孔形成工程と、前記複数の貫通孔に対して導電性ペーストを付与するペースト付与工程と、前記複数の絶縁体層を積層方向に積層し圧着する積層圧着工程と、を備えており、前記積層方向から見たときに、最も多くの前記ビアホール導体が位置している位置を第１の位置とし、該第１の位置に位置する前記ビアホール導体を第１のビアホール導体とし、前記積層方向から見たときに、最も少ない前記ビアホール導体が位置している位置を第２の位置とし、該第２の位置に位置する前記ビアホール導体を第２のビアホール導体とし、前記ペースト付与工程において、前記第１のビアホール導体に対応する前記貫通孔に付与される導電性ペーストの体積の該貫通孔の体積に対する割合が、前記第２のビアホール導体に対応する前記貫通孔に付与される導電性ペーストの体積の該貫通孔の体積に対する割合よりも低くなるように、前記複数の貫通孔に前記導電性ペーストを付与すること、を特徴とする。

[0009] 本発明の一形態に係る多層基板は、複数の絶縁体層が積層方向に積層され

て構成されている多層基板本体と、前記複数の絶縁体層を積層方向に貫通する複数のビアホール導体と、を備えており、前記積層方向から見たときに、最も多くの前記ビアホール導体が位置している位置を第１の位置とし、該第１の位置に位置する前記ビアホール導体を第１のビアホール導体とし、前記積層方向から見たときに、最も少ない前記ビアホール導体が位置している位置を第２の位置とし、該第２の位置に位置する前記ビアホール導体を第２のビアホール導体とし、前記第１のビアホール導体の径は、前記第２のビアホール導体の径よりも大きいこと、を特徴とする。

発明の効果

[0010] 本発明によれば、主面の平坦性の悪化を抑制できる。

図面の簡単な説明

[0011] [図1]本発明の一実施形態に係る多層基板１０aの断面構造図である。

[図2]多層基板１０aの製造時の断面構造図である。

[図3]多層基板１０aの製造時の断面構造図である。

[図4]多層基板１０aの製造時の断面構造図である。

[図5]多層基板１０aの製造時の断面構造図である。

[図6]導電性ペーストが多く付与された場合の多層基板１０aの製造時の断面構造図である。

[図7]本発明の第１の変形例に係る多層基板１０bの断面構造図である。

[図8]多層基板１０bの製造時の断面構造図である。

[図9]多層基板１０bの製造時の断面構造図である。

[図10]多層基板１０bの製造時の断面構造図である。

[図11]多層基板１０bの製造時の断面構造図である。

[図12]本発明の第２の変形例に係る多層基板１０cの断面構造図である。

[図13]本発明の第３の変形例に係る多層基板１０dの断面構造図である。

[図14]特許文献１に記載の有機多層基板５００の断面構造図である。

発明を実施するための形態

[0012] (実施形態)

＜多層基板の構成＞

以下に、本発明の一実施形態に係る多層基板 10a の構成について図面を参照しながら説明する。図 1 は、本発明の一実施形態に係る多層基板 10a の断面構造図である。以下では、多層基板 10a の積層方向を上下方向（素体の主面の法線方向の一例）と定義する。また、図 1 の紙面の左右方向を左右方向と定義し、図 1 の紙面の前後方向を前後方向と定義する。上下方向、左右方向及び前後方向は互いに直交している。

[0013] 多層基板 10a は、例えば、携帯電話等の電子機器内に設けられ、表面及び裏面を有する長形状の板状をなすフレキシブル基板である。多層基板 10a は、図 1 に示すように、多層基板本体 12、配線導体層 18a～18p 及びビアホール導体 v1～v11 を備えている。

[0014] 多層基板本体 12 は、長形状の板状をなしており、図 1 に示すように、絶縁体シート 16a～16e（複数の絶縁体層の一例）が上側から下側へとこの順に積層されて構成されている。以下では、多層基板本体 12 の上側の主面を表面と称し、多層基板本体 12 の下側の主面を裏面と称す。

[0015] 絶縁体シート 16a～16e は、上側から見たときに、長形状をなしており、多層基板本体 12 と同じ形状をなしている。絶縁体シート 16a～16e は、ポリイミドや液晶ポリマ等の可撓性を有する熱可塑性樹脂により作製されている絶縁体層である。その他の熱可塑性樹脂の例としては、ポリエーテルエーテルケトン、ポリイミド、ポリエーテルイミド、ポリフェニレンスルファイド等が挙げられる。以下では、絶縁体シート 16a～16e の上側の主面を表面と称し、絶縁体シート 16a～16e の下側の主面を裏面と称す。

[0016] 配線導体層 18a～18d は、絶縁体シート 16a の表面に設けられており、左側から右側へとこの順に並んでいる。配線導体層 18e, 18f は、絶縁体シート 16b の裏面に設けられており、左側から右側へとこの順に並んでいる。配線導体層 18g, 18h は、絶縁体シート 16c の裏面に設けられており、左側から右側へとこの順に並んでいる。配線導体層 18i～1

8 l は、絶縁体シート 16 d の裏面に設けられており、左側から右側へとの順に並んでいる。配線導体層 18 m ~ 18 p は、絶縁体シート 16 e の裏面に設けられており、左側から右側へとの順に並んでいる。

[0017] 配線導体層 18 a, 18 g, 18 i, 18 m は、上側から見たときに、重なっている部分を有する。配線導体層 18 b, 18 j, 18 n は、上側から見たときに、重なっている部分を有する。配線導体層 18 c, 18 e, 18 h, 18 k, 18 o は、上側から見たときに、重なっている部分を有する。配線導体層 18 d, 18 f, 18 l, 18 p は、上側から見たときに、重なっている部分を有する。

[0018] 配線導体層 18 a ~ 18 d は、外部電極として機能する。具体的には、多層基板 10 a の表面上には電子部品が実装される。この際、電子部品の外部電極と多層基板 10 a の配線導体層 18 a ~ 18 d とがはんだにより接合される。

[0019] 配線導体層 18 m ~ 18 p は、外部電極として機能する。具体的には、多層基板 10 a はマザー基板に実装される。この際、マザー基板の外部電極と多層基板 10 a の配線導体層 18 m ~ 18 p とがはんだにより接合される。

[0020] 以上のような配線導体層 18 a ~ 18 p は、銅箔等の金属箔により構成されている。

[0021] ビアホール導体 v 1, v 2 は、絶縁体シート 16 a を上下方向に貫通しており、左側から右側へとの順に並んでいる。ビアホール導体 v 3, v 4 は、絶縁体シート 16 b を上下方向に貫通しており、左側から右側へとの順に並んでいる。ビアホール導体 v 5 は、絶縁体シート 16 c を上下方向に貫通している。ビアホール導体 v 6, v 7 は、絶縁体シート 16 d を上下方向に貫通しており、左側から右側へとの順に並んでいる。ビアホール導体 v 8 ~ v 11 は、絶縁体シート 16 e を上下方向に貫通しており、左側から右側へとの順に並んでいる。

[0022] ビアホール導体 v 6, v 8 は、一つに繋がっており、配線導体層 18 g, 18 i, 18 m を接続している。ビアホール導体 v 9 は、配線導体層 18 j

、18nを接続している。ビアホール導体v1、v3、v5、v7、v10は、一つに繋がっており、配線導体層18c、18e、18h、18k、18oを接続している。ビアホール導体v2、v4は、一つに繋がっており、配線導体層18d、18fを接続している。ビアホール導体v11は、配線導体層18l、18pを接続している。

[0023] また、上側から見たときに、ビアホール導体v6、v8が位置している位置を位置Paと定義する。上側から見たときに、ビアホール導体v9が位置している位置を位置Pbと定義する。上側から見たときに、ビアホール導体v1、v3、v5、v7、v10が位置している位置を位置Pcと定義する。上側から見たときに、ビアホール導体v2、v4、v11が位置している位置を位置Pdと定義する。

[0024] 以上のようなビアホール導体v1～v11は、例えば、Cu-Sn系の導電性ペーストが焼結されることにより形成される。

[0025] <多層基板の製造方法>

以下に、多層基板10aの製造方法について図面を参照しながら説明する。図2ないし図5は、多層基板10aの製造時の断面構造図である。図6は、導電性ペーストが多く付与された場合の多層基板10aの製造時の断面構造図である。以下では、一つの多層基板10aが作製される場合を例にとって説明するが、実際には、大判の絶縁体シートが積層及びカットされることにより、同時に複数の多層基板10aが作製される。

[0026] まず、液晶ポリマ等の熱可塑性樹脂により作製された絶縁体シート16a～16eを準備する。次に、絶縁体シート16a～16eの一方の主面の全面に銅箔を形成する。具体的には、絶縁体シート16a～16eの裏面に銅箔を張り付ける。更に、絶縁体シート16a～16eの銅箔の表面に、例えば、防錆のための亜鉛鍍金を施して、平滑化する。なお、銅箔以外の金属箔が用いられてもよい。

[0027] 次に、絶縁体シート16aの裏面上に形成された銅箔をパターンニングすることにより、図2に示すように、配線導体層18a～18dを絶縁体シート

16aの裏面上に形成する。具体的には、絶縁体シート16aの裏面の銅箔上に、図2に示す配線導体層18a～18dと同じ形状のレジストを印刷する。そして、銅箔に対してエッチング処理を施すことにより、レジストにより覆われていない部分の銅箔を除去する。その後、洗浄液（レジスト除去液）を吹き付けてレジストを除去する。これにより、図2に示すような、配線導体層18a～18dが絶縁体シート16aの裏面上にフォトリソグラフィ工程により形成される。

[0028] 次に、図2に示すように、配線導体層18e～18pを絶縁体シート16b～16eの裏面上にそれぞれ形成する。なお、配線導体層18e～18pの形成工程は、配線導体層18a～18dの形成工程と同じであるので説明を省略する。

[0029] 次に、図3に示すように、絶縁体シート16a～16eに対して複数の貫通孔h1～h11を形成する（貫通孔形成工程）。より詳細には、絶縁体シート16a～16eのビアホール導体v1～v11が形成される位置に、絶縁体シート16a～16eの表面側からレーザービームを照射する。

[0030] 次に、図4に示すように、スクリーン印刷により、複数の貫通孔h1～h11に対して、Cu-Sn系の導電性ペーストを付与する（ペースト付与工程）。以下に、ペースト付与工程についてより詳細に説明する。

[0031] 図1に示すように、上側から見たときに、最も多くのビアホール導体が位置している位置は、位置Pc（第1の位置の一例）である。位置Pcには、5個のビアホール導体v1, v3, v5, v7, v10（第1のビアホール導体の一例）が位置している。また、ビアホール導体v1, v3, v5, v7, v10に対応する貫通孔は、貫通孔h1, h3, h5, h7, h10である。

[0032] また、図1に示すように、上側から見たときに、最も少ないビアホール導体が位置している位置は、位置Pb（第2の位置の一例）である。位置Pbには、1個のビアホール導体v9（第2のビアホール導体の一例）が位置している。また、ビアホール導体v9に対応する貫通孔は、貫通孔h9である。

。

[0033] ペースト付与工程では、図4に示すように、貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} に付与される導電性ペーストの体積の貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} の体積に対する割合が、貫通孔 h_9 , h_{11} に付与される導電性ペーストの体積の貫通孔 h_9 , h_{11} の体積に対する割合よりも低くなるように、貫通孔 $h_1 \sim h_{11}$ に導電性ペーストを付与する。以下では、説明の簡素化のために、例えば、貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} に付与される導電性ペーストの体積の貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} の体積に対する割合を、貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} の付与率と定義する。本実施形態では、貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} の付与率は、残余の貫通孔 h_2 , h_4 , h_6 , h_8 , h_9 , h_{11} の付与率よりも低い。

[0034] ここで、貫通孔の体積、及び、貫通孔に付与される導電性ペーストの体積について説明する。貫通孔の体積とは、図3に示すように、貫通孔の内周面 S_a 、絶縁体シートの表面を貫通孔まで伸ばした仮想面 S_b 、及び、絶縁体シートの裏面を貫通孔まで伸ばした仮想面 S_c により囲まれた空間の体積である。導電性ペーストの体積とは、貫通孔内に充填されている導電ペーストの体積である。ただし、図6に示すように、導電性ペーストが貫通孔から上側にはみ出す場合がある。このような場合には、導電性ペーストの体積は、貫通孔内に充填されている導電ペーストの体積及び貫通孔から上側にはみ出している導電性ペーストの体積の合計である。

[0035] 前記のように、貫通孔の付与率を変化させることは、印刷条件を調整することによって実現可能である。印刷条件の調整例としては、例えば、貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} に導電ペーストを付与する回数を残余の貫通孔 h_2 , h_4 , h_6 , h_8 , h_9 , h_{11} に導電性ペーストを付与する回数よりも多くする等が挙げられる。また、導電性ペーストを塗布する際にスキージとスクリーン板との角度を調整することによっても、貫通孔の付与率を調整できる。具体的には、スキージとスクリーン板との角度が大きくなる

と、貫通孔の付与率が小さくなる。また、導電性ペーストを塗布する際のスキージの移動速度を調整することによっても、貫通孔の付与率を調整できる。具体的には、スキージの移動速度が大きくなれば、貫通孔の付与率が小さくなる。

[0036] 次に、図5に示すように、絶縁体シート16aの表裏を反転させる。

[0037] 次に、図1に示すように、絶縁体シート16a～16eを積層し圧着する（積層圧着工程）。具体的には、図5に示すように、絶縁体シート16a～16eを積層した後、絶縁体シート16a～16eに対して加圧処理及び加熱処理（すなわち、熱圧着）を施す。加圧処理は、上下方向から絶縁体シート16a～16eを挟むことにより行う。絶縁体シート16a～16eに対して加圧処理及び加熱処理が施されることにより、絶縁体シート16a～16eが軟化すると共に、貫通孔内の導電性ペーストが固化する。これにより、絶縁体シート16a～16eが接合されると共に、ビアホール導体v1～v11が形成される。

[0038] 次に、必要に応じて、樹脂（レジスト）ペーストをスクリーン印刷により塗布することにより、絶縁体シート16aの表面上に保護層を形成する。以上の工程を経て、多層基板10aが完成する。

[0039] <効果>

本実施形態に係る多層基板10aの製造方法によれば、表面及び裏面の平坦性の悪化を抑制できる。より詳細には、多層基板10aにおいて、上側から見たときに、最も多くのビアホール導体が位置している位置は、位置Pcである。位置Pcの上側及び下側において、多層基板10aの表面及び裏面が突出する可能性がある。一方、上側から見たときに、最も少ないビアホール導体が位置している位置は、位置Pbである。そのため、位置Pbの上側及び下側において、多層基板10aの表面及び裏面が突出する可能性は低い。

[0040] そこで、多層基板10aでは、ペースト付与工程において、貫通孔h1, h3, h5, h7, h10の付与率が、貫通孔h9の付与率よりも低くなる

ように、貫通孔 $h_1 \sim h_{11}$ に導電性ペーストを付与する。貫通孔 $h_1, h_3, h_5, h_7, h_{10}$ は、最も多くのビアホール導体が位置している位置 P_c に位置するビアホール導体 $v_1, v_3, v_5, v_7, v_{10}$ に対応する貫通孔である。貫通孔 h_9 は、最も少ないビアホール導体が位置している位置 P_b に位置するビアホール導体 v_9 に対応する貫通孔である。これにより、貫通孔 $h_1, h_3, h_5, h_7, h_{10}$ の付与率が低くなり、位置 P_c における多層基板本体 12 の厚みが、位置 P_c 以外の部分における多層基板本体 12 の厚みに近づくようになる。その結果、多層基板 $10a$ の製造方法によれば、表面及び裏面の平坦性の悪化を抑制できる。

[0041] また、多層基板 $10a$ では、ペースト付与工程において、貫通孔 $h_1, h_3, h_5, h_7, h_{10}$ の付与率が、残余の貫通孔 $h_2, h_4, h_6, h_8, h_9, h_{11}$ の付与率よりも低くなるように、貫通孔 $h_1 \sim h_{11}$ に導電性ペーストを付与する。これにより、貫通孔 $h_1, h_3, h_5, h_7, h_{10}$ の付与率が更に低くなり、位置 P_c における多層基板本体 12 の厚みが、位置 P_c 以外の部分における多層基板本体 12 の厚みに近づくようになる。その結果、多層基板 $10a$ の製造方法によれば、表面及び裏面の平坦性の悪化をより抑制できる。

[0042] (第1の変形例)

<多層基板の構成>

以下に、本発明の第1の変形例に係る多層基板 $10b$ の構成について図面を参照しながら説明する。図7は、本発明の第1の変形例に係る多層基板 $10b$ の断面構造図である。

[0043] 多層基板 $10b$ は、ビアホール導体 $v_1, v_3, v_5, v_7, v_{10}$ の径において多層基板 $10a$ と相違する。以下、かかる相違点を中心に多層基板 $10b$ について説明する。

[0044] 多層基板 $10a$ では、ビアホール導体 $v_1 \sim v_{11}$ の径は互いに等しい。一方、多層基板 $10b$ では、ビアホール導体 $v_1, v_3, v_5, v_7, v_{10}$ の径は、ビアホール導体 v_9, v_{11} を含むビアホール導体 $v_2, v_4,$

v 6, v 8, v 9, v 11 の径よりも大きい。

[0045] <多層基板の製造方法>

以下に、多層基板 10b の製造方法について図面を参照しながら説明する。
図 8～図 11 は、多層基板 10b の製造時の断面構造図である。

[0046] 多層基板 10b における配線導体層 18a～18p を形成する工程は、図 2 及び図 8 に示すように、多層基板 10a における配線導体層 18a～18p を形成する工程と同じであるので説明を省略する。

[0047] 次に、図 9 に示すように、絶縁体シート 16a～16e に対して複数の貫通孔 h1～h11 を形成する（貫通孔形成工程）。より詳細には、絶縁体シート 16a～16e のビアホール導体 v1～v11 が形成される位置に、絶縁体シート 16a～16e の表面側からレーザービームを照射する。ただし、貫通孔 h1, h3, h5, h7, h10 の径は、貫通孔 h2, h4, h6, h8, h9, h11 の径よりも大きい。そこで、貫通孔 h1, h3, h5, h7, h10 の形成時のレーザービームの径は、貫通孔 h2, h4, h6, h8, h9, h11 の形成時のレーザービームの径よりも大きい。なお、貫通孔 h1, h3, h5, h7, h10 の形成時のレーザービームの照射回数や時間を、貫通孔 h2, h4, h6, h8, h9, h11 の形成時のレーザービームの照射回数や時間より多くしてもよい。

[0048] 次に、図 10 に示すように、スクリーン印刷により、複数の貫通孔 h1～h11 に対して導電性ペーストを付与する（ペースト付与工程）。貫通孔 h1, h3, h5, h7, h10 の径は、貫通孔 h2, h4, h6, h8, h9, h11 の径よりも大きい。そのため、貫通孔 h1～h11 に対して同条件で同時にスクリーン印刷により導電性ペーストを付与すると、貫通孔 h1, h3, h5, h7, h10 において充填される導電性ペーストの量が、貫通孔 h2, h4, h6, h8, h9, h11 において充填される導電性ペーストの量よりも多くなる。その結果、貫通孔 h1, h3, h5, h7, h10 の付与率は、貫通孔 h9, h11 を含む貫通孔 h2, h4, h6, h8, h9, h11 の付与率よりも低くなる。

[0049] 次に、図 11 に示すように、絶縁体シート 16a の表裏を反転させる。

[0050] 多層基板 10b における絶縁体シート 16a～16e を積層し圧着する工程は、図 1 及び図 7 に示すように、多層基板 10a における絶縁体シート 16a～16e を積層し圧着する工程と同じであるので説明を省略する。

[0051] 次に、必要に応じて、樹脂（レジスト）ペーストをスクリーン印刷により塗布することにより、絶縁体シート 16a の表面上に保護層を形成する。以上の工程を経て、多層基板 10b が完成する。

[0052] このようにして得られた多層基板 10b では、貫通孔 h1, h3, h5, h7, h10 の付与率が残余の貫通孔 h2, h4, h6, h8, h9, h11 の付与率よりも低くなる。よって、最も多くビアホール導体が位置している位置 Pc に位置するビアホール導体 v1, v3, v5, v7, v10 に対応する貫通孔 h1, h3, h5, h7, h10 の付与率が、最も少ないビアホール導体が位置している位置 Pb に位置するビアホール導体 v9 に対応する貫通孔 h9 の付与率よりも低くなる。

[0053] <効果>

本実施形態に係る多層基板 10b の製造方法によれば、多層基板 10a の製造方法と同じ作用効果を奏することができる。

[0054] また、多層基板 10b の製造方法では、貫通孔 h1, h3, h5, h7, h10 の径は、貫通孔 h2, h4, h6, h8, h9, h11 の径よりも大きい。これにより、貫通孔 h1, h3, h5, h7, h10 に導電性ペーストを付与する印刷条件と貫通孔 h2, h4, h6, h8, h9, h11 に導電性ペーストを付与する印刷条件とを同じにした場合であっても、貫通孔 h1, h3, h5, h7, h10 の付与率を貫通孔 h2, h4, h6, h8, h9, h11 の付与率よりも低くできる。

[0055] （第 2 の変形例）

<多層基板の構成>

以下に、本発明の第 2 の変形例に係る多層基板 10c の構成について図面を参照しながら説明する。図 12 は、本発明の第 2 の変形例に係る多層基板

10cの断面構造図である。

[0056] 多層基板10cは、ビアホール導体v5が設けられていない点において多層基板10aと相違する。以下、かかる相違点を中心に多層基板10cについて説明する。

[0057] 上側から見たときに、ビアホール導体v6, v8が位置している位置を位置Paと定義する。上側から見たときに、ビアホール導体v9が位置している位置を位置Pbと定義する。上側から見たときに、ビアホール導体v1, v3, v7, v10が位置している位置を位置Pcと定義する。上側から見たときに、ビアホール導体v2, v4, v11が位置している位置を位置Pdと定義する。

[0058] 以上のように、多層基板10aでは、最も多くのビアホール導体が位置している位置Pcでは、ビアホール導体v1, v3, v5, v7, v10が一つに繋がっている。一方、多層基板10cでは、位置Pcでは、ビアホール導体v1, v3が一つに繋がっており、ビアホール導体v7, v10が一つに繋がっている。すなわち、位置Pcに位置する全てのビアホール導体が一つに繋がっていてもよい。すなわち、上側から見たときに、最も多くのビアホール導体が位置する貫通孔への導電性ペーストの付与率を低くすることにより、表面及び裏面の平坦性の悪化を抑制できる。

[0059] (第3の変形例)

以下に、本発明の第3の変形例に係る多層基板10dの構成について図面を参照しながら説明する。図13は、本発明の第3の変形例に係る多層基板10dの断面構造図である。

[0060] 多層基板10dは、ビアホール導体v1, v3, v5, v7, v10が上下方向に一直列に並んでいない点において多層基板10aと相違する。以下、かかる相違点を中心に多層基板10dについて説明する。

[0061] 多層基板10dでは、ビアホール導体v1, v3, v5, v7, v10は、左右方向にわずかにずれている。このように、ビアホール導体v1, v3, v5, v7, v10は、一つに繋がっていればよく、左右にわずかにずれ

ていてもよい。ただし、ビアホール導体 v_1 , v_3 , v_5 , v_7 , v_{10} は、上側から見たときに、互いに重なり合う部分を有する。

[0062] 多層基板 10d の製造方法は、多層基板 10a の製造方法と同じであるので説明を省略する。

[0063] (その他の実施形態)

本発明に係る多層基板及び多層基板の製造方法は、前記多層基板 10a ~ 10d 及び多層基板 10a ~ 10d の製造方法に限らず、その要旨の範囲内において変更可能である。

[0064] また、多層基板 10a ~ 10d 及び多層基板 10a ~ 10d の製造方法の各構成を任意に組み合わせてもよい。

[0065] なお、多層基板 10a ~ 10d は、可撓性を有するものとしたが、可撓性を有さない多層基板であってもよい。ただし、多層基板 10a ~ 10d は、熱可塑性樹脂等により作製された可撓性を有する基板であることが好ましい。これは、多層基板 10a ~ 10d が熱可塑性樹脂等により作製された可撓性を有する基板である場合には、圧着工程において、樹脂流動等によりビアホール導体が表面又は裏面において突出し易いためである。

[0066] なお、多層基板 10a ~ 10d の 2 次元の断面構造図を用いて説明したが、実際には、多層基板 10a ~ 10d は 3 次元構造を有している。そのため、多層基板 10a ~ 10d には、配線導体層 18a ~ 18p 以外の配線導体層やビアホール導体 $v_1 \sim v_{11}$ 以外のビアホール導体が設けられている。

[0067] なお、多層基板 10a ~ 10d では、最も多くのビアホール導体が位置している位置 P c に位置するビアホール導体 v_1 , v_3 , v_5 , v_7 , v_{10} に対応する貫通孔 h_1 , h_3 , h_5 , h_7 , h_{10} の付与率を最も少ないビアホール導体が位置している位置 P b に位置するビアホール導体 v_9 に対応する貫通孔 h_9 の付与率よりも低くしている。しかしながら、付与率の変化のさせ方はこれに限らない。多くのビアホール導体が位置している位置では、多層基板 10a ~ 10d の平坦性が悪化しやすい。そこで、ビアホール導体が位置している数に応じて、該ビアホール導体に対応する貫通孔への付与

率を変化させてもよい。すなわち、ビアホール導体が位置している数が多くなるにしたがって、該ビアホール導体に対応する貫通孔への付与率を低くしてもよい。他の例としては、例えば、最も多くのビアホール導体が位置している位置P c及び2番目に多くのビアホール導体が位置している位置P dに位置するビアホール導体v 1, v 2, v 3, v 4, v 5, v 7, v 10, v 11に対応する貫通孔h 1, h 2, h 3, h 4, h 5, h 7, h 10, h 11の付与率を、残余の貫通孔h 6, h 8, h 9の付与率よりも低くしてもよい。

産業上の利用可能性

[0068] 以上のように、本発明は、多層基板及び多層基板の製造方法に有用であり、特に、主面の平坦性の悪化を抑制できる点において優れている。

符号の説明

- [0069] 10a～10d：多層基板
12：多層基板本体
16a～16e：絶縁体シート
18a～18p：配線導体層
h1～h11：貫通孔
v1～v11：ビアホール導体

請求の範囲

- [請求項1] 複数の絶縁体層に対して複数のビアホール導体が形成される位置に複数の貫通孔を形成する貫通孔形成工程と、
- 前記複数の貫通孔に対して導電性ペーストを付与するペースト付与工程と、
- 前記複数の絶縁体層を積層方向に積層し圧着する積層圧着工程と、
- を備えており、
- 前記積層方向から見たときに、最も多くの前記ビアホール導体が位置している位置を第1の位置とし、該第1の位置に位置する前記ビアホール導体を第1のビアホール導体とし、
- 前記積層方向から見たときに、最も少ない前記ビアホール導体が位置している位置を第2の位置とし、該第2の位置に位置する前記ビアホール導体を第2のビアホール導体とし、
- 前記ペースト付与工程において、前記第1のビアホール導体に対応する前記貫通孔に付与される導電性ペーストの体積の該貫通孔の体積に対する割合が、前記第2のビアホール導体に対応する前記貫通孔に付与される導電性ペーストの体積の該貫通孔の体積に対する割合よりも低くなるように、前記複数の貫通孔に前記導電性ペーストを付与すること、
- を特徴とする多層基板の製造方法。
- [請求項2] 前記第1のビアホール導体に対応する前記貫通孔の径は、前記第2のビアホール導体に対応する前記貫通孔の径よりも大きいこと、
- を特徴とする請求項1に記載の多層基板の製造方法。
- [請求項3] 前記複数の絶縁体層は、熱可塑性樹脂により構成されていること、
- を特徴とする請求項1又は請求項2のいずれかに記載の多層基板の製造方法。
- [請求項4] 前記ペースト付与工程では、スクリーン印刷により、前記複数の貫通孔に対して前記導電性ペーストを付与すること、

を特徴とする請求項 1 ないし請求項 3 のいずれかに記載の多層基板の製造方法。

[請求項 5] 複数の絶縁体層が積層方向に積層されて構成されている多層基板本体と、

前記複数の絶縁体層を積層方向に貫通する複数のビアホール導体と、

を備えており、

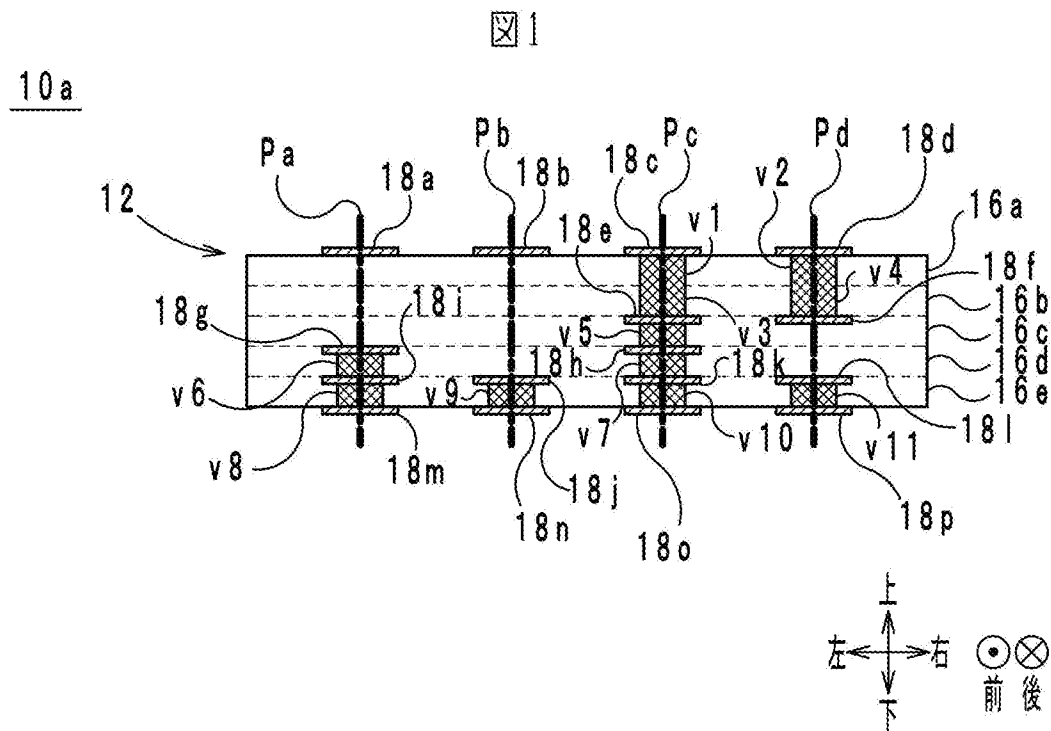
前記積層方向から見たときに、最も多くの前記ビアホール導体が位置している位置を第 1 の位置とし、該第 1 の位置に位置する前記ビアホール導体を第 1 のビアホール導体とし、

前記積層方向から見たときに、最も少ない前記ビアホール導体が位置している位置を第 2 の位置とし、該第 2 の位置に位置する前記ビアホール導体を第 2 のビアホール導体とし、

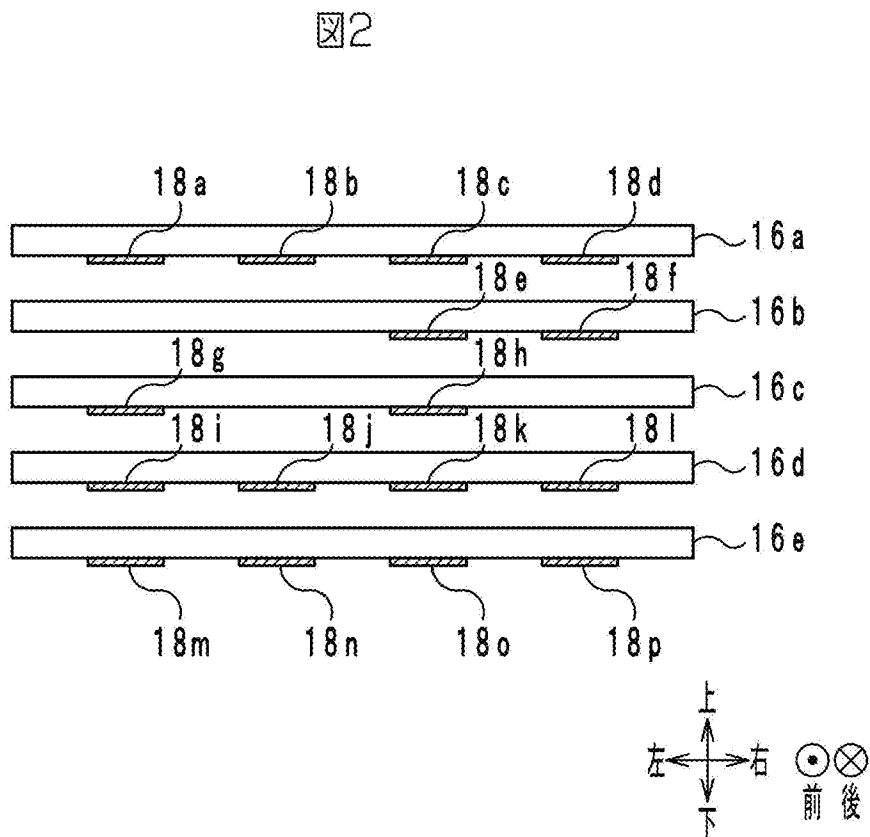
前記第 1 のビアホール導体の径は、前記第 2 のビアホール導体の径よりも大きいこと、

を特徴とする多層基板。

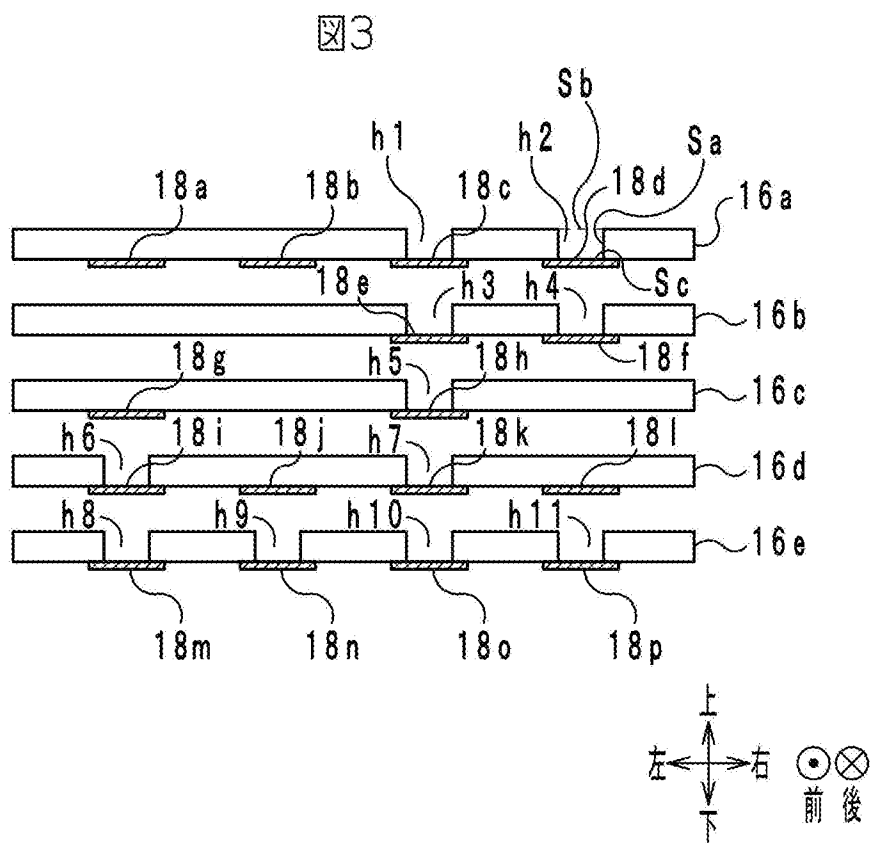
[図1]



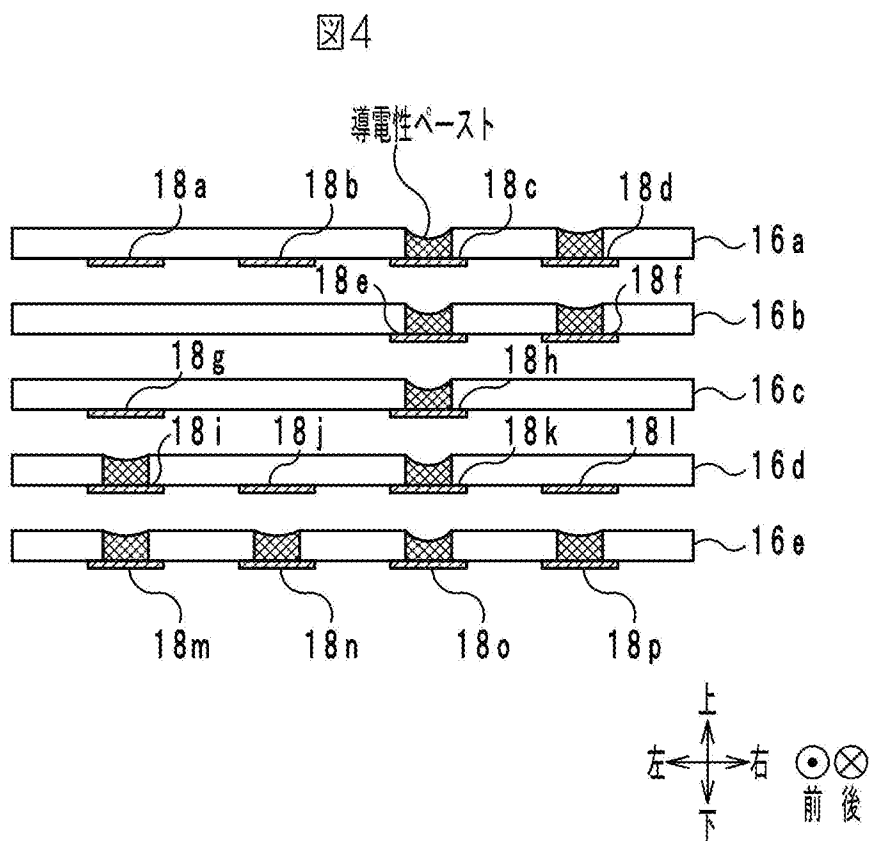
[図2]



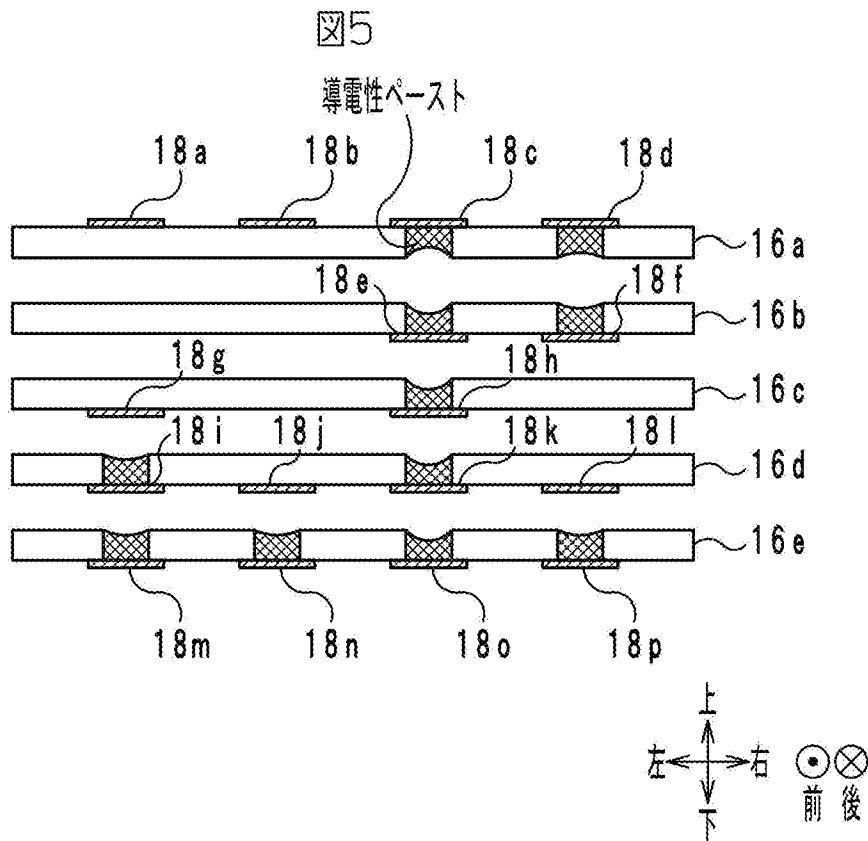
[図3]



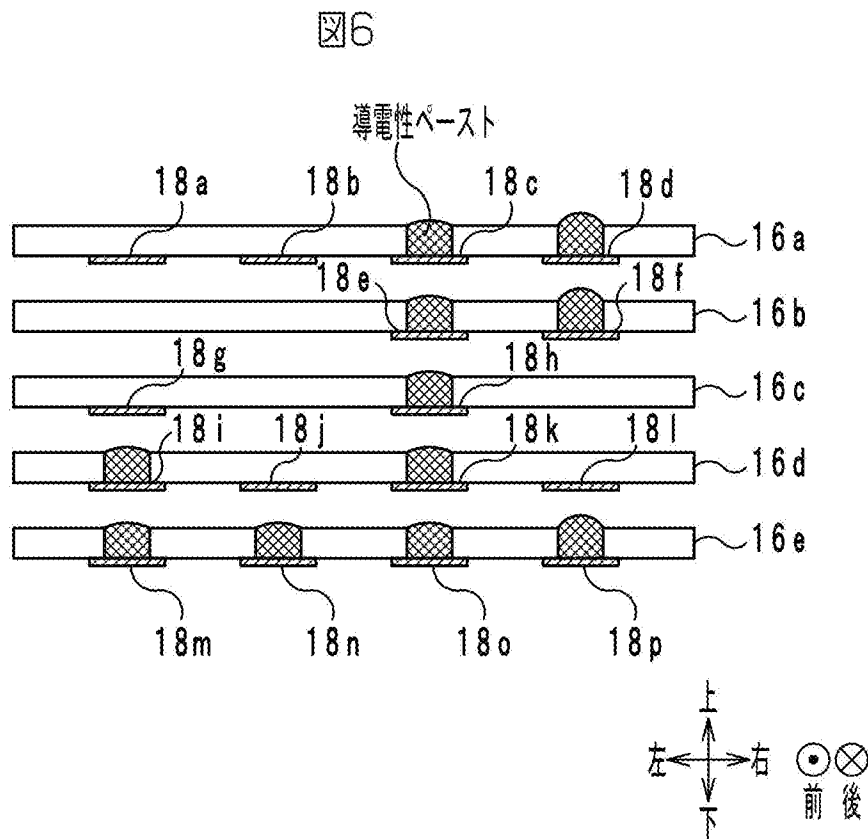
[図4]



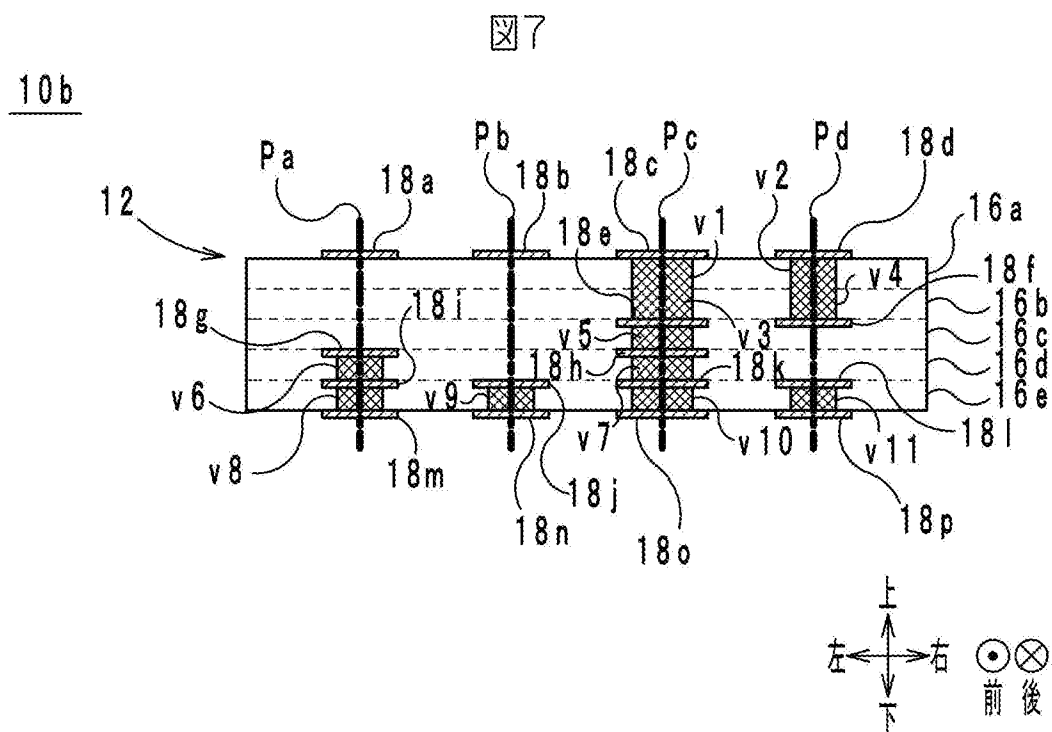
[図5]



[図6]

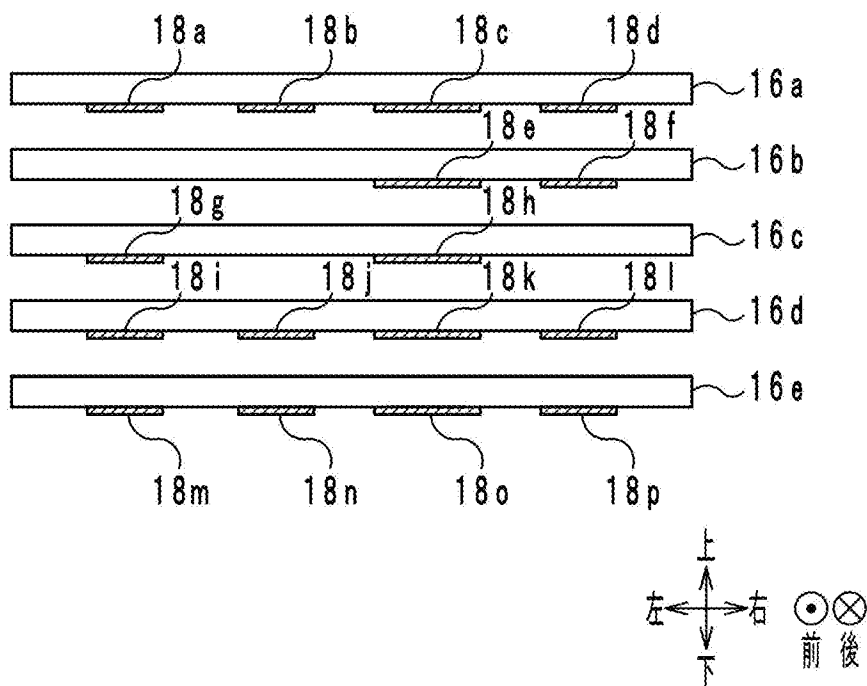


[図7]

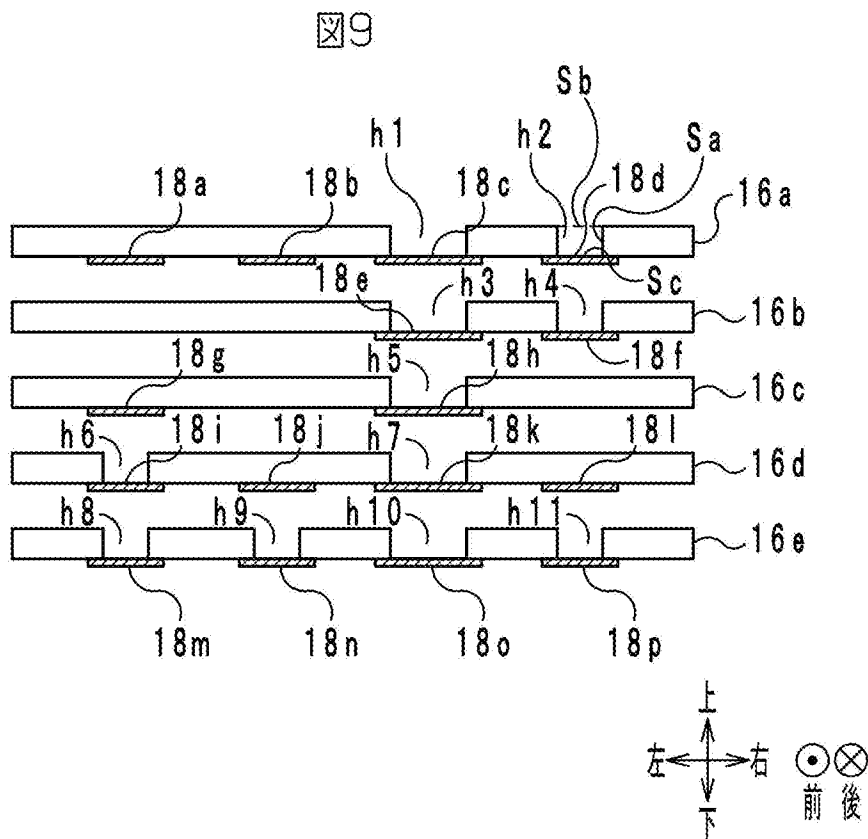


[図8]

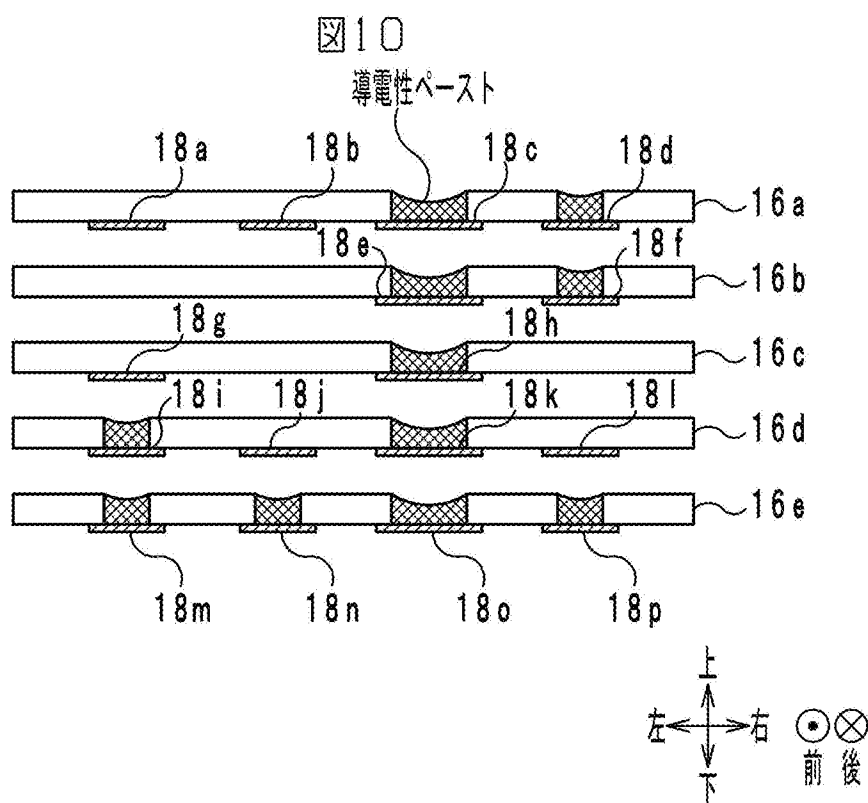
図8



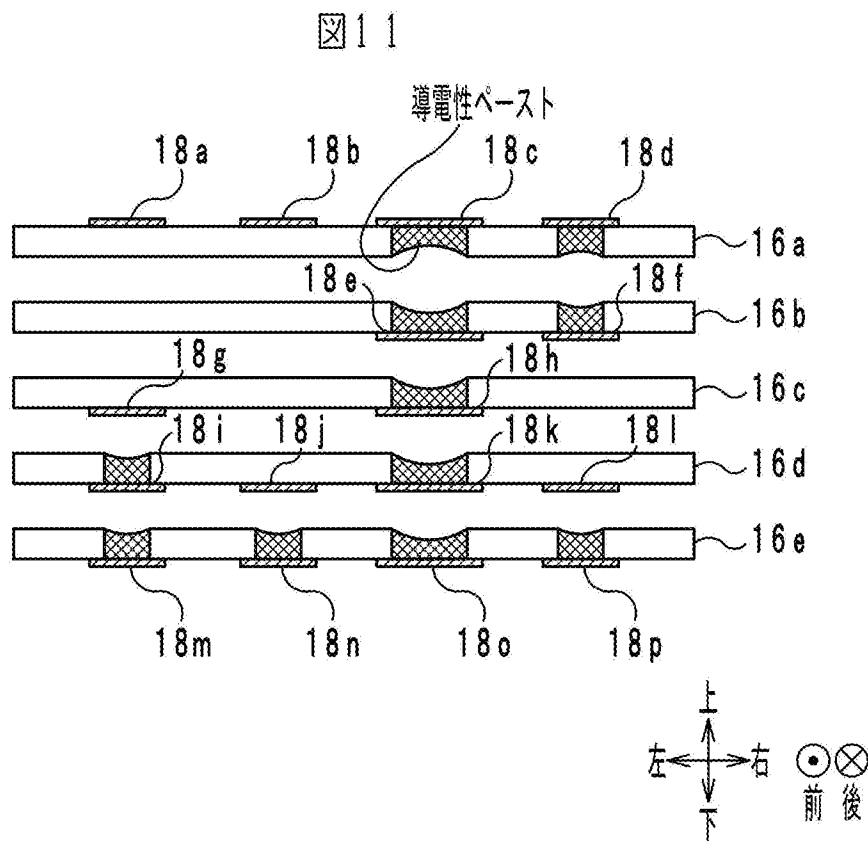
[図9]



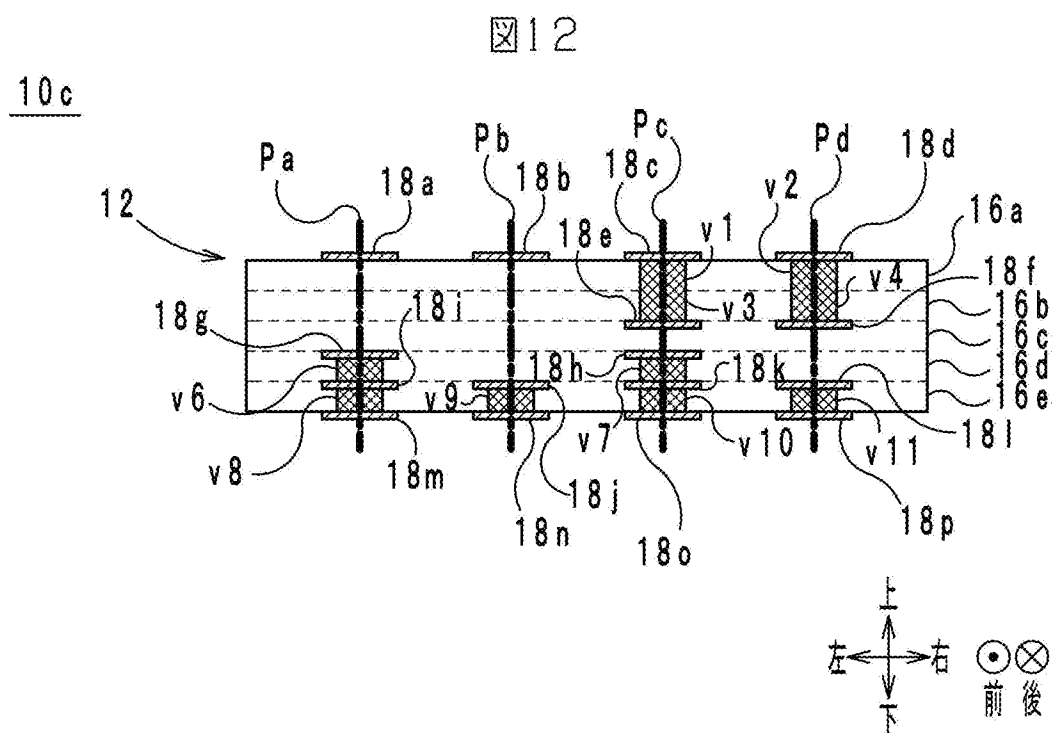
[図10]



[図11]

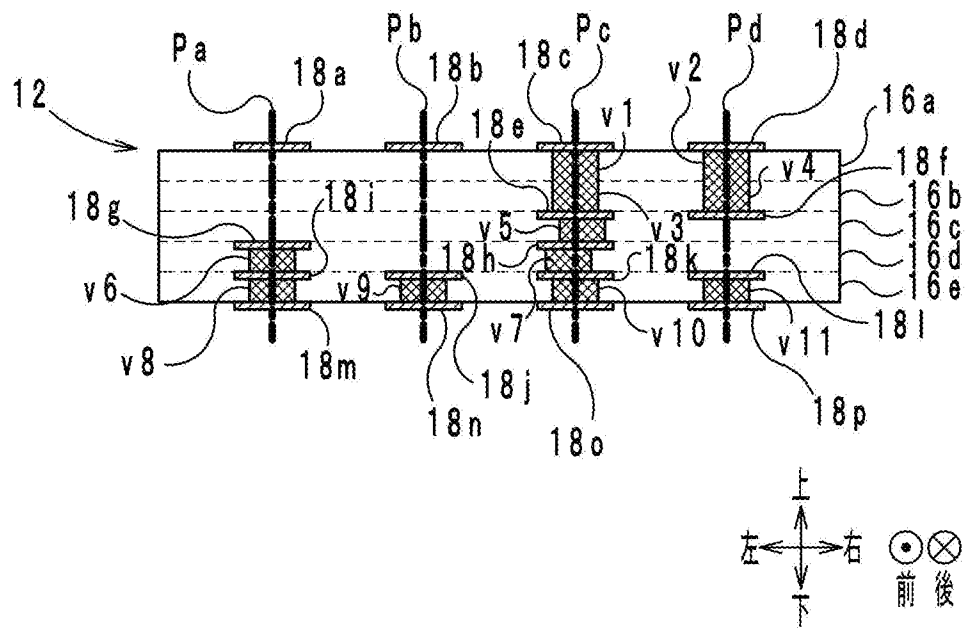


[図12]



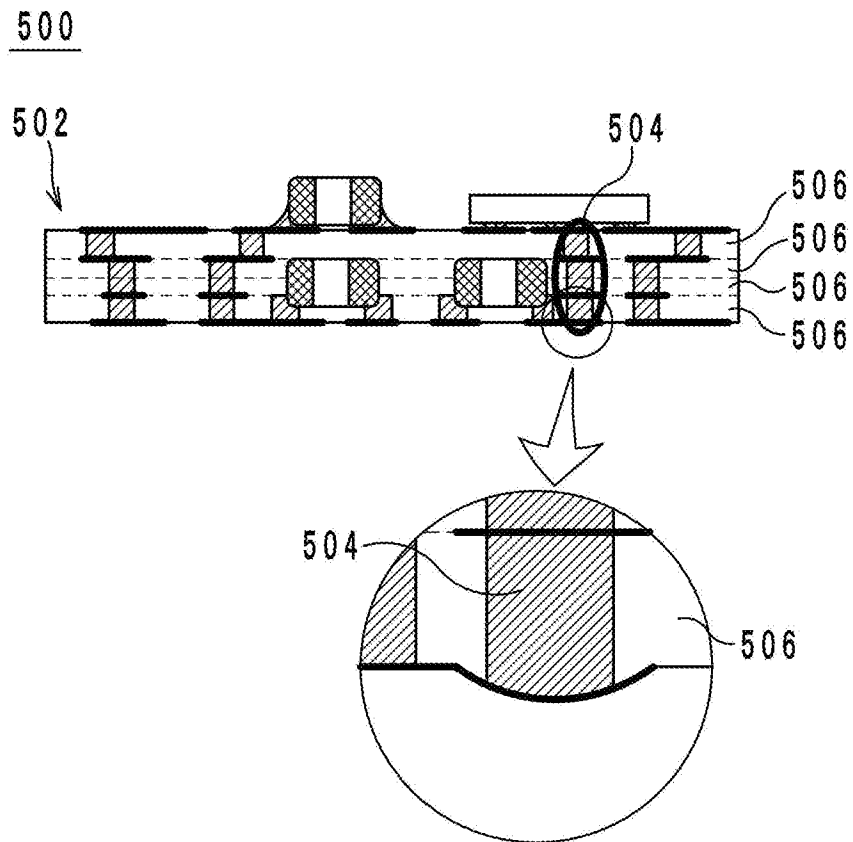
[図13]

図13

10d

[図14]

図14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/078760

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/40(2006.01)i, H05K1/11(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/00-3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 8-18236 A (Kyocera Corp.), 19 January 1996 (19.01.1996), fig. 1; paragraph [0022] (Family: none)	5 2-5
X Y	JP 8-274467 A (Mitsubishi Electric Corp.), 18 October 1996 (18.10.1996), paragraphs [0017] to [0035]; fig. 21 to 30; paragraphs [0048] to [0053]; fig. 1 to 4; paragraphs [0054] to [0059]; fig. 5 to 7 (Family: none)	1 2-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
21 October 2016 (21.10.16)

Date of mailing of the international search report
01 November 2016 (01.11.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/40(2006.01)i, H05K1/11(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K1/00-3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 8-18236 A (京セラ株式会社) 1996.01.19, 図1, 段落0022. (ファミリなし)	5
Y		2-5
X	J P 8-274467 A (三菱電機株式会社) 1996.10.18, 段落0017から段落0035, 図21から図30, 段落0048から00 53, 図1から図4, 段落0054から0059, 図5から図7. (ファミ リなし)	1
Y		2-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.10.2016

国際調査報告の発送日

01.11.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

齊藤 健一

5D

9742

電話番号 03-3581-1101 内線 3551