



(12) 发明专利申请

(10) 申请公布号 CN 105283863 A

(43) 申请公布日 2016. 01. 27

(21) 申请号 201480033581. 7

(72) 发明人 S·森戈库 G·A·威利 J·张

(22) 申请日 2014. 06. 12

(74) 专利代理机构 上海专利商标事务所有限公司 31100

(30) 优先权数据

代理人 唐杰敏

61/834, 151 2013. 06. 12 US

61/836, 777 2013. 06. 19 US

61/886, 002 2013. 10. 02 US

14/302, 362 2014. 06. 11 US

14/302, 365 2014. 06. 11 US

(51) Int. Cl.

G06F 13/42(2006. 01)

(85) PCT国际申请进入国家阶段日

2015. 12. 11

(86) PCT国际申请的申请数据

PCT/US2014/042188 2014. 06. 12

(87) PCT国际申请的公布数据

W02014/201293 EN 2014. 12. 18

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

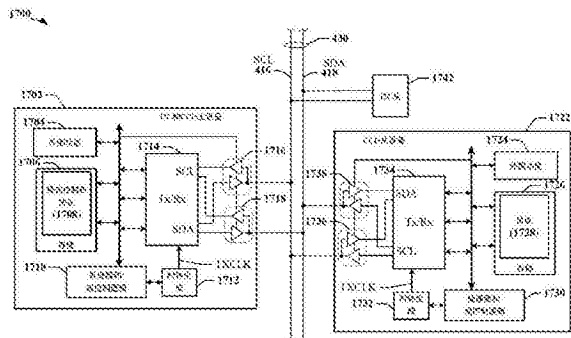
权利要求书4页 说明书30页 附图26页

(54) 发明名称

相机控制接口扩展总线

(57) 摘要

描述了提供用于集成电路间 (I2C) 和 / 或相机控制接口 (CCI) 操作的串行总线的改善性能的系统、方法和装置。描述了 CCI 扩展 (CCIE) 设备。CCIE 设备可被配置为总线主设备或从设备。在一种方法中, CCIE 发射机可以从一组比特生成转变数, 将该转变数转换成码元序列, 以及在双导线串行总线的信令状态中传送该码元序列。定时信息可以编码在该码元序列中的连贯码元对中的码元之间的转变中。例如, 每个转变可以导致双导线串行总线的至少一根导线的信令状态的改变。CCIE 接收机可以从这些转变推导接收时钟以接收和解码该码元序列。



1. 一种能在传送设备上操作的数据通信方法,包括:

从一组比特生成转变数;

将所述转变数转换成码元序列,其中定时信息被编码在所述码元序列中的码元之间的转变中;以及

当双导线串行总线在第一操作模式中操作时,在所述双导线串行总线上传送所述码元序列,其中连贯码元之间的每个转变导致所述双导线串行总线的信令状态的改变,

其中所述码元序列由配置成用于当所述双导线串行总线在第二操作模式中操作时在所述双导线串行总线上传送的设备忽略。

2. 如权利要求 1 所述的方法,其特征在于,将所述转变数转换成所述码元序列包括:

将所述一组比特转换成三进制转变数;以及

向转码器提供所述三进制转变数,其中所述三进制转变数的最高有效位被首先提供给所述转码器,所述三进制转变数的最低有效位被最后提供给所述转码器,并且所述最高有效位与所述最低有效位之间的中间位以有效性降序被提供给所述转码器。

3. 如权利要求 1 所述的方法,其特征在于,为所述双导线串行总线定义 4 个信令状态,并且其中所述转变数的每一位从三个可用码元之一中选择要在所述双导线串行总线上传送的下一码元,所述三个可用码元中的每一个码元不同于正在所述双导线串行总线上传送的当前码元。

4. 如权利要求 1 所述的方法,其特征在于,所述双导线串行总线是当所述双导线串行总线在所述第一操作模式中操作时支持使用相机控制接口扩展 (CCIE) 协议的通信的多用途总线,并且其中所述双导线串行总线在所述第二操作模式中支持使用集成电路间 (I2C) 协议的通信。

5. 如权利要求 4 所述的方法,其特征在于,在所述双导线串行总线上传送所述码元序列包括:

在所述第一操作模式中在所述双导线串行总线上传送的码元序列之间提供 I2C 开始状况,

其中所述开始状况的定时导致配置成用于使用所述 I2C 协议进行通信的设备中的接收逻辑复位。

6. 如权利要求 4 所述的方法,其特征在于,在所述双导线串行总线上传送所述码元序列包括:

在所述双导线串行总线上传送第一 I2C 开始状况;

在所述第一 I2C 开始状况被传送之后,在所述双导线串行总线上传送所述码元序列;

以及

在所述双导线串行总线上传送第二 I2C 开始状况,

其中监视所述双导线串行总线的 I2C 接收机在所述第一开始状况之后并且在所述第二 I2C 开始状况之前在所述双导线串行总线的串行时钟线 (SCL) 上感知最大 6 个时钟循环。

7. 如权利要求 1 所述的方法,其特征在于,进一步包括:

在所述双导线串行总线上传送了控制序列之后,从所述第一操作模式改变至所述第二操作模式。

8. 一种装置,包括:

总线接口,其适配成将所述装置耦合至能操作于与多个其他设备共享的双导线串行总线;以及

耦合至所述总线接口的处理电路,所述处理电路被配置成:

从一组比特生成转变数;

将所述转变数转换成码元序列,其中定时信息被编码在所述码元序列中的码元之间的转变中;以及

当双导线串行总线在第一操作模式中操作时,在所述双导线串行总线上传送所述码元序列,其中连贯码元之间的每个转变导致所述双导线串行总线的信令状态的改变,并且

其中所述码元序列由配置成用于当所述双导线串行总线在第二操作模式中操作时在所述双导线串行总线上进行通信的设备忽略。

9. 如权利要求 8 所述的装置,其特征在于,所述转变数包括 12 位三进制数。

10. 如权利要求 9 所述的装置,其特征在于,所述处理电路被配置成通过以下操作来将所述转变数转换成所述码元序列:

将所述一组比特转换成三进制转变数;以及

向转码器提供所述三进制转变数,

其中所述三进制转变数的最高有效位被首先提供给所述转码器,所述三进制转变数的最低有效位被最后提供给所述转码器,并且所述最高有效位与所述最低有效位之间的中间位以有效性降序被提供给所述转码器。

11. 如权利要求 9 所述的装置,其特征在于,所述处理电路被配置成通过以下操作来将所述转变数转换成所述码元序列:

将所述一组比特转换成三进制转变数;以及

向转码器提供所述三进制转变数,其中所述三进制转变数的最高有效位被最后提供给所述转码器。

12. 如权利要求 9 所述的装置,其特征在于,为所述双导线串行总线定义 4 个信令状态,并且其中所述三进制数的每一位从三个可用码元之一中选择要在所述双导线串行总线上传送的下一码元,所述三个可用码元中的每一个码元不同于正在所述双导线串行总线上传送的当前码元。

13. 如权利要求 8 所述的装置,其特征在于,所述双导线串行总线是当所述双导线串行总线在所述第一操作模式中操作时支持使用相机控制接口扩展 (CCIE) 协议的通信的多用途总线,并且其中所述双导线串行总线在所述第二操作模式中支持使用集成电路间 (I2C) 协议的通信。

14. 如权利要求 13 所述的装置,其特征在于,所述处理电路被配置成通过在所述第一操作模式中在所述双导线串行总线上传送的码元序列之间提供 I2C 开始状况来在所述双导线串行总线上传送所述码元序列,其中所述开始状况的定时导致配置成用于使用所述 I2C 协议来进行通信的设备中的接收逻辑的复位。

15. 如权利要求 8 所述的装置,其特征在于,所述处理电路被配置成:

在所述双导线串行总线上传送了控制序列之后,从所述第一操作模式改变至所述第二操作模式。

16. 如权利要求 8 所述的装置,其特征在于,耦合至所述双导线串行总线的第一组设备被配置成在所述第一操作模式中将所述双导线串行总线的两根导线用于数据传输,而耦合至所述双导线串行总线的第二组设备被配置成在所述第二操作模式中将所述双导线串行总线的第一线用于数据传输并且将所述双导线串行总线的第二线用于第一时钟信号。

17. 如权利要求 16 所述的装置,其特征在于,所述第一组设备和所述第二组设备在所述第一操作模式和所述第二操作模式两者中并发地监视所述总线的至少一根线。

18. 如权利要求 16 所述的装置,其特征在于,在所述第一操作模式中,所述第一组设备中的主设备在所述双导线串行总线上向所述第一组设备中的从设备传送数据,并且其中在所述第二操作模式中,所述第二组设备中的主设备在所述双导线串行总线的所述第一线上向所述第二组设备中的从设备传送数据。

19. 如权利要求 16 所述的装置,其特征在于,在所述第一操作模式中,通过插入在第一线和第二线中的复位指示符来周期性地中断数据传输,所述复位指示符使所述第二组设备在检测到有效的比特序列之前使其总线逻辑复位。

20. 如权利要求 16 所述的装置,其特征在于,当耦合至所述总线的所有活跃设备能够在第三操作模式中操作时,所述总线在所述第三操作模式中操作,其中所述活跃设备被配置成将所述第一线和所述第二线两者用于数据传输而同时将时钟信号嵌入在所述数据传输的码元转变内。

21. 如权利要求 20 所述的装置,其特征在于,所述第一操作模式实现用于所述总线上的数据传输的第一协议,所述第二操作模式实现用于所述总线上的数据传输的第二协议,并且所述第三操作模式实现用于所述总线上的数据传输的第三协议。

22. 一种能在数据通信接收设备上操作的方法,包括:

当双导线串行总线在第一操作模式中操作时,从所述双导线串行总线的信令状态的转变推导接收时钟;

使用所述接收时钟来接收根据所述第一操作模式在所述双导线串行总线上传送的码元序列,其中所述双导线串行总线的信令状态的转变对应于所述码元序列中的码元之间的转变;

从所述码元序列生成转变数,其中所述转变数具有多个位,其中每一位表示所述码元序列中的一对连贯码元之间的转变;以及

从所述转变数解码数据,

其中所述码元序列由配置成用于当所述双导线串行总线在第二操作模式中操作时在所述双导线串行总线上进行通信的设备忽略。

23. 如权利要求 22 所述的方法,其特征在于,所述转变数包括 12 位三进制数。

24. 如权利要求 23 所述的方法,其特征在于,为所述双导线串行总线定义 4 个信令状态,并且其中所述三进制数的每一位表示所述双导线串行总线上一对连贯信令状态之间的关系。

25. 如权利要求 23 所述的方法,其特征在于,所述码元序列中的每个码元是由所述双导线串行总线的信令状态定义的 4 个码元之一,并且其中所述三进制数的每一位定义所述码元序列中的一对连贯码元之间的关系。

26. 如权利要求 22 所述的方法,其特征在于,所述双导线串行总线是当所述双导线串

行总线在所述第一操作模式中操作时支持相机控制接口扩展 (CCIE) 通信的多用途总线, 并且其中所述双导线串行总线在所述第二操作模式中支持集成电路间 (I2C) 通信, 并且其中从所述双导线串行总线接收所述码元序列包括:

确定所述双导线串行总线上的 I2C 开始状况; 以及
根据由所述接收时钟定义的定时从所述双导线串行总线接收所述码元序列。

27. 一种装置, 包括:

总线接口, 其适配成将所述装置耦合至能操作于与多个其他设备共享的双导线串行总线;

时钟恢复电路, 其配置成从双导线串行总线的信令状态的转变推导接收时钟; 以及
耦合至所述总线接口的处理电路, 所述处理电路被配置成:

使用所述接收时钟来接收根据第一操作模式在所述双导线串行总线上传送的码元序列, 其中所述双导线串行总线的信令状态的转变对应于所述码元序列中的码元之间的转变;

从所述码元序列生成转变数, 其中所述转变数具有多个位, 其中每一位表示所述码元序列中的一对连贯码元之间的转变; 以及

从所述转变数解码数据,

其中所述码元序列由配置成用于当所述双导线串行总线在第二操作模式中操作时在所述双导线串行总线上进行通信的设备忽略。

28. 如权利要求 27 所述的装置, 其特征在于, 为所述双导线串行总线定义 4 个信令状态, 并且其中所述转变数的每一位表示所述双导线串行总线上的一对连贯信令状态之间的关系。

29. 如权利要求 27 所述的装置, 其特征在于, 所述码元序列中的每个码元是由所述双导线串行总线的信令状态定义的 4 个码元之一, 并且其中所述转变数的每一位定义所述码元序列中的一对连贯码元之间的关系。

30. 如权利要求 27 所述的装置, 其特征在于, 所述双导线串行总线是当所述双导线串行总线在所述第一操作模式中操作时支持相机控制接口扩展 (CCIE) 通信的多用途总线, 并且其中所述双导线串行总线在所述第二操作模式中支持集成电路间 (I2C) 通信, 并且其中从所述双导线串行总线接收的所述码元序列包括至少 12 个码元且在 I2C 开始之后。

相机控制接口扩展总线

[0001] 相关申请的交叉引用

[0002] 本专利申请要求 2013 年 6 月 12 日提交的题为“Increasing Data Transfer Rate Over I2C Bus(提高 I2C 总线上的数据传输速率)”的临时申请 No. 61/834, 151、2013 年 6 月 19 日提交的题为“Camera Control Interface Extension Bus(相机控制接口扩展总线)”的临时申请 No. 61/836, 777、2013 年 10 月 2 日提交的题为“Simplifying Symbol Transcoding And Transmission Over CCIe Bus(简化 CCIe 总线上的码元转码和传输)”的临时申请 No. 61/886, 002、2014 年 6 月 11 日提交的题为“Camera Control Interface Extension Bus(相机控制接口扩展总线)”的非临时申请 No. 14/302, 362、以及 2014 年 6 月 11 日提交题为“Camera Control Interface Extension Bus(相机控制接口扩展总线)”的非临时申请 No. 14/302, 365 的优先权, 这些申请均被转让给本申请受让人并且由此通过援引明确纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开一般涉及主机处理器与外围设备(诸如相机)之间的接口, 并且更具体地涉及其中时钟信号被嵌入在多导线共享总线上传输的码元中的多模操作。

背景技术

[0006] 集成电路间串行总线(也可被称为 I2C 总线或 I²C 总线)是旨在用于将低速外围设备连接至处理器的串行单端计算机总线。I2C 总线是多主控总线, 其中每个设备可以针对 I2C 总线上传送的不同消息充当主设备和从设备。I2C 总线可以仅使用两个双向开漏(open-drain)连接器(包括串行数据线(SDA)和串行时钟线(SCL))来传送数据。这些连接器通常包括由上拉电阻器终接的信号导线。

[0007] 管控 I2C 总线操作的协议定义了基本类型的消息, 其中每种消息始于 START(开始)并结束于 STOP(停止)。I2C 总线使用 7 位寻址并且定义两种类型的节点: 主节点和从节点。主节点是生成时钟并发起与从节点的通信的节点。从节点是接收时钟并在被主节点寻址时进行响应的节点。I2C 总线是多主控总线, 这意味着可存在任何数目的主节点。另外, 主角色和从角色可以在消息之间(即, 在 STOP 被发送之后)改变。

[0008] I2C 总线的原始实现在标准模式操作中支持最高达每秒 100 千比特(100kbps)的数据信令速率, 其中较新近的标准在快速模式操作中支持 400kbps 的速度, 并且在快速模式+操作中支持每秒 1 兆比特(Mbps)的速度。然而, 在一些系统和装置中, 需要甚至更高带宽来支持某些类型的设备之间的通信。例如, 移动通信设备(诸如蜂窝电话)可以采用消耗显著带宽的多个设备(诸如相机、显示器和各种通信接口)。当使用常规的 I2C 协议以维持与传统设备的兼容性时, 可能难以获得较高带宽。

[0009] 存在着在被配置为连接移动设备内的主组件和从组件的总线的串行接口上提供优化通信的现行需要。

[0010] 以下给出本公开的一个或多个方面的简要概述以提供对这些方面的基本理解。此

概述不是本公开的所有构想到的特征的详尽综览,并且既非旨在标识出本公开的所有方面的关键性或决定性要素亦非试图界定本公开的任何或所有方面的范围。其唯一目的是以简化形式给出本公开的一个或多个方面的一些概念作为稍后给出的更详细描述之序言。

[0011] 本文公开的实施例提供了可以改善使用串行总线的通信接口的性能的系统、方法和装置,该串行总线支持常规的 I2C 总线操作和使用公共 I2C 总线的增强型通信接口两者。相机控制接口 (CCI) 可以使用配置为连接主设备以及一个或多个从设备的总线的双导线、双向、半双工串行接口来部署,其中 CCI 操作与 I2C 总线操作兼容。在本文公开的一个示例中,CCI 扩展 (CCIE) 设备可以使用 I2C 总线来部署以提供双导线、双向、半双工串行接口。CCIE 设备可被配置为总线主设备或从设备。CCIE 设备可以与 I2C 总线上的 I2C 设备兼容或共存,以使得即使在 I2C 设备正在监视 I2C 总线时,CCIE 设备也可以使用 CCIE 协议和信令规范来与一个或多个其他 CCIE 设备通信。本文公开的一个示例提供了能够在 CCIE 和 I2C 设备两者部署在相同总线上时用单个主设备来处置总线上的多个从设备的接口。在后一示例中,两个或更多个 CCIE 设备可以使用 CCIE 协议来通信,并且与 I2C 设备的任何通信事务使用 I2C 总线协议来进行。

[0012] 在本公开的一个方面,本公开提供了一种能在传送设备上操作的数据通信方法。该方法包括从一组比特生成转变数,将该转变数转换成码元序列,当双导线串行总线在第一操作模式中操作时在该双导线串行总线上传送该码元序列。定时信息可以编码在该码元序列中的码元之间的转变中。每个转变可以导致双导线串行总线的信令状态的改变。该码元序列可由配置成用于当双导线串行总线在第二操作模式中操作时在该双导线串行总线上进行通信的设备忽略。该码元序列可以包括 12 个码元。

[0013] 在另一方面,转变数包括多位三进制数。该三进制数例如可具有 12 位。通过向转码器提供该三进制数,转变数可被转换成码元序列。在一个示例中,该三进制数的最高有效位被首先提供给转码器,该三进制数的最低有效位被最后提供给转码器,并且最高有效位与最低有效位之间的中间位以有效性降序被提供给转码器。在另一示例中,该三进制数的最高有效位被最后提供给转码器。可以为双导线串行总线定义 4 个信令状态。该三进制数的每一位可以从三个可用码元之一中选择要在双导线串行总线上传送的下一码元。这三个可用码元中的每一者不同于正在双导线串行总线上传送的当前码元。编码在码元序列中的定时信息使接收机能够从该码元序列生成接收时钟。

[0014] 在另一方面,双导线串行总线可以是当该双导线串行总线在第一操作模式中操作时支持使用 CCIE 协议的通信的多用途总线。双导线串行总线可以在第二操作模式中支持使用 I2C 协议的通信。通过在第一操作模式中在双导线串行总线上传送的码元序列之间提供 I2C 开始状况,可以在该双导线串行总线上传送该码元序列。该开始状况可以导致配置成用于使用 I2C 协议进行通信的设备中的接收逻辑复位。码元序列可以在双导线串行总线上传送了第一 I2C 开始状况之后在双导线串行总线上传送。第二 I2C 开始状况可以在双导线串行总线上跟随在该码元序列之后。监视双导线串行总线的 I2C 接收机可以在第一 I2C 开始状况之后且在第二 I2C 开始状况之前在双导线串行总线的 SCL 上感知最大 6 个时钟循环。

[0015] 在本公开的一个方面,一种装置包括总线接口和耦合至该总线接口的处理电路,该总线接口适配成将该装置耦合至能操作用于与多个其他装置和设备共享的双导线串行

总线。该处理电路可被配置成从一组比特生成转变数,将该转变数转换成码元序列,以及当双导线串行总线在第一操作模式中操作时在该双导线串行总线上传送该码元序列。定时信息可以编码在该码元序列中的码元之间的转变中。每个转变导致双导线串行总线的信令状态的改变。该码元序列可由配置成用于当双导线串行总线在第二操作模式中操作时在该双导线串行总线上通信的设备忽略。

[0016] 在本公开的一个方面,一种能在数据通信接收设备上操作的方法包括:当双导线串行总线在第一操作模式中操作时从该双导线串行总线的信令状态的转变推导接收时钟,使用该接收时钟来接收根据第一操作模式在双导线串行总线上传送的码元序列,从该码元序列生成转变数,以及从该转变数解码数据。双导线串行总线的信令状态的转变可以对应于码元序列中的码元之间的转变。该码元序列可由配置成用于当双导线串行总线在第二操作模式中操作时在该双导线串行总线上通信的设备忽略。该码元序列可以包括 12 个码元。

[0017] 在另一方面,转变数可以具有多个位,其中每一位表示码元序列中的一对连贯码元之间的转变。转变数可以包括 12 位三进制数。可以为双导线串行总线定义 4 个信令状态。三进制数的每一位可以表示双导线串行总线上的一对连贯信令状态之间的关系。码元序列中的每一个码元可以是由双导线串行总线的信令状态定义的 4 个码元之一。三进制数的每一位可以定义码元序列中的一对连贯码元之间的关系。

[0018] 在另一方面,双导线串行总线可以是当该双导线串行总线在第一操作模式中操作时支持 CCIe 通信的多用途总线。双导线串行总线可以在第二操作模式中支持 I2C 通信。通过确定双导线串行总线上的 I2C 开始状况的出现并且根据由接收时钟定义的定时来从双导线串行总线接收 12 个码元,可以从双导线串行总线接收该码元序列。

[0019] 在本公开的一个方面,一种装置包括总线接口、时钟恢复电路和耦合至该总线接口的处理电路,该总线接口适配成将该装置耦合至能操作于与多个其他设备共享的双导线串行总线,该时钟恢复电路配置成从双导线串行总线的信令状态的转变推导接收时钟。该处理电路可被配置成当双导线串行总线在第一操作模式中操作时从该双导线串行总线的信令状态的转变推导接收时钟,使用该接收时钟来接收根据第一操作模式在双导线串行总线上传送的码元序列,从该码元序列生成转变数,以及从该转变数解码数据。双导线串行总线的信令状态的转变可以对应于码元序列中的码元之间的转变。转变数可以具有多个位,其中每一位表示码元序列中的一对连贯码元之间的转变。该码元序列可由配置成用于当双导线串行总线在第二操作模式中操作时在该双导线串行总线上通信的设备忽略。

[0020] 在本文开的一个方面,一种系统或设备具有包括第一线和第二线的总线、耦合至该总线的第一组设备、以及耦合至该总线的第二组设备。一种能在该总线上操作的方法可以包括在第一操作模式中将第一组设备配置成将第一线用于数据传输并且将第二线用于第一时钟信号,以及在第二操作模式中将第二组设备配置成将第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传输的码元转变内。第一组设备和第二组设备可以在第一操作模式和第二操作模式两者中并发地监视总线的至少一根线。

[0021] 在另一方面,在第一操作模式中,第一组设备中的主设备在总线的第一线上向第一组设备中的从设备传送数据。在第二操作模式中,第二组设备中的主设备在总线上向第二组设备中的从设备传送数据。

[0022] 在另一方面,第一操作模式实现用于总线上的数据传输的第一协议,并且第二模

式实现用于总线上的数据传输的第二协议。

[0023] 在另一方面,在第二操作模式中,第一组设备中的设备在第一线和第二线上接收抑制对有效从节点地址的检测的复位指示符。在第二操作模式中,可以通过在第一线和第二线中插入复位指示符来周期性地中断数据传输,该复位指示符使第一组设备在检测到有效的比特序列之前使其总线逻辑复位。

[0024] 在另一方面,在第一操作模式期间,第二组设备中的主节点在第一线上发送第一比特序列,该第一比特序列向第二组设备指示至第二操作模式的切换。在第二操作模式期间,主节点可以在总线上发送退出码元序列,该退出码元序列向第二组设备指示至第一操作模式的切换。

[0025] 在另一方面,总线是兼容 I2C 的总线。第一操作模式可以在总线上具有每秒 1 兆比特的最大比特率,而第二操作模式可以具有每秒 6.4 兆比特的最大比特率。第一操作模式可以在总线上具有每秒 1 兆比特的最大比特率,而第二操作模式可以具有每秒 16.7 兆比特的最大比特率。

[0026] 在另一方面,第二组设备中的设备能够在第一操作模式和第二操作模式两者中操作。

[0027] 在另一方面,该方法包括在耦合至总线的所有活跃设备均能够在第三操作模式中操作时使总线在第三操作模式中操作。在第三操作模式中,一个或多个设备可被配置成将第一线和第二线两者用于数据传输,而同时将时钟信号嵌入在数据传输的码元转变内。第一操作模式可以实现用于总线上的数据传输的第一协议,而第二操作模式实现用于总线上的数据传输的第二协议,并且第三操作模式实现用于总线上的数据传输的第三协议。第三操作模式可以在总线上具有每秒 27.1 兆比特的最大比特率。

[0028] 在另一方面,总线耦合至第二组设备中包括基带处理器在内的第一设备,并且耦合至第二组设备中包括图像传感器在内的第二设备。总线可以携带基带处理器与图像传感器之间的控制数据信号。

[0029] 在另一方面,第二组设备中的每个设备被适配成将数据比特序列转换成多个(M个)转变数,将每个转变数转换成来自一组顺序编号中的顺序编号,以及在总线上传送该顺序编号。该顺序编号可以从基于自紧挨着的前一顺序编号的转变的转变数来选择以保证没有两个顺序编号是相同的。可以通过将多个转变数转换成顺序编号来将每个转变数转换成来自一组顺序编号中的顺序编号。

[0030] 在本公开的一个方面,一种处理器可读存储介质包括、存储、或者维护能在设备上操作的一条或多条指令,该一条或多条指令在被一个或多个处理电路执行时使该一个或多个处理电路执行以下操作:在第一操作模式中将耦合至具有第一线和第二线的总线的的第一组设备配置成将第一线用于数据传输并且将第二线用于第一时钟信号,以及在第二操作模式中将耦合至总线的第二组设备配置成将第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传输的码元转变内。

[0031] 在本公开的一个方面,一种系统或设备具有包括第一线和第二线的总线、耦合至总线的的第一组设备、以及耦合至总线的第二组设备,该第一组设备被配置成在第一操作模式中将第一线用于数据传输并且将第二线用于第一时钟信号,该第二组设备被配置成在第二操作模式中将第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传

输的码元转变内。

[0032] 附图简述

[0033] 图 1 描绘了在各 IC 设备之间采用数据链路的装置,该数据链路根据多个可用标准之一来选择性地操作。

[0034] 图 2 解说了具有基带处理器和图像传感器并且实现图像数据总线 and 多模控制数据总线的设备。

[0035] 图 3 解说了支持共存的 I2C 模式设备和 CCIe 模式设备的多用途总线或公共串行总线。

[0036] 图 4 解说了用于在 IC 设备之间采用数据链路的装置的系统架构。

[0037] 图 5 解说了根据本文公开的某些方面的发射机和接收机的某些方面。

[0038] 图 6 解说了在首先传送码元流中的最低有效码元时配置成将二进制比特转换成三进制数的逻辑。

[0039] 图 7 解说了在首先传送码元流中的最高有效码元时配置成将二进制比特转换成三进制数的逻辑。

[0040] 图 8 解说了可被用于将 12 位三进制数转换成多个比特的电路系统的示例。

[0041] 图 9 解说了根据本文公开的某些方面的用于转码数据的编码方案。

[0042] 图 10 解说了传统 I2C 协议的典型 I2C 比特传输循环。

[0043] 图 11 解说了常规 I2C 总线上的 SDA 和 SCL 信号导线之间的关系。

[0044] 图 12 解说了在连接至共享总线的设备包括 I2C 设备时在 CCIe 模式中在该总线上传输数据的示例。

[0045] 图 13 解说了在总线 430 上的设备不包括活跃 I2C 设备时 CCIe 总线上的数据传输。

[0046] 图 14 解说了码元的生成以供在配置成用于 CCIe 操作模式的串行总线上传送。

[0047] 图 15 解说了 I2C 一个字节写数据操作。

[0048] 图 16 解说了开始状况对传统 I2C 从节点的影响的一个示例。

[0049] 图 17 解说了能在同一个串行总线上传输多个模式中进行通信的多个设备的系统。

[0050] 图 18 解说了与 CCIe 协议的示例相关联的某些定时和信令方面,该 CCIe 协议能够在共享串行总线上传输并且还支持传统 I2C 定时和信令。

[0051] 图 19 解说了在 CCIe 信号由用于 I2C Fm+ 模式的同一个物理驱动器驱动时具有 Fm+ 能力的 I2C 总线上的 CCIe 码元定时的一个示例。

[0052] 图 20 解说了可由耦合至 I2C 兼容总线的 CCIe 设备使用的开漏驱动器的示例。

[0053] 图 21 是解说采用可根据本文公开的某些方面来适配的处理系统的装置的示例的框图。

[0054] 图 22 是根据本文公开的一个或多个方面的用于在 CCIe 总线上传送信息的方法的流程图。

[0055] 图 23 是解说根据本文公开的一个或多个方面的在 CCIe 总线上传达信息的传送装置的硬件实现的示例的示意图。

[0056] 图 24 是根据本文公开的一个或多个方面的用于从 CCIe 总线接收信息的方法的流程图。

[0057] 图 25 是解说根据本文公开的一个或多个方面的解码在 CCIe 总线上传送的信息的

接收装置的硬件实现的示例的示意图。

[0058] 图 26 是根据本文公开的一个或多个方面的用于操作采用总线的系统或设备的方法的流程图。

[0059] 详细描述

[0060] 现在参照附图描述各个方面。在以下描述中,出于解释目的阐述了众多具体细节以提供对一个或多个方面的透彻理解。然而,明显的是,没有这些具体细节也可实践此种(类)方面。

[0061] 如本申请中所使用的,术语“组件”、“模块”、“系统”及类似术语旨在包括计算机相关实体,诸如但不限于硬件、固件、硬件与软件的组合、软件、或执行中的软件。例如,组件可以是但不限于是,在处理器上运行的进程、处理器、对象、可执行件、执行的线程、程序和/或计算机。作为解说,在计算设备上运行的应用和该计算设备两者皆可以是组件。一个或多个组件可驻留在进程和/或执行的线程内,且组件可以本地化在一台计算机上和/或分布在两台或更多台计算机之间。另外,这些组件能从其上存储着各种数据结构的各种计算机可读介质来执行。这些组件可藉由本地和/或远程进程来通信,诸如根据具有一个或多个数据分组的信号来通信,这样的数据分组诸如是来自藉由该信号与本地系统、分布式系统中另一组件交互的、和/或跨诸如因特网之类的网络与其他系统交互的一个组件的数据。

[0062] 此外,术语“或”旨在表示包含性“或”而非排他性“或”。即,除非另外指明或从上下文能清楚地看出,否则短语“X 采用 A 或 B”旨在表示任何自然的可兼排列。即,短语“X 采用 A 或 B”得到以下任何实例的满足: X 采用 A; X 采用 B; 或 X 采用 A 和 B 两者。另外,本申请和所附权利要求书中所使用的冠词“一”和“某”一般应当被解释成表示“一个或多个”,除非另外声明或者可从上下文中清楚看出是指单数形式。

[0063] 本发明的某些方面可适用于被部署在电子设备之间的通信链路,这些电子设备可包括装置(诸如电话、移动计算设备、电器、汽车电子设备、航空电子系统等)的子组件。图 1 描绘了可采用 IC 设备之间的通信链路的装置。在一个示例中,装置 100 可包括无线通信设备,该无线通信设备通过 RF 收发机与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。装置 100 可包括可操作地耦合到处理电路 102 的通信收发机 106。处理电路 102 可具有一个或多个 IC 设备,诸如专用 IC(ASIC) 108。ASIC 108 可包括一个或多个处理设备、逻辑电路等等。处理电路 102 可包括和/或耦合到处理器可读存储(诸如存储器 112),该处理器可读存储 112 可维护可由处理电路 102 执行的指令和数据。处理电路 102 可由操作系统以及应用编程接口(API) 110 层中的一者或多者来控制,该 API 110 层支持并允许执行驻留在存储介质(诸如无线设备的存储器设备 112)中的软件模块。存储器设备 112 可包括只读存储器(ROM)或随机存取存储器(RAM)、电可擦除可编程 ROM(EEPROM)、闪存卡、或可以在处理系统和计算平台中使用的任何存储器设备。处理电路 102 可包括或访问本地数据库 114,该本地数据库 114 可维护用于配置和操作该装置 100 的工作参数和其它信息。本地数据库 114 可使用数据库模块、闪存、磁介质、EEPROM、光学介质、磁带、软盘或硬盘等中的一者或多者来实现。处理电路也可以可操作地耦合至外部设备,诸如天线 122、显示器 124、操作者控件(诸如按钮 128 和按键板 126 以及其他组件)。

[0064] 支持 I2C 和 CCIe 操作两者的总线架构的示例

[0065] 图 2 是解说具有基带处理器 204 和图像传感器 206 的设备 202 的简化示例的框图

200。图像数据总线 216 和多模控制数据总线 208 可以在设备 202 中实现。示图 200 仅作为示例解说了相机设备 202, 并且各种其他设备和 / 或不同功能性可以实现、操作、和 / 或使用控制数据总线 208 来通信。在所描绘的示例中, 可以在图像数据总线 216 (诸如由 MIPI 定义的“DPHY”高速差分链路) 上从图像传感器 206 向基带处理器 204 发送图像数据。在一个示例中, 控制数据总线 208 可以具有能配置用于 I2C 总线模式中的操作的两条导线。相应地, 控制数据总线 208 可以包括 SCL 和 SDA 导线。SCL 可携带时钟信号, 该时钟信号可被用于根据 I2C 协议来同步在控制数据总线 208 上的数据传输。数据线 SDA 和时钟线 SCL 可以耦合至 I2C 总线 (控制数据总线 208) 上的多个设备 212、214 和 218。在该示例中, 可以经由控制数据总线 208 在基带处理器 204 与图像传感器 206 以及其他外围设备 218 之间交换控制数据。根据 I2C 协议, SCL 导线上的时钟速度对于正常 I2C 操作可高达 100KHz, 对于 I2C 快速模式可高达 400KHz, 并且对于 I2C 快速模式 + (Fm+) 可高达 1MHz。在用于相机应用时, I2C 总线上的这些操作模式可被称为相机控制接口 (CCI) 模式。

[0066] 根据一个方面, 可以在多模控制数据总线 208 上实现改进的操作模式以支持相机操作。改进的操作模式可以使数据能够以大于 1MHz 的速率来传输, 并且该改进的模式可被称为 CCI 扩展 (CCIE) 模式。

[0067] 在一个示例中, CCIE 总线可被用于为与 CCIE 总线操作兼容的设备提供较高数据率。此类设备可被称为 CCIE 设备, 并且 CCIE 设备可以在彼此通信时通过将数据编码为使用常规 CCI 总线的 SCL 线和 SDA 线两者传送的码元来达到较高数据率。CCIE 可被用于相机应用。CCIE 设备和 I2C 设备可以在相同的 CCIE 总线上共存, 以使得在第一时间区间中可以使用 CCIE 编码来传送数据, 并且可以在不同的时间区间中根据 I2C 信令约定和协议来传送其他数据。

[0068] 当设备 202 被配置用于 CCIE 模式时, 基带处理器 204 包括主节点 212 并且图像传感器 206 包括从节点 214, 其中主节点 212 和从节点 214 在控制数据总线 208 上根据 CCIE 模式协议来操作而不影响耦合至控制数据总线 208 的任何传统 I2C 设备的正确操作。控制数据总线 208 可以在没有 CCIE 设备与传统 I2C 从设备之间的桥接设备的情况下支持 CCIE 模式操作。

[0069] 在一个示例中, 在控制数据总线 208 上的第一交换期间, 传统 I2C 设备可以在具有第一时钟、第一总线速度和 / 或第一信号协议的第一模式中操作, 而在控制数据总线 208 上的第二交换期间, 具有 CCIE 能力的设备可以在具有第二时钟、第二总线速度和 / 或第二协议的第二模式中操作。第一时钟、第一总线速度、和 / 或第一信号协议可以不同于第二时钟、第二总线速度、和 / 或第二协议。例如, 第二时钟和 / 或第二总线速度可以分别快于第一时钟和 / 或第一总线速度或者具有比第一时钟和 / 或第一总线速度大的速度。

[0070] 在另一示例中, 所有从设备 218 可以是具有 CCIE 能力的设备, 以使得不需要在第一操作模式与第二操作模式之间切换。即, 所有信令和 / 或通信可以根据使用第二时钟和 / 或第二总线速度并且使用第二协议的第二模式来执行。在所有从设备 218 是具有 CCIE 能力的设备时, 第一模式与第二模式之间的切换是不需要的或者无优势的, 因为第二模式可以提供比第一模式更大的比特率。在一些实例中, 可以实现第三操作模式, 该第三操作模式提供甚至比第二模式更大的比特率, 但是在不需要容适第一模式时不与 I2C 设备兼容。

[0071] 图 3 是解说支持共存的 I2C 模式设备 304₁-304_n 以及 CCIE 模式设备 312 和

314₁-314_n的公共总线 302 的框图 300。对于 I2C 模式事务 308, 具有 CCIe 能力的主设备 312 可以在总线 302 上使用 I2C Fm+ 或 CCI 协议来与 I2C 从设备 304₁-304_m通信以获得 1Mbps 的最大数据率。当具有 CCIe 能力的主设备 312 可以支持全部 CCI 或 I2C Fm+ 能力时, 具有 CCIe 能力的从设备 314₁-314_n可以不需要支持全部 I2C 能力。

[0072] 具有 CCIe 能力的主设备 312 还可以建立与具有 CCIe 能力的从设备 314₁-314_n的 CCIe 模式通信 306。CCIe 模式准许单主控操作, 并且不支持多个主控。在 CCIe 模式中, CCIe 主设备 312 仅在控制数据总线 302 上与具有 CCIe 能力的从设备 314₁-314_n通信。具有 CCIe 能力的设备 312 和 314₁-314_n可以在 CCIe 模式中以比 I2C 模式中显著更高的数据率来通信。例如, 具有 CCIe 能力的设备 312 和 314₁-314_n可以 6.4Mbps 或 16.7Mbps 的数据率来通信。

[0073] 可以针对总线 302 配置或定义默认启动模式。在一个示例中, 总线 302 可被配置成在上电、复位和 / 或其他类型的启动状况之后在 CCIe 操作模式中操作。在另一示例中, 总线 302 可被配置成最初在传统 I2C 模式中操作。具有 CCIe 能力的主设备 312 可以通过在例如希望访问具有 CCIe 能力的从设备 314₁-314_n时传送的 I2C 一般呼叫来使总线 302 的操作模式从 I2C 模式切换至 CCIe 模式。具有 CCIe 能力的主设备 312 可以通过 CCIe “退出”协议和 I2C 一般呼叫的组合来从 CCIe 模式切换至 I2C 模式以在总线 302 上访问 I2C 从设备 304₁-304_m。

[0074] 解说适配成用于 CCIe 操作的设备的某些方面的示例

[0075] 图 4 是解说可以采用通信总线 (诸如 CCIe 总线 430) 的装置 400 的某些方面的示意性框图。装置 400 可以实施在无线移动设备、移动电话、移动计算系统、无线电话、笔记本电脑、平板计算设备、媒体播放器、游戏设备中中的一者或多者中。装置 400 可以包括使用 CCIe 总线 430 来通信的多个设备 402、420 和 / 或 422a-422n。CCIe 总线 430 可以为配置成用于 CCIe 总线 430 所支持的增强型特征的设备扩展常规 CCI 总线的的能力。例如, CCIe 总线 430 可以支持比 CCI 总线高的比特率。根据本文公开的某些方面, CCIe 总线 430 的一些版本可以被配置或适配成支持 16.7Mbps 或更大的比特率, 并且 CCIe 总线的一些版本可以被配置或适配成支持每秒至少 23 兆比特的数据率。

[0076] 在图 4 中解说的示例中, 成像设备 402 被配置成作为 CCIe 总线 430 上的从设备来操作。成像设备 402 可被适配成提供例如管理图像传感器的传感器控制功能 404。另外, 成像设备 402 可包括配置寄存器 406 和 / 或其他存储设备 424、处理电路和 / 或控制逻辑 412、收发机 410 和线驱动器 / 接收器 414a 和 414b。处理电路和 / 或控制逻辑 412 可包括处理器, 诸如状态机、定序器、信号处理器或通用处理器。收发机 410 可包括接收机 410a、发射机 410c 和某些共用电路 410b, 包括定时、逻辑和存储电路和 / 或设备。在一些实例中, 收发机 410 可包括编码器和解码器、时钟和数据恢复电路和类似物。

[0077] 发射时钟 (TXCLK) 信号 428 可被提供给发射机 410c, 其中 TXCLK 信号 428 可被用来确定用于 CCIe 通信模式的数据传输速率。当 SDA 导线 418 和 SCL 导线 416 两者被用于编码所传送的数据时, TXCLK 信号 428 可被嵌入在 CCIe 总线 430 上传送的码元序列内。在一个示例中, TXCLK 信号 428 可以使用转变时钟转码来嵌入, 由此要在物理链路 430 上传送的数据被转码, 以使得在 CCIe 总线 430 上传送的每一对连贯码元之间出现至少一根导线 416 和 / 或 418 的状态改变。

[0078] 图 5 是解说可根据本文所公开的某些方面来配置的发射机 500 和接收机 520 的示例的框图。对于 CCIe 操作,发射机 500 可以将数据 510 转码成三进制(基数 3)转变数,该三进制转变数被编码为在 SCL 416 和 SDA 418 信号导线上传送的码元。在所描绘的示例中,输入数据 510 的每个数据元素(亦称为数据字)可以具有 19 或 20 比特。转换器和/或转码器 502 可以接收输入数据 510 并且为每个数据元素产生三进制转变数。每一个三进制转变数可被提供为 12 个三进制位的序列 512,每一个三进制位通过两个比特来表示。编码器 504 接收 12 个三进制位的序列 512 并且产生通过线驱动器 506 传送的 2 比特码元流 514。在所描绘的示例中,线驱动器 506 包括开漏输出晶体管 508。然而,在其他示例中,线驱动器 506 可以使用推挽式驱动器来驱动 SCL 416 和 SDA 418 信号导线。通过确保没有任一对连贯码元包括两个相同码元,由编码器 504 生成的 2 比特码元输出流 514 在连贯码元 514 之间具有 SCL 416 和 SDA 418 信号导线中的至少一者的状态转变。至少一根导线 416 和/或 418 的状态转变的可用性准许接收电路 520 从码元流 536 的收到版本中提取时钟信息并且从数据码元流 536 推导接收时钟 538。

[0079] 在 CCIe 系统中,接收机 520 可以包括时钟和数据恢复(CDR)电路 528 或与其协作。接收机 520 可以包括向 CDR 电路 528 提供原始 2 比特码元流 536 的线接口电路 526。CDR 电路 528 从原始码元 536 中提取接收时钟 538 并且向接收机 520 的其他电路 524 和 522 提供 2 比特码元流 534 和接收时钟 538。在一些示例中,CDR 电路 528 可以产生多个时钟 538。在一个示例中,CDR 电路 528 包括检测 SCL 信号导线 416 和/或 SDA 信号导线 418 上的转变并且在检测到此类转变之际使接收时钟 538 的状态翻转的逻辑。CDR 电路 528 可以包括时间敏感的电路系统(诸如单稳电路、延迟电路或其他此类元件)以在 SCL 信号导线 416 和 SDA 信号导线 418 在同一码元边界处的转变关于彼此延迟时排除接收时钟 538 的多次状态翻转。解码器 524 可以使用接收时钟 538 来将码元流 534 解码成 12 个三进制位的序列 532,每个序列 532 表示转变数。12 位转变数 532 的每一位可以被表示为 2 比特三进制位。转码器和/或转换器 522 可以随后将 12 个三进制位的每一序列 532 转换成 19 比特或 20 比特输出数据元素 530。

[0080] 根据某些方面,通过转换器 502 和 522 来执行输入二进制数据 510 与表示转变数的三进制位序列 512 之间和/或转变数 532 与输出数据比特 530 之间的转换在一个示例中,对于双导线接口 430,在发射机 500 处的从数据比特 510 到转变数的转换以及随后在接收机 520 处的从转变数到数据比特 530 的转换涉及 12 个转变码元。针对集合或序列 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\}$ 中的每一个转变数 T 所得到的 r 个可能码元转变状态为 12 个转变数提供了总共 r^{12} 个不同状态。对于双导线总线,从每个信令状态可得到的转变状态数 $r = 2^2 - 1$ 。因此,转变序列 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\}$ 可以编码具有 $(2^2 - 1)^{12} = 3^{12} = 531441$ 个不同状态的数据。在该后一示例中,从 $\{0, 1, 2\}$ 中选择 12 位三进制数 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\}$ 中的每个转变 T_i 。

[0081] 例如,对于 $\{T_{11}, T_{10}, \dots, T_2, T_1, T_0\} = \{2, 1, 0, 0, 1, 1, 0, 1, 0, 1, 2, 1\}$,表示 12 转变序列的三进制数是:

[0082] $2100_1101_0121_3$ (三进制数)

[0083] $= 2 \times 3^{11} + 1 \times 3^{10} + 0 \times 3^9 + 0 \times 3^8$

[0084] $+ 1 \times 3^7 + 1 \times 3^6 + 0 \times 3^5 + 1 \times 3^4$

$$[0085] \quad +0 \times 3^3 + 1 \times 3^2 + 2 \times 3^1 + 1 \times 3^0$$

$$[0086] \quad = 416356 (0x65A64)。$$

[0087] 以此方式, 转变数的 12 个三进制位可被转换成 20 比特数据输出 530。

[0088] 在图 5 中解说的双导线系统的示例中, 12 个码元转变数可被推广为 n 导线系统和 m 个码元转变数。在针对集合或序列 $\{T_{m-1}, \dots, T_1, T_0\}$ 中的每一个转变数 T 有 r 个可能码元转变状态时, m 转变序列可以编码 r^m 个不同状态, 其中 $r = 2^n - 1$ 。因此, 序列 $\{T_{m-1}, \dots, T_1, T_0\}$ 可以编码具有最多达 $(2^n - 1)^m$ 个不同状态的数据。

[0089] 在一个示例中, 表示双导线、12 码元接口中的码元转变数 532 的三进制数可如下被转换成二进制数输出数据比特 530:

$$[0090] \quad \text{比特} = T_{11}x3^{11} + T_{10}x3^{10} + T_9x3^9 + T_8x3^8 + T_7x3^7 + T_6x3^6$$

$$[0091] \quad + T_5x3^5 + T_4x3^4 + T_3x3^3 + T_2x3^2 + T_1x3 + T_0。$$

[0092] 在发射机 500 处, 执行用于将数据比特 510 转换成三进制数 512 的算法, 该三进制数 512 可被编码为码元 514 以供在双导线、12 码元接口中的 SCL 导线 416 和 SDA 导线 418 上传送。该算法可以迭代地计算降序转变数 (T_i) 值连同其相应余数 (M_i)。即, 每一位可以如下计算: 将在较高位计算中使用的取模运算的余数除以 3 的该位数次幂、并丢弃小数点后面的数字:

$$[0093] \quad T_{11} = \text{比特} / 3^{11}, M_{11} = \text{比特} \% 3^{11};$$

$$[0094] \quad T_{10} = M_{11} / 3^{10}, M_{10} = M_{11} \% 3^{10};$$

$$[0095] \quad T_9 = M_{10} / 3^9, M_9 = M_{10} \% 3^9;$$

$$[0096] \quad T_8 = M_9 / 3^8, M_8 = M_9 \% 3^8;$$

$$[0097] \quad T_7 = M_8 / 3^7, M_7 = M_8 \% 3^7;$$

$$[0098] \quad T_6 = M_7 / 3^6, M_6 = M_7 \% 3^6;$$

$$[0099] \quad T_5 = M_6 / 3^5, M_5 = M_6 \% 3^5;$$

$$[0100] \quad T_4 = M_5 / 3^4, M_4 = M_5 \% 3^4;$$

$$[0101] \quad T_3 = M_4 / 3^3, M_3 = M_4 \% 3^3;$$

$$[0102] \quad T_2 = M_3 / 3^2, M_2 = M_3 \% 3^2;$$

$$[0103] \quad T_1 = M_2 / 3, M_1 = M_2 \% 3;$$

$$[0104] \quad T_0 = M_1。$$

[0105] 该后一算法可以从以下合成:

$$[0106] \quad T_{11} = (\text{比特} \geq 3^{11} \times 2) ? 2 : (\text{比特} \geq 3^{11}) ? 1 : 0, M_{11} = \text{比特} - T_{11} \times 3^{11};$$

$$[0107] \quad T_{10} = (M_{11} \geq 3^{10} \times 2) ? 2 : (M_{11} \geq 3^{10}) ? 1 : 0, M_{10} = M_{11} - T_{10} \times 3^{10};$$

$$[0108] \quad T_9 = (M_{10} \geq 3^9 \times 2) ? 2 : (M_{10} \geq 3^9) ? 1 : 0, M_9 = M_{10} - T_9 \times 3^9;$$

$$[0109] \quad T_8 = (M_9 \geq 3^8 \times 2) ? 2 : (M_9 \geq 3^8) ? 1 : 0, M_8 = M_9 - T_8 \times 3^8;$$

$$[0110] \quad T_7 = (M_8 \geq 3^7 \times 2) ? 2 : (M_8 \geq 3^7) ? 1 : 0, M_7 = M_8 - T_7 \times 3^7;$$

$$[0111] \quad T_6 = (M_7 \geq 3^6 \times 2) ? 2 : (M_7 \geq 3^6) ? 1 : 0, M_6 = M_7 - T_6 \times 3^6;$$

$$[0112] \quad T_5 = (M_6 \geq 3^5 \times 2) ? 2 : (M_6 \geq 3^5) ? 1 : 0, M_5 = M_6 - T_5 \times 3^5;$$

$$[0113] \quad T_4 = (M_5 \geq 3^4 \times 2) ? 2 : (M_5 \geq 3^4) ? 1 : 0, M_4 = M_5 - T_4 \times 3^4;$$

$$[0114] \quad T_3 = (M_4 \geq 3^3 \times 2) ? 2 : (M_4 \geq 3^3) ? 1 : 0, M_3 = M_4 - T_3 \times 3^3;$$

$$[0115] \quad T_2 = (M_3 \geq 3^2 \times 2) ? 2 : (M_3 \geq 3^2) ? 1 : 0, M_2 = M_3 - T_2 \times 3^2;$$

[0116] $T_1 = (M_2 \geq 3 \times 2) ? 2 : (M_2 \geq 3) ? 1 : 0, M_1 = M_2 - T_1 \times 3 ;$

[0117] $T_0 = M_1。$

[0118] 图 6 解说了在首先传送码元流中的最低有效码元时用于将二进制输入数据比特 510 转换成三进制转变数 512 的示例逻辑 620 和 640。逻辑 620、640 可以在转换器 502 中实现。如简化框图 600 中所示,由转换器 502 产生的每一个三进制转变数 512 可以从输入数据比特 510 中的比特数推导,并且每一个三进制转变数 512 可以包括 12 位 ($T_0, T_1 \cdots T_{11}$) 602。三进制数 512 随后被转码成传送给接收设备 520 的码元 514。对于 12 位三进制转变数,其中 $T_0, T_1 \cdots T_{11}$ 表示该转变数, T_0 表示 3^0 位并且是最低有效位,而 T_{11} 表示 3^{11} 位并且是最高有效位。如关于图 5 所讨论的,这些三进制转变数 512 与时钟嵌入在一起并且被编码成传送给接收设备 520 的后续码元 514。逻辑图 620 和逻辑电路 640 将输入数据比特 510 转换成“最低有效码元在前的”三进制转变数流 512。

[0119] 图 7 解说了在首先传送码元流中的最高有效码元时用于将二进制输入数据比特 510 转换成三进制转变数 712 的逻辑 720。逻辑 720 可以在转换器 704 (参见图 5 的转换器 502) 中实现。如简化框图 700 中所示,由转换器 704 产生的每一个三进制转变数 712 可以从输入数据比特 510 中的比特数推导,并且每一个三进制转变数 712 可以包括 12 位 ($T_0, T_1 \cdots T_{11}$) 702,由此 T_0 表示 3^0 位并且是最低有效位,而 T_{11} 表示 3^{11} 位并且是最高有效位。三进制转变数 712 随后被转码成传送给接收设备的码元。

[0120] 在此示例中,转换始于 T_{11} 。图 6 解说了以 $T_0, T_1, T_2, \cdots, T_{11}$ 的次序发送 12 位三进制数 602,而图 7 涉及其中以 $T_{11}, T_{10}, T_9, \cdots, T_0$ 的次序发送 12 位三进制数 702 的示例。在图 6 的示例逻辑 620 和 640 与图 7 中的电路 720 之间可标识某些差异。图 6 的电路 640 包括 24 个触发器并且与图 7 的包括复用器、20 个触发器和逻辑器件的电路 720 相比是相当复杂的。相应地,由于逻辑门的减少,在首先发送最高有效比特时,所涉及的逻辑和电路系统在复杂度方面被简化并且没那么昂贵。

[0121] 如所提及的,图 6 的逻辑 620、640 解说了最低有效码元在前 (LSS 在前) 逻辑和电路系统 (因为首先向接收设备传送最低有效码元),而图 7 的逻辑 720 解说了其中首先向接收设备传送最高有效码元 (MSS 在前) 的示例。如本文所使用的,“最低有效码元”指代与三进制数的最低有效位相对应的经转码码元。例如,当 T_0 被转码成顺序码元时,该码元是最低有效码元,因为其源自最低有效三进制位。并且在码元到转变数转换器 (例如,图 5 的转码器 524) 随后将经转码的 (顺序) 码元转换成转变数 532 (即,一个三进制位数) 时,其将是最低有效位。类似地,如本文所使用的,“最高有效码元”指代与三进制数的最高有效位相对应的经转码码元。

[0122] 图 8 解说了可被用于将 12 位三进制数转换成输出比特 824 的电路系统 800 的示例。如本文所描述的,例如 19 或 20 比特的原始数据 510 可按倒序被转换成三进制转变数,由此首先将最高有效比特提供给转换器 (参见图 7 和描述)。该转变数可以再次以倒序被转换 (即,转码) 成顺序码元,并且这些经转码码元在总线上以倒序被传送。接收设备 (例如,从设备) 接收倒序传输并且执行时钟恢复和码元采样以将经转码码元转换回三进制数,该三进制数随后以倒序被提供给将该三进制数转换回 20 比特二进制原始数据的电路。电路 800 可以使用具有耦合至去往逻辑设备的单个输出端的 12 个输入端的复用器 802。

[0123] 最高有效码元在前与最低有效码元在前操作模式之间的选择可以通过计数器 850

计数的方向来控制。例如,当计数器 850 被配置或控制成作为从十六进制“0xB”(即,十进制“11”)递减的递减计数器操作时,可以首先处置最高有效码元。如果计数器 850 被配置或控制成作为从十六进制“0x0”(即,十进制“0”)递增的递增计数器操作,则可以首先处置最低有效码元。替换地或补充地,至复用器 802 的输入的次序可以被配置成使得复用器 802 对计数器 850 的输出 (DELCNT) 814 进行响应以产生输出三进制转变数的期望次序。

[0124] 计数器 850 可使用同步至可从系统时钟和 / 或 CDR 电路 528 的输出推导出的时钟的寄存器或锁存器 860 来提供 DELCNT 814 输出。寄存器 860 从第一复用器逻辑 858 接收 4 比特输入,第一复用器逻辑 858 基于初始化计数器 850 的控制信号 (开始信号) 864 来在下一值或开始值之间进行选择。开始值可以在转换器在最高有效码元在前模式中操作时设置为 0xB,并且可以在转换器在最低有效码元在前模式中操作时设置为 0x0。第一复用器逻辑 858 从第二复用器逻辑 856 接收下一值,第二复用器逻辑 856 基于由结束检测逻辑 854 检测到结束状况来在 DELCNT 814 输出的修改版本与 DELCNT 814 输出之间进行选择。第二复用器 856 的经修改输入可以是功能 852 的结果,该功能 852 可以通过用于递减计数操作的减法逻辑或者从用于递增计数操作的加法逻辑提供。如所描绘的,第二复用器逻辑 856 在 DELCNT 814 输出从 0x0 递减到 0xF 之后重复 DELCNT 814 输出,从而指示当前转换结束。对于递减计数操作模式,结束检测逻辑 854a 可被配置成检测 DELCNT 814 上的 0xF 值,并且结束检测逻辑 854a 切换第二复用器逻辑 856 输出以使 DELCNT 814 保持在 0xF,直至开始信号 864 使开始值被加载。对于递增计数操作,结束检测逻辑 854b 可被配置成检测 DELCNT 814 上的 0xC (十进制“12”或二进制“1100”)。

[0125] CCIe 编码的示例

[0126] 图 9 是解说可被转码器 504 用于从三进制转变数 512 产生码元序列 514 的编码方案 900 的图示,其中码元序列 514 具有嵌入的时钟信息并且用于在 CCIe 总线 430 上传送。编码方案 900 还可由转码器 524 用于从在 CCIe 总线 930 上传送的码元 534 提取三进制转变数 532。在 CCIe 编码方案 900 中,CCIe 总线 430 的两根导线准许定义 4 个基本码元 S: {0, 1, 2, 3}。码元序列 514、534 中的任何两个连贯码元具有不同状态,并且码元序列 0, 0、1, 1、2, 2 和 3, 3 是连贯码元的无效组合。相应地,在每个码元边界处仅 3 个有效码元转变可用,其中码元边界由发射时钟确定并且表示第一码元 (前一码元 P_s) 922 终止且第二码元 (当前码元 C_s) 924 开始的点。

[0127] 根据本文所公开的某些方面,针对每个 P_s 码元 922,这三个可用转变被指派转变数 (T) 926。T 926 的值可以由三进制数表示。在一个示例中,转变数 926 的值通过指派用于编码方案的码元排序圆 902 来确定。码元排序圆 902 为 4 个可能码元分配圆 902 上的位置 904a-904d 以及位置 904a-904d 之间的旋转方向 906。在所描绘的示例中,旋转方向 906 为顺时针。转变数 926 可以表示有效的当前码元 924 与前一紧邻码元 922 之间的间隔。间隔可被定义为从前一码元 922 到达当前码元 C_s 924 所需要的在码元排序圆 902 上沿旋转方向 906 的步数。步数可被表达为一位基数为 3 的数字。

[0128] 将领会,码元之间的三步差异可被表示为 $0_{\text{基数} 3}$ 。图 9 中的表 920 概述了采用这种办法的编码方案。在该示例中,转变数 T 可根据以下规则来指派:

$$[0129] \quad T_{\text{tmp}}[1:0] = 4 + C_s - P_s$$

$$[0130] \quad T = T_{\text{tmp}}[1:0] \text{ mod } 3 \text{ ? } 0 : T_{\text{tmp}}[1:0]$$

[0131] 相反,当前顺序码元 (C_s) 可根据以下规则来指派:

[0132] $T_{tmp} = T = 0 ? 3:T$

[0133] $C_s = P_s + T_{tmp}$

[0134] 相似的办法可用于 n 导线系统,这通过对于任何 n (例如, $n = 4, 5, 6, \dots$) 构造保证原始码元将改变的顺序码元至转变数的映射表来实现。例如,在 n 导线系统的情况下,转变数 T 可根据以下规则来指派:

[0135] $T = (P_s \leq C_s) ? C_s - P_s : 2^n + C_s - P_s$ 。

[0136] 相反,在 n 导线系统的情况下,当前顺序码元 (C_s) 可根据以下规则来指派:

[0137] $C_{s_{tmp}} = P_s + T$

[0138] $C_s = (C_{s_{tmp}} < 2^n) ? C_{s_{tmp}} : C_{s_{tmp}} - 2^n$ 。

[0139] 在发射机 500 处,在给定先前生成的码元 922 和用作转变数 926 的输入三进制数的知识的情况下,表 920 可被用于查找要被传送的当前码元 924。在接收机 520 处,表 920 可被用作查找表以确定表示先前接收的码元 922 与当前接收的码元 924 之间的转变的转变数 926。转变数 926 可作为三进制数来输出。

[0140] 图 10 和 11 解说了传统 I2C 接口的某些方面。图 10 是解说传统 I2C 协议的典型 I2C 比特传输循环的时序图 1000。SCL 线 416 可以专用于从主节点向从节点发送时钟信号。SDA 线 418 可用于传输 7 比特序列连同由接收机在结束时提供的 ACK 1008。I2C 协议提供 8 比特数据 (字节) 和 7 比特地址连同用于指示命令了读操作还是写操作的 1 比特的传输。数据传输由接收机确收,该接收机驱动 SDA 信号导线 418 达一个时钟周期 1008,以使得低信令状态表示指示成功接收的确收 (ACK) 并且高信令状态表示指示接收失败或者接收错误的否定确收 (NACK)。在 SCL 线 416 上针对每个时钟循环传送一个数据比特 1004、1006 或 ACK (1008)。在一个示例中,当 SCL 线 416 的时钟状态处于高逻辑状态 1002 时,可以从 SDA 线 418 读取数据比特状态 1004。

[0141] 图 11 是解说常规 I2C 总线上的 SDA 和 SCL 信号导线之间的关系时序图,并且该图示包括解说常规 I2C 总线上的 SDA 和 SCL 信号导线 418、416 之间的关系时序图 1100 和 1120。第一时序图 1100 解说在常规配置的 I2C 总线上传输数据时 SDA 信号导线 418 与 SCL 信号导线 416 之间的定时关系。SCL 信号 416 提供可被用于对 SDA 信号导线 418 中的数据采样的一系列时钟脉冲 1112。当 SCL 信号导线 416 在数据传输期间处于逻辑高状态时,要求 SDA 信号导线 418 上的数据是稳定且有效的,以使得 SDA 信号导线 418 的状态不准许在 SCL 信号导线 416 处于高状态时改变。

[0142] 用于常规 I2C 协议实现的规范定义了 SCL 信号导线 416 上的每个脉冲 1112 的高时段 ($t_{高}$) 1110 的最小历时,其中脉冲 1112 对应于 SCL 信号导线 416 处于高逻辑状态的时间。I2C 规范还定义了建立时间 ($t_{SU, DAT}$) 1106 和保持时间 ($t_{HD, DAT}$) 1108 的最小历时,在该建立时间和保持时间期间,SDA 信号导线 418 的信令状态必须在 SDA 信号导线 418 处于高逻辑状态的脉冲 1112 之前和之后是稳定的。建立时间 1106 定义了 SDA 信号导线 418 上的信令状态之间的转变 1116 之后、直至 SCL 信号导线 416 上的脉冲 1112 的上升沿的抵达为止的最大时间段。保持时间 1108 定义了 SCL 信号导线 416 上的脉冲 1112 的下降沿之后、直至 SDA 信号导线 418 上的信令状态之间的下一转变 1118 为止的最小时间段。I2C 规范还定义了 SDA 信号导线 418 的信令状态可以改变时 SCL 信号导线 416 的低时段 ($t_{低}$) 1114

的最小历时。通常在 SCL 信号导线 416 在脉冲 1112 的前沿之后处于高逻辑状态时捕捉 SDA 信号导线 418 上的数据达时间历时 ($t_{\text{高}}$) 1110。

[0143] 图 11 的第二时序图 1120 解说了在常规 I2C 总线上的数据传输之间 SDA 信号导线 418 和 SCL 信号导线 416 上的信令状态。I2C 协议定义了开始状况或序列 1122, 其中 SDA 信号导线 418 从高转变为低, 而 SCL 信号导线 416 保持在高状态。I2C 协议定义了停止状况或序列 1124, 其中 SDA 线从低信令状态转变为高信令状态, 而 SCL 线 416 为高。如本文提及的, 在数据被传送时, SDA 信号导线 418 的信令状态预期在 SCL 信号导线 416 上传送的脉冲 1112 的高时段期间保持稳定。相应地, 在 SCL 信号导线 416 处于逻辑高状态时 SDA 信号导线 418 的转变可被从设备解读为开始状况 1122 或停止状况 1124。

[0144] 开始状况 1122 被定义为准许当前总线主控发信号通知数据将被传送。兼容 I2C 的从设备必须在接收到开始状况 1112 时使其总线逻辑复位。开始状况 1122 在 SDA 信号导线 418 从高转变为低而同时 SCL 信号导线 416 为高时发生。I2C 总线主控最初传送开始状况 1122, 其后跟随该 I2C 总线希望与其交换数据的 I2C 从设备的 7 比特地址。在该地址之后跟随着指示要进行读操作还是写操作的单个比特。被寻址的 I2C 从设备 (若可用) 用 ACK 比特来响应。主 I2C 设备和从 I2C 设备随后在帧中交换信息字节, 其中这些字节被串行化, 以使得首先传送最高有效比特 (MSB) 1004 并且最后传送最低有效比特 1006。当 I2C 主设备传送停止状况 1124 时, 字节传输完成。停止状况 1124 在 SDA 信号导线 418 从低转变为高而同时 SCL 信号导线 416 为高时发生。I2C 协议要求 SDA 信号导线 418 的所有转变在 SCL 信号导线 416 为低时发生, 并且例外可被当作开始状况 1122 或停止状况 1124。

[0145] 在使用传统 I2C 协议时, 每循环用共享串行总线 430 的 2 根导线 416、418 来发送仅 1 比特信息。即, 每循环每导线仅传送 0.5 比特信息。根据本文公开的诸方面, 可以通过在 SDA 线 418 和 SCL 线 416 两者上传送数据而同时将时钟嵌入到所传送的码元内来获得改进的数据率 (即, 大于每循环每导线 0.5 比特信息)。时钟信息可以在接收机处被提取, 而无需使用锁相环 (PLL)。

[0146] 图 12 是解说在连接至总线 430 的设备 402、420、422a-n 包括 I2C 设备时在 CCIe 模式中在共享总线 430 上的数据传输的示例的时序图 1200。在该示例中, CCIe 设备使用推挽式驱动器而不是由 I2C 设备使用的开漏驱动器来驱动信号导线 418、416。数据被编码在信号导线 418、416 上传送的码元序列 1206、1208 中。在码元速率为 20MHz 时, 可以为 CCIe 传输达成每秒约 14 兆比特 (Mbps) 的有效数据率。如本文描述的, 19 比特数据可被转换成 12 个码元的序列 1206、1208, 其针对码元序列 1206 或 1208 中的每个码元周期 (t_{sym}) 1212 控制 SDA 信号 418 和 SCL 信号 416 的状态。如所描绘的, 每个码元周期 1212 的历时可以为 50ns。在一个示例中, 这 19 比特包括 16 比特数据以及 3 比特开销。

[0147] 连贯码元序列 1206 和 1208 之间的定时可以通过为满足管控 I2C 设备的操作的协议所需要的时间段来控制。在一个示例中, 开始状况 1210 在每个传输 1206、1208 之前并且具有至少 260ns 的历时 (t_{HD})。开始状况 1210 可以由码元值“1”定义, 以使得 SDA 信号 418 保持为低, 而 SCL 信号 416 保持为高。开始状况 1210 可以跟随在信号 418 和 416 两者均处于高状态时的最小建立时段 (t_{SU}) 1216 后, 如由码元值“3”定义的。最小建立时段 (t_{SU}) 1216 可以在传输 1206 或 1208 终止之后开始, 并且最小建立时段 (t_{SU}) 1216 可以保持至少 260ns。相应地, 第一传输 1206 的开始与第二传输 1208 的开始之间的最小流逝时间

1214 可被计算为：

$$[0148] \quad t_{\text{字}} = t_{\text{HD}} + t_{\text{SU}} + 12 \times t_{\text{sym}} = (260 + 260 + 12 \times (50)) \text{ ns} = 1120 \text{ ns}$$

[0149] 可以针对建立时间与开始时间之间的信号下降时间 (t_f) 包括附加的标称 20ns。信号下降时间可被计算为：

$$[0150] \quad t_f = \left(20 \times \frac{VDD}{5.5} \right) \text{ ns (min)}, \quad t_f = 120 \text{ ns (max)}。$$

[0151] 相应地，可以在最小 1140ns 内传送 19 比特数据，其中相应的原始比特率为约 16.7Mbps 并且有用比特率为约 14.04Mbps (因为在 12 个码元中传送 16 比特)。

[0152] 在总线 430 上容纳 I2C 设备时，传输 1206 与 1208 之间的最小所需时间显著大于在通信中仅涉及 CCIe 设备的情形。图 12 包括解说添加 I2C 建立和开始时段以增加时间 1224 以便为 I2C 设备提供后向兼容性的时序图 1220。

[0153] 图 13 是解说在总线 430 上的设备 402、420、422a-n 不包括活跃 I2C 设备时 CCIe 总线 430 上的数据传输的时序图 1300。开始状况的历时可被减少。在此示例中，推挽式驱动器被用于驱动信号导线 418、416。22.86Mbps 的链路速率可以用 20MHz 码元速率来达成。12 个码元的序列 1306、1308 编码 16 比特数据和 3 比特开销。12 个码元的序列 1306、1308 中的每个码元针对每个码元周期 (t_{sym}) 1310 定义 SDA 信号 418 和 SCL 信号 416 的状态。对于 20MHz 码元时钟，每个码元周期 1310 的历时可以为 50ns。在连贯码元序列 1306 与 1308 之间的时段 1314 中传送二码元序列 {3, 1}。第一传输 1306 的开始与第二传输 1308 的开始之间的最小流逝时间 1312 可被计算为：

$$[0154] \quad t_{\text{字}} = 14 \times t_{\text{sym}} = 700 \text{ ns}$$

[0155] 在使用具有推挽式驱动器的 CCIe 设备时，可以在 700ns 内传送 19 比特数据，从而提供约 27.1Mbps 的原始比特率以及约 22.86Mbps 的有效比特率，因为在每个 12 码元字 1306、1308 中传送 16 个数据比特。

[0156] 图 14 解说了与配置为 CCIe 接口的串行总线 430 相关联的某些方面。时序图 1400 对应于与图 5 中描绘的 CCIe 发射机 500 和接收机 520 相关联的信令。时序图 1400 解说了其中发射时钟 (TXCLK) 1422 被嵌入在数据传输期间在 SDA 导线 418 和 SCL 导线 416 上传送的码元序列 1408 中的示例。在一个示例中，使用转变时钟转码来将时钟信息嵌入在码元序列 1408 中。例如，要在物理链路 430 上传送的数据 510 被转码，以使得在所传送码元 1408 的每个码元循环之后发生状态改变。因此，TXCLK 1422 可以被嵌入在每个码元循环的码元边界 (包括例如与码元 S71408d 相关联的码元边界 1414 和 1416) 处发生的码元状态改变中。接收机 520 可以从时钟信息生成接收时钟 (RXCLK) 1412，该时钟信息是从所传送码元序列 1408 中的每个码元边界 1414、1416 处的状态转变恢复的。接收机 520 可以随后逆转对所传送码元 1408 的转码以获得原始数据 530。这允许 I2C 总线 430 的两根导线都被用于发送数据。另外，码元速率可以显著增大，因为不再需要在时钟信号与数据信号之间具有建立时间和保持时间 (如图 11 中所解说的)。

[0157] 在时序图 1400 中描绘的示例中，数据 510 可被编码在 12 码元序列或区间 1406 中传送的码元流 1408 中。每个 12 码元序列 1406 包括开始码元 1408a 和终止或建立码元 1408c。建立码元 1408c 和开始码元 1408a 的组合在 CCIe 总线上传送的 12 码元序列 1406 之间形成码元序列 {3, 1}。如本文描述的，码元序列 1406 中的任何两个连贯码元产生共享

总线 430 上的不同信令状态,从而接收机可以从在 12 码元序列 1406 中的码元边界 1414、1416 处发生的码元转变推导 RXCLK 1412。码元之间的转变可以从转变数 1410 标识,如本文所描述的。CCIE 编码器可以生成 12 码元序列 1408、开始码元 1408a、和建立码元 1408b。

[0158] 根据某些方面,串行总线 430 可以同时支持 I2C 设备和 CCIE 设备两者。如本文提及的,对于 I2C 通信模式而言将作为 SCL 信号导线 416 上的时钟信号传送的时钟信息可被嵌入在码元转变内,由此准许对 SCL 信号导线 416 的使用被用于携带码元信息。I2C 协议的某些信令特性可被用于实现共享总线 430 针对 I2C 和 CCIE 模式的可操作性。例如,I2C 协议要求所有兼容 I2C 的从节点必须在接收到开始状况之际使其总线逻辑复位,该开始状况在 SDA 线 418 上发生高到低转变而同时 SCL 线 416 为高时发生。

[0159] 可操作用于 CCIE 和 I2C 通信的总线上的信令示例

[0160] 图 15 是解说 I2C 一个字节写数据操作的时序图 1500。I2C 主节点在 SDA 线 418 上传送 7 比特从 ID 1502 以指示主节点希望访问 I2C 总线 430 上的哪个从节点,之后传送指示该操作是读操作还是写操作的读 / 写比特 1512。读 / 写比特 1512 为逻辑 0 以指示写操作并且为逻辑 1 以指示读操作。仅 ID 匹配该 7 比特从 ID 1502 的从节点能够响应该写 (或读) 操作。为了使 I2C 从节点检测其自己的 ID 1502,主节点在 SDA 线 418 上传送至少 8 比特连同 SCL 线 416 上的 8 个时钟脉冲。这种行为可被用于在 CCIE 操作模式中传送数据以防止传统 I2C 从节点对 CCIE 操作作出反应。

[0161] 图 16 提供了解说开始状况 1606、1608 或 1610 对传统 I2C 从节点的影响的一个示例 1600,其中开始状态 1606、1608 或 1612 通过 SDA 线 418 上的高到低信令状态转变而同时 SCL 线 416 处于高信令状态来指示。在此示例 1600 中,可以在完整的 7 比特从 ID 已被传送之前检测到某些开始状况 1608 或 1612。结果得到的不完整的从 ID 1602、1604 不会被任何从设备识别出。在操作中,主节点在 SCL 线 416 上仅发送 6 个脉冲 1612 之后发布开始状况 1608、1610 的作用包括使所有传统 I2C 从节点在 SDA 线 418 上识别出其相应 I2C 从 ID 的可能性发生之前使其总线逻辑复位。换言之,SDA 线 418 上在两个开始状况 1606、1608 和 / 或 1610 之间发送的 6 比特序列 1602、1604 不被任何从节点解码为有效的从 ID。因此,传统 I2C 从节点预期不会对不完整的从 ID 1602、1604 作出响应。

[0162] 图 16 还包括解说在 CCIE 模式中将 I2C 总线的 SCL 线 416 和 SDA 线 418 的组合用于数据传输的示例 1620。CCIE 码元可以在与针对 I2C 传输在 SCL 线 416 上传送的时钟信号 1614 的每次翻转相对应的时间传送。在两个开始状况 1608、1610 之间传送的时钟翻转数可以因此定义可以为每个 CCIE 传输传送的码元数。因此,可以在与不完整的从 ID 1602、1604 传输等效的 6-SCL 脉冲序列期间可用的 12 个信令状态中提供 12 码元传输 1622、1624,而不会使任何从节点将该序列检测为 I2C 从 ID。

[0163] 在 SDA 线 418 上发生的转变与 SCL 线 416 上的转变相重合对于传统 I2C 设备而言是不合逻辑的,这些传统 I2C 设备可以将此类转变解读为开始状况。然而,传统 I2C 设备检测稍后发生的有效开始状况 1628、1630,该有效开始状况 1628、1630 使 I2C 从节点的总线逻辑检测复位。I2C 从节点还可将在 CCIE 传输 1622、1624 期间发生的一些 SDA 转变解读为停止状况,但是检测到 CCIE 传输 1622、1624 内的此类停止状况仅导致不完整 SID 1602、1604 的提前终止。类似地,在 CCIE 传输 1622、1624 期间检测到开始状况导致从节点的 I2C 功能执行总线逻辑复位。

[0164] 因此,明显的是,传统 I2C 从节点预期会将与 6SCL 脉冲序列相关联的 12 码元 CCIe 传输 1622、1624 作为不完整的 I2C 从 ID 1602、1604 而忽略。因此,在开始状况 1606、1608 和 1610 之间可用的 12 个 SCL 翻转期间,可以在 SCL 线 416 和 / 或 SDA 线 418 上传送 12 个码元。

[0165] 当时钟信号已被嵌入在码元转变内时,I2C 总线的 SCL 线 416 和 / 或 SDA 线 418 可被用于 CCIe 模式中的数据运输。因此,SDA 线 418 和 SCL 线 416 可被用于在两个连贯的开始状况 1626、1628 和 / 或 1630 之间传送任何任意的 12 个码元,而不影响传统 I2C 从节点功能性并且无需使用桥接设备来将传统 I2C 从节点与具有 CCIe 能力的节点分隔开。在 I2C 模式中,开始状况仅由 I2C 主节点发送,而在 CCIe 模式中,开始状况由传送 12 码元字的任何节点发送。

[0166] 图 17 是解说包括能够使用相同的双导线串行总线 430 来进行通信的多个设备 1702、1722 和 1742 的系统 1700 的示意性框图。在一个示例中,双导线串行总线 430 可以在一种模式中用于根据 CCIe 协议来支持两个或更多个设备 1702、1722 之间的通信,而在另一种模式中,双导线串行总线 430 可被用于根据 I2C 协议来支持两个或更多个设备 1702、1722 和 / 或 1742 之间的通信。相应地,双导线串行总线 430 上的信令可以采用本文公开的某些技术以确保耦合至双导线串行总线 430 的设备 1702、1722 和 1742 作为数据传输期间的信号定时的结果而不会彼此干扰(无论传输模式如何)。

[0167] 在所描绘的简化示例中,I2C 从设备 1742 可以能够根据 I2C 协议进行通信,总线主设备 1702 能够根据 I2C 和 CCIe 协议进行通信,而 CCIe 从设备 1722 能够根据 CCIe 协议并且有可能根据 CCIe 和 I2C 协议两者进行通信。在一些实例中,CCIe 设备 1702 和 / 或 1722 可以在 CCIe 操作模式期间作为串行总线上的从设备或主设备来操作。将领会,双导线串行总线 430 可以耦合其他设备,如图 3 中所解说的。装置 1700 可以实施在无线移动设备、移动电话、移动计算系统、无线电话、笔记本计算机、平板计算设备、媒体播放器、游戏设备、电器、可穿戴计算设备等等中。

[0168] CCIe 设备 1702、1722 可以服务系统 1700 中的一个或多个特定或指定的功能。例如,CCIe 设备 1702、1722 可以包括外围模块或电路 1704、1724,这些外围模块或电路 1704、1724 控制或包括用户接口的元件,诸如显示器、图像传感器、相机、键盘、触摸屏传感器、鼠标或其他指示器、视听编解码器、调制解调器、全球定位传感器、运动检测器、以及采用系统 1700 的装置的其他设备或组件。另外,CCIe 设备 1702、1722 可以包括存储 1706、1726,处理电路和 / 或控制逻辑 1710、1730,收发机 1714、1734,以及线驱动器 / 接收机 1716、1718、1736、1738。处理电路和 / 或控制逻辑 1710、1730 可包括处理器,诸如状态机、定序器、信号处理器或通用处理器。收发机 1714、1734 可以包括接收机 (Rx) 和发射机 (Tx) 电路连同某些电路和模块(包括定时、控制逻辑、一般逻辑、CDR、编码、和解码电路和 / 或设备)。收发机 1714、1734 可以包括用于维护状态配置并且提供数据缓冲器的存储。

[0169] 时钟生成电路系统 1712、1732 可以设在收发机 1714、1734 内部或外部和 / 或可以提供可被用于确定 I2C 和 CCIe 通信模式的数据传输速率的发射时钟 (TXCLK) 信号。SCL 连接器 416 可以在 I2C 操作模式中携带由时钟生成电路系统 1712、1732 提供的时钟,而在 CCIe 操作模式中,定时信息可以嵌入在使用 SCL 连接器 416 和 SDA 连接器 418 传送的码元序列内。

[0170] 存储 1706、1726 可以包括处理器或者可用于存储数据、配置信息、状态、和 / 或软件代码或指令的计算机可读介质。数据可被存储在供应发射机电路的缓冲器和 / 或处置来自接收机电路的传入数据的缓冲器中。软件代码或指令可以配置处理电路和 / 或控制逻辑 1710、1730 和 / 或由处理电路和 / 或控制逻辑 1710、1730 执行, 以使得处理电路和 / 或控制逻辑 1710、1730 管理或操作设备 1702、1722 的各种构成元件并且根据双导线串行总线 430 的当前操作模式来处置通信协议。

[0171] 主设备 1702 可以负责控制双导线串行总线 430 的操作模式并且在必要时在操作模式之间进行切换以准许耦合至双导线串行总线 430 的设备与其他设备通信。相应地, 主设备 1702 可以实现能够标识需要或请求访问双导线串行总线 430 的从设备 1722、1742 的一个或多个协议 1708。主设备 1702 可以在 I2C 从设备 1742 要被寻址时发起 I2C 模式通信事务并且可以在 CCIe 从设备 1722 要被寻址时发起 CCIe 模式通信事务。在一些情况下, 可以在同一事务中寻址两个或更多个设备, 并且主设备 1702 可以确定此类事务的通信模式。

[0172] 图 18 解说了由配置成用于 I2C 和 CCIe 操作模式两者的总线主设备 1702 进行的模式控制的某些示例。在该示例中, 解说了共享串行总线 430 上的操作的某些一般定时和信令方面, 并且将领会, 命令或呼叫的结构和内容可以在各应用之间改变而不影响本文解说的概念。同样, 根据本文描述的某些方面配置的系统的可操作性不必限于或取决于传输的内容或格式 (诸如 CDR 校准传输 1810、进入字 1812、退出字 1814 和 / 或退出序列 1816 等)。

[0173] 如第一时序图 1800 中所解说的, 该协议可以定义使共享总线 430 在 CCIe 模式与 I2C 模式之间进行切换的规程和信令。

[0174] 在一个示例中, 主设备 1702 可以传送 CCIe 模式进入命令 1812 以建立、维持、或转变至使用共享串行总线 430 的 CCIe 模式通信。在 I2C 模式中时, CCIe 模式进入命令可被寻址到具有 CCIe 能力的设备 1722, 并且被寻址的设备可以重新配置其发射和接收电路系统 1734 以支持 CCIe 通信。基于所涉及的通信事务的类型, 具有 CCIe 能力的设备 1722 可以编码或解码数据以供在共享串行总线 430 的两根导线上传送, 其中时钟信息被嵌入在共享串行总线 430 上传送的码元序列中。耦合至共享串行总线 430 的 I2C 从设备 1742 通常忽略 CCIe 事务。I2C 从设备可以感知不完整的从 ID 传输, 但是在 CCIe 传输之间在共享串行总线 430 上传送 I2C 开始状况时将使其接收电路系统复位。在一些情况下, 其他未被寻址的 CCIe 设备 314₁-314_n (参见图 3) 可以监视 CCIe 通信。

[0175] 主设备 1702 可以传送 CCIe 模式退出命令 1814 以返回到共享串行总线 430 上的 I2C 模式通信。在一个示例中, 共享总线 430 在至 CCIe 模式的进入 1812 被执行之后维持在 CCIe 操作模式中, 直至且除非从 CCIe 模式的退出 1814 被执行。

[0176] 另一时序图 1802 包括示出可被用于实现进入 CCIe 模式的进入序列的示例。CCIe 模式进入 1812 可被实现为在共享总线 430 正在 I2C 模式中操作时传送的一般呼叫的一部分。在进入 CCIe 模式之后, 可以传送恰适的从标识符 (SID) 1818, 之后是标识一个或多个具有 CCIe 能力的从设备 1722 的地址, 之后是数据传输。该地址可以是多字地址, 并且每个地址字和每个数据字可以通过 I2C 开始命令来分开, 该 I2C 开始命令使任何 I2C 从设备 1742 在共享串行总线 430 上保持不活跃。

[0177] 类似地, CCIe 模式退出 1814 可由 CCIe 模式退出序列 1804 实现, 该 CCIe 模式退出

序列 1804 被提供作为在共享总线 430 正在 CCIe 模式中操作时传送的一般呼叫的一部分。CCIe 退出命令 1814 可以使所有 CCIe 设备 1722 和 / 或 314_1-314_n 返回到 I2C 操作模式。相应地, 启用 CCIe 的节点 1702、1722 和 / 或 314_1-314_n 可以通过分别从 I2C 模式切换至 CCIe 模式以及从 CCIe 模式切换至 I2C 模式来对包括进入 / 退出序列 1802、1804 的一般呼叫作出响应。

[0178] 图 18 还提供了 CCIe 写数据序列或协议 1806 以及 CCIe 读数据序列或协议 1808 的示例。CCIe 写数据协议 1806 可被执行以向由 SID 标识的从节点 / 设备 1722 和 / 或 314_1-314_n 发送任意数目的地址字和数据字。CCIe 读数据序列或协议 1808 可被执行以从由 SID 标识的从节点 / 设备 1722 和 / 或 314_1-314_n 读取 1 到 5 个数据字。地址字的数目可被任意定义。

[0179] 在一些实例中, CDR 校准协议 1810 可由 CCIe 主节点用于使所指示的 CCIe 节点 (包括主节点自身) 校准其 CDR 逻辑并且使链路速率最大化。为此目的, CCIe 主节点也可以具有其自己的 SID。CCIe 字可以在携带 19 比特信息的 12 个码元中发送。除了 CDR 校准协议之外, 这 19 比特中的 16 个最低有效比特携带数据, 而这 19 比特中的 3 个最高有效比特可被用于其他信息 (诸如控制信息)。

[0180] CCIe 接口 430 的数据率可以通过选择和 / 或使用推挽式驱动器来提高。再次参照图 12, 其解说了具有 F_{m+} 能力的 I2C 总线 430 上的 CCIe 码元定时的一个示例。由用于 I2C F_{m+} 模式的相同物理驱动器驱动的 CCIe 信号的定时可以通过驱动器的上升时间来限制, 其中上升时间是线电压从 VDD 电平的 30% 变化到 70% 所花费的时间。图 19 是解说在 CCIe 信号由用于 I2C F_{m+} 模式的相同物理驱动器驱动时具有 F_{m+} 能力的 I2C 总线上的 CCIe 码元定时的一个示例的示图。I2C F_{m+} 的上升时间为 120ns, 并且信号电压电平从 0V 到 70% 的时间可被计算为 170ns。虽然此类上升时间在 I2C 模式中可以是令人满意的, 在该 I2C 模式中信号往往通过基于微控制器的操作来处置, 但是在 CCIe 模式中, 信号操作通常是在硬件中实现的。此外, 基于微控制器的或由软件操作的 I2C 设备可能需要许多循环来处理数据, 尤其是在 SCL 导线 416 处于逻辑低状态时。相应地, 对于 F_{m+} , SCL 的最小低时段可以为 1300ns 或更多, 而 I2C 协议可以规定 600ns 的最小高时段。

[0181] 根据本文公开的某些方面, CCIe 模式设备可以不向每根线 416、418 上的逻辑 1 或逻辑 0 的历时、或者历时差异赋予含义。CCIe 通信仅要求接收机能够使用硬件技术来正确地解码逻辑 1 和 0, 并且 CCIe 不要求较长的高或低时段来执行若干动作。相应地, CCIe 系统可以使用 125MHz 或更快的时钟, 从而产生 8ns 时段。为了使接收机正确地检测到异步输入值, 接收机可以对相同的值至少采样三次。在一个示例中, CCIe 信号的最小高时段 ($t_{\text{高}}$) 可被设置为 30ns, 其远高于与 125MHz 时钟相关联的最小所需 24ns。因此, $170\text{ns}+30\text{ns}$ ($=200\text{ns}$) 高时间的 0 到 70% 上升时间是最小可能的码元时间, 并且结果得到的最大码元速率为 5MHz。

[0182] 在兼容 I2C 的总线上可用的最大 CCIe 链路速率可以受到由具有 CCIe 能力的设备使用的驱动器类型的影响。在一个示例中, 开漏驱动器 2002、2004、2006 (参见图 20) 可由耦合至兼容 I2C 的总线 430 的 CCIe 设备使用。在此示例中, 可以在 200 纳秒 (ns) 的最小码元时间 1212 中发送 12 个码元 1206、1208 中的每个码元, 以使得可以在 2400ns 中传送 12 个码元 1026、1208。另外, 在传统 I2C 从设备耦合至共享总线 430 时, 遵循 I2C 定时规范的

开始状况是必需的。对于 I2C 快速模式 +(Fm+) 操作,最小开始状况建立时间 1216 和最小开始状况保持时间 1210 具有 260ns 的指定最小历时。此外,对于 I2C Fm+,即使在 SDA 线 418 被发射机 500 的晶体管 508 下拉的情况下,针对 SDA 线 418 操作所准许的最大下降时间也为 120ns,其对应于上拉电阻器 2002 的最大上升时间。对于 CCIe 设备,SDA 线 418 的下降时间可被假定为具有比 I2C 最大下降时间显著更快的下降时间。例如,CCIe 设备可以针对开始状况为 SDA 线 418 提供 20ns 的标称下降时间。因此,CCIe 设备可以在 2940ns 内传送 CCIe 字连同开始状况。携带 19 比特信息的 CCIe 字的原始比特率可被计算为:

[0183] 19 比特 /2940ns \approx 6.4Mbps。

[0184] 然而,每个 CCIe 字可包括 16 比特数据和 3 比特开销,从而提供被计算为 5.4Mbps (\approx 16 比特 /2940ns) 的净数据率。

[0185] 16 比特 /2940ns \approx 5.4Mbps。

[0186] 在另一示例中,CCIe 设备可以使用推挽式驱动器而不是开漏驱动器来传送 12 码元 CCIe 字。可以得到改善的性能并且可以按 20MHz 码元速率达成至少 16.7Mbps 的链路速率。CCIe 设备可以使用能够在 I2C 操作期间模仿开漏驱动器行为(包括 CCIe 模式中的开始状况)的 CMOS 推挽式驱动器。CCIe 设备可以通过选择性地禁用推挽式驱动器的 PMOS 晶体管来模仿开漏驱动器行为。替换地或附加地,CCIe 设备可以在 CCIe 模式中在 12 个码元期间活跃地从推挽式驱动器的 PMOS 晶体管驱动高信号状态。结果,可以使用 50ns 码元周期 1212,从而实现在 600ns 内传送 12 码元 CCIe 字 1206、1208。 $t_{\text{SU}}+t_{\text{HD}}=540\text{ns}$ 时段(建立时间 1216 和保持时间 1210)的开始状况历时被维持。在这种配置中,针对 CCIe 模式传输在 1140ns 内发送一个字是可能的,其等效于如下计算的原始比特率:

[0187] 19 比特 /1140ns \approx 16.7Mbps。

[0188] 然而,每个 CCIe 字可包括 16 比特数据和 3 比特开销,从而提供如下计算的净数据率:

[0189] 16 比特 /1140ns \approx 14.0Mbps。

[0190] 在第三示例中,当仅具有 CCIe 能力的设备耦合至总线 430 时,具有 CCIe 能力的设备可以将 CMOS 推挽式驱动器用于所有传输。结果,码元周期 1212 可以保守地缩短至 50ns,并且 600ns 内的 12 码元 CCIe 字 1206、1208 的传输可以在 600ns 内发送。因为不需要遵循 I2C 的开始状况,所以可以通过提供建立时段 1216 达等效于 50ns 码元周期 1212 的历时并且提供保持时段 1210 达等效于 50ns 码元周期 1212 的历时来实现开始状况时段,由此将开始状况缩短至 100ns 的历时。在此示例中,可以在 700ns 中传送一个 19 比特字,其等效于 27.1Mbps (\approx 19 比特 /700ns) 的比特率,该比特率等效于如下计算的原始比特率:

[0191] 19 比特 /700ns \approx 27.1Mbps。

[0192] 然而,每个 CCIe 字可包括 16 比特数据和 3 比特开销,从而提供如下计算的净数据率:

[0193] 16 比特 /700ns \approx 22.9Mbps。

[0194] 支持多个通信模式的系统的第一示例

[0195] 再次参照图 3、4 和 17,系统或装置 300、1700 可以采用由多模总线 302 互连的多个设备 304₁-304_n、312 和 314₁-314_n。多模总线 302 可以包括双导线串行总线 430,该双导线串行总线 430 包括第一线 416 和第二线 418。第一操作模式实现用于串行总线 430 上的数据

传输的第一协议,并且第二模式实现用于串行总线 430 上的数据传输的第二协议。串行总线 430 可以在 I2C 和 CCIe 操作模式中操作。该总线可以是兼容 I2C 的总线。在一个示例中,第一线 416 在串行总线 430 作为 I2C 总线操作时充当 SCL 线,并且第二线 418 在串行总线 430 作为 I2C 总线操作时充当 SDA 线 416。

[0196] 耦合至总线 302 的第一组设备 312 和 / 或 304_1-304_n 可被配置成在第一操作模式中将第一线用于数据传输并且将第二线用于第一时钟信号,并且在第二操作模式中,耦合至总线的第二组设备 312 和 / 或 314_1-314_n 可被配置成将第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传输的码元转变内。第二时钟信号可以具有比第一时钟信号更大的频率。

[0197] 第一组设备 312 和 / 或 304_1-304_n 以及第二组设备 312 和 / 或 314_1-314_n 可以在第一操作模式和第二操作模式两者中并发地监视至少第一线。第一组设备 312 和 / 或 304_1-304_n 以及第二组设备 312 和 / 或 314_1-314_n 可以在第一操作模式和第二操作模式两者中并发地监视至少第二线。

[0198] 在第一操作模式中,来自第一组设备 312 和 / 或 304_1-304_n 中的主设备 312 可以在总线的第一线上向来自第一组设备 312 和 / 或 304_1-304_n 中的从设备 304_1-304_n 传送数据。

[0199] 在第二操作模式中,来自第二组设备 312 和 / 或 314_1-314_n 中的主设备 312 可以在总线的第一线上向来自第二组设备 312 和 / 或 314_1-314_n 中的从设备 314_1-314_n 传送数据。

[0200] 在第二操作模式中,第一组从设备 304_1-304_n 可以在第一线和第二线上接收抑制对有效从节点地址的检测的复位指示符。该复位指示符可以例如是 I2C 开始状况。在第二操作模式中,当复位指示符被插入第一线和第二线时,可以周期性地中断数据传输,由此使第一组设备 304_1-304_n 在检测到有效的比特序列之前使其总线逻辑复位。

[0201] 在第一操作模式中,主节点 312 可以在第一线上发送第一比特序列,该第一比特序列向第二组设备 314_1-314_n 指示至第二操作模式的切换。主节点 312 可以在总线 430 上发送退出码元序列,该退出码元序列向第二组设备 314_1-314_n 指示至第一操作模式的切换。

[0202] 第二操作模式可以在总线 430 上具有比第一操作模式更高的传输比特率。例如,第一操作模式可以在总线 430 上支持每秒 1 兆比特的最大比特率,而第二操作模式可以支持每秒 6.4 兆比特的最大比特率。在另一示例中,第一操作模式可以在总线 430 上支持每秒 1 兆比特的最大比特率,而第二操作模式可以支持每秒 16.7 兆比特的最大比特率。

[0203] 第二组设备 314_1-314_n 可以能够在第一操作模式和第二操作模式两者中操作。

[0204] 在一个示例中,总线 430 耦合至包括来自第二组设备 314_1-314_n 中的第一设备在内的基带处理器,并且耦合至包括来自第二组设备 314_1-314_n 中的第二设备在内的图像传感器。总线 430 可以控制基带处理器与图像传感器之间的数据信号。

[0205] 在一些实例中,第二组设备 314_1-314_n 中的每个设备适配成将数据比特序列转换成多个 (M 个) 转变数,将每个转变数转换成来自一组顺序编号中的顺序编号,以及在总线上传送该顺序编号。M 个转变数可被表达为三进制位。该顺序编号可以从基于自紧挨着的前一顺序编号的转变的转变数来选择以保证没有两个顺序编号是相同的。可以通过将多个转变数转换成顺序编号来将每个转变数转换成来自一组顺序编号中的顺序编号。

[0206] 支持多个通信模式的系统的第二示例

[0207] 继续参照图 3、4 和 17,系统或装置 300、1700 可以采用由多模总线 302 互连的多

个设备 304_1-304_n 、312 和 314_1-314_n 。总线 302 可以包括双导线串行总线 430, 该双导线串行总线 430 具有第一线 418 和第二线 416。该总线可以是兼容 I2C 的总线。第一组设备 304_1-304_n 、312 可以在第一操作模式中将第一线 418 用于数据传输并且将第二线 416 用于第一时钟信号, 而耦合至总线的第二组设备 312 和 314_1-314_n 可被配置成在第二操作模式中将第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传输的码元转变内。

[0208] 第一组设备 304_1-304_n 、312 以及第二组设备 312 和 314_1-314_n 可以在第一操作模式和第二操作模式两者中并发地监视至少第一线 418。第一组设备 304_1-304_n 、312 以及第二组设备 312、 314_1-314_n 可以在第一操作模式和第二操作模式两者中并发地监视至少第二线 416。

[0209] 在一个示例中, 在第一操作模式中, 来自第一组设备 304_1-304_n 、312 中的主设备 312 在总线 430 的第一线 418 上向从设备 304_1-304_n 传送数据。在另一示例中, 在第二操作模式中, 来自第二组设备 312、 314_1-314_n 中的主设备 312 在总线 430 的第一线上向从设备 314_1-314_n 传送数据。第二操作模式可以在总线 430 上具有比第一操作模式更高的传输比特率。在一个示例中, 第一操作模式可以在总线 430 上具有每秒 1 兆比特的最大比特率, 而第二操作模式可以在总线 430 上具有每秒 6.4 兆比特的最大比特率。在第二示例中, 第一操作模式可以在总线 430 上具有每秒 1 兆比特的最大比特率, 而第二操作模式可以在总线 430 上具有每秒 16.7 兆比特的最大比特率。第二时钟信号可以具有比第一时钟信号更大的频率。

[0210] 第一操作模式可以实现用于总线 430 上的数据传输的第一协议, 并且第二模式实现用于总线 430 上的数据传输的第二协议。

[0211] 在第二操作模式中, 第一组设备可以在第一线 418 和第二线 416 上接收抑制对有效从节点地址的检测的复位指示符。在第二操作模式中, 可以通过在第一线 418 和第二线 416 中插入复位指示符来周期性地中断数据传输, 该复位指示符使第一组设备 304_1-304_n 在检测到有效的比特序列之前使其总线逻辑复位。

[0212] 在第一操作模式期间, 主节点 312 可以在第一线 418 上发送第一比特序列, 该第一比特序列向第二组设备 314_1-314_n 指示正在作出至第二操作模式的切换。在第二操作模式期间, 主节点 312 可以在总线 430 上发送退出码元序列, 该退出码元序列向第二组设备 314_1-314_n 指示正在作出至第一操作模式的切换。

[0213] 在一个示例中, 第二组设备 314_1-314_n 可以能够在第一操作模式和第二操作模式两者中操作。

[0214] 在一些实例中, 总线 430 耦合至包括来自第二组设备 314_1-314_n 中的第一设备在内的基带处理器, 并且耦合至包括来自第二组设备 314_1-314_n 中的第二设备在内的图像传感器。总线可以携带基带处理器与图像传感器之间的控制数据信号。第二组设备 314_1-314_n 中的每个设备可被适配成将数据比特序列转换成多个 (M 个) 转变数, 将每个转变数转换成来自一组顺序编号中的顺序编号, 以及在总线 430 上传送该顺序编号。该顺序编号可以从基于自紧挨着的前一顺序编号的转变的转变数来选择以保证没有两个顺序编号是相同的。可以通过将多个转变数转换成顺序编号来将每个转变数转换成来自一组顺序编号中的顺序编号。

[0215] 支持多个通信模式的系统的第三示例

[0216] 继续参照图 3、4 和 17, 系统或装置 300、1700 可以采用由多模总线 302 互连的多个设备 304_1-304_n 、312 和 314_1-314_n 。总线 302 可以包括双导线串行总线 430, 该双导线串行总线 430 具有第一线 418 和第二线 416。该总线可以是兼容 I2C 的总线。第一组设备 304_1-304_n 、312 可以在第一操作模式中将第一线 418 用于数据传输并且将第二线 416 用于第一时钟信号, 而耦合至总线的第二组设备 312 和 314_1-314_n 可被配置成在第二操作模式中将第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传输的码元转变内。

[0217] 在操作中, 处理电路可被配置成向和从发射机和接收机电路发送和接收数据, 并且发射机和接收机电路可被配置成在包括第一线 418 和第二线 416 的总线 430 上进行通信。发射机和接收机电路可被配置成在第一操作模式中将第一线 418 用于数据传输并且将第二线 416 用于第一时钟信号, 以及在第二操作模式中将第一线 418 和第二线 416 两者用于传送数据, 以使得第二时钟信号被嵌入在数据传输的码元转变内。

[0218] 该设备可以与耦合至总线的其他设备集合共存, 但是仅在第一模式中操作而同时第一操作模式和第二操作模式两者期间不断地监视至少第一线 418。该设备可以与耦合至总线 430 的其他设备集合共存, 但是仅在第一模式中操作而同时第一操作模式和第二操作模式两者期间不断地监视至少第二线 416。

[0219] 该设备可以在第一操作模式在总线 430 的第一线 418 上向从设备传送数据。该设备可以在第二操作模式在总线 430 的第一线 418 和第二线 416 上向从设备传送数据。第一操作模式可以实现用于总线 430 上的数据传输的第一协议, 并且第二模式可以实现用于总线 430 上的数据传输的第二协议。

[0220] 发射机和接收机电路可被配置成在第二操作模式期间在第一线 418 和第二线 416 上发送复位指示符以抑制在第一操作模式中操作的其他设备检测到有效的从节点地址。第二操作模式期间的数据传输可以通过在第一线 418 和第二线 416 中插入复位指示符来周期性地中断, 该复位指示符使在第一模式中操作的其他设备在检测到有效的比特序列之前使其总线逻辑复位。

[0221] 在一些示例中, 发射机和接收机电路被配置成在第一操作模式在第一线 418 上发送第一比特序列, 该第一比特序列向能够在第一模式和第二模式两者中操作的其他设备指示至第二操作模式的切换。主节点 312 可以在第二操作模式在总线 430 上发送退出码元序列, 该退出码元序列向能够在第一模式和第二模式两者中操作的其他设备指示至第一操作模式的切换。

[0222] 第二操作模式可以在总线上具有比第一操作模式更高的传输比特率。在一个示例中, 第一操作模式在总线 430 上具有每秒 1 兆比特的最大比特率, 而第二操作模式具有每秒 6.4 兆比特的最大比特率。在另一示例中, 第二时钟信号可以具有比第一时钟信号更大的频率。

[0223] 支持多个通信模式的系统的第四示例

[0224] 继续参照图 3、4 和 17, 系统或装置 300、1700 可以采用由多模总线 302 互连的多个设备 304_1-304_n 、312 和 314_1-314_n 。总线 302 可以包括双导线串行总线 430, 该双导线串行总线 430 具有第一线 418 和第二线 416。该总线可以是兼容 I2C 的总线。第一组设备 304_1-304_n 、312 可以在第一操作模式中将第一线 418 用于数据传输并且将第二线 416 用于第一时钟信号, 而耦合至总线的第二组设备 312 和 314_1-314_n 可被配置成在第二操作模式中将

第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传输的码元转变内。

[0225] 根据本文公开的某些方面,主设备 312 可以查明耦合至总线的所有设备是否均能够根据第三操作模式来操作,该第三操作模式将第一线和第二线两者均用于数据传输而同时将第二时钟信号嵌入在针对第一时钟信号的数据传输线的码元转变内,并且仅在耦合至总线的所有设备均能够在第三模式中操作的情况下才使设备 304_1-304_n 、312 和 314_1-314_n 在第三操作模式中操作。在一个示例中,第三操作模式可以提供相对于第二模式减少的信令开销。只要耦合至总线的所有设备 304_1-304_n 、312 和 314_1-314_n 均能够在第三模式中操作,或者只要耦合至总线的所有活跃设备 304_1-304_n 、312 和 314_1-314_n 均能够在第三模式中操作,则该组设备 304_1-304_n 、312 和 314_1-314_n 就被配置成在第三模式中操作。活跃设备可以是已上电、耦合至总线 430、和 / 或正在监视总线 430 的设备。设备 304_1-304_n 、312 和 314_1-314_n 可以在第一操作模式和第二操作模式两者中并发地监视至少第一线 418。第一组设备 304_1-304_n 、312 以及第二组设备 312 和 314_1-314_n 可以在第一操作模式和第二操作模式两者中并发地监视至少第二线 416。

[0226] 在一个方面,第一操作模式实现用于总线 430 上的数据传输的第一协议,第二模式实现用于总线 430 上的数据传输的第二协议,并且第三模式实现用于总线 430 上的数据传输的第三协议。第二操作模式可以准许传统设备在第一线 418 和第二线 416 上接收抑制对有效从节点地址的检测的复位指示符。在第二操作模式中,数据传输可以通过在第一线 418 和第二线 416 中插入复位指示符来周期性地中断,该复位指示符使耦合至总线 430 的传统设备在检测到有效的比特序列之前使其总线逻辑复位。在第三操作模式中,不在第一线 418 和第二线 416 中发送复位指示符。

[0227] 第三操作模式可以在总线 430 上具有比第二操作模式更高的传输比特率。第三操作模式可以在总线 430 上具有每秒 27.1 兆比特的最大比特率。

[0228] 在一方面,主设备 312 可以查明耦合至总线的所有设备能够根据第三模式来操作,并且向耦合至总线的所有设备 304_1-304_n 、312 和 314_1-314_n 发送命令以在第三模式中操作。

[0229] 可配置用于 CCIe 和 I2C 操作的处理系统的示例

[0230] 图 21 是解说采用可被配置成执行本文所公开的一个或多个功能的处理电路 2102 的装置的硬件实现的简化示例的概念图 2100。根据本公开的各种方面,元素、或元素的任何部分、或者元素的任何组合可使用处理电路 2102 来实现。处理电路 2102 可包括一个或多个处理器 2104,其由硬件和软件模块的某种组合来控制。处理器 2104 的示例包括:微处理器、微控制器、数字信号处理器 (DSP)、现场可编程门阵列 (FPGA)、可编程逻辑器件 (PLD)、状态机、定序器、门控逻辑、分立的硬件电路、以及其他配置成执行本公开中通篇描述的各种功能性的合适硬件。该一个或多个处理器 2104 可包括执行特定功能并且可由软件模块 2116 之一来配置、增强或控制的专用处理器。该一个或多个处理器 2104 可通过在初始化期间加载的软件模块 2116 的组合来配置,并且通过在操作期间加载或卸载一个或多个软件模块 2116 来进一步配置。

[0231] 在所解说的示例中,处理电路 2102 可使用由总线 2110 一般化地表示的总线架构来实现。取决于处理电路 2102 的具体应用和整体设计约束,总线 2110 可包括任何数目的互连总线和桥接器。总线 2110 将各种电路链接在一起,包括一个或多个处理器 2104、存储

2106。存储 2106 可包括存储器设备和大容量存储设备,并且在本文可被称为计算机可读介质。总线 2110 还可链接各种其它电路,诸如定时源、定时器、外围设备、稳压器和功率管理电路,这些电路在本领域中是众所周知的,并且其中的一些电路因此将不再进一步描述。总线接口 2108 可提供总线 2110 与线接口电路 2112 之间的接口。线接口电路 2112 提供用于在传输介质(诸如串行总线)上与各种其他装置进行通信的手段。取决于该装置的本质,也可提供用户接口 2118(例如,按键板、显示器、扬声器、话筒、操纵杆),并且该用户接口可直接或通过总线接口 2108 通信地耦合至总线 2110。

[0232] 处理器 2104 可负责管理总线 2110 和一般处理,包括对存储在计算机可读介质(其可包括存储 2106)中的软件的执行。在这一方面,处理电路 2102(包括处理器 2104)可被用来实现本文所公开的方法、功能和技术中的任一种。存储 2106 可被用于存储处理器 2104 在执行软件时操纵的数据,并且该软件可被配置成实现本文所公开的方法中的任一种。

[0233] 处理电路 2102 中的一个或多个处理器 2104 可执行软件。软件应当被宽泛地解释成意为指令、指令集、代码、代码段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数、算法等,无论其是用软件、固件、中间件、微代码、硬件描述语言、还是其他术语来述及皆是如此。软件可按计算机可读形式驻留在存储 2106 中或驻留在外部计算机可读介质中。计算机可读介质和/或存储 2106 可以是非瞬态计算机可读介质。作为示例,非瞬态计算机可读介质包括:磁存储设备(例如,硬盘、软盘、磁条)、光盘(例如,压缩碟(CD)或数字多功能碟(DVD))、智能卡、闪存存储器设备(例如,“闪存驱动器”、卡、棒、或钥匙驱动器)、随机存取存储器(RAM)、只读存储器(ROM)、可编程 ROM(PROM)、可擦式 PROM(EPROM)、电可擦式 PROM(EEPROM)、寄存器、可移动盘、以及任何其他用于存储可由计算机访问和读取的软件和/或指令的合适介质。作为示例,计算机可读介质和/或存储 2106 还可包括载波、传输线、和任何其它用于传送可由计算机访问和读取的软件和/或指令的合适介质。计算机可读介质和/或存储 2106 可驻留在处理电路 2102 中、处理器 2104 中、在处理电路 2102 外部、或跨包括该处理电路 2102 在内的多个实体分布。计算机可读介质和/或存储 2106 可实施在计算机程序产品中。作为示例,计算机程序产品可包括封装材料中的计算机可读介质。本领域技术人员将认识到如何取决于具体应用和加诸于整体系统上的总体设计约束来最佳地实现本公开中通篇给出的所描述的功能性。

[0234] 存储 2106 可维持以可加载代码段、模块、应用、程序等来维持和/或组织的软件,其在本文中可被称为软件模块 2116。软件模块 2116 中的每一个可包括在安装或加载到处理电路 2102 上并被一个或多个处理器 2104 执行时有助于运行时映像 2114 的指令和数据,运行时映像 2114 控制一个或多个处理器 2104 的操作。在被执行时,某些指令可使得处理电路 2102 执行根据本文所描述的某些方法、算法和过程的功能。

[0235] 软件模块 2116 中的一些可在处理电路 2102 初始化期间被加载,并且这些软件模块 2116 可配置处理电路 2102 以实现本文所公开的各种功能的执行。例如,一些软件模块 2116 可配置处理器 2104 的内部设备和/或逻辑电路 2122,并且可管理对外部设备(诸如,线接口电路 2112、总线接口 2108、用户接口 2118、定时器、数学协处理器等)的访问。软件模块 2116 可包括控制程序和/或操作系统,其与中断处理程序和设备驱动器交互并且控制

对由处理电路 2102 提供的各种资源的访问。这些资源可包括存储器、存储 2106、处理时间、对线接口电路 2112 的访问、用户接口 2118 等。

[0236] 处理电路 2102 的一个或多个处理器 2104 可以是多功能的,由此软件模块 2116 中的一些被加载和配置成执行不同功能或相同功能的不同实例。这一个或多个处理器 2104 可附加地被适配成管理响应于来自例如用户接口 2118、线接口电路 2112 和设备驱动器的输入而发起的后台任务。为了支持多个功能的执行,这一个或多个处理器 2104 可被配置成提供多任务环境,由此多个功能中的每个功能按需或按期望实现为由一个或多个处理器 2104 服务的任务集。在一个示例中,多任务环境可使用分时程序 2120 来实现,分时程序 2120 在不同任务之间传递对处理器 2104 的控制权,由此每个任务在完成任何未决操作之际和/或响应于输入(诸如中断)而将对一个或多个处理器 2104 的控制权返回给分时程序 2120。当任务具有对一个或多个处理器 2104 的控制权时,处理电路有效地专用于由与控制方任务相关联的功能所针对的目的。分时程序 2120 可包括操作系统、在循环基础上转移控制权的主循环、根据各功能的优先级化来分配对一个或多个处理器 2104 的控制权的功能、和/或通过将对一个或多个处理器 2104 的控制权提供给处置功能来对外部事件作出响应的中断驱动式主循环。

[0237] 图 22 是解说用于 CCIe 总线上的数据通信的方法的流程图 2200。该方法的各个步骤可由发射机设备执行,该发射机设备包括例如图 1-8、20、22、和/或 24 中解说的设备和电路的一些组合。

[0238] 在框 2202,该设备可以从一组比特生成转变数。该转变数可以包括 12 位三进制数。在一个示例中,该设备可以从一组比特生成转变数。该转变数可以是 12 位三进制数。

[0239] 在步骤 2204,该设备将该转变数转换成码元序列。定时信息可以编码在该码元序列中的诸码元之间的转变中。编码在码元序列中的定时信息使接收机能够从该码元序列生成接收时钟。通过向转码器提供该三进制数,转变数可被转换成码元序列。

[0240] 在一个示例中,转码器首先接收该三进制数的最高有效位,转码器可以最后接收该三进制数的最低有效位,并且最高有效位与最低有效位之间的中间位以有效性降序被提供给转码器。在另一示例中,转码器首先接收该三进制数的最低有效位,转码器可以最后接收该三进制数的最高有效位,并且最高有效位与最低有效位之间的中间位以有效性升序被提供给转码器。

[0241] 在框 2206,当双导线串行总线在第一操作模式中操作时,该设备可以在该双导线串行总线上传送该码元序列。该码元序列可由配置成用于当双导线串行总线在第二操作模式中操作时在该双导线串行总线上进行通信的设备忽略。可以为双导线串行总线定义 4 个信令状态。该三进制数的每一位可以从三个可用码元之一中选择和/或指示要在双导线串行总线上传送的下一码元。这三个可用码元中的每一者可以不同于正在双导线串行总线上传送的当前码元。相应地,连贯码元之间的每个转变导致双导线串行总线的信令状态的改变。

[0242] 在一个示例中,双导线串行总线可以是当在第一操作模式中操作时支持 CCIe 通信的多用途总线。对于第二操作模式,双导线串行总线可以支持 I2C 和/或 CCI 通信模式。当控制序列在双导线串行总线上传送时,该设备可被配置或适配成导致从第一操作模式至第二操作模式的改变。在 CCIe 操作模式中,可以在 CCIe 操作模式中在双导线串行总线上

传送的码元序列之间提供 I2C 开始状况。开始状况的定时的某些方面可以导致配置成用于 I2C 操作模式的另一设备（包括只能使用 I2C 协议进行通信的设备）中的接收逻辑的复位。

[0243] 在一个示例中，可以在双导线串行总线上传送码元序列之前，在双导线串行总线上传送第一 I2C 开始状况。在码元序列已在双导线串行总线上传送之后，可以在双导线串行总线上传送第二 I2C 开始状况。在第一 I2C 开始状况与第二 I2C 开始状况之间流逝的时间可以小于 I2C 协议在 I2C 操作模式中接收地址字所需要的时间。相应地，监视双导线串行总线的 I2C 接收机通常在第一开始状况之后并且在第二 I2C 开始状况之前在双导线串行总线的 SCL 信号导线上感知最大 6 个时钟循环。

[0244] 图 23 是解说采用处理电路 2302 的装置的硬件实现的简化示例的示图 2300。该处理电路通常具有处理器 2316，处理器 2316 可包括微处理器、微控制器、数字信号处理器、定序器、状态机等中的一者或多者。处理电路 2302 可用由总线 2320 一般化地表示的总线架构来实现。取决于处理电路 2302 的具体应用和整体设计约束，总线 2320 可包括任何数目的互连总线和桥接器。总线 2320 将包括一个或多个处理器和 / 或硬件模块（由处理器 2316，模块或电路 2304、2306、2308、2310，可配置成通过包括多个连接器或导线的多通道 CCIe 总线 2314 进行通信的线接口电路 2312，以及计算机可读存储介质 2318 表示）的各种电路链接在一起。总线 2320 还可链接各种其它电路，诸如定时源、外围设备、稳压器和功率管理电路，这些电路在本领域中是众所周知的，且因此将不再进一步描述。

[0245] 处理器 2316 负责一般性处理，包括执行存储在计算机可读存储介质 2318 上的软件。该软件在由处理器 2316 执行时使处理电路 2302 执行上文针对任何特定装置描述的各种功能。计算机可读存储介质 2318 还可被用于存储由处理器 2316 在执行软件时操纵的数据，包括从在多通道 CCIe 总线 2314 上传送的码元中解码的数据。处理电路 2302 进一步包括模块和 / 或电路 2304、2306 和 2308 中的至少一者。模块和 / 或电路 2304、2306、2308 和 2310 可以是在处理器 2316 中加载、配置和运行的软件模块、驻留 / 存储在计算机可读存储介质 2318 中的软件模块、耦合至处理器 2316 的一个或多个硬件模块、或其某种组合。模块和 / 或电路 2304、2306 和 2308 可包括微控制器指令、状态机配置参数、或其某种组合。

[0246] 在一种配置中，用于无线通信的装置 2300 包括被配置成从一组比特生成转变数的模块和 / 或电路 2304、被配置成将该转变数转换成码元序列的模块和 / 或电路 2306、以及被配置成在双导线串行总线的信令状态中传送该码元序列的模块和 / 或电路 2308。该装置 2300 可以包括附加的模块和 / 或电路，包括例如控制串行总线 2314 和 / 或装置 2314 的操作模式的模块和 / 或电路 2310。例如，模式控制模块和 / 或电路 2310 可以包括命令生成模块或者与命令生成模块协作，该命令生成模块在串行总线 2314 上传送控制序列。在另一示例中，模式控制模块和 / 或电路 2310 可以导致线接口电路 2314 的重新配置以在 I2C 操作模式中实现开漏线驱动器或其等效物并且在 CCIe 操作模式中实现推挽式驱动器。

[0247] 图 24 是解说用于 CCIe 总线上的数据通信的方法的流程图 2400。该方法的各个步骤可使用 CCIe 设备中的接收机电路系统和模块执行，该 CCIe 设备包括例如图 1-8、20、23、和 / 或 24 中解说的设备和电路的某种组合。

[0248] 在步骤 2402，当双导线串行总线在第一操作模式中操作时，该设备可以从该双导线串行总线的信令状态的转变推导接收时钟。双导线串行总线可以是当该双导线串行总线

在第一操作模式中操作时并发地支持 CCIe 通信的多用途总线。双导线串行总线可以在第二操作模式中支持 I2C 通信。双导线串行总线可以支持与兼容 I2C、CCI 和 / 或 CCIe 协议中的一者或多者的设备的通信。

[0249] 在步骤 2404, 该设备可以使用该接收时钟来接收根据第一操作模式在双导线串行总线上传送的码元序列。双导线串行总线的信令状态的转变可以对应于码元序列中的诸码元之间的转变。通过确定双导线串行总线上的 I2C 开始状况并且根据由接收时钟定义的定时来从双导线串行总线接收 12 个码元, 可以从该双导线串行总线接收该码元序列。

[0250] 在一个方面, 该码元序列可由配置成用于当双导线串行总线在第二操作模式中操作时在该双导线串行总线上进行通信的设备忽略。

[0251] 在框 2406, 该设备可以从该码元序列生成转变数。转变数可以具有多个位, 其中每一位表示码元序列中的一对连贯码元之间的转变。

[0252] 在步骤 2408, 该设备可以从该转变数解码数据。该转变数可以是 12 位三进制数。可以为双导线串行总线定义 4 个信令状态。三进制数的每一位可以表示双导线串行总线上一对连贯信令状态之间的关系。码元序列中的每一个码元可以是由双导线串行总线的信令状态定义的 4 个码元之一。三进制数的每一位可以定义码元序列中的一对连贯码元之间的关系。

[0253] 图 25 是解说采用处理电路 2502 的装置的硬件实现的简化示例的示图 2500。该处理电路通常具有处理器 2516, 处理器 2516 可包括微处理器、微控制器、数字信号处理器、定序器、状态机等中的一者或多者。处理电路 2502 可用由总线 2520 一般化地表示的总线架构来实现。取决于处理电路 2502 的具体应用和整体设计约束, 总线 2520 可包括任何数目的互连总线和桥接器。总线 2520 将包括一个或多个处理器和 / 或硬件模块 (由处理器 2516, 模块和 / 或电路 2504、2506 和 2508, 可配置成通过包括多个连接器或导线的多通道 CCIe 总线 2514 进行通信的线接口电路 2512, 以及计算机可读存储介质 2518 表示) 的各种电路链接在一起。总线 2520 还可链接各种其它电路, 诸如定时源、外围设备、稳压器和功率管理电路, 这些电路在本领域中是众所周知的, 且因此将不再进一步描述。

[0254] 处理器 2516 负责一般性处理, 包括执行存储在计算机可读存储介质 2516 上的软件。该软件在由处理器 2516 执行时使处理电路 2502 执行上文针对任何特定装置描述的各种功能。计算机可读存储介质 2518 还可被用于存储由处理器 2516 在执行软件时操纵的数据, 包括从在多通道 CCIe 总线 2514 上传送的码元中解码的数据。处理电路 2502 进一步包括模块和 / 或电路 2504、2506 和 2508 中的至少一者。模块和 / 或电路 2504、2506 和 2508 可以是在处理器 2516 中运行的软件模块、驻留 / 存储在计算机可读存储介质 2518 中的软件模块、耦合至处理器 2516 的一个或多个硬件模块、或其某种组合。模块和 / 或电路 2504、2506 和 2508 可包括微控制器指令、状态机配置参数、或其某种组合。

[0255] 在一种配置中, 用于无线通信的装置 2500 包括被配置成从双导线串行总线的信令状态的转变推导接收时钟并且使用该接收时钟来从双导线串行总线接收码元序列的 CDR 电路 2504, 被配置成从该码元序列生成转变数的模块和 / 或电路 2506, 以及被配置成从该转变数解码数据的模块和 / 或电路 2508。双导线串行总线的信令状态的转变可以对应于码元序列中的诸码元之间的转变。转变数可以具有多个位, 其中每一位表示码元序列中的一对连贯码元之间的转变。

[0256] 图 26 是解说与采用总线的系统或设备有关的方法的流程图 2600。在一个示例中，设备可以具有包括第一线和第二线的总线、耦合至该总线的第一组设备、以及耦合至该总线的第二组设备。该方法可以适用于本文公开的 CCIe 总线 430，由此第一线可以是 SDA 线 418 并且第二线可以是 SCL 线 416（例如，参见图 4 和 17）。

[0257] 在步骤 2602，在第一操作模式中，耦合至总线的第一组设备可被配置成将第一线用于数据传输并且将第二线用于第一时钟信号。

[0258] 在步骤 2604，在第二操作模式中，耦合至总线的第二组设备可被配置成将第一线和第二线两者用于数据传输而同时将第二时钟信号嵌入在数据传输的码元转变内。

[0259] 在一些实例中，总线可以在第三模式中操作。在此类实例中，可以在步骤 2606 确定耦合至总线的所有活跃设备是否均能够在第三模式中操作。在一个示例中，可以基于由总线主设备维护的配置信息来作出该确定。该配置信息可以包括预定义配置信息和 / 或通过发现协议获得的信息等。该配置信息可以包括对耦合至总线的已被标识为当前活跃的设备的能力的描述。当前活跃的设备可以是已在启动规程中标识出的设备、已对总线上传送的广播作出响应的设备、和 / 或已参与总线上的通信事务的设备。不活跃设备可以是休眠设备和 / 或尚未对总线上传送的包括设备 SID 的通信或者包括预期促使来自设备的响应的广播的通信作出响应的设备。

[0260] 如果在步骤 2606 确定耦合至总线的所有活跃设备均能够在第三操作模式中操作，则在步骤 2608，可以使总线在第三操作模式中操作。在第三操作模式中，一个或多个设备被配置成将第一线和第二线两者用于数据传输，而同时将时钟信号嵌入在数据传输的码元转变内。

[0261] 在一些实例中，第一组设备和第二组设备在第一操作模式和第二操作模式两者中并发地监视总线的至少一根导线。在第一操作模式中，第一组设备中的主设备可以在总线的第一线上向第一组设备中的从设备传送数据。在第二操作模式中，第二组设备中的主设备可以在总线上向第二组设备中的从设备传送数据。第二组设备中的设备能够在第一操作模式和第二操作模式两者中操作。主设备可以能够在第一操作模式和第二操作模式中操作。设备可以在第一操作模式和第二操作模式两者中充当主设备。能够在第一操作模式和第二操作模式两者中充当主设备的设备可被认为是第一组设备和第二组设备两者的成员。主设备可以能够在第一、第二和第三操作模式中操作。设备可以在第一、第二、和第三操作模式中的每一者中充当主设备。

[0262] 在一个方面，第一操作模式实现用于总线上的数据传输的第一协议，并且第二模式实现用于总线上的数据传输的第二协议。第一协议可以对应于 I2C 操作模式或者与 I2C 操作模式兼容。第二协议可以对应于 CCIe 操作模式或者与 CCIe 操作模式兼容。

[0263] 在第二操作模式中，第一组设备可以在第一线和第二线上接收抑制对有效从节点地址的检测的复位指示符。在一个示例中，通过在第一线和第二线中插入复位指示符来周期性地中断第二操作模式中的数据传输，该复位指示符使第一组设备在检测到有效的比特序列之前使其总线逻辑复位。当第一操作模式对应于 I2C 操作模式或者与 I2C 操作模式兼容时，该复位指示符可以对应于开始状况。

[0264] 根据本文公开的某些方面，第二组设备中的主节点在第一操作模式期间在第一线上发送第一比特序列，其中该第一比特序列向第二组设备指示至第二操作模式的切换。在

第二操作模式期间,主节点可以在总线上发送退出码元序列,该退出码元序列向第二组设备指示至第一操作模式的切换。

[0265] 根据本文公开的某些方面,总线是兼容 I2C 的总线。在一个示例中,第一操作模式可以在总线上具有每秒 1 兆比特的最大比特率,而第二操作模式可以具有每秒 6.4 兆比特的最大比特率。在另一示例中,第一操作模式在总线上具有每秒 1 兆比特的最大比特率,而第二操作模式具有每秒 16.7 兆比特的最大比特率。

[0266] 在一些实例中,第一操作模式实现用于总线上的数据传输的第一协议,第二操作模式实现用于总线上的数据传输的第二协议,并且第三操作模式实现用于总线上的数据传输的第三协议。第三操作模式可以在总线上具有每秒 27.1 兆比特的最大比特率。

[0267] 在一个示例中,总线耦合至第二组设备中包括基带处理器在内的第一设备,并且耦合至第二组设备中包括图像传感器在内的第二设备。总线可以携带基带处理器与图像传感器之间的控制数据信号。

[0268] 根据本文公开的某些方面,第二组设备中的每个设备可被适配成将数据比特序列转换成多个(M个)转变数,将每个转变数转换成来自一组顺序编号中的顺序编号,以及在总线上传送该顺序编号。该顺序编号可以从基于自紧挨着的前一顺序编号的转变的转变数来选择以保证没有两个顺序编号是相同的。可以通过将多个转变数转换成顺序编号来将每个转变数转换成来自一组顺序编号中的顺序编号。

[0269] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。所附方法权利要求以范例次序呈现各种步骤的要素,且并不意味着被限定于所给出的具体次序或层次。

[0270] 提供之前的描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文所示出的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。本公开通篇描述的各种方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于……的装置”来明确叙述的。

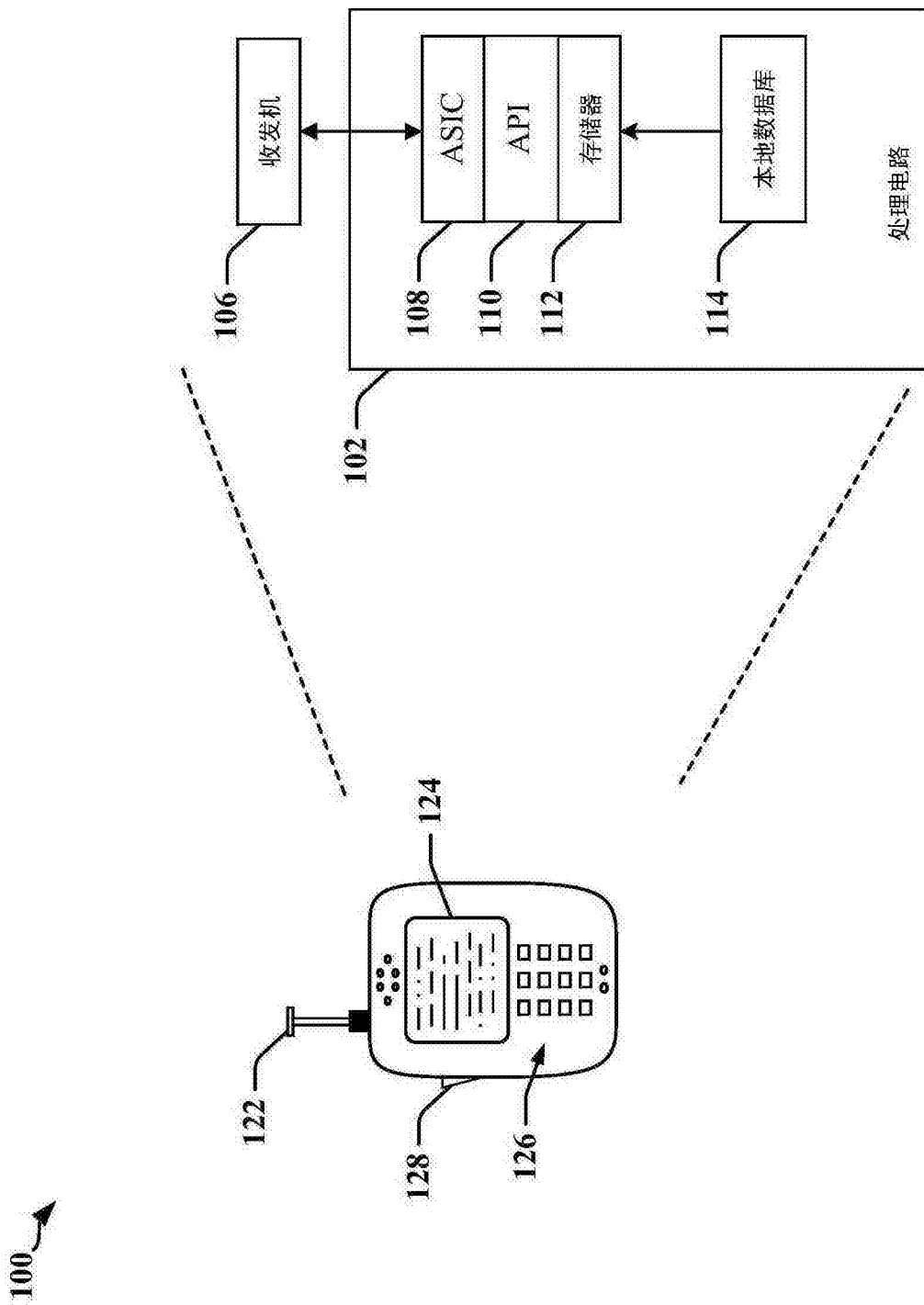


图 1

200 ↗

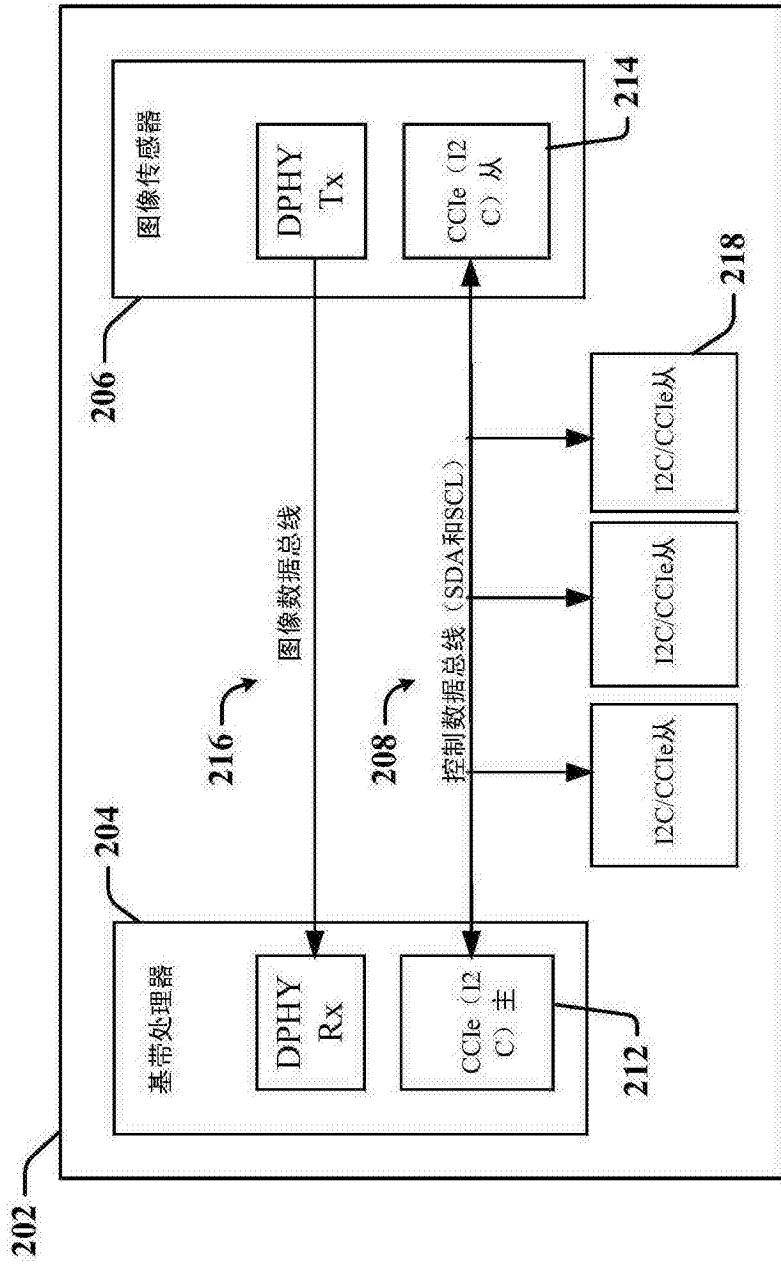


图 2

300 ↗

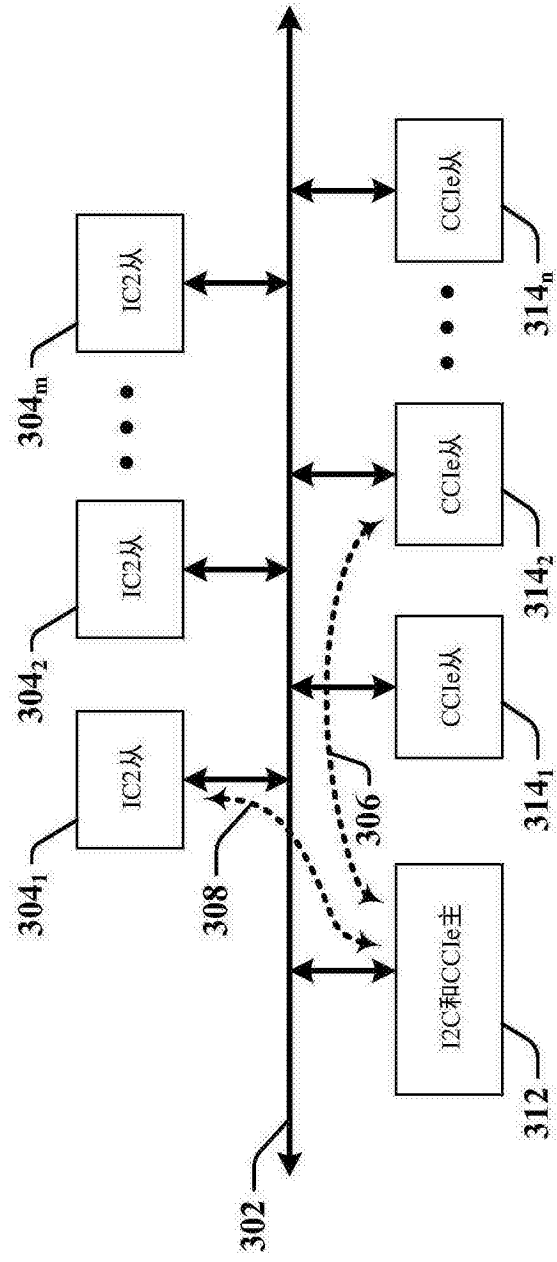


图 3

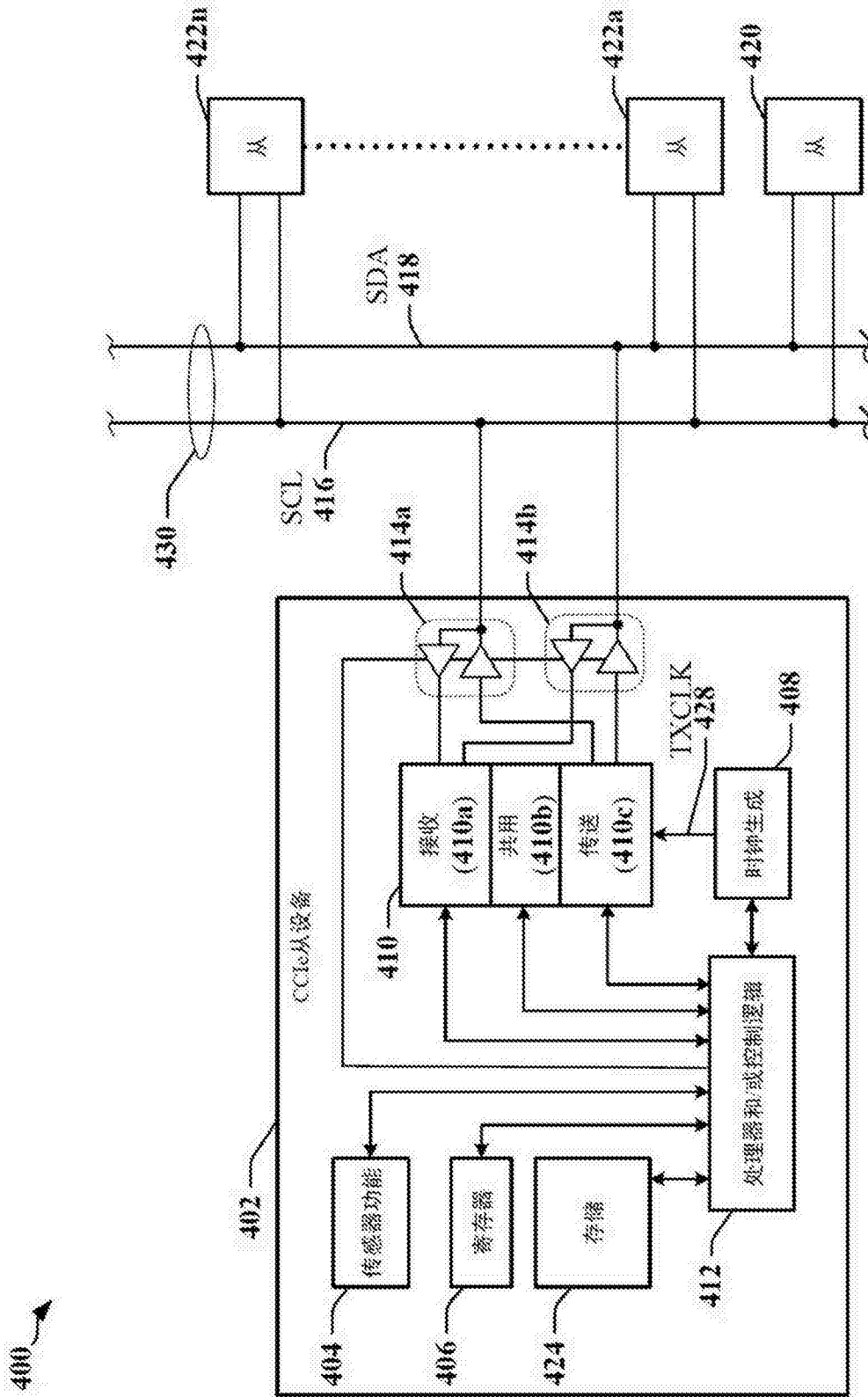


图 4

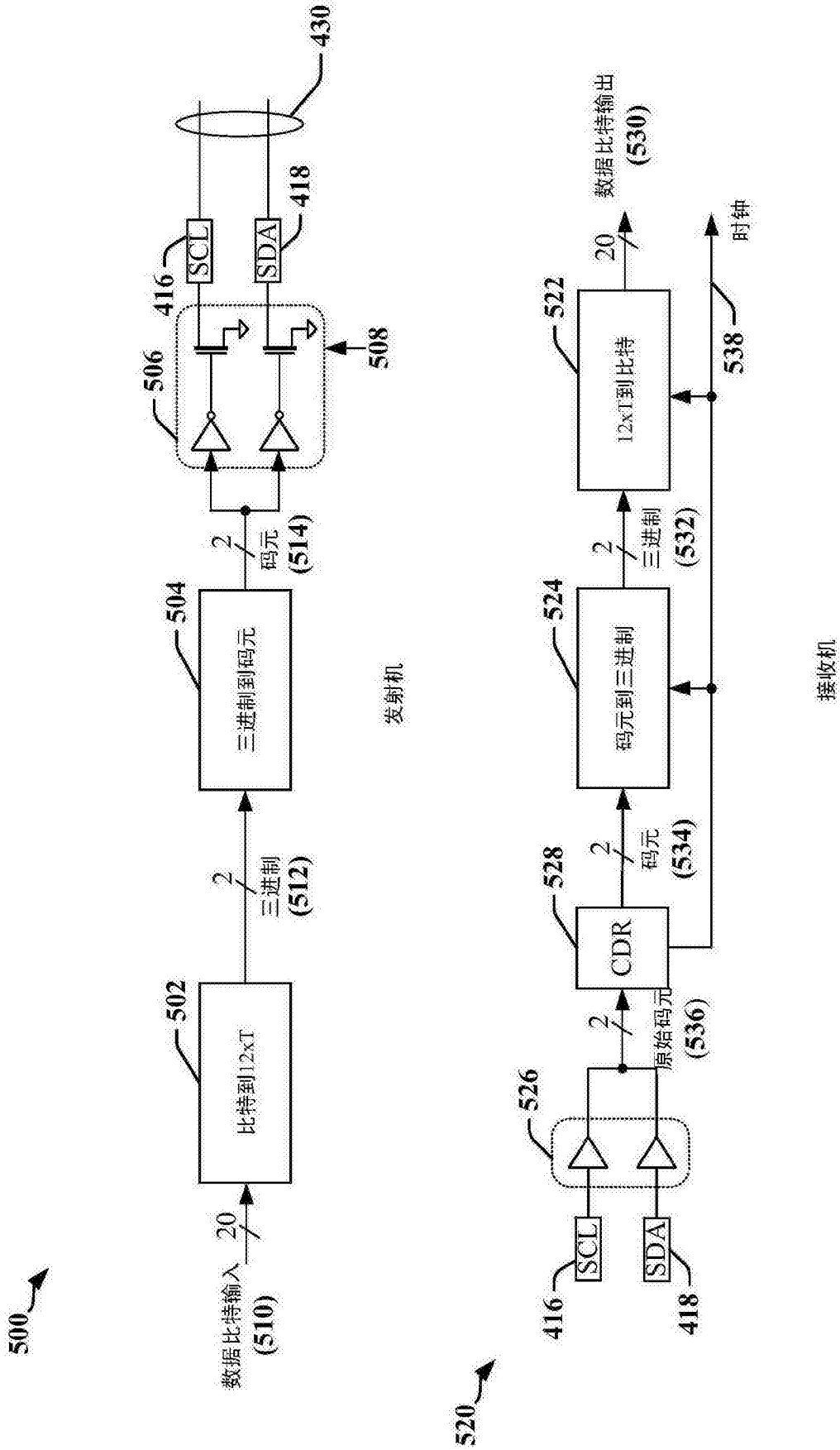


图 5

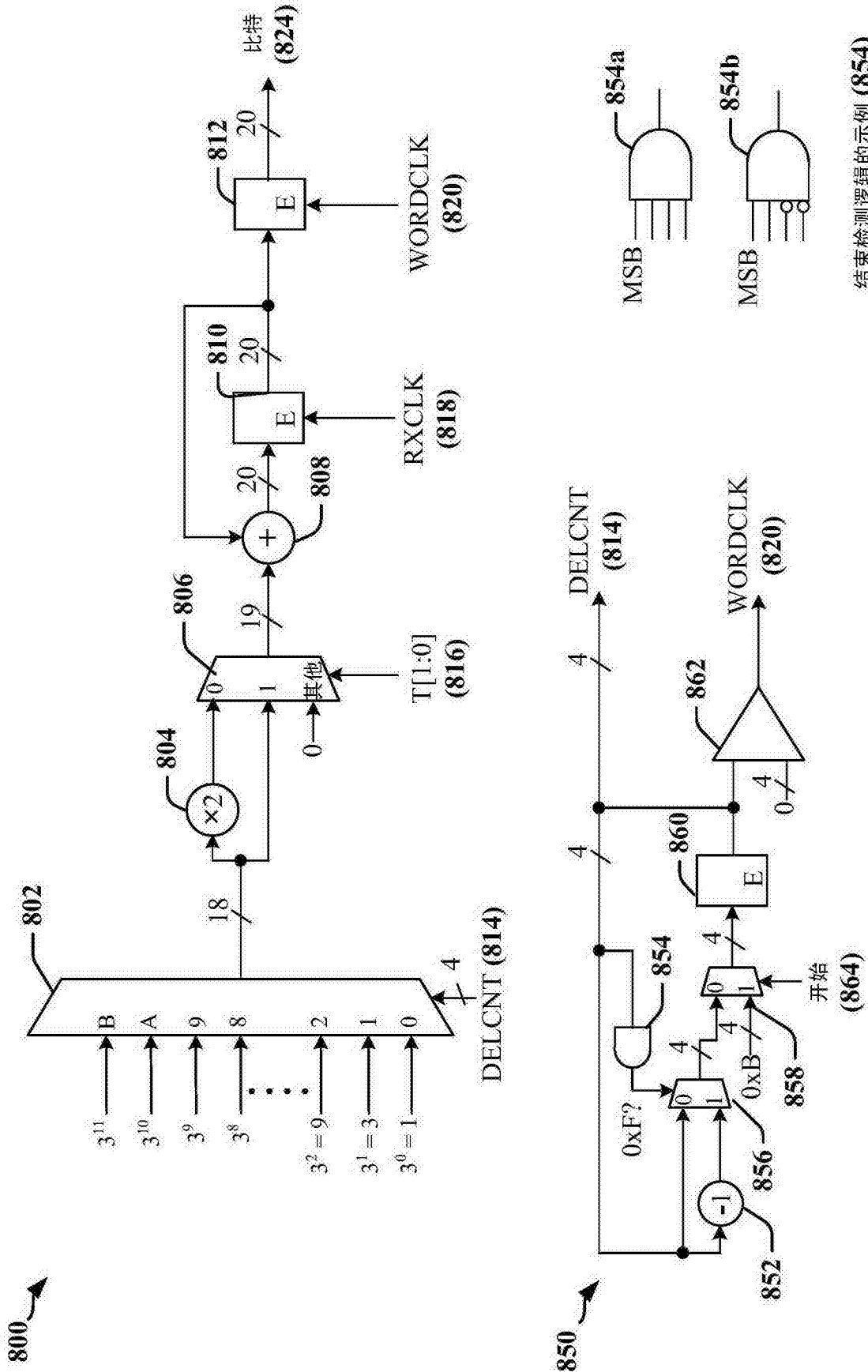


图 8

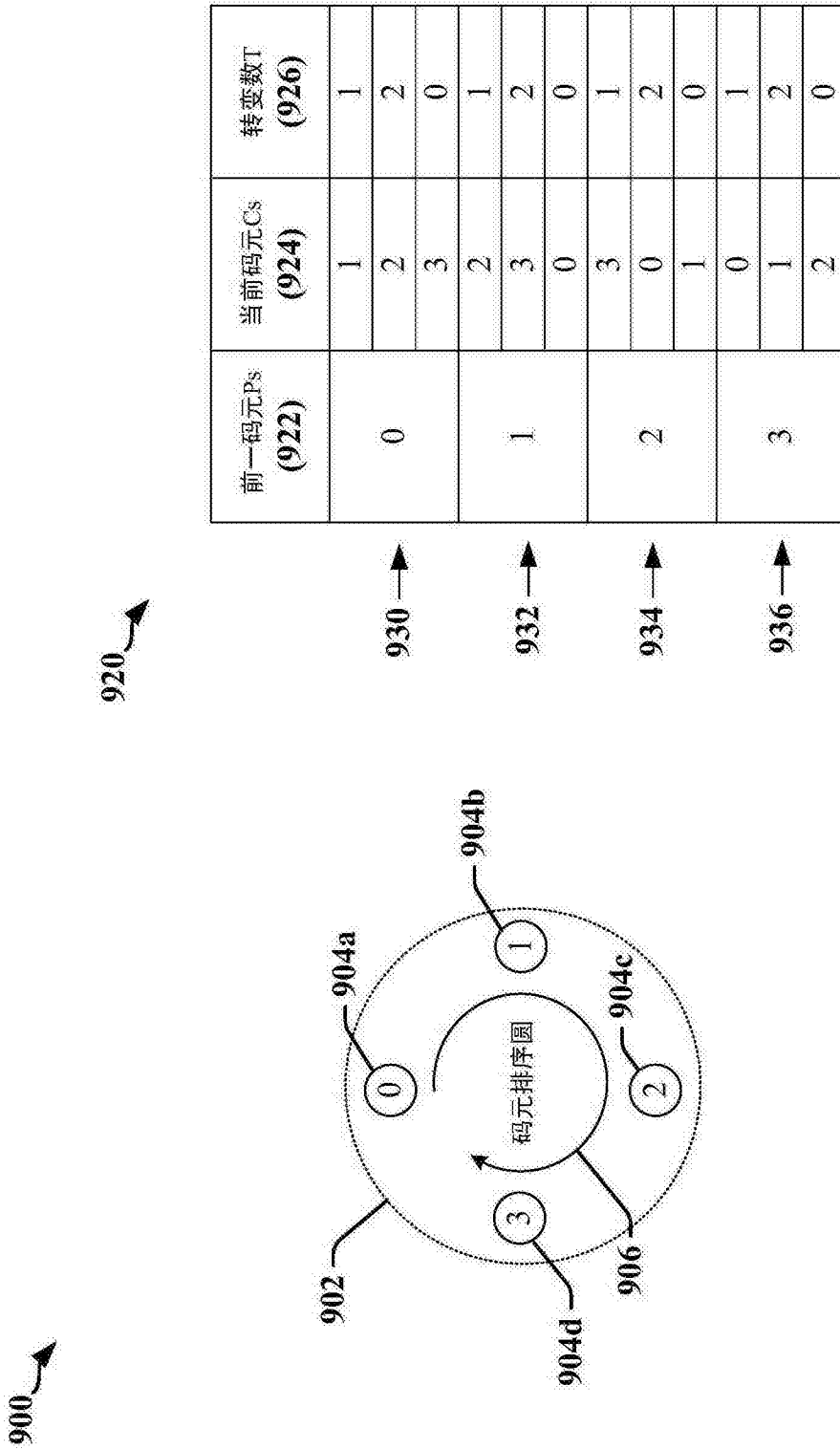


图 9

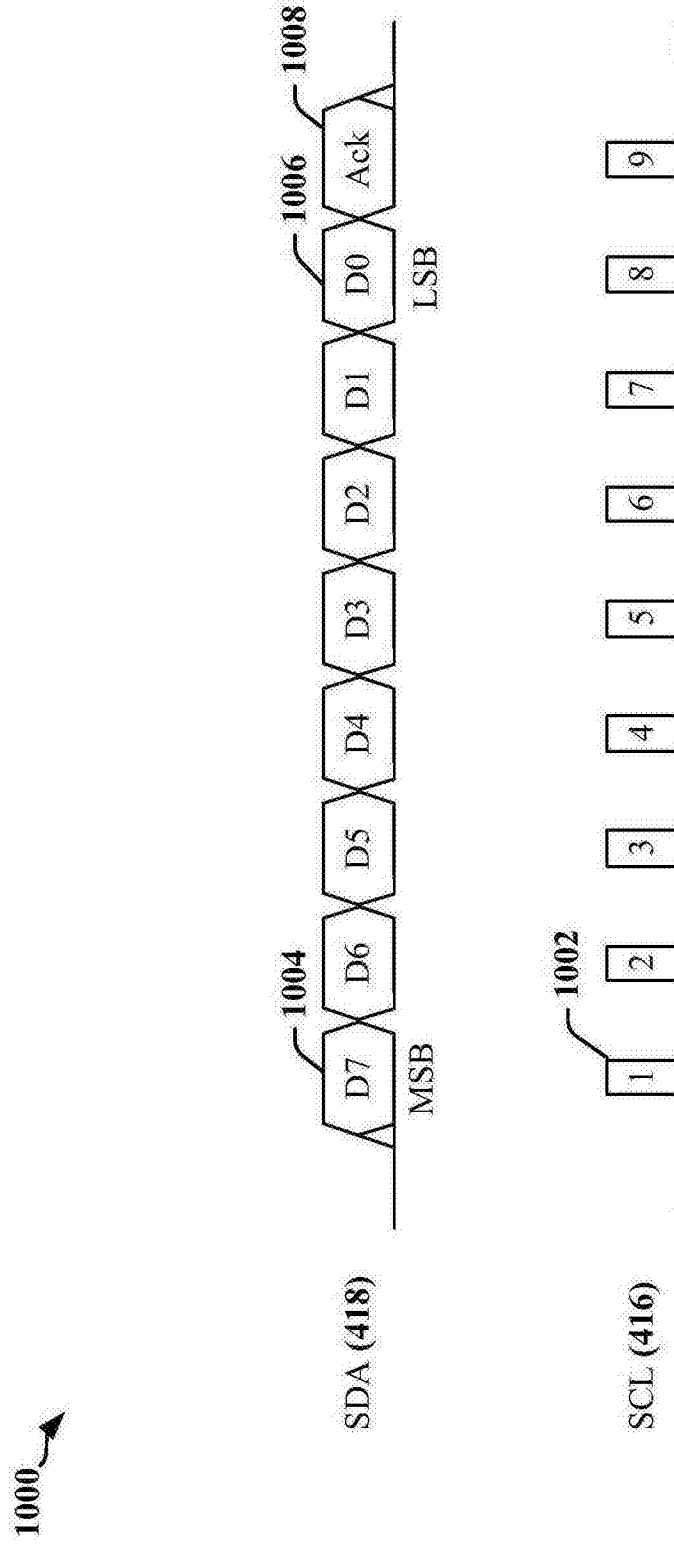


图 10

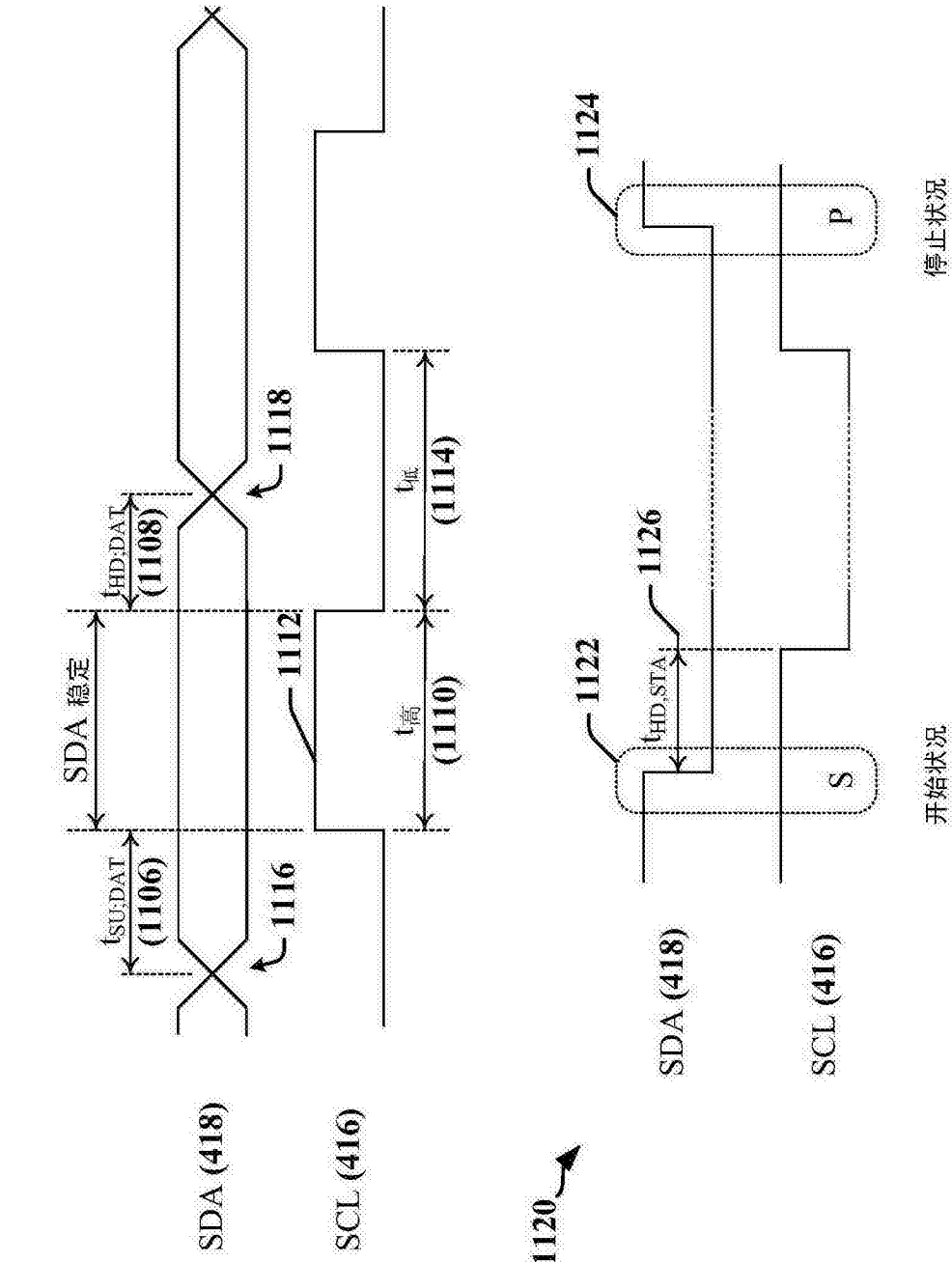


图 11

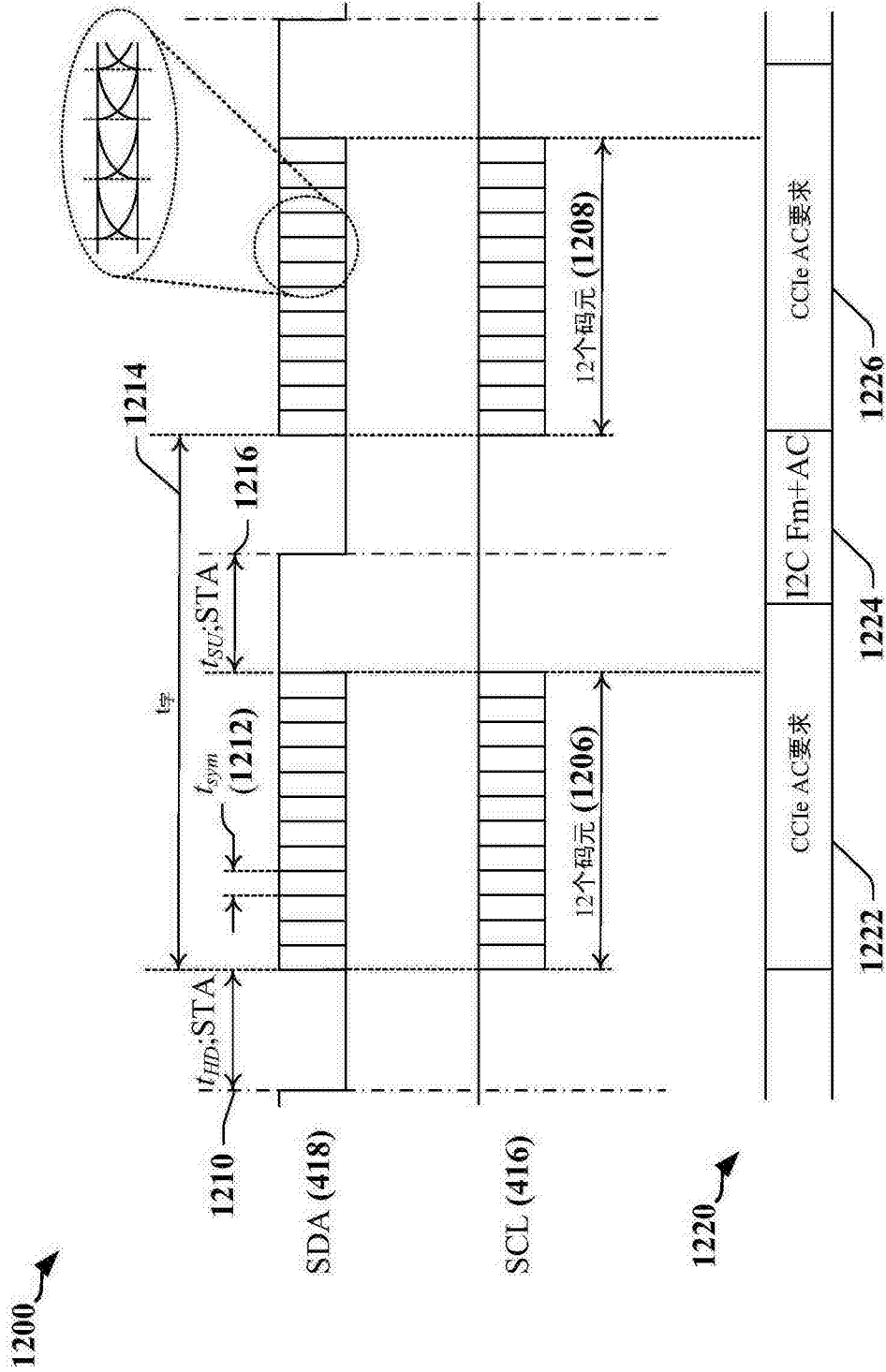


图 12

1300 ↗

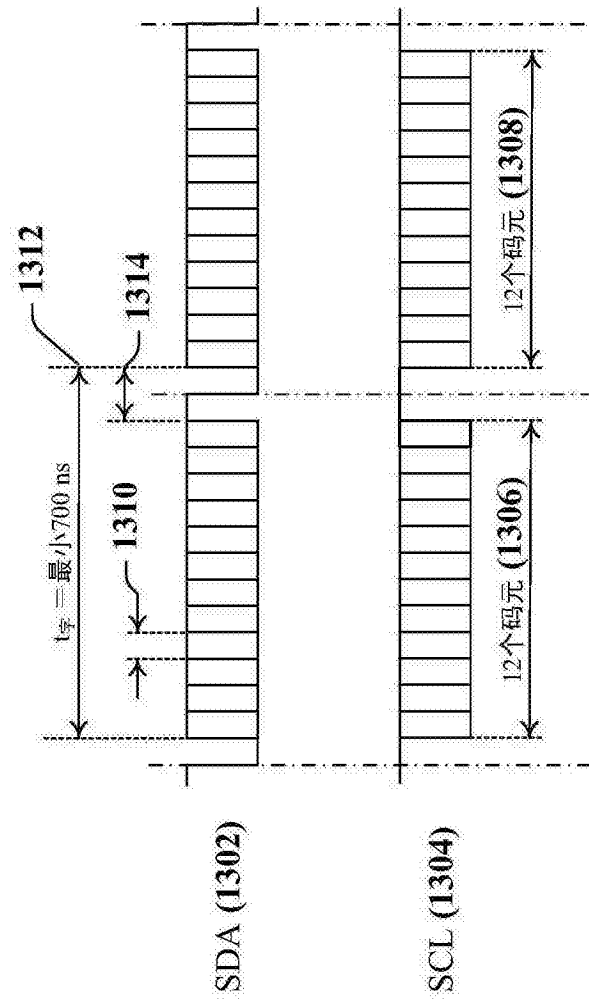


图 13

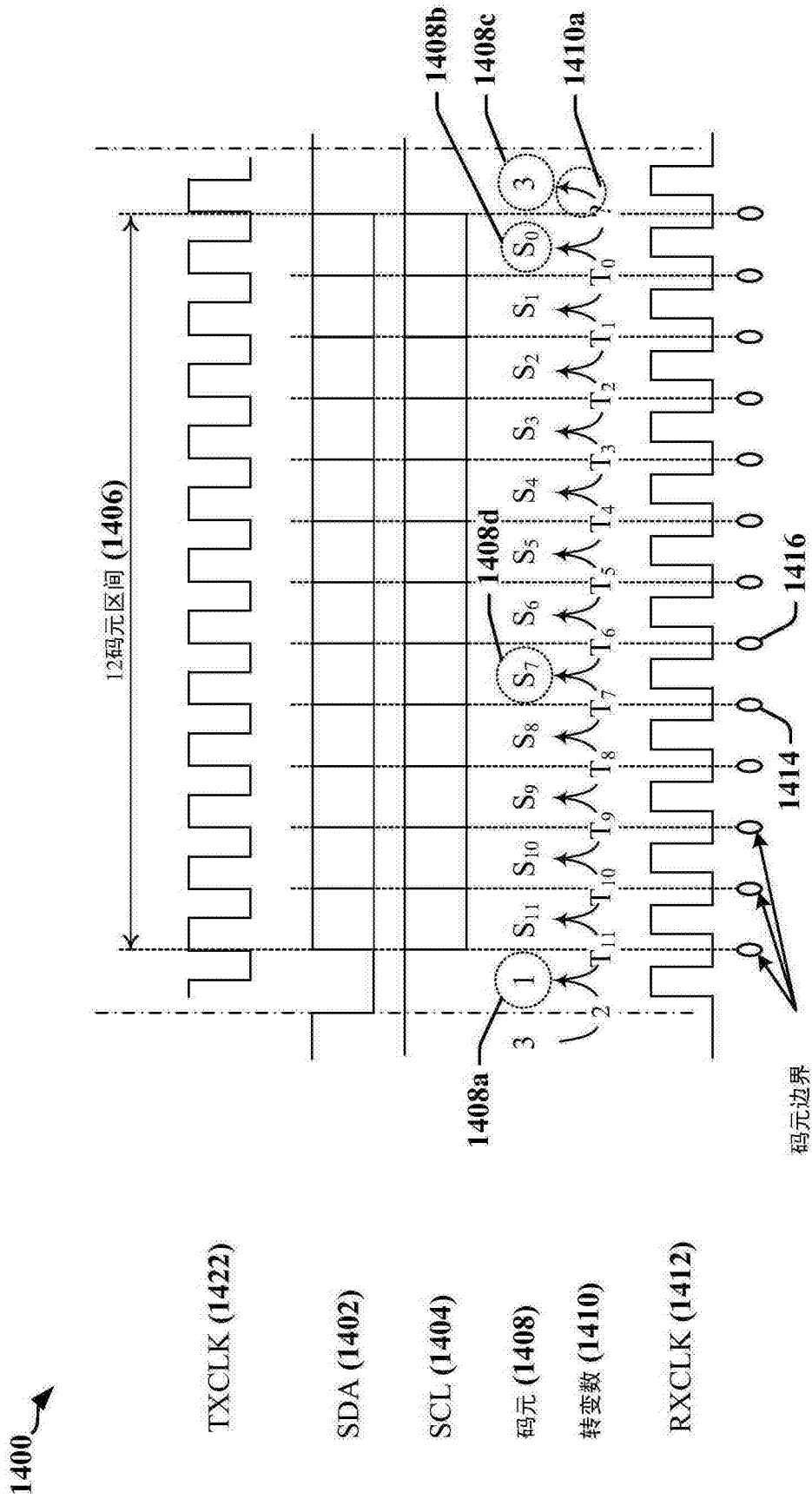


图 14

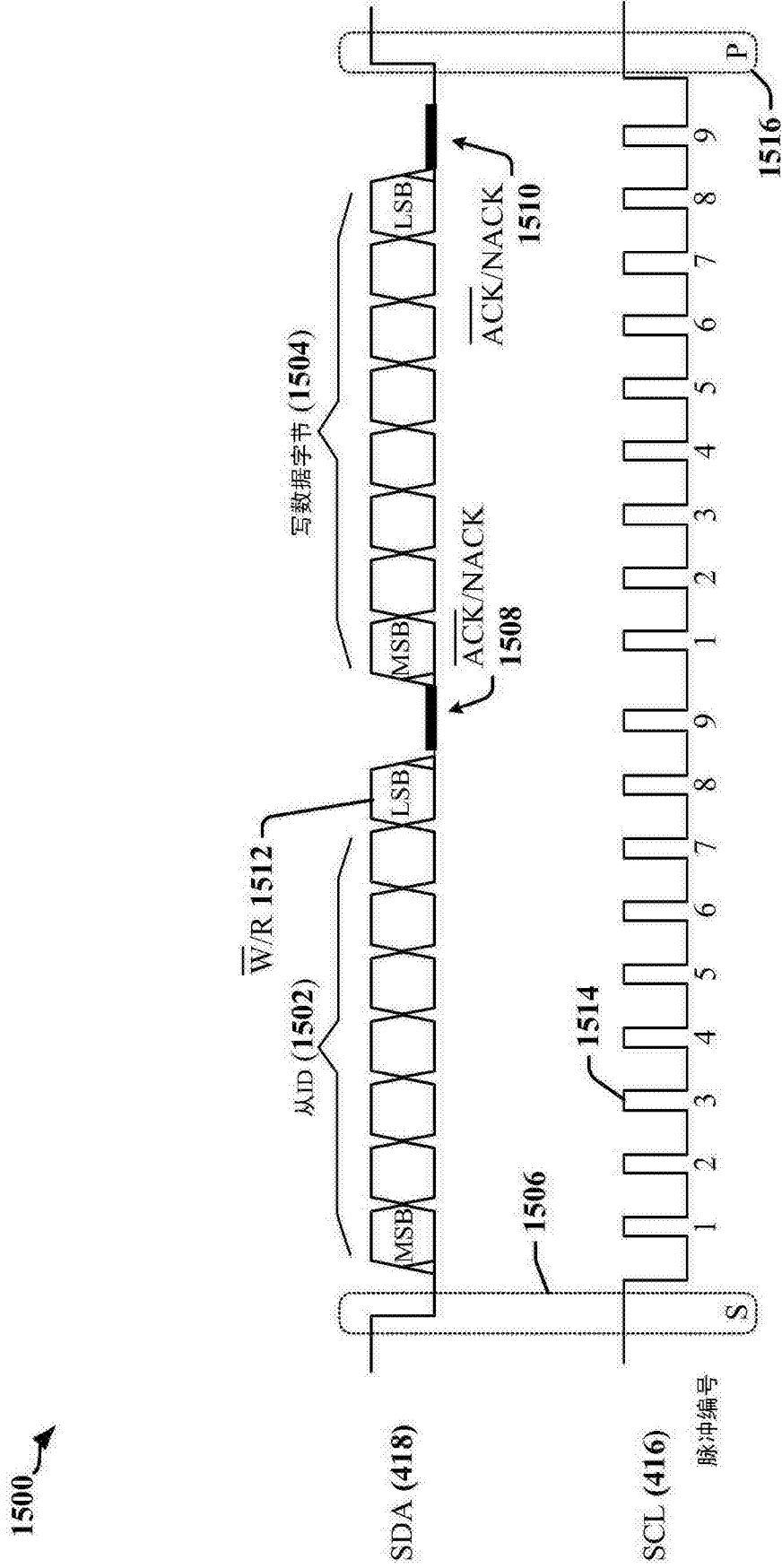


图 15

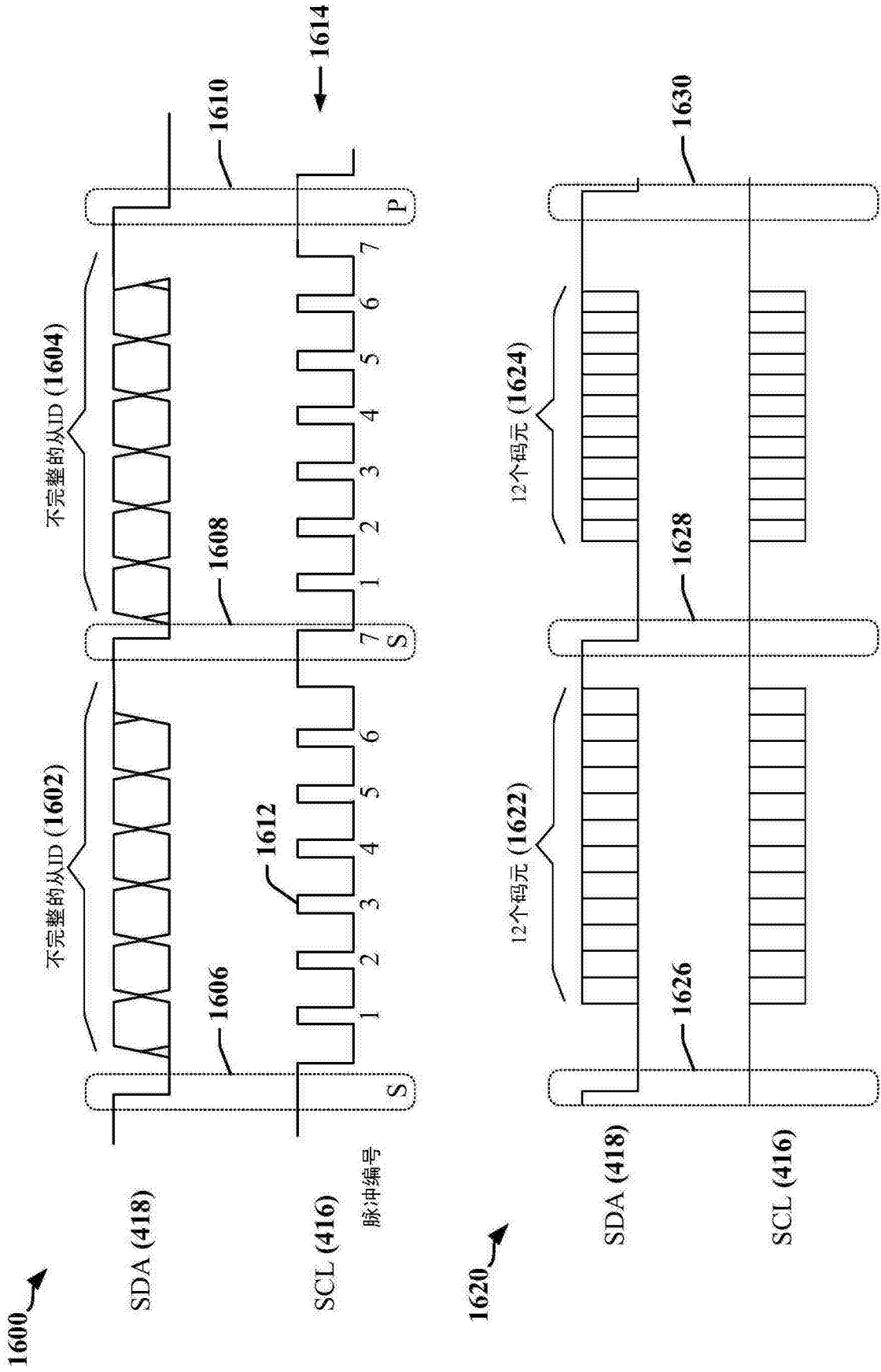


图 16

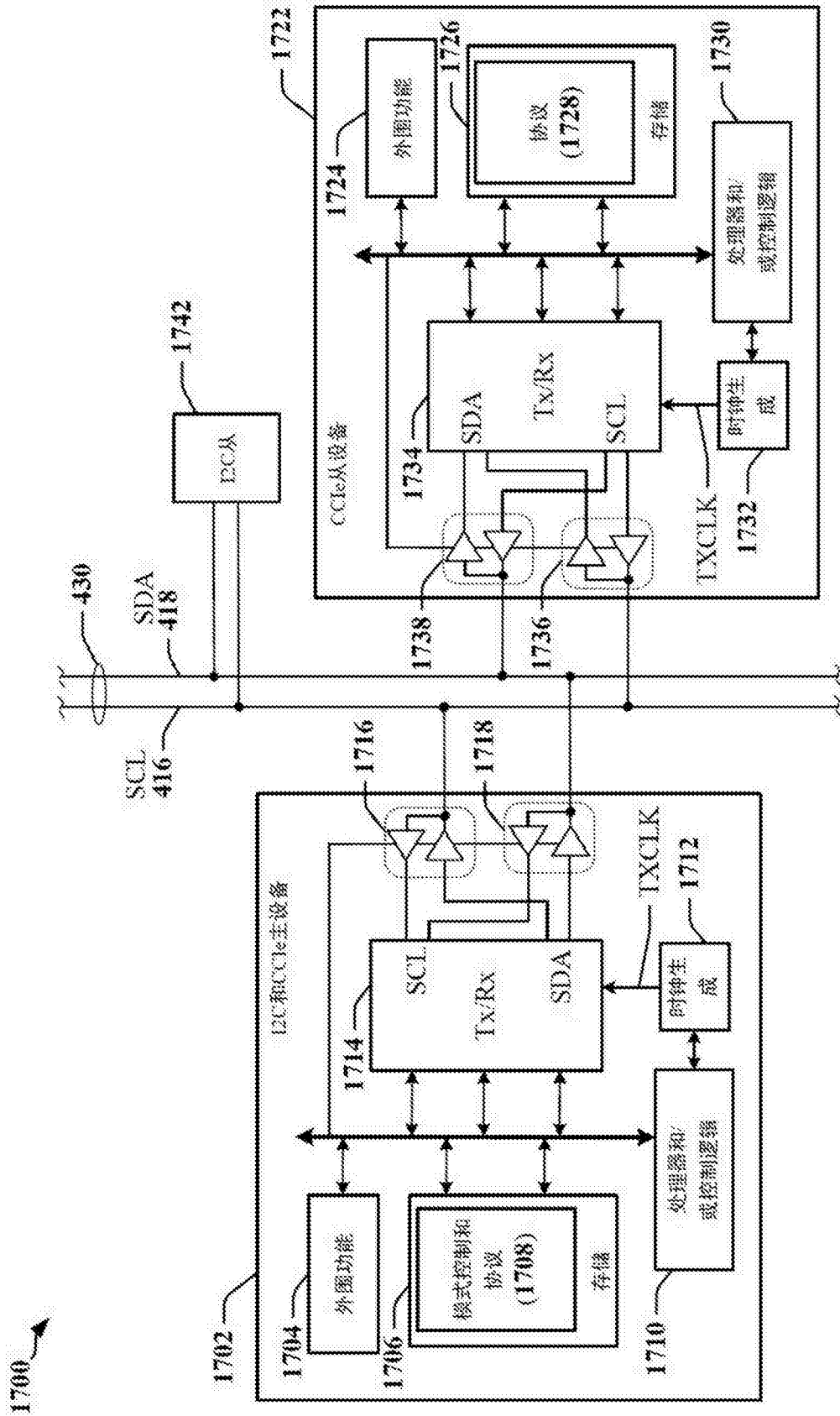


图 17

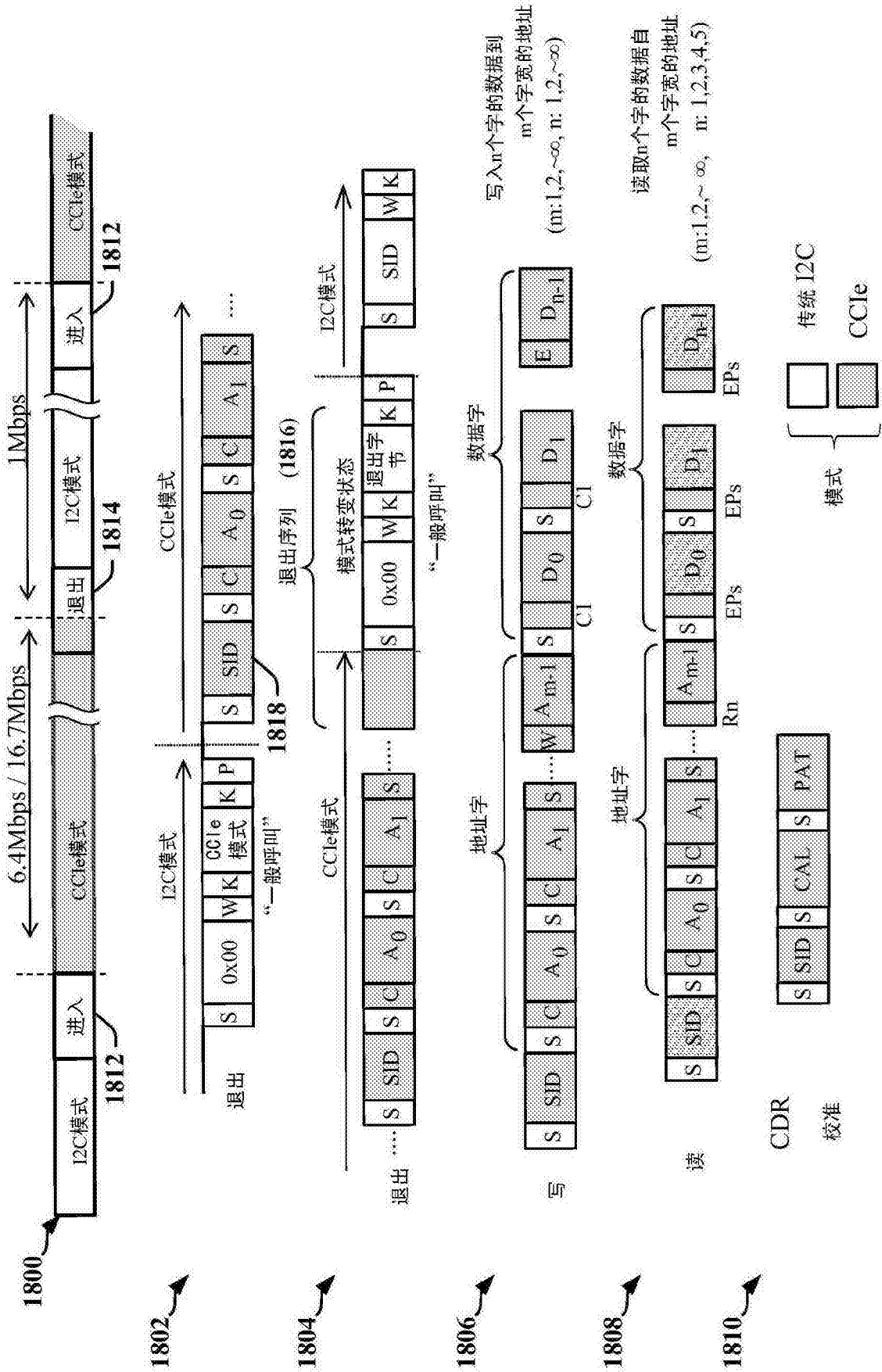
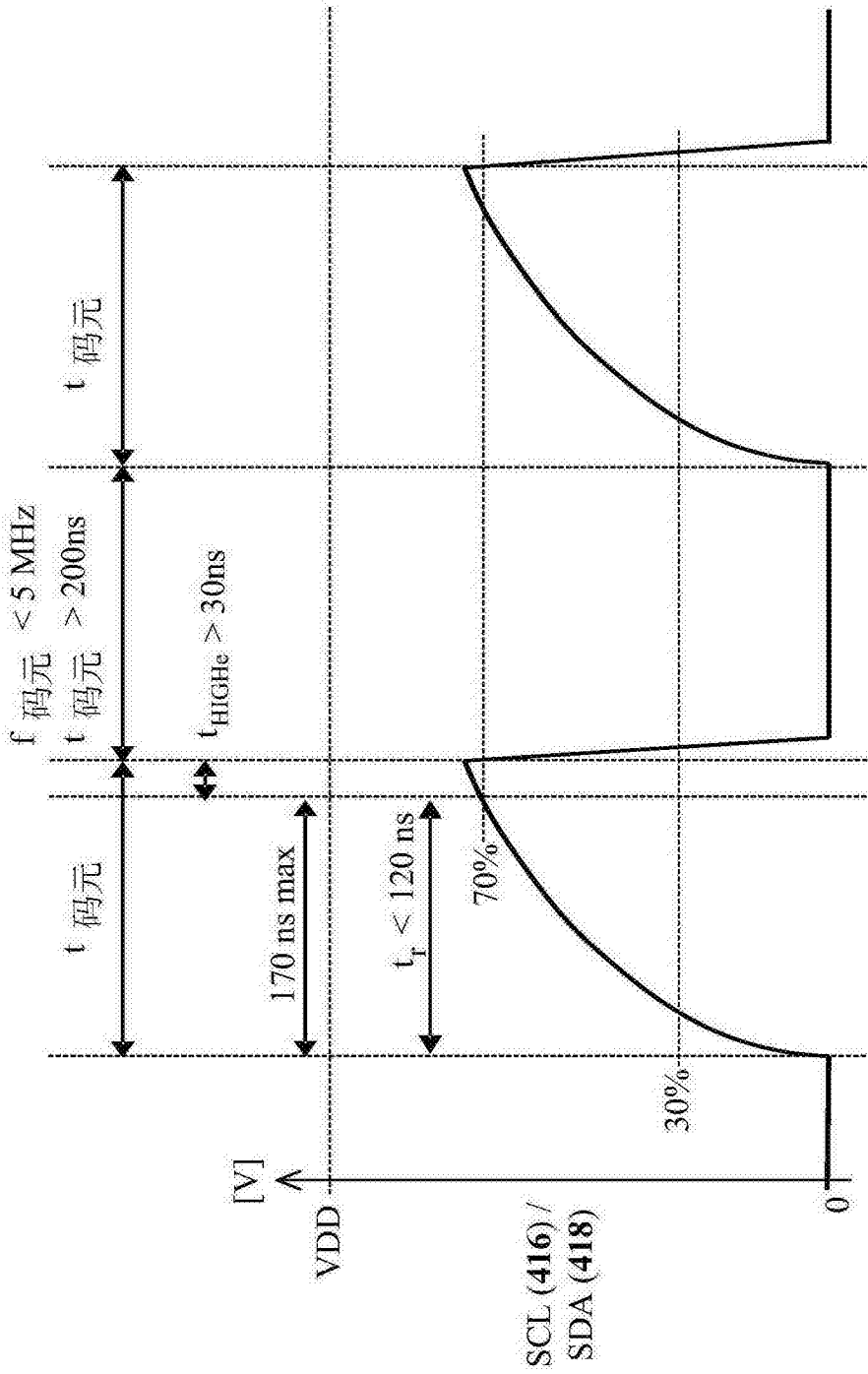


图 18

1900 ↗



$1.42 \times t_r$	线从0V达到70% VDD的时间, 对于Fm+而言最大170.4 ns。
t_{HIGHe}	CC1e最小所需高时间, 对于125 MHz而言为30 ns以对逻辑“1”采样三次

图 19

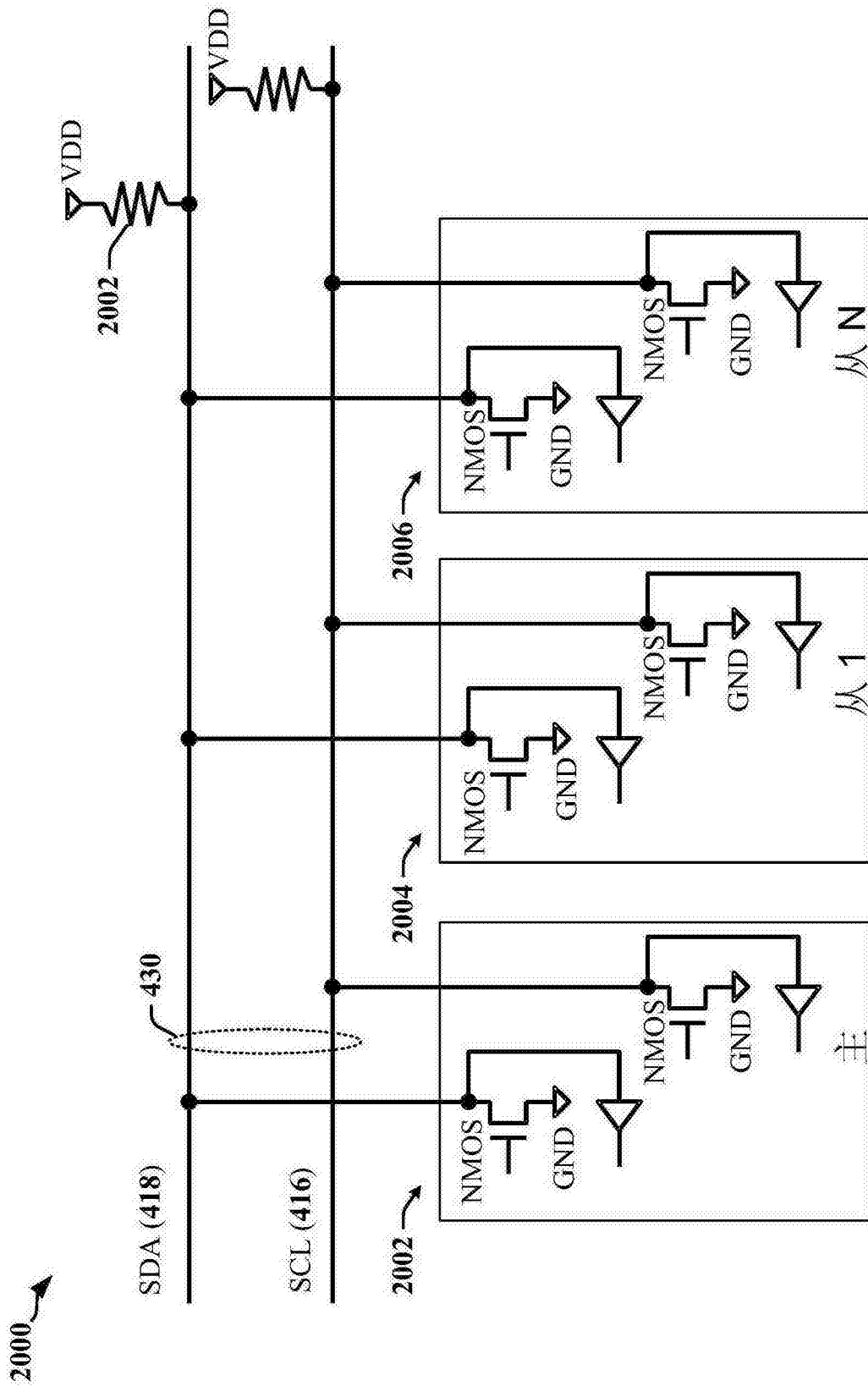


图 20

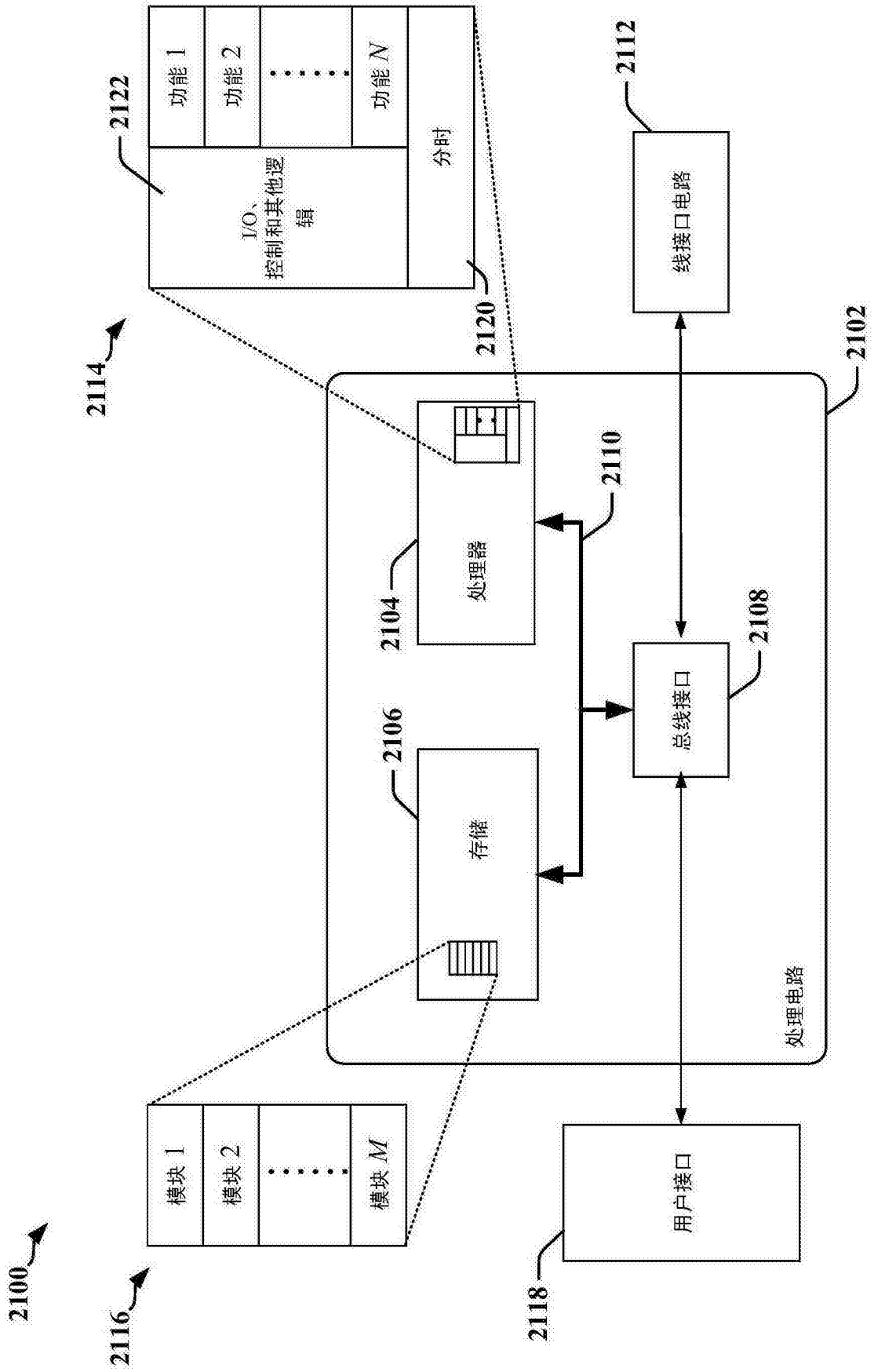


图 21

2200 ↗

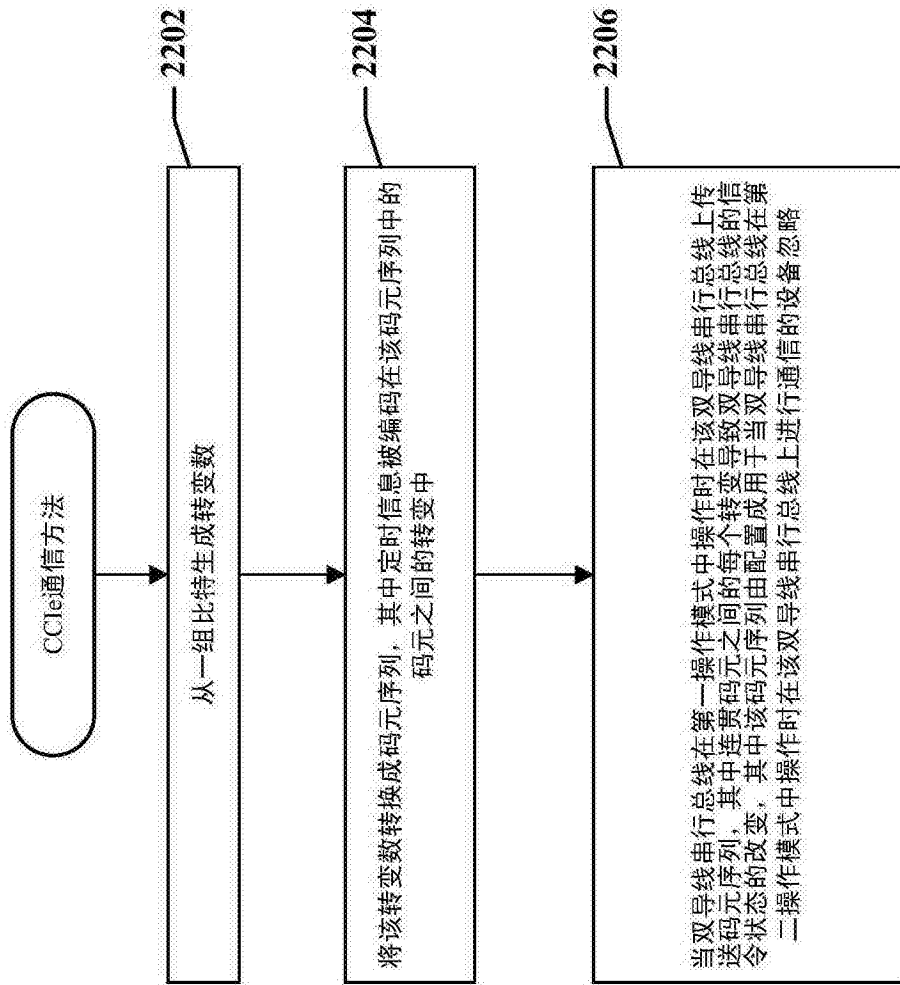


图 22

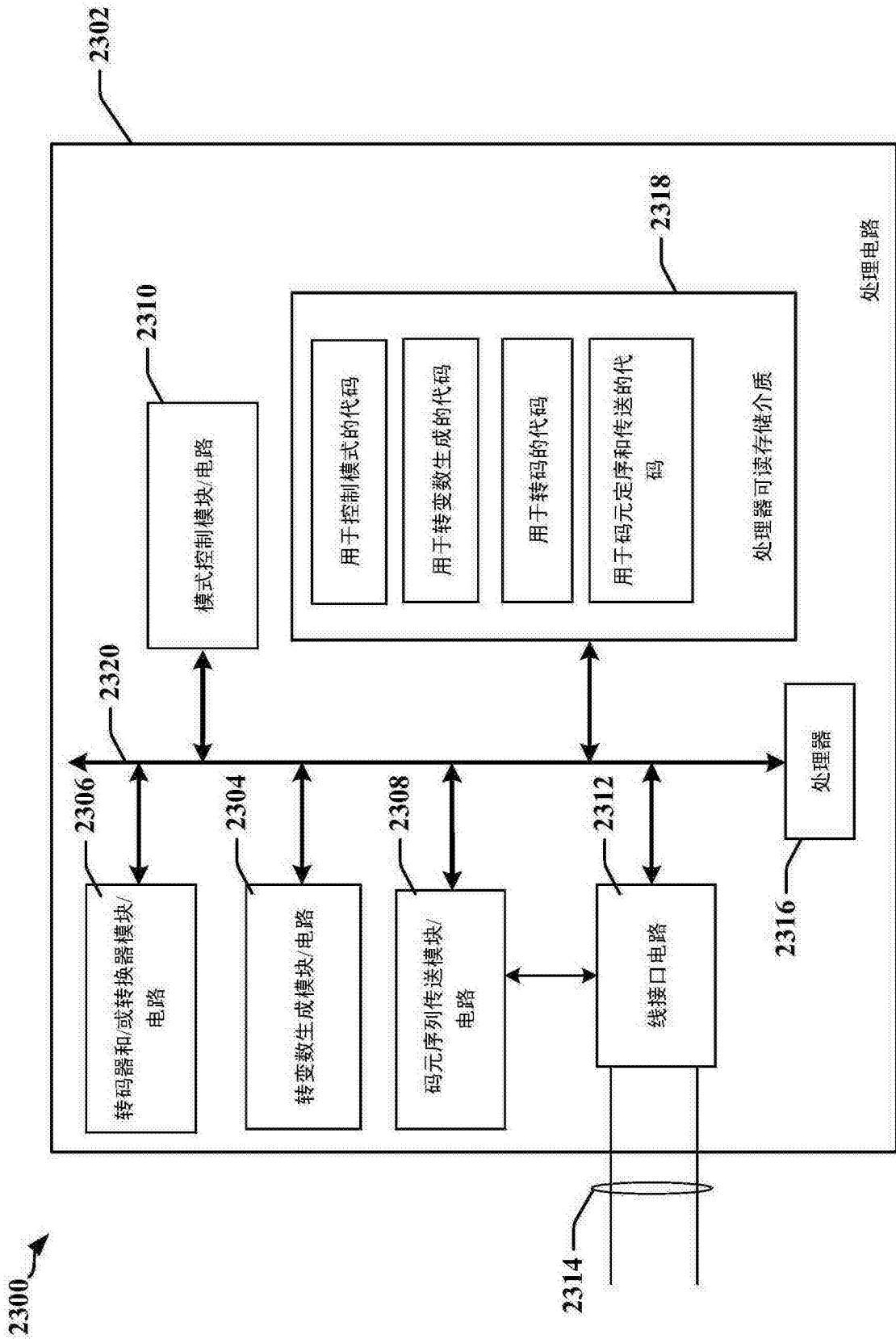


图 23

2400 ↗

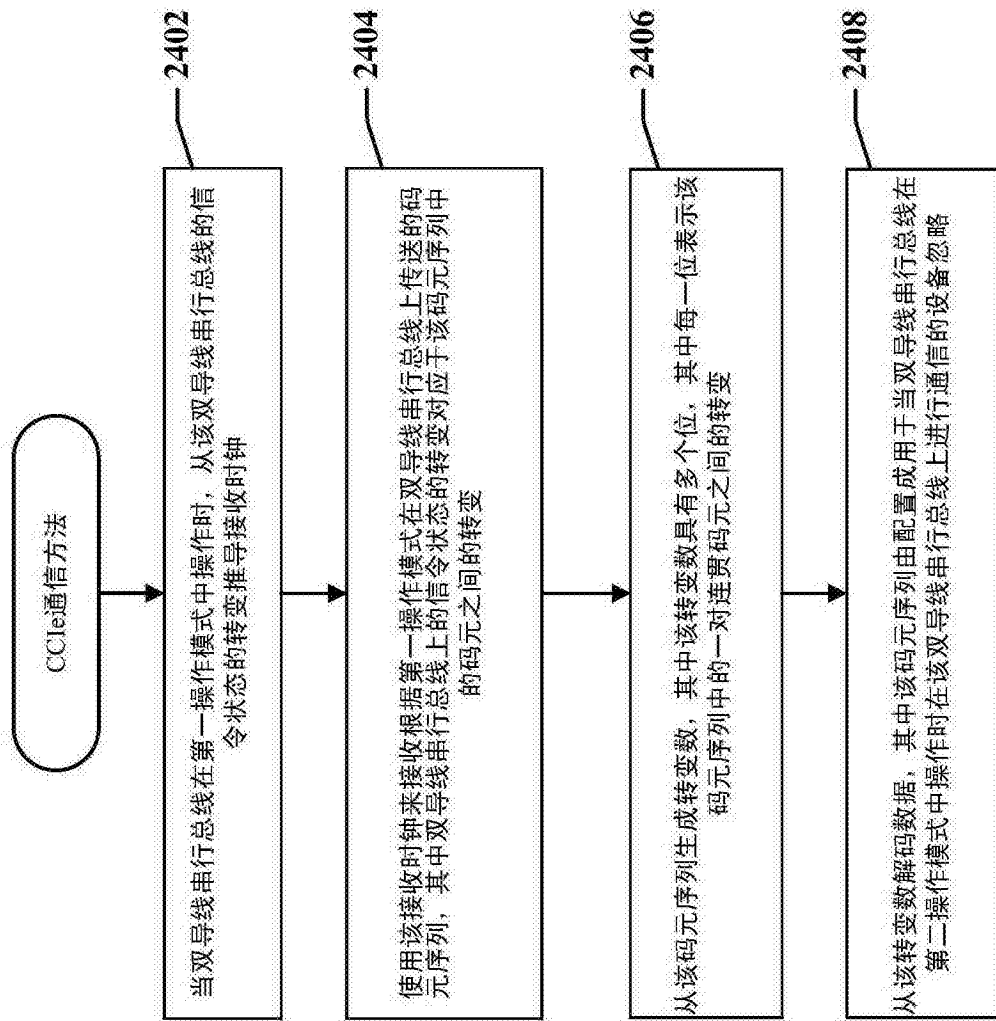


图 24

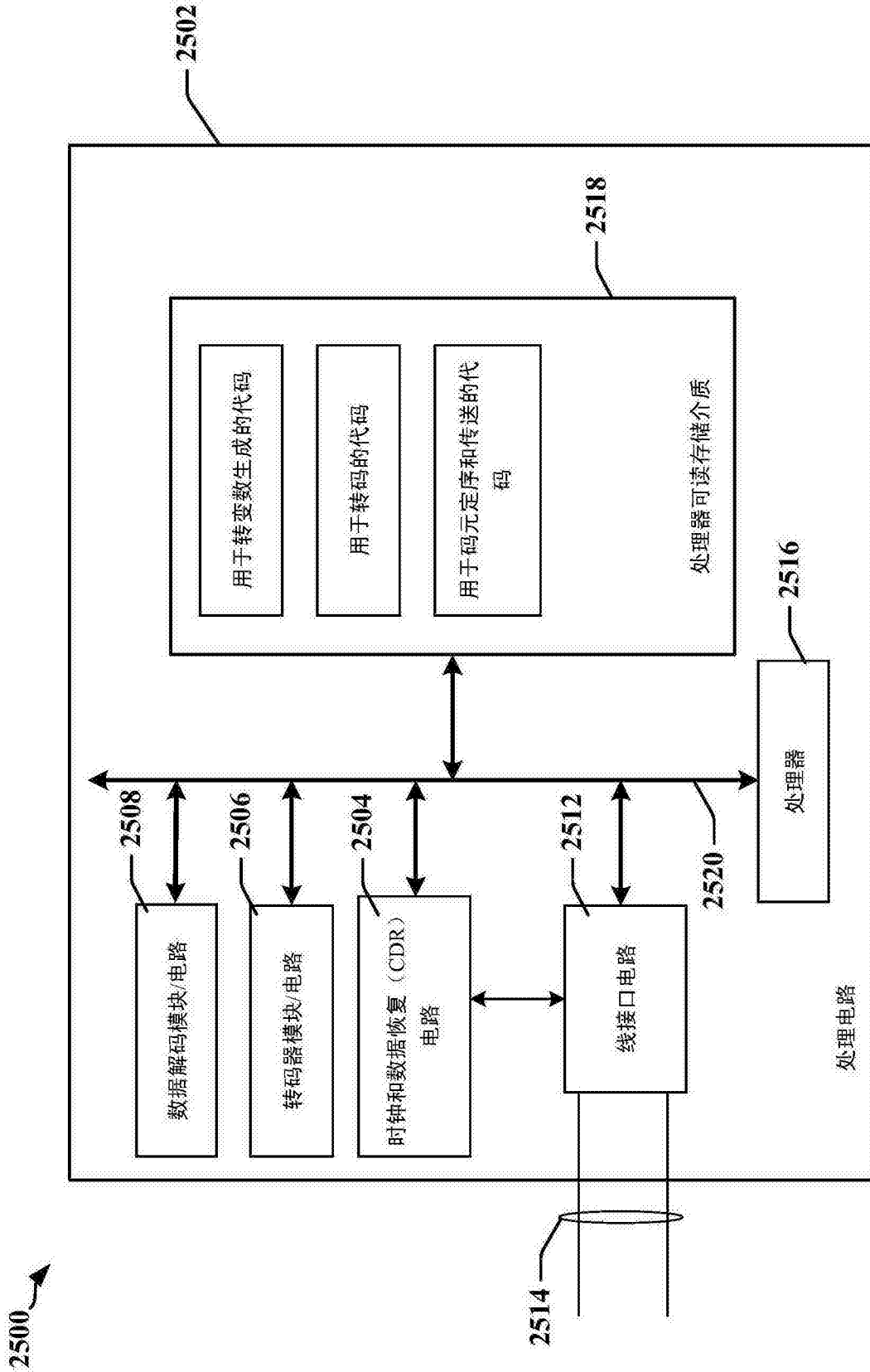


图 25

2600 ↗

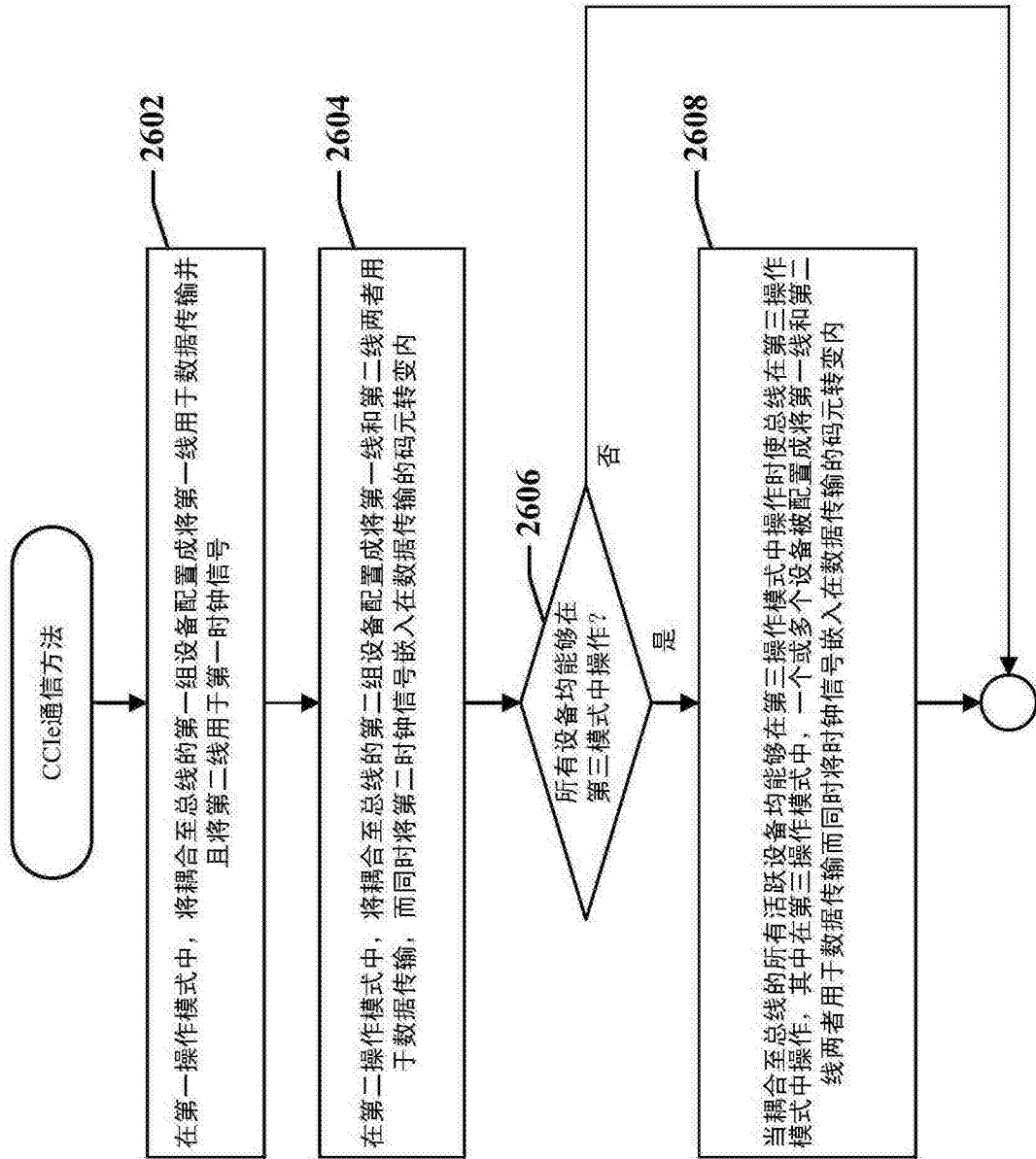


图 26