

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 27.03.00.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 28.09.01 Bulletin 01/39.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR et FRANCE TELECOM — FR.

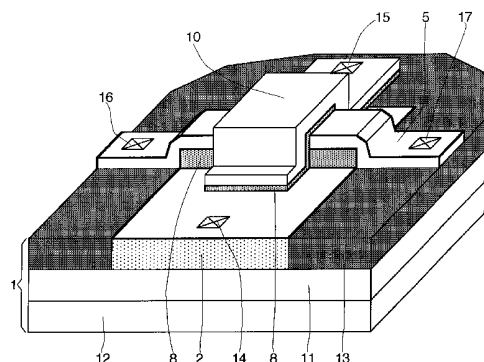
72 Inventeur(s) : SKOTNICKI THOMAS, JURCZAK
MALGORZATA et HAOND MICHEL.

73 Titulaire(s) :

74 Mandataire(s) : CASALONGA ET JOSSE.

54 PROCEDE DE FABRICATION D'UN TRANSISTOR MOS A DEUX GRILLES, DONT L'UNE EST ENTERREE, ET
TRANSISTOR CORRESPONDANT.

57 On réalise au sein d'un substrat sur isolant 1 la première grille 2 du transistor. On forme par épitaxie sur la surface supérieure du substrat une région semi-conductrice de canal surmontant transversalement la première grille 2 et des régions semi-conductrices de drain et de source 16 et 17 respectivement disposées de part et d'autre de la région de canal. On isole la région de canal de la surface supérieure de la première grille 2 en ménageant un tunnel 7 sous la région de canal puis en remplissant au moins partiellement ledit tunnel par un premier matériau diélectrique 8. On forme sur la région de canal et transversalement à cette région de canal, la deuxième grille 10 séparée de la surface supérieure de la région de canal par un deuxième matériau diélectrique 8.



Procédé de fabrication d'un transistor MOS à deux grilles, dont l'une est enterrée, et transistor correspondant.

La présente invention concerne d'une manière générale les circuits intégrés et leur fabrication et plus particulièrement les transistors CMOS, d'architectures à grilles duales, sur substrat sur isolant (SOI : Silicon-On-Insulator), et comportant en outre des grilles enterrées.

5 Pour de tels transistors, l'utilisation de grilles métalliques duales est particulièrement recherchée pour parer aux phénomènes parasites et dommageables d'un dispositif semi-conducteur tels que la pénétration du Bore, l'appauvrissement (déplétion) de grille et l'intégration de certains diélectriques à haute permittivité.

10 Le principal problème engendré par les grilles métalliques repose en fait sur l'ajustement de la tension de seuil. En effet, le choix du matériau commun pour des dispositifs NMOS et PMOS se porte naturellement sur les matériaux dits "mid-gap" qui décalent la tension de seuil d'un NMOS de $E_g/2$ vers les positifs et celle du PMOS de $E_g/2$ vers les négatifs (E_g représente l'énergie de bande interdite (gap) du matériau).
15 Ceci, avec un dopage de canal constant, conduit à l'obtention de tensions de seuil de l'ordre de $\pm 1V$, respectivement pour les dispositifs NMOS et les dispositifs PMOS. Afin de ramener ces valeurs à des niveaux conventionnels de l'ordre de $\pm 0,5V$ sur des canaux longs, un contre
20 dopage des canaux s'avère nécessaire. Cependant, les canaux enterrés ainsi obtenus ont le désavantage d'être particulièrement sensibles aux effets des canaux courts.

Différentes solutions ont été proposées pour s'affranchir des défauts que présentent les canaux enterrés, notamment l'utilisation d'un
25 matériau unique de type mid-gap, mais avec une architecture de grille

duale SOIAS ("Back Gated CMOS on SOIAS for dynamic threshold voltage control", I.Y. Yang, C. Vieri, A. Chandraskasan and D. Antoniadis, pp 822-831, IEEE T. Electron Devices, vol. 44, May 1997).

5 Le principe de réduction de la tension de seuil à l'aide d'une polarisation du substrat SOI est connu (M. Haond et M. Tack, Rapid electrical measurement of back oxide and silicon thickness in an SOI CMOS process, IEEE T. Electron Devices, pp 674-676, vol. 38, March 1991).

10 Antoniadiis et autres ont mis en oeuvre ce principe pour obtenir, dans un procédé dit de "collage de substrat" ("wafer bonding") appliqué à deux substrats SOI, des grilles enterrées en polysilicium P+ et N+ alignées avec les grilles métalliques présentes sur la face avant.

15 Les inconvénients de ce procédé sont l'utilisation de deux substrats dont l'un est un substrat SOI (coûteux) et l'emploi de techniques coûteuses de "wafer bonding". Au plan électrique des fuites importantes entre les grilles enterrées N⁺ et P⁺ sont à craindre car elles ne sont séparées que par des régions de polysilicium intrinsèques.

L'invention vise à remédier à ces inconvénients.

20 Le but de la présente invention est de fournir un procédé de fabrication de transistors CMOS, d'architectures à grilles duales, qui soit simple et fiable.

25 La présente invention a également pour but de fournir un procédé de fabrication de transistors d'architectures à grilles duales et une telle structure permettant de mettre en oeuvre le principe de l'ajustement de la tension de seuil des transistors NMOS et PMOS moyennant une polarisation constante ou en dynamique d'une deuxième grille enterrée. L'efficacité de la grille enterrée sera accrue par l'utilisation d'un oxyde enterré mince obtenu par oxydation thermique, de la même manière que l'oxyde de grille d'une grille conventionnelle.

30 L'invention a encore pour but de proposer un procédé de fabrication simplifié ne nécessitant qu'une seule plaque SOI (sans "wafer-bonding") pour réaliser les dispositifs.

35 L'invention propose donc un procédé de fabrication d'un transistor MOS comprenant une région de canal prise en sandwich entre une première et une deuxième grille. Selon une caractéristique générale de

l'invention, on réalise au sein d'un substrat sur isolant la première grille du transistor, on forme par épitaxie sur la surface supérieure du substrat une région semi-conductrice de canal surmontant transversalement la première grille et des régions semi-conductrices de drain et de source respectivement disposées de part et d'autre de la région de canal, on isole la région de canal de la surface supérieure de la première grille en ménageant un tunnel sous la région de canal puis en remplissant au moins partiellement ledit tunnel par un premier matériau diélectrique, on forme sur la région de canal et transversalement à cette région de canal, la deuxième grille, par exemple métallique, séparée de la surface supérieure de la région de canal par un deuxième matériau diélectrique qui peut être identique au premier.

Selon un mode de mise en oeuvre, la réalisation de la première grille comporte la formation dans le substrat de régions isolantes délimitant une zone active et le dopage de cette zone active. La formation de la région semi-conductrice de canal comporte une épitaxie sélective d'une première couche d'un premier matériau semi-conducteur sur la surface supérieure de la zone active, une épitaxie non sélective, sur ladite première couche, d'une deuxième couche d'un deuxième matériau semi-conducteur, le premier matériau étant sélectivement éliminable par rapport au substrat et au deuxième matériau, une gravure desdites deux couches de façon à former sur la surface active un empilement surmontant transversalement la zone active et ayant deux flancs opposés laissant apparaître ladite première couche. Par ailleurs, on effectue une gravure sélective de ladite première couche de l'empilement de façon à ménager le tunnel séparant la portion correspondante de la deuxième couche, de la surface supérieure de la zone active.

Dans un mode préféré de mise en oeuvre du procédé, le premier matériau semi-conducteur est un alliage de silicium-germanium et le deuxième matériau semi-conducteur est du silicium.

Le tunnel est avantageusement rempli au moins partiellement par formation d'une couche du premier matériau diélectrique sur la structure semi-conductrice obtenue après gravure du tunnel. La formation de la couche du premier matériau diélectrique peut s'effectuer par oxydation thermique ou par dépôt. De préférence, l'épaisseur de la couche

du premier matériau diélectrique et l'épaisseur de la première couche du premier matériau semi-conducteur sont ajustées de façon à remplir complètement le tunnel. Ceci permet notamment un meilleur contrôle du canal par la grille ainsi qu'une meilleure stabilité mécanique.

5 Dans un mode préféré de mise en oeuvre du procédé ci-dessus décrit, la formation de la deuxième grille comporte le dépôt sur la couche du premier matériau diélectrique d'un matériau de grille, par exemple un métal ou bien un alliage $\text{Si}_x\text{Ge}_{1-x}$ (avec $0 \leq x \leq 1$) dopé N+ ou P+ selon le type de canal du transistor, et la gravure de cette couche de façon à former la
10 deuxième grille, la portion de la couche du premier matériau diélectrique située entre la surface supérieure de la région de canal et la surface inférieure de la deuxième grille formant alors ledit deuxième matériau diélectrique.

La deuxième grille peut aussi être réalisée par d'autre manière,
15 par exemple par un procédé du type "Damascène" selon une dénomination bien connue de l'homme du métier.

Le premier matériau diélectrique et le deuxième matériau diélectrique peuvent être choisis dans le groupe formé par SiO_2 , Si_3N_4 , Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 ou TiO_2 , ou encore tout matériau diélectrique à
20 forte permittivité relative, par exemple supérieure à 50.

L'invention a également pour objet un dispositif semi-conducteur, par exemple un transistor MOS, comprenant une région de canal prise en sandwich entre une première et une deuxième grilles. Selon une caractéristique générale de l'invention, la première grille est réalisée
25 au sein d'un substrat sur isolant, et le transistor comprend une région semi-conductrice surmontant la première grille et s'étendant transversalement à celle-ci, et comportant une région de canal et des régions de drain et de source respectivement disposées de part et d'autre de la région de canal. La région de canal est isolée de la surface supérieure de la première grille
30 par un tunnel au moins partiellement rempli par un premier matériau diélectrique, et la deuxième grille est formée sur la région de canal et transversalement à cette région de canal, la deuxième grille étant séparée de la surface supérieure de la région de canal par un deuxième matériau diélectrique.

35 De préférence, le tunnel a une hauteur de l'ordre de 1 à 50 nm, par

exemple une hauteur de 20 nm.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation et de mise en oeuvre, nullement limitatif, et des dessins annexés sur
5 lesquels les figures 1a à 1f illustrent schématiquement les principales étapes d'un mode de mise en oeuvre du procédé de l'invention.

Sur la figure 1a, la référence 1 désigne un substrat sur isolant (SOI) composé ici d'un film mince de silicium faisant office de substrat et reposant sur un isolant 11. L'isolant 11 repose sur une plaquette 12, par
10 exemple en silicium ou bien en verre. La fabrication d'un substrat sur isolant est bien connue de l'homme du métier.

On forme dans le substrat, de façon connue en soi, des régions isolantes 13, par exemple remplies d'isolant, par un procédé connu de l'homme du métier sous la dénomination STI (Shallow Trench Isolation).
15 Ces tranchées isolantes délimitent dans le substrat une zone active 2 pour le futur transistor MOS.

On notera ici que les figures 1a à 1e illustrent la fabrication d'un seul transistor MOS à canal N ou P, étant entendu que le transistor complémentaire est réalisé simultanément à côté de ce transistor MOS, les
20 grilles enterrées et supérieures des transistors NMOS et PMOS étant réalisées au sein de matériaux communs.

La zone active 2 est alors fortement dopée de la même manière qu'un dopage de type source/drain, par exemple de l'ordre de 10^{15} at/cm² de façon à obtenir une concentration de dopants de l'ordre de 10^{20} at/cm³,
25 pour procurer des conductivités fortes aux zones actives qui serviront ensuite de grilles enterrées. L'implantation est de type N ou P selon la nature du transistor.

Le procédé se poursuit par une phase d'épitaxie sélective de silicium-germanium SiGe sur la surface supérieure du substrat. Le
30 caractère sélectif de l'épitaxie se traduit par une croissance de la couche 4 de SiGe uniquement sur la surface supérieure de la zone active 2.

La couche 4 d'alliage SiGe ainsi que la surface de la région périphérique isolante 13, sont alors recouvertes par épitaxie non-sélective d'une couche de silicium 5.

35 Parmi les alliages SiGe préférentiellement utilisés, on peut citer

les alliages $\text{Si}_{1-x}\text{Ge}_x$ où $0 < x < 1$ et $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ où $0 < x \leq 0,95$ et $0 < y \leq 0,05$. De préférence, on utilisera un alliage SiGe comportant un taux de Ge $x \geq 0,05$, et de préférence $0,20 \leq x \leq 0,30$, car la sélectivité de la gravure par rapport à Si augmente avec l'accroissement du taux de Ge dans l'alliage.

Les conditions de l'épitaxie sélective et de l'épitaxie non-sélective sont des conditions classiques bien connues de l'homme du métier. On utilisera, par exemple, un flux de dichlorosilane et de dichlorogermanium pour une épitaxie sélective et un flux de silane pour une épitaxie non-sélective.

On procède alors, comme représenté à la figure 1b, au masquage et à la gravure de la couche de silicium 5 et de la couche d'alliage SiGe 4, de manière à former, sur la surface de la région active 2, un empilement 6 des couches d'alliage SiGe 4 et de silicium 5, ayant deux flancs opposés sur la région active 2 laissant apparaître la couche d'alliage SiGe 4.

On procède à la gravure sélective de la couche d'alliage SiGe 4 pour former le tunnel 7 (figure 1c) dont la hauteur est volontairement exagérée sur la figure 1c.

De préférence, le tunnel a une hauteur de l'ordre de 1 à 50 nm, par exemple une hauteur de 20 nm.

Comme cela est également bien connu de l'homme du métier, les alliages SiGe sont aisément sélectivement éliminables, soit au moyen d'une chimie oxydante humide, par exemple avec une solution 40 ml HNO_3 70% + 20 ml H_2O_2 + 5 ml HF 0,5%, soit par attaque plasma isotrope.

Comme le montre la figure 1d, on forme ensuite, par exemple par oxydation thermique ou par dépôt, une mince couche 8 d'oxyde de silicium SiO_2 sur la surface de la région active 2 et la surface interne du tunnel. Cette même étape d'oxydation thermique ou de dépôt conduit également au recouvrement de la surface externe et des flancs de la structure en pont par la couche d'oxyde de silicium.

De préférence, l'épaisseur de la couche de SiO_2 et l'épaisseur de la couche du premier matériau semi-conducteur 4 (SiGe) sont ajustées de façon à remplir complètement le tunnel.

On dépose alors de manière classique une couche de métal ou d'alliage $\text{Si}_x\text{Ge}_{1-x}$ dopé N+ ou P+, en fonction du type de transistor, de

façon à recouvrir toute la surface de la structure illustrée sur la figure 1c et par conséquent la structure en pont. La couche d'alliage $\text{Si}_x\text{Ge}_{1-x}$ dopé N+ ou P+ est de préférence dopée in situ de manière classique.

On grave ensuite, comme le montre la figure 1e, la couche de métal ou
5 d'alliage $\text{Si}_x\text{Ge}_{1-x}$ dopé N+ ou P+ en utilisant des techniques de photolithogravure classiques pour former la deuxième grille 10 du transistor. Les deux grilles 10 des transistors NMOS et PMOS forment les grilles duales en face avant de ces transistors CMOS.

On réalise ensuite de façon classique, après desoxydation, les
10 implantations source/drain dans la couche de silicium 5, éventuellement précédées de formation de régions latérales isolantes (espaceurs) pour obtenir des zones de concentration variable (connues par l'homme du métier sous le vocable LDD). Un recuit d'activation et une étape classique de siliciuration complètent la fabrication du transistor.

15 La figure 1f illustre aussi un transistor selon l'invention sur laquelle on n'a représenté ni les espaceurs ni les zones siliciurées pour une meilleure lisibilité.

Le transistor comporte une grille enterrée 2 sur laquelle on a réalisé un contact de grille 14. Cette grille enterrée est isolée de la
20 deuxième grille 10 par la couche d'oxyde de silicium 8. Cette couche 8 isole également la grille 10 de la région de canal située dans la couche 5 et isolée de la grille enterrée par le tunnel 7 rempli par l'oxyde de silicium 8. Ce transistor présente également la particularité d'offrir un canal saillant par rapport à la surface initiale de silicium et formant un pont entre les
25 extrémités la zone active 2 (grille enterrée). Le pont est par ailleurs plus étroit que la grille enterrée et repose par ailleurs sur les régions isolantes 13.

La grille supérieure 10 franchit le pont et les régions de source et de drain reposent sur les zones isolantes 13.

30 Des contacts source/drain 16 et 17 sont ménagés sur la couche 5 au dessus des zones isolantes 13.

Un contact de grille 15 est ménagé sur la grille 10 au dessus de la zone isolante 13. A titre indicatif, non limitatif, un tunnel d'une longueur de 600 nm a été gravé sélectivement dans une couche 4 de SiGe d'une
35 épaisseur de 20 nm recouverte d'une couche de silicium 5 d'une épaisseur

de 20 nm. En pratique, la hauteur du tunnel, c'est-à-dire l'épaisseur du diélectrique remplissant le tunnel est préférentiellement environ 2 fois plus grande que l'épaisseur du diélectrique supérieur 8.

5 La couche de silicium 5 au-dessus du tunnel présente une parfaite structure monocristalline et une uniformité d'épaisseur.

10 Les défauts qui apparaissent dans la couche de silicium 5 au bord de la région périphérique isolante 13 (passage de Si monocristallin à Si polycristallin) n'influencent pas le canal du transistor car sur deux flancs opposés, ils sont retranchés par la gravure de la couche 5 et sur les deux autres côtés, ils se situent à l'intérieur des jonctions de source et de drain à l'écart du canal.

15 Par ailleurs, la croissance de l'alliage SiGe suivi d'une photogravure sans aucune étape intermédiaire favorise sa stabilité et autorise des épaisseur plus grandes et des pourcentages de Ge plus importants. Ceci favorise également le budget thermique du procédé complet, qui n'est pas menacé par la relaxation possible de l'alliage SiGe.

20 Enfin, les deux grilles peuvent être polarisées indépendamment ou bien être électriquement reliées, pour ajuster la tension de seuil en dynamique.

25

30

35

REVENDICATIONS

1. Procédé de fabrication d'un transistor MOS comprenant une région de canal prise en sandwich entre une première et une deuxième grilles (2, 10), caractérisé par le fait qu'on réalise au sein d'un substrat sur isolant la première grille (2) du transistor, on forme par épitaxie sur la surface supérieure du substrat une région semi-conductrice de canal surmontant transversalement la première grille (2) et des régions semi-conductrices de drain et de source (16 et 17) respectivement disposées de part et d'autre de la région de canal, on isole la région de canal de la surface supérieure de la première grille (2) en ménageant un tunnel (7) sous la région de canal puis en remplissant au moins partiellement ledit tunnel par un premier matériau diélectrique (8), on forme sur la région de canal et transversalement à cette région de canal, la deuxième grille (10) séparée de la surface supérieure de la région de canal par un deuxième matériau diélectrique (8).

2. Procédé selon la revendication 1, caractérisé par le fait que la réalisation de la première grille (2) comporte la formation dans le substrat de régions isolantes (13) délimitant une zone active (2) et le dopage de cette zone active,

par le fait que la formation de la région semi-conductrice de canal comporte une épitaxie sélective d'une première couche d'un premier matériau semi-conducteur (4) sur la surface supérieure de la zone active (2), une épitaxie non-sélective sur ladite première couche (4), d'une deuxième couche d'un deuxième matériau semi-conducteur (5), le premier matériau étant sélectivement éliminable par rapport au substrat et au deuxième matériau, une gravure desdites deux couches de façon à former sur la surface active un empilement (6) surmontant transversalement la zone active (2) et ayant deux flancs opposés laissant apparaître ladite première couche,

et par le fait que l'on effectue une gravure sélective de ladite première couche (4) de l'empilement de façon à ménager le tunnel (7) séparant la la portion correspondante de la deuxième couche (5), de la surface supérieure de la zone active (2).

3. Procédé selon la revendication 2, caractérisé par le fait que le

premier matériau semi-conducteur est un alliage de silicium-germanium et par le fait que le deuxième matériau semi-conducteur est du silicium.

4. Procédé selon la revendication 2 ou 3, caractérisé par le fait qu'on remplit au moins partiellement ledit tunnel (7) en formant une couche du premier matériau diélectrique (8) sur la structure semi-conductrice obtenue après gravure du tunnel (7).

5. Procédé selon la revendication 4, caractérisé par le fait que la formation de la couche du premier matériau diélectrique (8) s'effectue par oxydation thermique ou par dépôt.

6. Procédé selon la revendication la revendication 4 ou 5, caractérisé par le fait qu'on ajuste l'épaisseur de la couche du premier matériau diélectrique (8) et l'épaisseur de la première couche du premier matériau semi-conducteur (4) de façon à remplir complètement le tunnel.

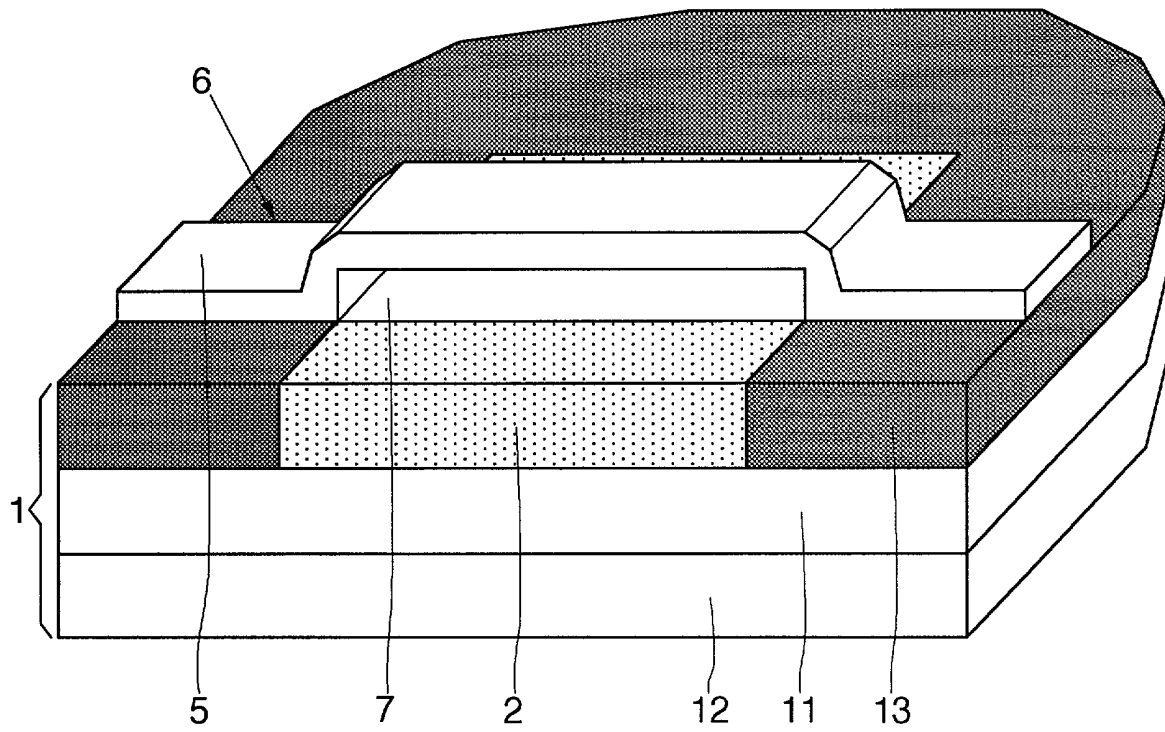
7. Procédé selon l'une des revendications 4 à 6, caractérisé par le fait que la formation de la deuxième grille (10) comporte le dépôt sur la couche du premier matériau diélectrique (8) d'un matériau de grille, et la gravure de cette couche de façon à former la deuxième grille (10), la portion de la couche du premier matériau diélectrique située entre la surface supérieure de la région de canal et la surface inférieure de la deuxième grille (10) formant alors ledit deuxième matériau diélectrique (8).

8. Procédé selon l'une quelconque des revendications 1 à 7, caractérisé par le fait que le premier matériau diélectrique et le deuxième matériau diélectrique sont choisis dans le groupe formé par SiO_2 , Si_3N_4 , Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , ou tout autre matériau diélectrique ayant une permittivité relative élevée.

9. Transistor MOS caractérisé en ce qu'il comprend une région de canal prise en sandwich entre une première (2) et une deuxième grilles (10), caractérisé par le fait que la première grille (2) est réalisée au sein d'un substrat sur isolant (1), par le fait qu'il comprend une région semi-conductrice surmontant la première grille (2) et s'étendant transversalement à celle-ci, et comportant une région de canal et des régions de drain et de source (16 et 17) respectivement disposées de part et d'autre de la région de canal, par le fait que la région de canal est isolée de la surface supérieure de la première grille (2) par un tunnel (7) au moins partiellement rempli par un premier matériau diélectrique (8), et par le fait

que la deuxième grille (10) est formée sur la région de canal (5) et transversalement à cette région de canal, la deuxième grille (10) étant séparée de la surface supérieure de la région de canal par un deuxième matériau diélectrique (8).

- 5 10. Transistor MOS selon la revendication 9, caractérisé en ce que le tunnel (7) a une hauteur de l'ordre de 1 à 50 nm, par exemple une hauteur de 20 nm.

FIG.1c

3/4

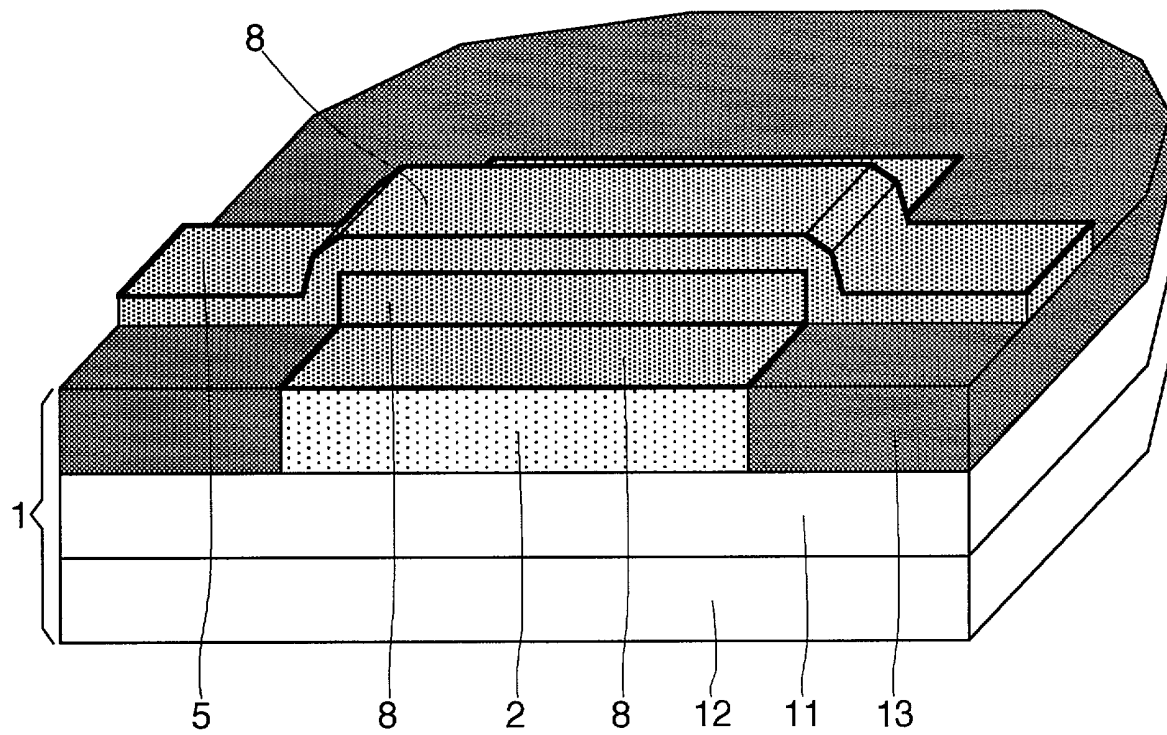
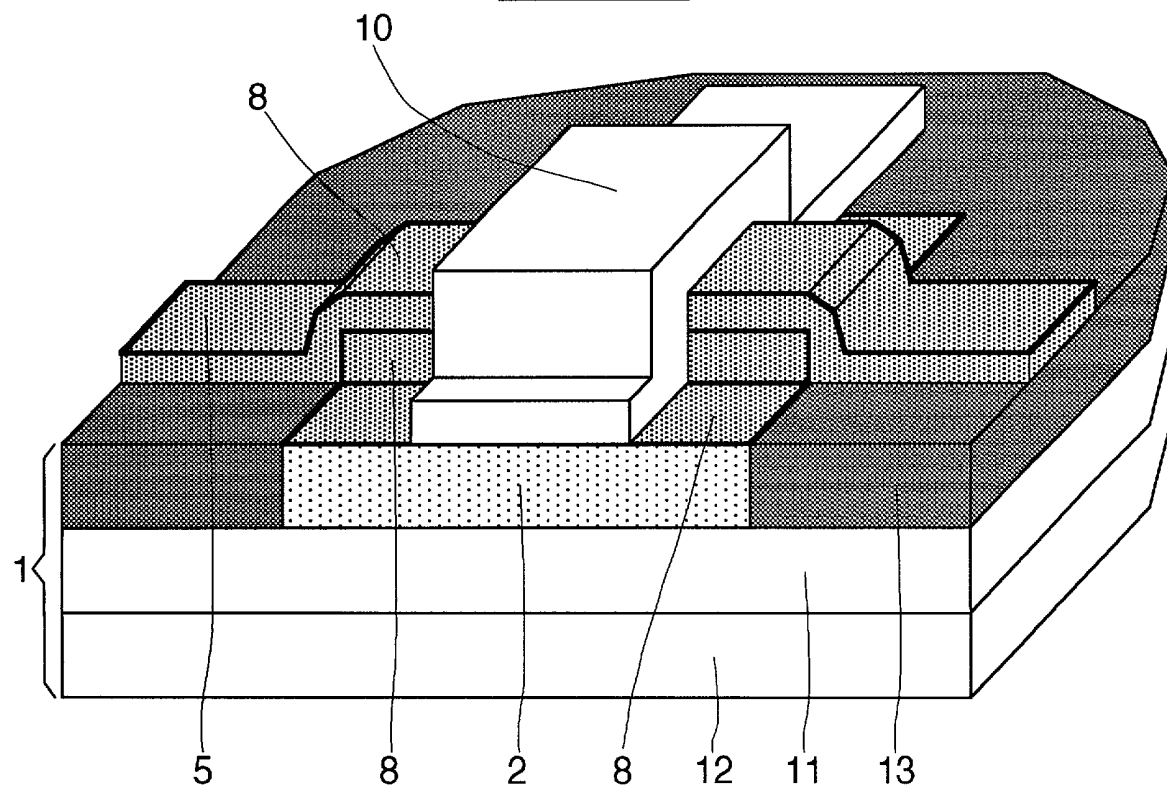
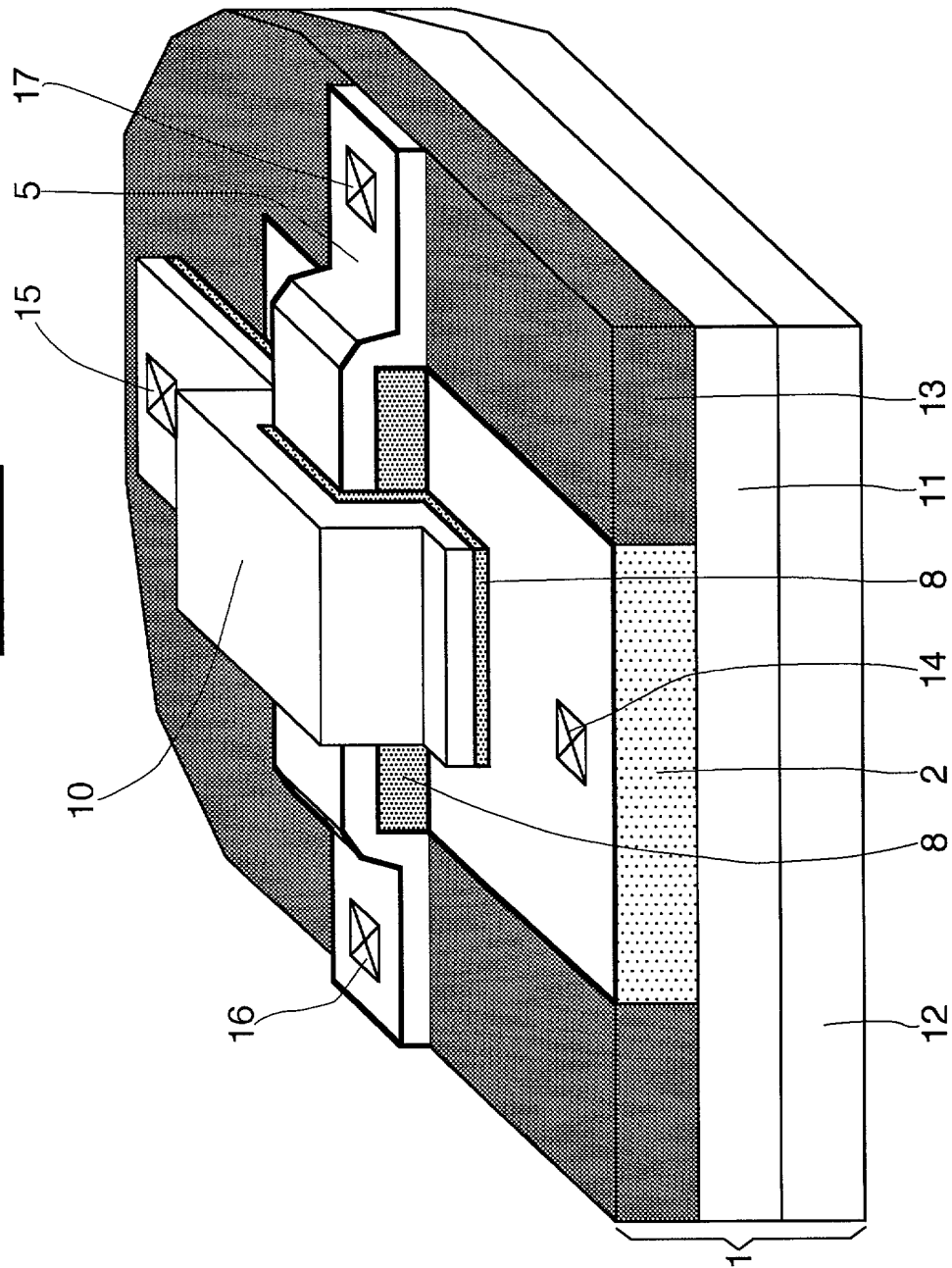
FIG.1dFIG.1e

FIG. 1f

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2806833

N° d'enregistrement
national

FA 590308
FR 0003844

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 349 228 A (NEUDECK GEROLD W ET AL) 20 septembre 1994 (1994-09-20) * figures 1,2 * ---	1-10	H01L21/336 H01L29/78
A	US 6 004 837 A (GAMBINO JEFFREY P ET AL) 21 décembre 1999 (1999-12-21) * figures 1-8 * ---	1-10	
A	US 5 578 513 A (MAEGAWA SHIGETO) 26 novembre 1996 (1996-11-26) * figures 1-4 * ---	1-10	
A	US 5 965 914 A (MIYAMOTO SHOICHI) 12 octobre 1999 (1999-10-12) * figures 18-20 * -----	1-10	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			H01L
Date d'achèvement de la recherche		Examineur	
18 janvier 2001		Juhl, A	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			