(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3615241号
(P3615241)
(45)発行日　平成17年2月2日(2005.2.2)　(24)登録日　平成16年11月12日(2004.11.12)

(51)Int.Cl.[7]　F I
H04N 7/32　H04N 7/137 Z

請求項の数 4 (全 11 頁)

(21)出願番号　特願平6-190390
(22)出願日　平成6年8月12日(1994.8.12)
(65)公開番号　特開平7-177523
(43)公開日　平成7年7月14日(1995.7.14)
審査請求日　平成13年3月21日(2001.3.21)
(31)優先権主張番号　08/107098
(32)優先日　平成5年8月13日(1993.8.13)
(33)優先権主張国　米国(US)

(73)特許権者　590000879
テキサス　インスツルメンツ　インコーポレイテツド
アメリカ合衆国テキサス州ダラス，ノース　セントラルエクスプレスウエイ　１３５　ＯＯ
(74)代理人　100059959
弁理士　中村　稔
(74)代理人　100067013
弁理士　大塚　文昭
(74)代理人　100065189
弁理士　宍戸　嘉一
(74)代理人　100096194
弁理士　竹内　英人

最終頁に続く

(54)【発明の名称】ビデオデータデコーダのアーキテクチャ

(57)【特許請求の範囲】
【請求項１】
第１の集積回路サブストレートと第２の集積回路サブストレートとを有する符号化されたデータストリームを処理するビデオデータ処理システムにおいて、
前記第１の集積回路サブストレート上に、
符号化されたデータストリームの少なくとも一部分を構文解析し、そして構文解析した画像データと運動ベクトルデータとを出力する構文解析回路、および
この構文解析回路から前記の構文解析した画像データを受け取るように接続され、そして前記の構文解析した画像データを変換する変換回路、が形成されており、
前記第２の集積回路サブストレート上に、
復号された画像データを蓄積する画像メモリ回路、
前記の構文解析回路から前記の運動ベクトルデータを受け取り、そして前記の画像メモリ回路からそこに蓄積されている前記の復号された画像データを受け取り、そして前記の運動ベクトルデータと前記の蓄積されている復号された画像データを処理し、そして運動補償した画像データを出力する運動補償回路、
前記の変換回路から変換された画像データを受け取り、且つこの画像データを出力するように接続された第１の入力バッファ、および
前記の第１の入力バッファから前記画像データを受け取り、前記の運動補償回路から運動補償された画像データを受け取り、そして前記の復号された画像データを出力するように接続された加算回路、が形成されており、

前記の画像メモリ回路は前記の加算回路の復号された画像データを受け取るよう接続され、そして、符号化されたデータストリームから取出されたフレール間Ｉピクチャーのビデオ画像を表している復号された画像データを蓄積するＩピクチャーメモリ、符号化されたデータストリームから取出された予測されたＰピクチャーのビデオ画像を表している復号された画像データを蓄積するＰピクチャーメモリ、及び符号化されたデータストリームから取出された双方向Ｂピクチャーのビデオ画像を表している復号された画像データを蓄積するＢピクチャーメモリを備え、

前記の運動補償回路は、前記の構文解析回路から前記の運動ベクトルデータを受け取り、そして前記のＩピクチャーメモリから前記の蓄積されている復号された画像を受け取るよう接続された第１の半画素算術演算論理ユニットと、前記の構文解析回路から前記の運動ベクトルデータを受け取り、そして前記Ｐピクチャーメモリから前記の蓄積されている復号された画像データを受け取るように接続された第２の半画素算術演算論理ユニットと、この第１の半画素算術演算論理ユニットから第１の運動補償した画像データを受け取り、そして前記の第１の運動補償された画像データを前記の加算回路へ出力するよう接続された第２の入力バッファと、前記第２の半画素算術演算論理ユニットから第２の運動補償した画像データを受け取り、そして前記の第２の運動補償された画像データを前記の加算回路へ出力するよう接続された第３の入力バッファとを含むビデオデータ処理システム。

【請求項２】

前記の変換回路からの画像データを前記の加算回路に結合する８ビットバスをさらに備えている請求項１に記載のビデオデータ処理システム。

【請求項３】

前記のＩピクチャー、前記のＰピクチャー、前記のＢピクチャーを表す前記の蓄積されている復号された画像データをそれぞれ前記のＩピクチャーメモリ、前記のＰピクチャーメモリ、前記のＢピクチャーメモリから取出すように接続されていて、この取出された前記の復号された画像データを出力するラスタースキャン出力回路を備えた請求項１に記載のビデオデータ処理システム。

【請求項４】

前記のラスタースキャン出力回路が前記の第２の集積回路サブストレート上に形成されている請求項３に記載のビデオデータ処理システム。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、一般的にはデータ処理の分野に関し、特定的には改良されたビデオデータ復号アーキテクチャに関する。

【０００２】

【従来の技術】

最新のデータ伝送における重要な面は、データ転送速度を高めるためのデータ圧縮及び圧縮解除に関する能力である。これらの重要性は、大量のデータを含むビデオデータ伝送を取り扱う上で特に明白である。全運動ビデオは、画像の解像力及び大きさに依存して毎秒３０　フレーム（もしくは画像）程度で符号化し、伝送し、復号し、そして表示することを含む。これらの応用に含まれる転送すべきデータは莫大な量になり得るから、データ伝送問題も極めて困難になり得る。

ビデオデータの伝送に固有の問題は、画像がある瞬時から別の瞬時までは大きく変化しないことから、ビデオデータの順次フレームは大きい冗長度を有しているという事実によって救われる。即ち、この事実から、ビデオデータの１つのフレームとその隣接するフレームとの間の差分を通信する差分信号を符号化することができる。加えて、単一の画像内の対象を追跡することは可能であり、それらの運動は、これもまた符号化することができる運動ベクトルとして表現することができる。これによりある画像を横切って運動する対象を符号化するために必要なデータは、その対象に対応付けられたデータを符号化し、次いで運動ベクトルを符号化して次のフレーム内のその対象が何処へ移動したかを指示するこ

とによって大幅に減少させることができる。
【０００３】
データストリーム内に含まれる圧縮された画像、差分データで表されている予測情報、及び運動補償ベクトル情報（これらは全てが符号化されている）を復号するためには、膨大な量のデータ処理が必要である。復号プロセス中に隣接画像を使用することから、この復号プロセスに含まれるデータ処理は、大量のメモリアクセスを必要とする。データ圧縮のこれらの種々の技術を使用するためには、ビデオデータ復号装置の速度及び操作性におけるメモリへのアクセス能力が臨界的な要因になってきている。
【０００４】
【発明の概要】
従って、種々のデータ圧縮技術を使用することが可能な、しかも所要メモリシステムに効率的に、且つ迅速にアクセスすることによって充分な処理速度を提供するビデオデータ復号アーキテクチャに対する要望が存在している。
本発明によれば、先行アーキテクチャが有していた欠陥を実質的に減少乃至は排除するビデオデータ復号アーキテクチャが提供される。
本発明の一実施例によれば、第１の集積された半導体サブストレート上に形成された構文解析回路及びデータ変換回路を具備するビデオデータ処理装置が提供される。運動補償回路及び画像メモリ回路は第２の集積された半導体サブストレート上に構成されている。
本発明のさらなる実施例によれば、システムデコーダ回路及び入力バッファ回路も第１の半導体サブストレート上に形成されている。また出力バッファ回路が第２の半導体サブストレート上に構成されている。
以下に添付図面を参照して本発明の実施例を説明する。
【０００５】
【実施例】
図１はビデオデータ復号装置１０の概要ブロック線図である。装置１０は、例えばＭＰＥＧ構文を使用して符号化されたオーディオ及びビデオデータからなっていてよい符号化されたデータストリームを受信するように動作可能である。装置１０は、符号化されたデータストリームから特定のビデオチャネルを抽出し、抽出したチャネルを復号し、そして復号されたビデオデータのフレームを出力して表示させるように動作可能である。
本発明の重要な技術的長所は、装置１０が第１の半導体サブストレート１２及び第２の半導体サブストレート１４上に形成されていることである。このアーキテクチャの利点に関しては以下に説明するが、要約すれば、装置１０の成分をサブストレート１２及び１４に細分したことによってサブストレート１２及び１４の外部へのデータ転送が最小になることから、装置１０を最も効率的に動作させることができる。半導体サブストレートから外部へデータを転送するには、外部バスの形成及び動作が必要である。外部バスは本質的に半導体サブストレート内部バスよりも低速であり、集積システム内に外部バスを実現するために必要な費用及び大きさの点から見て高価である。
【０００６】
再び図１を参照する。装置１０は、符号化された入力データストリームを受信するように動作可能なシステムデコーダ１６を含む。システムデコーダ１６は、合衆国特許出願一連番号　０８／０２１，００７　号“集積されたオーディオデコーダシステム及び動作方法”、合衆国特許出願一連番号　０８／０５４，１２７　号“オーディオデコーダ回路及び方法”、合衆国特許出願一連番号　０８／０５４，７６８　号“ハードウェアフィルタ回路”、及び合衆国特許出願一連番号　０８／０５４，１２６　号“システムデコーダ回路及び動作方法”の図２を参照して記述されているシステムデコーダ回路に類似のアーキテクチャ及び回路からなることができる。
システムデコーダ１６は、符号化された入力データストリームを多重化解除（デマルチプレクス）してデータストリームから単一のビデオチャネルを抽出し、そのチャネルを構成しているデータを入力バッファ１８へ出力するように動作する。入力バッファ１８は、システムデコーダ１６が抽出したチャネルを記憶するのに充分な量のダイナミックランダム

アクセスメモリを備えている。
本発明の代替実施例によれば、システムデコーダ１６はサブストレート１２とは異なる分離したサブストレート上に形成させることができる。システムデコーダ１６は、多チャネルの情報を抽出して幾つかの復号装置へ供給するように動作させることができる。例えば、ビデオデータ復号装置１０は、分離したオーディオ復号装置（両装置は同一の符号化されたデータストリーム内に含まれる異なるチャネルに対して並列に動作する）と並列に動作させることができる。装置１０及び分離したオーディオ復号装置は、入力データストリームを２もしくはそれ以上の並列復号装置に対して多重化解除するように動作するシステム復号回路もしくは集積されたシステム復号装置を共有することができる。本発明の更に別の実施例によれば、入力バッファ１８も並列復号装置に共有させることができ、またシステムデコーダ１６と同一のサブストレート上に形成させることも、もしくは代替として別の専用バッファサブストレート上に形成させることもできる。

【０００７】
入力バッファ１８内に記憶されたデータは、構文解析（　ｐａｒｓｅｒ　）回路２０によって入力バッファ１８から検索される。入力バッファ１８内に記憶されたデータは、ホフマン符号化されている。構文解析回路２０は、ホフマン符号を復号するように機能する。入力バッファ１８内に記憶されたデータは、復号すべき画像に対応付けられた情報の少なくとも２つの基本集合からなる。情報の第１の集合は一組の離散余弦変換係数からなる。この情報は、この情報を量子化することによって圧縮されている。実際の離散余弦変換係数を抽出するために必要なこの情報は、構文解析回路２０から量子化解除（　ｄｅｑｕａｎｔｉｚａｔｉｏｎ　）機能を遂行する量子化解除ユニット２２へ印加される。量子化解除された情報は、逆離散余弦変換（ＩＤＣＴ）ユニット２４へ出力される。変換ユニット２４はデータに対して逆離散余弦変換を遂行して実際のビデオ画像データを形成し、このデータをサブストレート１２から出力する。
構文解析回路２０は、入力バッファ１８内に記憶されているデータストリームから、運動ベクトルデータからなる情報の第２の集合を抽出するようにも機能する。この運動ベクトル情報は構文解析回路２０からサブストレート１２の外へ出力され、運動補償回路２６へ供給される。図１に示すこの回路２６は運動補償モジュール２６ａ及び運動補償モジュール２６ｂからなり、サブストレート１４上に形成されている。変換されたビデオ画像データは逆離散余弦変換ユニット２４から、サブストレート１４上に形成された入力バッファ２８へ出力される。

【０００８】
運動補償モジュール２６ａは、半画素算術論理演算ユニット（ＡＬＵ）３０と入力バッファ３２とからなる。同様に、運動補償モジュール２６ｂは、半画素ＡＬＵ３４と入力バッファ３６とからなる。ＡＬＵ３０及び３４は構文解析回路２０から運動ベクトル情報を受信し、運動補償計算を遂行して差分画像データを求め、それを入力バッファ３２及び３６内に記憶する。運動補償モジュール２６ａは、Ｉピクチャフレームバッファ３８からビデオ画像データをも受信している。同様に、運動補償モジュール２６ｂはＰピクチャフレームバッファ４０からビデオ画像データを受信している。以下に説明するように、運動補償モジュール２６ａ及び２６ｂは、Ｉピクチャ及びＰピクチャからのデータを使用して差分信号を形成し、これらの信号は加算モジュール４２において入力バッファ２８からの信号に加算される。加算モジュール４２の出力は、Ｉピクチャフレームバッファ３８、Ｐピクチャフレームバッファ４０もしくはＢピクチャフレームバッファ４４へ選択的に入力することができる。Ｉピクチャフレームバッファ３８、Ｐピクチャフレームバッファ４０もしくはＢピクチャフレームバッファ４４内に記憶されているピクチャデータは、ラスタ走査出力バッファ４６へ出力することができる。ラスタ走査出力バッファ４６は、フレームバッファ３８、４０及び４４から情報を検索し、ビデオデータを適当な表示装置へ出力する。

【０００９】
本発明の代替実施例によれば、ラスタ走査出力バッファ４６は、物理的にフレームバッフ

ァ３８、４０及び４４とは異なるサブストレート上に配置することができる。例えば、ラスタ走査出力バッファ４６はサブストレート１２上に位置決めすると有利であるかも知れない。ラスタ走査出力バッファ４６は、ビデオ画像の濾波を含む種々の事後処理機能を遂行するシステムを含むこともできる。
図２は、ＭＰＥＧ構文を使用して符号化されたビデオ画像を担持するデータストリームを復号する際の装置１０の動作を示すデータ流れ図である。図２の最上部は、入力データの流れの始めにＩピクチャが含まれていることを示している。図２の最上部に示す正しいデータストリームは、多重化されたデータストリームからシステムデコーダ１６によって検索され、前述したように入力バッファ１８へ配置される。次いで構文解析回路２０は最初のＩピクチャに対応付けられたデータを検索し、そのデータを量子化解除ユニット２２及び逆離散余弦変換ユニット２４へ直接供給する。ＭＰＥＧ構文によれば、Ｉピクチャはそれに対応付けられた運動ベクトルを有しておらず、変換ユニット２４によって形成される画像はビデオ画像データの完全フレームである。データのこのフレームは入力バッファ２８へ供給され、加算モジュール４２において運動補償モジュール２６ａ及び２６ｂからの０値と加算される。このような変化しない画像データは入力バッファ２８からＩピクチャフレームバッファ３８内へ供給される。図２の最下部に示すように、Ｉピクチャフレームバッファ３８内に記憶されたＩピクチャが、ラスタ走査出力バッファ４６によって出力されるビデオデータの最初の出力である。
【００１０】
入力データストリームからの情報の次のフレームは、Ｐピクチャに対応するデータからなる。“Ｐ”ピクチャとは“予測される”ピクチャの意である。Ｉピクチャからのデータは Ｐピクチャの値を予測するために使用される。符号化に当たって、データストリーム全体はＰピクチャとＩピクチャとの差分と、そのフレーム内の対象の位置の変化を決定する運動ベクトルだけが符号化されて圧縮されている。従って、構文解析回路２０はデータストリームから差分情報を検索し、この差分情報は量子化解除ユニット２２において量子化解除され、そして変換ユニット２４において変換される。次いで差分信号は入力バッファ２８内に記憶される。同様に、運動ベクトル情報は運動補償モジュール２６ａに供給される。半画素ＡＬＵ３０は運動ベクトルから、及びＩピクチャフレームバッファから情報を検索し、運動補償されたフレームを計算して入力バッファ３２へ出力する。次いで加算モジュール４２は、入力バッファ３２からの補償済フレームと、入力バッファ２８内に記憶されている差分信号とを加算して、データの全Ｐピクチャフレームを形成する。このデータはＰピクチャフレームバッファ４０内に記憶される。
【００１１】
より良好な予測を達成するために、半画素ＡＬＵ３０及び半画素ＡＬＵ３４は隣接する画素の値を平均することができる。運動ベクトルをより良好に予測できるようにするために、単一の画素、２画素もしくは４画素を平均することができる。
入力データ流からの次の２つの画像はＢピクチャからなる。Ｂピクチャは、Ｂピクチャが最終データ出力のＩピクチャとＰピクチャとの間に位置決めされるものとして、順方向予測及び逆方向予測の両方を使用する。即ち、Ｂピクチャ情報の最初のフレームは構文解析回路２０から量子化解除ユニット２２及び変換ユニット２４へ供給される。変換ユニット２４からの出力も差分信号であり、入力バッファ２８内へ入力される。Ｂピクチャフレームに対応付けられた運動ベクトル情報は、運動補償モジュール２６ａ及び運動補償モジュール２６ｂへ出力される。順方向予測は、運動補償モジュール２６ａにおいてＩピクチャフレームバッファ３８からデータを検索することによって遂行される。同様に、逆方向予測は、運動補償モジュール２６ｂにおいてＰピクチャフレームバッファ４０からデータを検索することによって遂行される。信号は、入力バッファ２８、入力バッファ３２及び入力バッファ３６から検索され、Ｂピクチャフレームバッファ４４内にロードされる前に加算モジュール４２において一緒に平均される。
【００１２】
図２の最下部に示す出力データ流は、Ｐピクチャが復号されてＰピクチャフレームバッフ

ァ４０内へロードされた後に、Ｉピクチャが出力されることを示している。２つのＢピクチャ画像がＢピクチャフレームバッファ内へ順次にロードされて直ちに出力される。次いで入力データ流内の次のＰピクチャが、第１のＰピクチャが出力される直前にＩピクチャフレームバッファ３８内へロードされる。順方向の予測ができることを使用して、第１のＰピクチャが第２のＰピクチャを復号するために使用される。次いで順方向及び逆方向の両予測ができることを利用して第３及び第４のＢピクチャが第１及び第２のＰピクチャを使用して復号される。本発明の一実施例によれば、ピクチャ品質の劣化を防ぐためにほぼ　０．５秒毎に１回Ｉピクチャがデータストリーム内に含ませている。Ｉピクチャが完全に復号された後に、次のＩピクチャが現れるまで順方向もしくは逆方向予測の何れかを使用して、ビデオフレームの次の　０．５　　秒分がそれぞれ復号される。

再度図１を参照する。本発明のアーキテクチャの長所は、サブストレート１２とサブストレート１４との間に必要な通信に関してフレームバッファ３８、４０及び４４と運動補償モジュール２６ａ及び２６ｂとの間の必要な通信を調べれば明らかである。他のビデオ画像を引き続いて復号するために使用されるビデオ画像を記憶するのに必要なメモリが、これらの他の画像を形成する計算を遂行する運動補償モジュール２６ａ及び２６ｂと同一のサブストレート上に位置決めされているので、装置１０の動作中のビデオ画像メモリへのアクセスの大部分が単一の半導体サブストレート上で行われるようになる。もし復号された画像を記憶するために汎用メモリモジュールを使用すれば、他の画像を復号するために必要な画像データへのアクセスは、運動補償計算回路と外部メモリとの間の外部バスを通して遂行しなければならない。必要な動作速度を得るためには、これらの外部バスは全画像を極めて高速でアップロード及びダウンロードするように充分な帯域幅を有していなければならない。ＭＰＥＧで構文する場合、データの単一のフレームは４メガバイトの情報からなる。それ故、外部メモリを使用して装置を動作させるには　６４　ビット幅の外部バスを有する　１６　メガバイトの外部メモリが必要である。　６４　ビット幅の外部バスは極めて高価であり、また動作に大電力を消費する。

【００１３】

対照的に、本発明のアーキテクチャによれば、運動補償回路と同一のサブストレート上にメモリを形成することができる。従って、情報をビデオメモリから運動補償計算ユニットへ経路指定するのに必要なバスはサブストレート１４上に形成される。１つのサブストレート上に形成されたバスの電力消費は外部バスに比して遥かに少なく、また外部バスよりも遥かに高速で動作させることができる。以上の如く、大きい外部バスを必要とすることなく、符号化されたビデオデータを効率的に処理できるアーキテクチャが提供されたのである。サブストレート１２とサブストレート１４との間の接続は、並列運動ベクトル伝送のための１つもしくは２つの８ビット幅のバスと、変換ユニット２４から入力バッファ２８への入力のための１つの８ビットバスとで構成することができる。更に、外部メモリを使用しそして運動補償モジュール２６ａ及び２６ｂとフレームバッファ３８、４０及び４４との間に外部通信を必要とする場合ほど、これらのバスが頻繁に使用されることはない。

以上の記載に関連して、以下の各項を開示する。

（１）　符号化されたデータストリームを処理するためのビデオデータ処理装置であって、

第１の半導体サブストレート上に形成され、データストリームの少なくとも一部分を構文解析して符号化された画像データと運動ベクトルデータとを出力するように動作可能な構文解析回路と、

上記第１の半導体サブストレート上に形成されていて上記構文解析回路に接続され、上記画像データを処理するように動作可能な変換回路と、

第２の半導体サブストレート上に形成されていて上記構文解析回路に接続され、上記運動ベクトルデータを処理するように動作可能な運動補償回路と、

上記第２の半導体サブストレート上に形成され、ビデオ画像データの少なくとも１つの完全フレームを表すデータを記憶するように動作可能な画像メモリ回路と

を具備することを特徴とするビデオデータ処理装置。
【００１４】
（２） 上記符号化されたデータストリームは、複数の多重化されたデータストリームからなり、上記装置が、
上記第１の半導体サブストレート上に形成され、上記符号化されたデータストリームを多重化解除して多重化されたデータストリームの単一のデータストリームを抽出し、上記単一の抽出されたデータストリームを上記構文解析回路へ出力するように動作可能なシステムデコーダ回路
をも備えている上記（１）に記載の装置。
（３） 上記第１の半導体サブストレート上に形成されていて上記システムデコーダ回路と上記構文解析回路とに接続され、上記システムデコーダ回路から上記単一の抽出されたデータストリームを受信して記憶し、上記単一の抽出されたデータストリームを上記構文解析回路へ出力するように動作可能な入力バッファ回路をも備えている上記（２）に記載の装置。
（４） 上記変換回路は、
上記画像データを量子化解除するように動作可能な量子化解除回路と、
上記量子化解除された画像データを変換するように動作可能な離散余弦変換回路と
を備えている上記（１）に記載の装置。
【００１５】
（５） 上記画像メモリ回路は、
符号化されたデータストリームから検索されたＩピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なＩピクチャメモリと、
符号化されたデータストリームから検索されたＰピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なＰピクチャメモリと、
符号化されたデータストリームから検索されたＢピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なＢピクチャメモリと
を備えている上記（１）に記載の装置。
（６） 上記運動補償回路は、上記Ｉピクチャメモリに接続されていて上記Ｉピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記（５）に記載の装置。
（７） 上記運動補償回路は、上記Ｐピクチャメモリに接続されていて上記Ｐピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記（５）に記載の装置。
（８） 上記画像メモリ回路に接続され、復号されたビデオ画像データを検索して上記復号されたビデオ画像データを装置から出力するように動作可能なラスタ走査出力回路をも備えている上記（１）に記載の装置。
【００１６】
（９） 上記ラスタ走査出力回路は、上記第１の半導体サブストレート上に形成されている上記（６）に記載の装置。
（１０） 上記ラスタ走査出力回路は、上記第２の半導体サブストレート上に形成されている上記（６）に記載の装置。
（１１） 上記運動補償回路は、半画素算術論理演算ユニットを備えている上記（１）に記載の装置。
（１２） 複数の多重化されたデータストリームからなる符号化されたデータストリームを処理するためのビデオデータ処理装置であって、
第１の半導体サブストレート上に形成され、符号化されたデータストリームを多重化解除して多重化されたデータストリームの単一のデータストリームを抽出し、上記単一の抽出されたデータストリームを出力するように動作可能なシステムデコーダ回路と、
上記第１の半導体サブストレート上に形成されていて上記システムデコーダ回路に接続され、上記システムデコーダ回路から上記単一の抽出されたデータストリームを受信して上

記単一の抽出されたデータストリームを出力するように動作可能な入力バッファ回路と、
上記第１の半導体サブストレート上に形成されていて上記入力バッファ回路に接続され、
上記単一の抽出されたデータストリームを構文解析して符号化された画像データ及び運動ベクトルデータを出力するように動作可能な構文解析回路と、
上記第１の半導体サブストレート上に形成されていて上記構文解析回路に接続され、上記画像データを処理するように動作可能な変換回路と、
第２の半導体サブストレート上に形成され、上記構文解析回路に接続されていて上記運動ベクトルデータを処理するように動作可能な運動補償回路と、
上記第２の半導体サブストレート上に形成されていて上記ビデオ画像データの少なくとも１つの完全フレームを表すデータを記憶するように動作可能な画像メモリ回路と
を具備することを特徴とする装置。

【００１７】

（１３）　上記変換回路は、
上記画像データを量子化解除するように動作可能な量子化解除回路と、
上記量子化解除された画像データを変換するように動作可能な離散余弦変換回路と
を備えている上記（１２）に記載の装置。

（１４）　上記画像メモリ回路は、
符号化されたデータストリームから検索されたＩピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なＩピクチャメモリと、
符号化されたデータストリームから検索されたＰピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なＰピクチャメモリと、
符号化されたデータストリームから検索されたＢピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なＢピクチャメモリと
を備えている上記（１２）に記載の装置。

（１５）　上記運動補償回路は、上記Ｉピクチャメモリに接続されていて上記Ｉピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記（１４）に記載の装置。

【００１８】

（１６）　上記運動補償回路は、上記Ｐピクチャメモリに接続されていて上記Ｐピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記（１４）に記載の装置。

（１７）　上記画像メモリ回路に接続され、復号されたビデオ画像データを検索して上記復号されたビデオ画像データを装置から出力するように動作可能なラスタ走査出力回路をも備えている上記（１２）に記載の装置。

（１８）　上記ラスタ走査出力回路は、上記第１の半導体サブストレート上に形成されている上記（１５）に記載の装置。

（１９）　上記ラスタ走査出力回路は、上記第２の半導体サブストレート上に形成されている上記（１５）に記載の装置。

（２０）　上記運動補償回路は、半画素算術論理演算ユニットを備えている上記（１２）に記載の装置。

（２１）　第１のサブストレート（１２）と第２のサブストレート（１４）とを含むビデオデータ処理装置（１０）が開示される。システムデコーダ（１６）、入力バッファ（１８）及び構文解析回路（２０）が第１のサブストレート（１２）上に形成されている。構文解析回路（２０）は入力データストリームからビデオデータ情報を検索し、量子化解除ユニット（２２）及び変換ユニット（２４）を通して係数を供給する。更に、運動ベクトル情報が構文解析回路（２０）から出力される。第２のサブストレート（１４）は複数のフレームバッファ（３８、４０及び４４）を含む。フレームバッファ（３８、４０及び４４）は復号されたビデオ情報を記憶するために使用される。運動補償モジュール（２６ａ及び２６ｂ）はビデオデータストリーム並びに復号済の他の画像から受けた情報に対する予測される計算を遂行するために使用される。ラスタ走査出力バッファ（４６）は復号さ

れたビデオ情報を出力するために使用される。

【００１９】

以上に本発明の詳細を説明したが、特許請求の範囲によってのみ限定される本発明の範囲から逸脱することなく、上述した実施例には種々の変化、変更及び置換を考案し得ることを理解されたい。

【図面の簡単な説明】

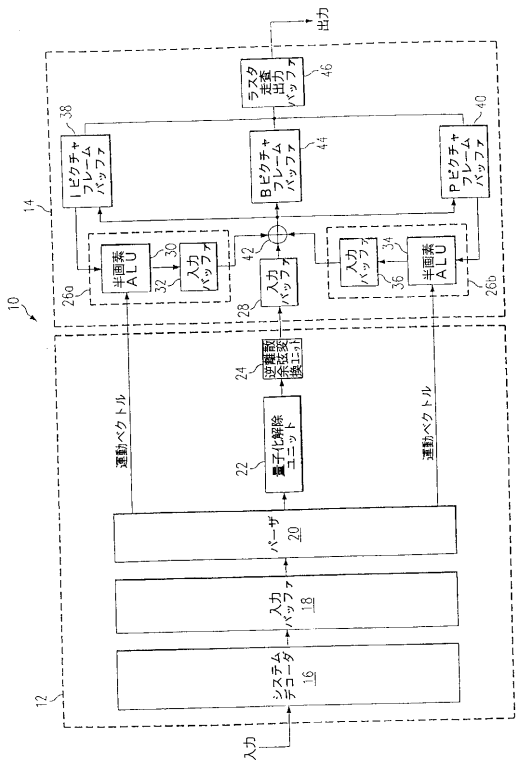
【図１】本発明によるビデオデータ処理アーキテクチャの概要ブロック線図である。

【図２】ビデオデータ処理中のビデオデータバッファの使用を説明するデータ流れ図である。

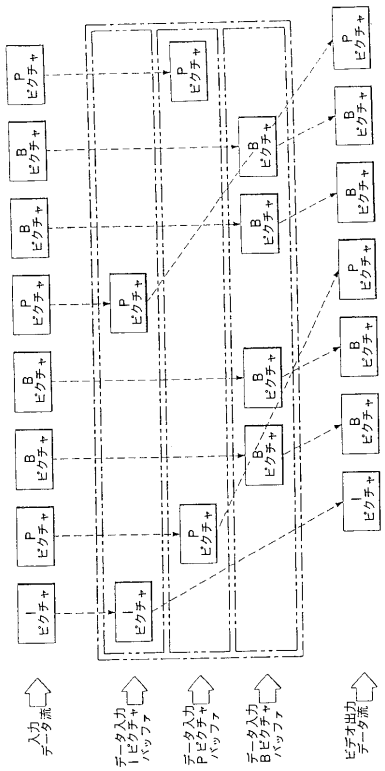
【符号の説明】

１０　ビデオデータ復号装置
１２　第１の半導体サブストレート
１４　第２の半導体サブストレート
１６　システムデコーダ
１８　入力バッファ
２０　構文解析回路
２２　量子化解除ユニット
２４　逆離散余弦変換ユニット
２６　運動補償回路
２８　入力バッファ
３０、３４　半画素ＡＬＵ
３２、３６　入力バッファ
３８　Ｉピクチャフレームバッファ
４０　Ｐピクチャフレームバッファ
４２　加算モジュール
４４　Ｂピクチャフレームバッファ
４６　ラスタ走査出力バッファ

【図１】


出力
ラスタ走査出力バッファ
46
Iピクチャフレームバッファ
38
Bピクチャフレームバッファ
44
Pピクチャフレームバッファ
40
14
半画素ALU
32
入力バッファ
30
入力バッファ
42
入力バッファ
34
半画素ALU
36
26a
28
26b
10
逆離散余弦変換(IDCT)
24
量子化解除ユニット
22
運動ベクトル
運動ベクトル
パーザ
20
入力バッファ
18
システムデコーダ
16
12
入力

【図２】


Pピクチャ
Bピクチャ
Iピクチャ
入力データ流
データ入力Iピクチャバッファ
データ入力Pピクチャバッファ
データ入力Bピクチャバッファ
ビデオ出力データ流

フロントページの続き

(74)代理人 100074228
弁理士 今城 俊夫
(74)代理人 100084009
弁理士 小川 信夫
(74)代理人 100082821
弁理士 村社 厚夫
(72)発明者 橋本 征史
茨城県つくば市小野川１４－３２
(72)発明者 フランク エル ラクツコ シニア
アメリカ合衆国 テキサス州 ７５００２ アレンストーン クリーク ３００

審査官 菅原 道晴

(56)参考文献 特開平０５－１３７１３１（ＪＰ，Ａ）
特開平０６－１１９４４０（ＪＰ，Ａ）
特開平０５－２６０４６２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 7/26-7/68