

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年12月20日(2018.12.20)

【公開番号】特開2017-28682(P2017-28682A)

【公開日】平成29年2月2日(2017.2.2)

【年通号数】公開・登録公報2017-005

【出願番号】特願2016-115337(P2016-115337)

【国際特許分類】

H 04 N	5/369	(2011.01)
H 01 L	27/146	(2006.01)
H 01 L	27/14	(2006.01)
H 04 N	5/374	(2011.01)
H 04 N	5/361	(2011.01)
H 04 N	5/378	(2011.01)
H 01 L	31/02	(2006.01)

【F I】

H 04 N	5/335	6 9 0
H 01 L	27/14	E
H 01 L	27/14	D
H 04 N	5/335	7 4 0
H 04 N	5/335	6 1 0
H 04 N	5/335	7 8 0
H 01 L	31/02	A

【手続補正書】

【提出日】平成30年11月6日(2018.11.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のピクセルに衝突する光によって発生する光信号を選択的に読み出すための読み出し回路を含む制御ユニットに動作可能に接続された、前記複数のピクセルを備える画像センサであって、

前記画像センサが、第1の複数の積み重ねられた層を有する上位レベルと、第2の複数の積み重ねられた層を有する下位レベルとを備える、モノリシック3次元集積回路を備えることを特徴とし、前記下位レベルが前記上位レベルの下に配設され、

前記複数のピクセルのうちの各ピクセルが、

前記上位レベルの選択された位置に配置された受光素子であって、前記受光素子が搬送層に関連する感光層を備え、前記搬送層が2次元材料の少なくとも1つの層を含む、受光素子と、

前記下位レベルの選択された位置に配置された能動デバイスであって、半導体材料の少なくとも1つの層を備え、前記受光素子に動作可能に結合された、能動デバイスと、

前記受光素子に回路接続された第1の中間端子と、

前記読み出し回路に回路接続された出力端子と

を備え、

前記画像センサが、露光サイクル中に前記ピクセルの前記受光素子によって発生する暗

電流を実質的に抑制するように構成された暗電流抑制回路をさらに備え、

前記制御ユニットが、少なくとも部分的に前記下位レベルに配置され、所与のピクセルが読み出されるべきとき、前記ピクセルの前記第1の中間端子を、

前記暗電流抑制回路を介して前記ピクセルの前記出力端子と、
または、

前記ピクセルの前記出力端子及び前記暗電流抑制回路と、
または、

前記ピクセルの前記出力端子が前記暗電流抑制回路を介して前記読み出し回路に回路接続された、前記ピクセルの前記出力端子と、
回路接続するように構成される、画像センサ。

【請求項2】

前記制御ユニットが、前記複数のピクセルをバイアスするためのバイアス回路をさらに備え、

前記暗電流抑制回路が、前記ピクセルの前記受光素子の暗コンダクタンスと実質的に一致する前記暗コンダクタンスを有する少なくとも1つの基準素子を備え、前記一つの基準素子又は前記複数の基準素子の各々が、第2の中間端子との間に回路接続され、前記第2のバイアス端子が、前記バイアス回路に回路接続され、

各ピクセルの前記受光素子が、前記ピクセルの前記第1の中間端子と前記ピクセル内に設けられた第1のバイアス端子との間に回路接続され、各ピクセルの前記第1のバイアス端子が、前記バイアス回路に回路接続され、

前記バイアス回路が、前記複数のピクセルのうちの前記ピクセルの前記受光素子の前記第1のバイアス端子と、前記少なくとも1つの基準素子の前記第2のバイアス端子との間にバイアス電圧を供給するように適合され、

前記制御ユニットが、所与のピクセルが読み出されるべきとき、前記ピクセルの前記第1の中間端子、および前記少なくとも1つの基準素子のうちの基準素子の第2の中間端子を、前記ピクセルの前記出力端子と回路接続するように構成される、
請求項1に記載の画像センサ。

【請求項3】

前記少なくとも1つの基準素子のうちの基準素子が、前記上位レベルに配置され、2次元材料の少なくとも1つの層を含む搬送層を備える、請求項2に記載の画像センサ。

【請求項4】

前記基準素子が、前記基準素子の前記搬送層に関連する感光層をさらに備える、請求項3に記載の画像センサ。

【請求項5】

前記基準素子が、前記感光層の上に配設された第1の遮光層と、前記基準素子の前記搬送層とをさらに備える、請求項4に記載の画像センサ。

【請求項6】

第2の遮光層が、前記基準素子の前記感光層および前記搬送層の下に配設される、請求項5に記載の画像センサ。

【請求項7】

前記基準素子が、前記複数のピクセルのうちのピクセルの前記受光素子の下に配置される、請求項3に記載の画像センサ。

【請求項8】

前記少なくとも1つの基準素子のうちの基準素子が、前記下位レベルに配置され、可変抵抗器を備える、請求項2に記載の画像センサ。

【請求項9】

前記上位レベルが、前記複数のピクセルの前記受光素子に関連する1つまたは複数の絶縁層を備える、請求項1に記載の画像センサ。

【請求項10】

前記複数のピクセルのうちの少なくとも1つのピクセルが、

前記複数のピクセルの前記受光素子の下に配設された絶縁層と、前記モノリシック3次元集積回路の前記下位レベルとの間の、前記少なくとも1つのピクセルの前記受光素子の下に配設された後部ゲート端子、および／または

前記少なくとも1つのピクセルの前記受光素子の上に配設された上部ゲート端子を備える、請求項9に記載の画像センサ。

【請求項11】

前記複数のピクセルのうちの少なくとも1つのピクセルが、前記ピクセルの前記能動デバイスを前記ピクセルの前記受光素子に結合するために、導電性相互接続を備え、前記導電性相互接続が、

前記モノリシック3次元集積回路の前記下位レベルから前記上位レベルまで延在し、前記ピクセルの前記能動デバイスに接続された第1のセクションを有する垂直接点であって、前記第1のセクションが、前記能動デバイスの前記少なくとも1つの半導体層に配設される、垂直接点と、

前記上位レベルに配置され、前記垂直接点の第2のセクションに接続された、側方接点と
を備え、

前記側方接点が、前記ピクセルの前記受光素子の前記搬送層にオーミック接続され、前記受光素子の前記搬送層に平行な部分を備える、

請求項1に記載の画像センサ。

【請求項12】

前記複数のピクセルのうちの各ピクセルの前記能動デバイスが、スイッチ、増幅器、フィルタ、デジタイザ、レベルシフタ、および／または貯蔵素子の少なくとも一つを備える、請求項1に記載の画像センサ。

【請求項13】

前記複数のピクセルがクラスタにグループ化され、各クラスタが1つまたは複数のピクセルを備え、各クラスタの前記1つまたは複数のピクセルの前記受光素子の前記感光層が、前記スペクトルの異なる範囲に反応する、請求項1に記載の画像センサ。

【請求項14】

前記複数のピクセルのうちの少なくとも1つのピクセルの場合、前記少なくとも1つのピクセルの前記能動デバイスが、前記少なくとも1つのピクセルの前記受光素子の前記第1の中間端子に動作可能に結合される、請求項1に記載の画像センサ。

【請求項15】

前記複数のピクセルが、複数の行および列を備える2次元アレイとして配置され、前記暗電流抑制回路が、前記アレイ内に存在する列と同じ数の基準素子を備え、各基準素子が異なる列の前記ピクセルに関連し、各ピクセルの前記能動デバイスが、前記ピクセルの前記第1の中間端子を前記ピクセルの前記列に関連する前記基準素子の前記第2の中間端子に選択的に接続するように構成された第1のスイッチと、前記ピクセルの前記第1の中間端子をその出力端子に選択的に接続するように構成された第2のスイッチとを備え、前記読み出し回路が、

存在する列と同じ数の増幅器であって、各増幅器が、所与の列の前記ピクセルの前記出力端子に回路接続された入力端子を有する、増幅器と、

各増幅器の出力端子に直列に接続された貯蔵素子であって、各貯蔵素子が、前記所与の列のピクセル内で発生する光信号に比例する電圧を貯蔵するように構成される、貯蔵素子と

を備える、請求項2に記載の画像センサ。

【請求項16】

前記複数のピクセルが、複数の行および列を備える2次元アレイとして配置され、前記暗電流抑制回路が、前記複数のピクセルのうちの各ピクセルに配置された基準素子を備え、各基準素子が、前記ピクセルの前記第1の中間端子に接続されたその第2の中間端子を有し、各ピクセルの前記能動デバイスが、その出力端子に接続された行選択スイッチを備

える、請求項2に記載の画像センサ。

【請求項17】

複数のピクセルに衝突する光によって発生する光信号を選択的に読み出すための読み出し回路を含む制御ユニットに動作可能に接続された、前記複数のピクセルを備える画像センサであって、前記画像センサが、第1の複数の積み重ねられた層を有する上位レベルと、第2の複数の積み重ねられた層を有する下位レベルとを備える、モノリシック3次元集積回路を備えることを特徴とし、前記下位レベルが前記上位レベルの下に配設され、

前記複数のピクセルのうちの各ピクセルが、

前記上位レベルの選択された位置に配置された受光素子であって、前記受光素子が搬送層に関連する感光層を備え、前記搬送層が2次元材料の少なくとも1つの層を含む、受光素子と、

前記下位レベルの選択された位置に配置された能動デバイスであって、半導体材料の少なくとも1つの層を備え、前記受光素子に動作可能に結合された、能動デバイスと、

前記受光素子に回路接続された第1の中間端子と、

前記読み出し回路に回路接続された出力端子とを備え、

前記画像センサが、露光サイクル中に前記ピクセルの前記受光素子によって発生する暗電流を実質的に抑制するように構成された暗電流抑制回路をさらに備え、

前記制御ユニットが、少なくとも部分的に前記下位レベルに配置され、所与のピクセルが読み出されるべきとき、前記ピクセルの前記第1の中間端子を、

前記暗電流抑制回路を介して前記ピクセルの前記出力端子と、または、

前記ピクセルの前記出力端子及び前記暗電流抑制回路と、または、

前記ピクセルの前記出力端子が前記暗電流抑制回路を介して前記読み出し回路に回路接続された、前記ピクセルの前記出力端子と、

回路接続するように構成された、前記画像センサと、

前記画像センサと動作可能にインターフェースされた光学モジュールであって、前記複数のピクセルに入射光を集束させるように適合された、光学モジュールと、

前記画像センサの前記制御ユニットに動作可能に接続された電源モジュールであって、前記画像センサにバイアス電圧を供給するように構成された、電源モジュールと、

前記画像センサの前記制御ユニットに動作可能に接続されたアナログおよび/またはデジタル制御モジュールであって、前記制御ユニットに制御信号を供給して前記ピクセルを選択的に読み出し、前記読み出し回路により前記複数のピクセルから読み出された光信号に対応する複数の検出値を受信するように構成された、アナログおよび/またはデジタル制御モジュールと、

前記アナログおよび/またはデジタル制御モジュールに動作可能に接続された周辺モジュールであって、前記複数の検出値から取得された画像を処理、記憶、および/またはレンダリングするように構成された、周辺モジュールとを備える、光電子システム。

【請求項18】

モノリシック3次元集積回路として画像センサを製造するための方法であって、前記画像センサが、複数のピクセルに衝突する光によって発生する光信号を選択的に読み出すための読み出し回路を含む制御ユニットに動作可能に接続された前記複数のピクセルを備え、前記方法が、

a) 基板上に半導体材料の少なくとも1つの層を設けるステップであって、半導体材料の前記少なくとも1つの層が、前記モノリシック3次元集積回路の下位レベルを形成する、ステップと、

b) 前記複数のピクセルのうちのピクセルごとに、前記下位レベルの半導体材料の前記少なくとも1つの層の選択された位置に能動デバイスを配置し、前記ピクセルに出力端子

を設けるステップと、

c) 前記下位レベルに前記制御ユニットの少なくとも一部を配置し、各ピクセルの前記出力端子を前記制御ユニットの前記読み出し回路に回路接続するステップと、

d) 2次元材料の少なくとも1つの層を含む搬送層、および前記搬送層に関連する感光層を設けるステップであって、前記搬送層および前記感光層が、前記モノリシック3次元集積回路の上位レベルを形成し、前記上位レベルが前記下位レベルの上に配設される、ステップと、

e) 前記複数のピクセルのうちのピクセルごとに、前記上位レベルの選択された位置に受光素子を配置し、前記受光素子を、前記ピクセルに設けられた第1の中間端子に回路接続するステップと、

f) 各ピクセルの前記受光素子を前記ピクセルの前記能動デバイスに回路接続するステップと、

g) 露光サイクル中に前記ピクセルの前記受光素子によって発生する暗電流を実質的に抑制するように構成された暗電流抑制回路を設けるステップと
を備え、

前記制御ユニットが、所与のピクセルが読み出されるべきとき、前記ピクセルの前記第1の中間端子を、

前記暗電流抑制回路を介して前記ピクセルの前記出力端子と、
または、

前記ピクセルの前記出力端子および前記暗電流抑制回路と、
または、

前記ピクセルの前記出力端子が前記暗電流抑制回路を介して前記読み出し回路に回路接続された、前記ピクセルの前記出力端子と、

回路接続するように構成される、方法。

【請求項19】

前記制御ユニットが、前記複数のピクセルをバイアスするためのバイアス回路をさらに備え、前記暗電流抑制回路が、前記ピクセルの前記受光素子の暗コンダクタンスと実質的に一致する前記暗コンダクタンスを有する少なくとも1つの基準素子を備え、前記方法が、

前記複数のピクセルのうちのピクセルごとに、前記ピクセルに設けられた前記第1の中間端子と第1のバイアス端子との間に前記受光素子を回路接続するステップと、

前記モノリシック3次元集積回路に設けられた第2の中間端子と第2のバイアス端子との間に前記一つの基準素子又は前記複数の基準素子の各々を回路接続するステップと、

前記複数のピクセルのうちの各ピクセルの前記第1のバイアス端子および前記少なくとも1つの基準素子の前記第2のバイアス端子を前記バイアス回路に回路接続するステップと

をさらに備え、

前記制御ユニットが、所与のピクセルが読み出されるべきとき、前記ピクセルの前記第1の中間端子、および前記少なくとも1つの基準素子のうちの基準素子の第2の中間端子を、前記ピクセルの前記出力端子と回路接続するように構成される、
請求項18に記載の方法。