I456908

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I456908 B**

(45)公告日： 中華民國 103 (2014) 年 10 月 11 日

(21)申請案號：099119020 (22)申請日： 中華民國 99 (2010) 年 06 月 11 日

(51)Int. Cl.： ***H03M1/36 (2006.01)***

(30)優先權：2009/06/12 美國 61/186,533

2010/06/02 美國 12/791,963

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：莊建祥 CHUNG, SHINE (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW	456108	TW	200541223A
US	4939518	US	5631941A
US	6333709B2	US	6628216B2
US	7315272B2	US	7474239B2
US	7528758B2		

Shunsuke Akiyama, Takao Waho, "A 6-bit low-power compact flash ADC using current-mode threshold logic gates," Circuits and Systems, 2006. ISCAS 2006 pp. 4, Digital Object Identifier 10.1109

審查人員：蘇齊賢

申請專利範圍項數：10 項 圖式數：14 共 0 頁

(54)名稱

積體電路、系統與類比信號轉換至數位信號的方法

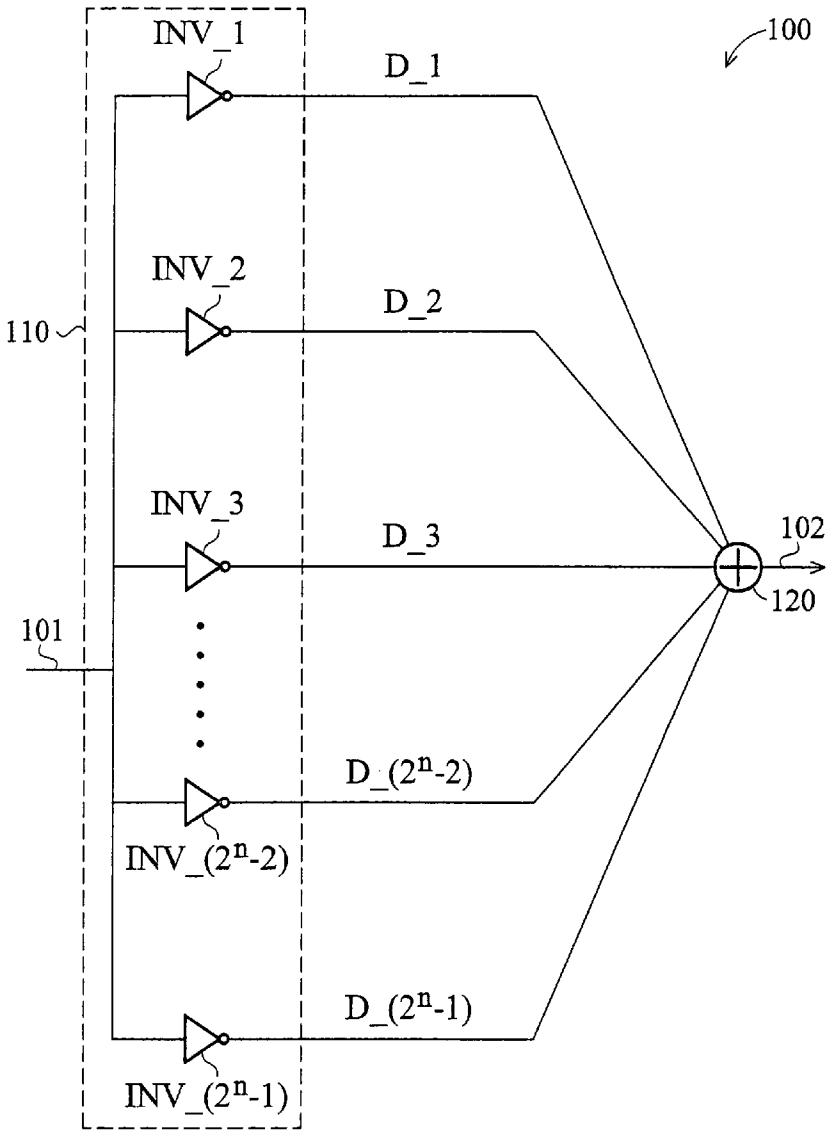
METHODS FOR CONVERTING AT LEAST ONE ANALOG SIGNAL TO AT LEAST ONE DIGITAL SIGNAL AND INTEGRATED CIRCUIT AND SYSTEM UTILIZING THE SAME

(57)摘要

一種積體電路，用以轉換一類比信號成為至少一數位信號，包括第一輸入端、第一組(2^n -1)個反相器與第一加法器。第一輸入端用以接收一第一單一類比信號。第一組(2^n -1)個反相器用以量化該第一單一類比信號，並且輸出一第一組(2^n -1)個數位值。第一組(2^n -1)個數位值之各者分別為 0 或 1。第一加法器與該第一組(2^n -1)個反相器耦接。第一加法器加總該第一組(2^n -1)個數位值，並且輸出對應於至少一數位信號之一第一整數值。

An integrated circuit that is capable of converting an analog signal to at least one digital signal is provided. The integrated circuit includes a first input end, a first set of (2^n -1) inverters and a first adder. The first input end is capable of receiving a first analog signal. The first set of (2^n -1) inverters are capable of quantizing the first analog signal and outputting a first set of (2^n -1) digital values. Each of the first set of (2^n -1) digital values is either 0 or 1. The first adder is coupled with the first set of (2^n -1) inverters. The

first adder is capable of summing the first set of 2^n -1 digital values, outputting a first integer value that is capable of corresponding to at least one digital signal.



第1A圖

100・・・積體電路
101・・・輸入端
102・・・輸出端
110、INV_1、INV_2、INV_3、INV_(2^n -2)、INV_(2^n -1)・・・反相器
120・・・加法器
D_1、D_2、D_3、D_(2^n -2)、D_(2^n -1)・・・數位值

第 099119020 號之專利說明書修正本

103 年 5 月 7 日修正替換頁

發明專利說明書

公告本

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：99119020

※ 申請日：99.6.11　　※IPC 分類：H03M 1/36(2006.01)

一、發明名稱：(中文/英文)

積體電路、系統與類比信號轉換至數位信號的方法

Methods for converting at least one analog signal to at least one digital signal and integrated circuit and system utilizing the same

二、中文發明摘要：

一種積體電路，用以轉換一類比信號成為至少一數位信號，包括第一輸入端、第一組(2^n-1)個反相器與第一加法器。第一輸入端用以接收一第一單一類比信號。第一組(2^n-1)個反相器用以量化該第一單一類比信號，並且輸出一第一組(2^n-1)個數位值。第一組(2^n-1)個數位值之各者分別為 0 或 1。第一加法器與該第一組(2^n-1)個反相器耦接。第一加法器加總該第一組(2^n-1)個數位值，並且輸出對應於至少一數位信號之一第一整數值。

三、英文發明摘要：

An integrated circuit that is capable of converting an analog signal to at least one digital signal is provided. The integrated circuit includes a first input end, a first set of (2^n-1) inverters and a first adder. The first input end

is capable of receiving a first analog signal. The first set of $(2^n -1)$ inverters are capable of quantizing the first analog signal and outputting a first set of $(2^n -1)$ digital values. Each of the first set of $(2^n -1)$ digital values is either 0 or 1. The first adder is coupled with the first set of $(2^n -1)$ inverters. The first adder is capable of summing the first set of $2^n -1$ digital values, outputting a first integer value that is capable of corresponding to at least one digital signal.

四、指定代表圖：

(一)本案指定代表圖為：第（1A）圖。

(二)本代表圖之元件符號簡單說明：

100～積體電路；

101～輸入端；

102～輸出端；

110、INV_1、INV_2、INV_3、INV_(2^n-2)、INV_(2^n-1)～反相器；

120～加法器；

D_1、D_2、D_3、D_(2^n-2)、D_(2^n-1)～數位值。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體電路，特別關於一種用於將類比信號轉換成數位信號的積體電路與操作方法。

【先前技術】

類比至數位轉換器(Analog-to-digital converter，簡稱ADC)可將類比信號轉換成數位信號。類比至數位轉換器可用以決定許多電子系統的品質與速度。一種常見的類比至數位轉換器為快閃式類比至數位轉換器(flash ADC)。快閃式類比至數位轉換器可快速地執行類比至數位轉換，其包含一些固有的延遲，並且容易設計。快閃式類比至數位轉換器通常用於極高速的電子系統。

【發明內容】

根據本發明之一實施例，一種積體電路，用以轉換一類比信號成為至少一數位信號，包括第一輸入端、第一組(2^n-1)個反相器與第一加法器。第一輸入端用以接收一第一單一類比信號。第一組(2^n-1)個反相器用以量化該第一單一類比信號，並且輸出一第一組(2^n-1)個數位值。第一組(2^n-1)個數位值之各者分別為 0 或 1。第一加法器與該第一組(2^n-1)個反相器耦接。第一加法器加總該第一組(2^n-1)個數位值，並且輸出對應於至少一數位信號之一第一整數值。

根據本發明之另一實施例，一種系統包括用以轉換

一第一單一類比信號成為至少一數位信號之一積體電路以及耦接至該積體電路並用以接收該至少一數位信號之一裝置。積體電路包括第一輸入端、第一組(2^n-1)個反相器與第一加法器。第一輸入端用以接收一第一單一類比信號。第一組(2^n-1)個反相器用以量化該第一單一類比信號，並且輸出一第一組(2^n-1)個數位值。第一組(2^n-1)個數位值之各者分別為 0 或 1。第一加法器與該第一組(2^n-1)個反相器耦接。第一加法器加總該第一組(2^n-1)個數位值，並且輸出對應於至少一數位信號之一第一整數值。

根據本發明之另一實施例，一種用以轉換至少一第一單一類比信號成為至少一數位信號之方法包括：使用一第一組(2^n-1)個反相器量化一第一單一類比信號，用以提供一第一組(2^n-1)個數位值；以及加總該第一組(2^n-1)個數位值，以提供一第一整數值，其中該第一整數值對應於至少一數位信號。

【實施方式】

為使本發明之製造、操作方法、目標和優點能更明顯易懂，下文特舉幾個較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

傳統的快閃式類比至數位轉換器具有(2^n-1)個比較器以及一個電壓梯形電路(voltage ladder)，其包含 2^n 個電阻用以提供 n 位元解析度之類比至數位轉換。電壓梯形

電路的各梯級被供應至其對應之比較器的負輸入端作為參考電壓。各比較器比較輸入電壓與來自電壓梯形電路之各梯級的參考電壓，並輸出一數位信號。藉由輸出$(2^n - 1)$個數位級別，可提供 n 位元之二進制數位信號。

可以發現在傳統的快閃式類比至數位轉換器中使用$(2^8 - 1)$或 255 個比較器，用以提供 8 位元的類比至數位轉換解析度。大量的比較器會佔據傳統快閃式類比至數位轉換器的龐大面積。此外，也可以發現電壓梯形電路耦接於供應電壓與接地點之間。在類比至數位轉換的過程中，電壓梯形電路的各電阻會耗損供應電壓的功率。因此，當需要做高解析度的轉換時，例如，需要高於 8 位元之解析度，大面積與高功率耗損成為傳統快閃式類比至數位轉換器的缺點。

基於上述的缺點，需要一種可將類比信號轉換至數位信號的積體電路、系統與操作方法。

值得注意的是，以下所揭露的內容可提供多個用以實踐本發明之不同特點的實施例或範例。以下所述之特殊的元件範例與安排僅用以簡單扼要地闡述本發明之精神，並非用以限定本發明之範圍。此外，以下說明書可能在多個範例中重複使用相同的元件符號或文字。然而，重複使用的目的僅為了提供簡化並清楚的說明，並非用以限定多個以下所討論之實施例以及/或配置之間的關係。此外，以下說明書所述之一個特徵連接至、耦接至以及/或形成於另一特徵之上等的描述，實際可包含多個不同的實施例，包括該等特徵直接接觸，或者包含其

它額外的特徵形成於該等特徵之間等等，使得該等特徵並非直接接觸。此外，有關空間關係的術語，例如「較低」、「較高」、「水平」、「垂直」、「在...上方」、「在...下方」、「上」、「下」、「頂端」、「底部」、以及其它衍生的術語等(例如，「水平地」、「向下地」、「朝上地」等等)係用以簡單描述出本發明之一特徵與另一特徵之關係。這些空間關係的術語可涵蓋到包含該些特徵的裝置之不同的方向定位。

第 1A 圖係顯示根據本發明之一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。在第 1A 圖中，積體電路 100 可包含一輸入端 101 用以接收一類比信號與一輸出端 102 用以輸出對應於類比信號之一整數值(以數位形式)。積體電路 100 可包括一組(2^n-1)個反相器 110，其分別標示為 INV_1、INV_2、INV_3...INV_(2^n-2)與 INV_(2^n-1)。(2^n-1)個反相器 110 可自輸入端 101 接收類比信號。在一些實施例中，(2^n-1)個反相器 110 可平行配置，並且與輸入端 101 耦接。(2^n-1)個反相器 110 可量化類比信號，並輸出一組(2^n-1)數位值，其分別標示為 D_1、D_2、D_3...D_(2^n-2)與 D_(2^n-1)。(2^n-1)個數位值中的各數值可為「0」或「1」。積體電路 100 可包含一加法器 120。加法器 120 可與(2^n-1)個反相器 110 耦接。加法器 120 可用於加組總該組(2^n-1)個數位值，並於輸出端 102 輸出對應於至少一數位信號之整數值。積體電路 100 可包括一快閃式類比至數位轉換器、一逐漸趨近式類比至數位轉換器

(successive-approximation ADC)、斜坡比較式類比至數位轉換器(ramp-compare ADC)、威金森類比至數位轉換器(Wilkinson ADC)、整合式類比至數位轉換器(integrating ADC)、積分編碼式類比至數位轉換器(delta-encoded ADC)、管線式類比至數位轉換器(pipeline ADC)、三角積分式類比至數位轉換器(sigma-delta ADC)、時序交錯式類比至數位轉換器(time-interleaved ADC)、或其它類比至數位轉換器。在一些實施例中，積體電路 100 可為一信號處理器、一控制電路、一電源控制電路或其它可將類比信號轉換成數位信號之電路。

以下將說明有關於使用 5 位元之類比至數位轉換解析度用以量化一類比信號的步驟。值得注意的是，以下的說明內容僅為本發明之一範例。以下說明的實施例當可提供高解析度之類比至數位轉換，例如 8 位元或更高的解析度。在一些實施例中，使用 5 位元之類比至數位轉換解析度，因此，該組(2^n-1)個反相器 110 可包含(2^5-1)或 31 個反相器。各 31 個轉換器可具有其對應的電壓轉換曲線(Voltage Transfer Curve，簡稱為 VTC)，並且其跳變點(Trip Point)顯示於第 2A 圖中。如第 2A 圖所示，線 201 可大體通過所有 31 個反相器的跳變點。在一些實施例中，各 31 個反相器可包括互補式金屬-氧化層-半導體(Complementary Metal-Oxide-Semiconductor，簡稱 CMOS)電晶體。CMOS 電晶體可包含一 P 型 MOS(簡稱 PMOS)電晶體與一 N 型 MOS(簡稱 NMOS)電晶體。PMOS 電晶體與 NMOS 電晶體可具有，例如，不同的通道寬度與通

道長度比例(W/L)，使得(2^n-1)個反相器 110 可具有不同的跳變點。

例如，於輸入端 101 的類比信號可具有約 1.018 伏特的輸入電壓。如第 2A 圖所示，第 1 個反相器至第 16 個反相器可具有高於 1.018 伏特的跳變點，因此各第 1 至 16 個反相器可輸出數位值「1」。第 17 至第 31 個反相器可具有低於 1.018 伏特的跳變點，因此這 15 個反相器可輸出數位值「0」。

參考至第 1A 圖，加法器 120 可加總由 31 個反相器所輸出之數位值，並輸出一整數值(以數位形式)。對於使用具有約 1.018 伏特之輸入電壓的類比信號的實施例，加法器 120 可於輸出端 102 輸出整數值「15」。整數值「15」可被解碼為 5 位元之二進制數位信號，例如「01111」，以提供後續之數位信號處理。

值得注意的是，(2^n-1)個反相器 110 可將類比信號量化成 2^n 個等級，並輸出(2^n-1)個整數值。加法器 120 可加總(2^n-1)個整數值，並輸出一整數結果。積體電路 100 可根據所需之轉換速率將類比信號轉換成以數位信號形式表現之整數值。可發現的是，(2^n-1)個反相器 110 所需的面積小於傳統快閃式類比至數位轉換器中(2^n-1)個比較器所需的面積。因此可有效減少積體電路 100 的晶片尺寸。

在一些實施例中，加法器 120 可耦接一查照表(lookup table，圖未示)。查照表可接收加法器輸出的整數值，並輸出對應於該整數值之 n 位元之數位二進制信號。

在不包含複數解碼操作的情況下，查照表可協助在所需的速率下將類比信號轉換成數位信號。

第 1B 圖係顯示根據本發明之另一實施例所述之積體電路示意圖，其包含反相器與分壓器用以將一類比信號轉換成數位信號。第 1B 圖中，具有相同的元件符號，或者具有數值增加 50 的元件符號，代表與第 1A 圖中相同的元件。在一些實施例中，積體電路 150 可包含閒置的反相器 161a 與 161b。由反相器 160 所提供的各等級可更進一步由分壓器量化。在進一步量化類比信號之實施例中，積體電路 150 可更包含複數分壓器 165，例如 2^n 個分壓器。各(2^n-1)個反相器的輸出端與至少一分壓器 165 耦接。各分壓器 165 包含一組 2^m 個電子元件，例如電阻(如圖所示之電阻 R_1、R_2、R_3...R_2^m)、二極體、或其它可提供所需之阻抗之電子元件以及/或其組合。各分壓器 165 可提供(2^m-1)個數位值，並且各(2^m-1)個數位值可分別為「0」或「1」。因此，所有分壓器 165 一共可提供(2^n)乘以(2^m-1)個數位值。(2^n-1)個反相器 160 與 $2^{(n+m)}$個電子元件可提供$(2^{(n+m)}-1)$個整數值，其可代表具有(n+m)位元解析度之類比至數位轉換結果。對於使用 7 位元之類比至數位轉換解析度的實施例，積體電路 150 可包括(2^5-1)個反相器與$(2^{(5+2)})$個電子元件。

以下將介紹有關反相器與電子元件量化類比信號之實施例。在此實施例中使用 7 位元之類比至數位轉換解析度，因此積體電路 150 可包括(2^5-1)或 31 個反相器 160，以及 32 個分壓器 165。各 32 個分壓器 165 可具有

2^2 或 4 個電阻。由於各電阻可將兩相鄰反相器之輸出端之間的壓降做更進一步分壓，因此 31 個反相器與 32 個分壓器可提供 127 個數位值。

舉例而言，第 17 個分壓器(如第 2B 圖所示之 VD_17)可配置於第 16 個反相器(如第 2B 圖所示之 INV_16)與第 17 個反相器(如第 2B 圖所示之 INV_17)之間。第 17 個分壓器可更進一步量化第 16 個反相器與第 17 個反相器之間的電壓降。在一些實施例中，由第 17 個分壓器所執行的量化可為內插(interpolation)操作。第 17 個分壓器可包含 4 個電阻(如第 2B 圖所示之 R_1~R_4)。第 17 個分壓器以及第 16 個反相器與第 17 個反相器的各個輸出端可與反相器 210a~210e 耦接。反相器 210b~210d 可分別提供如第 2C 圖所示之介於第 16 個反相器的電壓轉換曲線(VTC) 214 與第 17 個反相器的電壓轉換曲線 215 之間的電壓轉換曲線 211~213。在一些實施例中，類比信號可具有約 1.018 伏特的輸入電壓。值得注意的是，1.018 伏特之類比信號係低於第 16 個反相器的跳變點，並且高於第 17 個反相器的跳變點。同時可以發現 1.018 伏特之類比信號低於電壓轉換曲線 211 的跳變點，並且高於電壓轉換曲線 212 與 213 的跳變點。第 65 個數位值 D_65 可為「1」，且第 66 與 67 個數位值 D_66 與 D_67 可為「0」。同時可注意到的是，由第 1 至第 16 個分壓器所輸出的數位值為「1」，且由第 18 至第 32 個分壓器所輸出的數位值為「0」。

參考回第 1B 圖，加法器 170 可加總由 31 個反相器

與 32 個分壓器所輸出之數位值，並輸出對應之整數值。對於使用具有輸入電壓約 1.018 伏特之類比信號的實施例，加法器 170 可於輸出端 152 輸出整數值「65」。在一些實施例中，整數值「65」可被解碼成 7 位元之二進制數位信號，例如「1000001」，以提供後續之數位信號處理。

值得注意的是，傳統的類比至數位轉換器使用複數比較器量化輸入類比信號。為了達到 7 位元的解析度，將使用 (2^7-1)，也就是 127 個比較器。127 個比較器需要花費較大的面積。此外，傳統的類比至數位轉換器使用電阻網路以提供不同的電壓位準作為比較器的參考電壓。電阻網路也會耗損掉一些類比至數位轉換器的功率。

不同於傳統類比至數位轉換器，積體電路 150 使用反相器 160 與分壓器 165 量化類比信號。可以注意到的是，積體電路 150 可包括 (2^5-1)，例如 31 個反相器與 $2^{(5+2)}$ 個電子元件，例如 128 個電阻，用以達成 7 位元解析度之類比至數位轉換。可以發現的是，相較於傳統類比至數位轉換器的 127 個比較器，使用 31 個反相器 160 與 32 個分壓器 165 可花費較小的面積。積體電路 150 的尺寸可有效縮減。當執行 8 位元或更高解析度之類比至數位轉換時，積體電路 150 同樣可達到想要的尺寸縮減。

同樣可以發現的是，積體電路 150 不需包含用以提供不同的電壓位準作為比較器的參考電壓的電阻網路。因此可降低由電阻網路所造成的功率耗損。值得注意的是，上述的 7 位元之類比至數位轉換解析度僅為一介紹

範例，並非用以限定本發明的應用範圍。任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可修改(2^n-1)個反相器 160 與 2^m 個電子元件的數量，以達到所需的(n+m)位元之類比至數位轉換解析度。

第 3A~3D 圖係顯示根據本發明之數個實施例所述之反相器電路圖。可以注意到的是，反相器 110(如第 1A 圖所示)、160(如第 1B 圖所示)以及/或 210a~210e(如第 2B 圖所示)可包含一 CMOS 電晶體。在第 3A 圖中，反相器 310a 可包括一 PMOS 電晶體 311a 與 NMOS 電晶體 313a。PMOS 電晶體 311a 的源極端可耦接至電壓源，例如約 2.2 伏特之 VDD。NMOS 電晶體 313a 的源極端可耦接至地。在一些實施例中，PMOS 電晶體 311a 的寬長比例(W/L)可從約 0.6/0.18 變化至 9.08/0.18。PMOS 電晶體 311a 的寬長比例(W/L)可從約 0.6 微米(μm) /0.18 微米變化至 8.26 微米/0.18 微米。PMOS 電晶體 311a 與 NMOS 電晶體 313a 的寬長比例變化可提供不同的跳變點。

在第 3B 圖中，反相器 310b 可包括一 PMOS 電晶體 311b 與 NMOS 電晶體 313b。PMOS 電晶體 311b 與 NMOS 電晶體 313b 分別類似於 PMOS 電晶體 311a 與 NMOS 電晶體 313a。PMOS 電晶體 311b 的源極端可耦接至電阻 315b。NMOS 電晶體 313b 的源極端可耦接至電阻 317b。在一些實施例中，電阻 315b 與 317b 可具有約 1.8 KΩ 的電阻值。

在第 3C 圖中，反相器 310c 可包括一 PMOS 電晶體 311c 與 NMOS 電晶體 313c。PMOS 電晶體 311c 的汲極

端可耦接至電阻 315c。NMOS 電晶體 313c 的汲極端可耦接至電阻 317c。在一些實施例中，電阻 315c 與 317c 可具有約 1.8 KΩ 的電阻值。

在第 3C 圖中，反相器 310c 可包括一 PMOS 電晶體 311c 與 NMOS 電晶體 313c。PMOS 電晶體 311c 的汲極端可耦接至電阻 315c。NMOS 電晶體 313c 的汲極端可耦接至電阻 317c。在一些實施例中，電阻 315c 與 317c 可具有約 1.8 KΩ 的電阻值。

在第 3D 圖中，反相器 310d 可包括一 PMOS 電晶體 311d 與 NMOS 電晶體 313d 與 319d。NMOS 電晶體 313d 耦接於 PMOS 電晶體 311d 與 NMOS 電晶體 319d 之間。PMOS 電晶體 311d 的源極端可耦接至電壓源，例如約 2.2 伏特之 VDD。NMOS 電晶體 319d 的源極端可耦接至地。在一些實施例中，NMOS 電晶體 313d 與 319d 可具有相同的寬長比例。

值得注意的是，上述 PMOS 與 NMOS 電晶體的寬長比例以及/或電阻的電阻值僅為範例。任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可改變寬長比例與電阻值以獲得所需的跳變點。同樣值得注意的是，上述的反相器 310a~310d 的結構僅為範例。任何可提供所需之電壓轉換曲線的反相器結構都可應用於本發明。

第 4 圖係顯示根據本發明之另一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。在一些實施例中，結合上述第 1B 圖所介紹的反相器與電子元件的數量可加倍，用以進一步量化類比信號。在此實施例

中，積體電路 400 可包括輸入端 401 用以接收類比信號。積體電路 400 可包括第一組(2^n-1)個反相器 410a、第二組(2^n-1)個反相器 410b、第一組 2^n 個分壓器 415a 與第二組 2^n 個分壓器 415 b。在一些實施例中，第一與第二組(2^n-1)個反相器 410a 與 410b 可類似如第 1A 與第 1B 圖中所示的(2^n-1)個反相器 110 或 160。各第一與第二組 2^n 個分壓器 415a 與 415 b 可類似於第 1B 圖中所示的分壓器 165。

可注意到的是，第一組(2^n-1)個反相器 410a 與第一組 2^n 個分壓器 415a 包含 $2^{(n+m)}$個電子元件，其可提供一組$(2^{(n+m)}-1)$個數位值。第二組(2^n-1)個反相器 410b 與第二組 2^n 個分壓器 415b 包含 $2^{(n+m)}$個電子元件，其可提供另一組 $(2^{(n+m)}-1)$ 個數位值。加法器 420 加總該等 $2x(2^{(n+m)}-1)$ 個數位值，輸出可代表(n+m+1)位元之二進制數位信號之一整數值。在一些實施例中，由加法器 420 所輸出之可代表(n+m+1)位元之二進制數位信號之整數值可被解碼為(n+m+1)位元之二進制數位信號。

在其它實施例中，由加法器 420 所輸出之可代表(n+m+1)位元之二進制數位信號之整數值可被轉換成(n+m)位元之二進制數位信號。參考至第 4 圖，積體電路 400 可包含一查照表 430。查照表 430 可包括複數資料，包括整數值與其對應之(n+m)位元之二進制數位信號。查照表 430 可自加法器 420 接收整數值，並提供對應於整數值之一(n+m)位元之二進制數位信號。例如，查照表 430 可接收可代表 9 位元之二進制數位信號之整數值，並且輸出 8 位元之二進制數位信號。由於在量化類比信號時

可提供更多的等級，因此可達到所需的量化類比信號的精確度以及/或解析度。

第 5 圖係顯示根據本發明之另一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。在一些實施例中，積體電路 500 可接收差動輸入信號，用以有效降低訊號雜訊比例(signal-to-noise ratio，簡稱 SNR)。在第 5 圖中，積體電路 500 可包括一第一輸入端 501a，例如一正輸入端，以及一第二輸入端 501b，例如一負輸入端。第一輸入端 501a 可接收第一類比信號，第二輸入端 501b 可接收第二類比信號。在一些實施例中，第一類比信號類似於第二類比信號。在其它實施例中，第一類比信號與第二類比信號可具有相位差，例如，約 180 度之相位差。在又另一些實施例中，第一輸入端 501a 與第二輸入端 501b 的輸入可為差動輸入。

在一些實施例中，積體電路 500 可包括取樣保持(Sample and Hold)電路 503a 與 503b，其分別耦接於第一輸入端 501a 與第二輸入端 501b。取樣保持電路 503a 與 503b 可用以取樣並保持第一與第二類比信號一段所需的時間。

在一些實施例中，積體電路 500 可包括類比緩衝器 505a 與 505b，其分別耦接於取樣保持電路 503a 與 503b。積體電路 500 可包括量化器 510a 與 510b，其分別耦接於類比緩衝器 505a 與 505b。在一些實施例中，各量化器 510a 與 510b 可包括第 4 圖所示之反相器 410a 與 410b 以及/或分壓器 415a 與 415b。量化器 510a 與 510b 可分別

與加法器 515a 與 515b 耦接。積體電路 500 可包含一減法器 520，耦接至加法器 515a 與 515b。

可以注意到的是，各加法器 515a 與 515b 可輸出一整數值，其可如以上第 4 圖所述代表(n+m-1)位元之二進制數位信號。減法器 520 可對於加法器 515a 與 515b 所提供的整數值進行減法運算，並輸出可代表(n+m+2)位元之二進制數位信號之整數值。例如，各加法器 515a 與 515b 可輸出一整數值，其可代表 9 位元之二進制數位信號。減法器 520 可對於加法器 515a 與 515b 所提供的整數值進行減法運算，並輸出可代表 10 位元之二進制數位信號之整數值。

可以發現的是，積體電路 500 可提供(n+m+2)位元之類比至數位轉換解析度，其高於第 4 圖所示之積體電路 400。此外，積體電路 500 可更有效降低類比至數位轉換的訊號雜訊比例。

在一些實施例中，減法器 520 可耦接至一查照表(圖未示)，例如第 4 圖中所示的查照表 430。查照表可接收可代表(n+m+2)位元之二進制數位信號的整數值，並輸出(n+m+1)位元之二進制數位信號，用以達到所需的類比至數位轉換之精確度以及/或解析度。

第 6 圖係顯示根據本發明之另一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖，其包含了一校準器。在第 6 圖中，具有數值增加 100 的元件符號，代表與第 5 圖中相同的元件。積體電路 600 可包括一校準器 630。校準器 630 用以自加法器 615a 接收整數

值，並輸出對應於該整數值之一校準過的數位信號。在一些實施例中，校準器 630 的操作可為斜坡式校準(ramp calibration)。

在一些實施例中，積體電路 600 可包括一控制邏輯 635，耦接至校準器 630。計數器 640 耦接至控制邏輯 635 與校準器 630。數位至類比轉換器(Digital to Analog Converter，簡稱 DAC)645 可耦接至計數器 640。多工器 650 可耦接於數位至類比轉換器 645 與取樣保持電路 603a。

參考至第 6 圖，控制邏輯 635 可致能以及/或驅動校準器 630 以及/或計數器 640。在一些使用斜坡式校準的實施例中，計數器 640 可輸出斜坡(m+n+1)位元之二進制數位信號至校準器 630 以及數位至類比轉換器 645。校準器 630 可紀錄由計數器 640 所輸出之(m+n+1)位元之二進制數位信號。數位至類比轉換器 645 可將接收自計數器 640 之(m+n+1)位元之二進制數位信號轉換成類比信號，並供應至多工器 650。

為了校準，多工器 650 將接收自數位至類比轉換器 645 之類比信號輸出至量化器 610a。可以注意到的是，加法器 615a 可輸出代表(m+n+1)位元之二進制數位信號之整數值至校準器 630。校準器 630 可紀錄代表(m+n+1)位元之數位信號之輸出整數值以及/或將此輸出整數值與對應之接收自計數器 640 之(m+n+1)位元之數位信號進行匹配。在一些實施例中，該些整數值與(m+n+1)位元之數位信號可被紀錄於一校正表或記憶體(圖未示)中。

若要被轉換的類比信號提供至輸入端 601，多工器 650 將類比信號自輸入端 601 輸出至取樣保持電路 603a、類比緩衝器 605a 以及量化器 610a。加法器 615a 可加總來自量化器 610a 的數位值，並輸出代表(m+n+1)位元之二進制數位信號至校準器 630。校準器 630 可接收整數值，並根據校準表輸出對應於整數值之校準過的數位信號。

第 7 圖係顯示出無校準與有校準之模擬結果示意圖。在第 7 圖中，線 701 可代表瞄準線，其通過數位輸出之理想斜坡轉換級距的中點。鋸齒狀的線 702 可代表無校準過的數位輸出。鋸齒狀的線 703 可代表有校準過的數位輸出。可以發現的是，未被校準的鋸齒狀的線 702 在一些等級上會偏離線 701。這些偏離可能是由於裝置不匹配、製程偏移、以及/或其它影響類比至數位轉換解析度之因素所造成。

相較於鋸齒狀的線 702，代表有校準過的數位輸出的鋸齒狀的線 703 可逼近線 701。透過以上第 6 圖所介紹的校準機制，可達到所需的類比至數位轉換解析度以及/或精確度。

值得注意的是，在校準的過程中，校準器 630、邏輯電路 635、計數器 640 以及/或數位至類比轉換器 645 可應用至如第 1A、1B、4 與 5 圖所示之積體電路 100、150、400 與 500。

第 8 圖係顯示根據本發明之一實施例所述之系統示意圖，其包括本發明所述之積體電路範例以及與其耦接

之用以接收數位信號之一裝置。在第 8 圖中，系統 800 可包括積體電路 810，其耦接至用以接收數位信號之一裝置 820。積體電路 810 可接收內部或外部的類比信號，例如自系統 800 內部或外部的一裝置或電路。在一些實施例中，積體電路 810 可類似於第 1A、1B、4、5 與 6 圖所示之積體電路 100、150、400、500 與 600。

在一些實施例中，系統 800 可包括一硬碟驅動器、一數位多用途光碟(Digital Versatile Disc)、一高解析度電視、一車輛、一行動電話、一機上盒、一多媒體播放器、或任何具有類比至數位轉換之系統。用以接收數位信號之裝置 820 可以是，例如，一記憶體、一儲存媒介、一顯示器、一邏輯電路以及/或其它可接收數位信號之電路。

在一些實施例中，積體電路 810 與用以接收數位信號之裝置 820 可物理並電性地耦接至一印刷電路板，用以形成電子配件。電子配件可以是電子系統，例如電腦、無線通訊裝置、電腦相關週邊裝置、娛樂裝置等的一部分。

在一些實施例中，包含積體電路 810 之系統 800 可提供整個系統於一積體電路中，稱之為系統單晶片(System-on-a-chip，簡稱 SOC)或積體電路系統(system on integrated circuit，簡稱 SOIC)。這些系統單晶片裝置可提供，例如需要實作出行動電話、個人資料助理(personal data assistant，簡稱 PDA)、數位卡匣式錄影機(Video Cassette Recorder，簡稱 VCR)、數位攝錄像機、數位相機、MP3 播放機、或其它裝置所需的電路於單一個整合

電路中。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖係顯示根據本發明之一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。

第 1B 圖係顯示根據本發明之另一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。

第 2A 圖係顯示根據本發明之一實施例所述之模擬多個反相器之電壓轉換曲線。

第 2B 圖係顯示如第 1B 圖所示之積體電路之部分電路圖。

第 2C 圖係顯示根據本發明之一實施例所述之由介於兩相鄰之反相器之間的分壓器所提供之額外的電壓轉換曲線，其介於由兩相鄰之反相器所提供之兩電壓轉換曲線之間。

第 3A~3D 圖係顯示根據本發明之數個實施例所述之反相器電路圖。

第 4 圖係顯示根據本發明之另一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。

第 5 圖係顯示根據本發明之另一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。

第 6 圖係顯示根據本發明之另一實施例所述之可執行類比信號至數位信號轉換之積體電路示意圖。

第 7 圖係顯示出無校準與有校準之模擬結果示意圖。

第 8 圖係顯示根據本發明之一實施例所述之系統。

【主要元件符號說明】

100、150、400、500、600、810～積體電路；

101、151、401、501a、501b、601～輸入端；

102、152、502～輸出端；

110、160、161a、161b、210a、210b、210c、210d、210e、310a、310b、310c、310d、410a、410b、INV_1、INV_2、INV_3、INV_16、INV_17、INV_(2^n-2)、INV_(2^n-1)～反相器；

120、170、420、515a、515b、615a～加法器；

165、415a、415 b、VD_17～分壓器；

D_1、D_2、D_3、D_4、D_64、D_65、D_66、D_67、D_68、D_(2^n-2)、D_(2^n-1)、D_$(2^{(m+n)}-4)$、D_$(2^{(m+n)}-3)$、D_$(2^{(m+n)}-2)$、D_$(2^{(m+n)}-1)$～數位值；

201、701、702、703～線；

211、212、213、214、215～電壓轉換曲線；

311a、311b、311c、311d、313a、313b、313c、313d、319d～電晶體；

315b、315c、317b、317c、R_1、R_2、R_3、R_4、R_2^m～電阻；

430～查照表；

503a、503b、603a～取樣保持電路；

505a、505b、605a～類比緩衝器；

510a、510b、610a～量化器；

520～減法器；

630～校準器；

635～控制邏輯；

640～計數器；

645～數位至類比轉換器；

650～多工器；

800～系統；

820～裝置。

七、申請專利範圍：

1.一種積體電路，用以轉換一類比信號成為至少一數位信號，包括：

一第一輸入端，用以接收一第一單一類比信號；

一第一組(2^n-1)個反相器，直接連接至該第一輸入端，該第一組(2^n-1)個反相器用以接收該第一單一類比信號以及量化該第一單一類比信號，並且輸出一第一組(2^n-1)個數位值，該第一組(2^n-1)個數位值之各者分別為0或1；以及

一第一加法器，與該第一組(2^n-1)個反相器耦接，該第一加法器加總該第一組(2^n-1)個數位值，並且輸出對應於至少一數位信號之一第一整數值。

2.如申請專利範圍第1項所述之積體電路，更包括：

一第一組分壓器，其中該第一組(2^n-1)個反相器的各輸出端耦接至該第一組分壓器之至少一者，該第一組分壓器之各者分別包含一第一組2^m個電子元件，該第一組分壓器之各者用以量化該第一單一類比信號，並輸出一第一組(2^m-1)個數位值，該第一組(2^m-1)個數位值之各者用分別為0或1，並且該第一加法器累加該第一組(2^n-1)個數位值與該第一組分壓器之各者的該第一組(2^m-1)個數位值，並輸出對應於該至少一數位信號之一第二整數值。

3.如申請專利範圍第2項所述之積體電路，更包括：

一第二組(2^n-1)個反相器，該第二組(2^n-1)個反相器與該第一組(2^n-1)個反相器平行配置，並且耦接至該第一

加法器，其中該第二組(2^n-1)個反相器用以量化該第一單一類比信號，並且輸出一第二組(2^n-1)個數位值，該第二組(2^n-1)個數位值之各者分別為 0 或 1；以及

一第二組分壓器，其中該第二組(2^n-1)個反相器的各輸出端耦接至該第二組分壓器之至少一者，該第二組分壓器之各者分別包含一第二組2^m個電子元件，該第二組分壓器之各者用以量化該第一單一類比信號，並輸出一第二組(2^m-1)個數位值，該第一組(2^m-1)個數位值之各者分別為 0 或 1，並且該第一加法器累加該第一組(2^n-1)個數位值、該第二組(2^n-1)個數位值、該第一組分壓器之各者的該第一組(2^m-1)個數位值以及該第二組分壓器之各者的該第二組(2^m-1)個數位值，並輸出對應於該至少一數位信號之一第三整數值。

4.如申請專利範圍第 1 項所述之積體電路，更包括：

一第二輸入端，用以接收一第二類比信號，其中該第一單一類比信號與該第二類比信號具有一相位差；

一第三組(2^n-1)個反相器，該第三組(2^n-1)個反相器用以量化該第二類比信號，並輸出一第三組(2^n-1)個數位值，該第三組(2^n-1)個數位值之各者分別為 0 或 1；

一第二加法器，與該第三組(2^n-1)個反相器耦接，該第二加法器用以加總該第三組(2^n-1)個數位值，並輸出對應於該第二類比信號之一第四整數值；以及

一減法器，耦接於該第一加法器與該第二加法器，其中該減法器對該第一整數值與該第四整數值執行減法運算，用以提供對應於該至少一數位信號之一第五整數

值。

5.如申請專利範圍第 1 項所述之積體電路，更包括：

一查照表，耦接至該第一加法器，其中該查照表輸出對應於該第一整數值之一二進制數位信號；

一校準器，耦接至該第一加法器，其中該校準器用以接收該第一整數值，並輸出對應於該第一整數值之一校準過的數位信號；

一計數器，耦接於該校準器；以及

一數位至類比轉換器，耦接至該校準器與該第一組(2^n-1)個反相器。

6.一種類比信號轉換至數位信號系統，包括：

一積體電路，該積體電路用以轉換一第一單一類比信號成為至少一數位信號，該積體電路包括：

一第一輸入端，用以接收該第一單一類比信號；

一第一組(2^n-1)個反相器，直接連接至該第一輸入端，該第一組(2^n-1)個反相器用以接收該第一單一類比信號以及量化該第一單一類比信號，並且輸出一第一組(2^n-1)個數位值，該第一組(2^n-1)個數位值之各者分別為 0 或 1；以及

一第一加法器，與該第一組(2^n-1)個反相器耦接，該第一加法器加總該第一組(2^n-1)個數位值，並且輸出對應於該至少一數位信號之一第一整數值；以及

一裝置，耦接至該積體電路並用以接收該至少一數位信號。

7.一種用以轉換至少一第一單一類比信號成為至少

一數位信號之方法，包括：

於一第一輸入端接收一第一單一類比信號，以及輸出該第一單一類比信號至一第一組(2^n-1)個反相器，其中該第一組(2^n-1)個反相器直接連接至該第一輸入端；

使用該第一組(2^n-1)個反相器量化該第一單一類比信號，用以提供一第一組(2^n-1)個數位值；以及

加總該第一組(2^n-1)個數位值，以提供一第一整數值，其中該第一整數值對應於至少一數位信號。

8.如申請專利範圍第 7 項所述之用以轉換至少一第一單一類比信號成為至少一數位信號之方法，更包括：

使用一第一組分壓器量化該第一單一類比信號，該第一組分壓器之各者耦接至該第一組(2^n-1)個數位值之至少一者，該第一組分壓器之各者提供一第一組(2^m-1)個數位值；以及

加總該第一組(2^n-1)個數位值與該第一組分壓器之各者的該第一組(2^m-1)個數位值，用以提供對應於該至少一數位信號之一第二整數值。

9.如申請專利範圍第 8 項所述之用以轉換至少一第一單一類比信號成為至少一數位信號之方法，更包括：

使用一第二組(2^n-1)個反相器量化該第一單一類比信號，用以提供一第二組(2^n-1)個數位值；

使用一第二組分壓器量化該第一單一類比信號，該第二組分壓器之各者耦接至該第二組(2^n-1)個數位值之至少一者，該第二組分壓器之各者提供一第二組(2^m-1)個數位值；以及

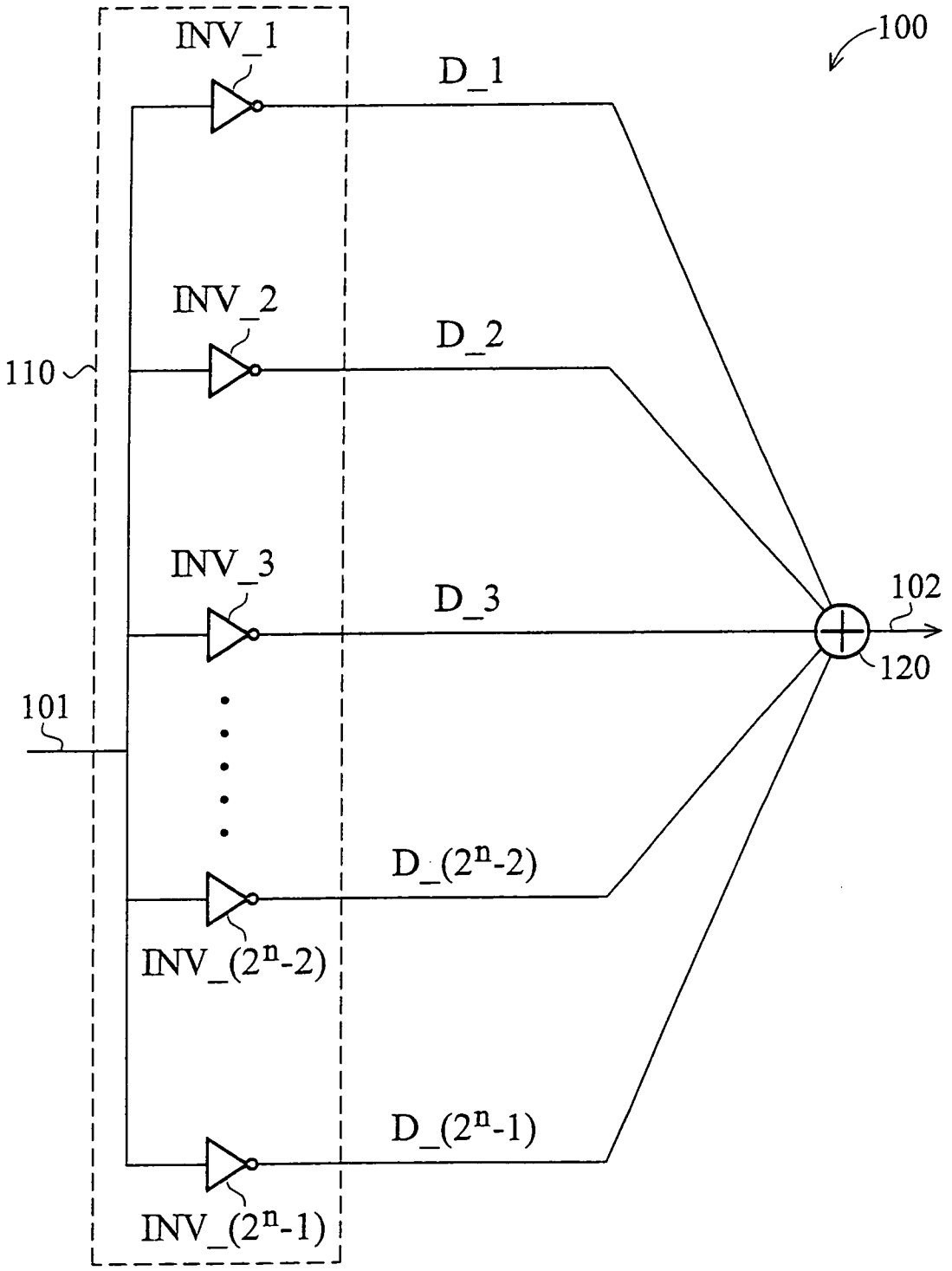
加總該第一組(2^n-1)個數位值、該第二組(2^n-1)個數位值、該第一組分壓器之各者的該第一組(2^m-1)個數位值與該第二組分壓器之各者的該第二組(2^m-1)個數位值，用以提供對應於該至少一數位信號之一第三整數值。

10.如申請專利範圍第 7 項所述之用以轉換至少一第一單一類比信號成為至少一數位信號之方法，更包括：

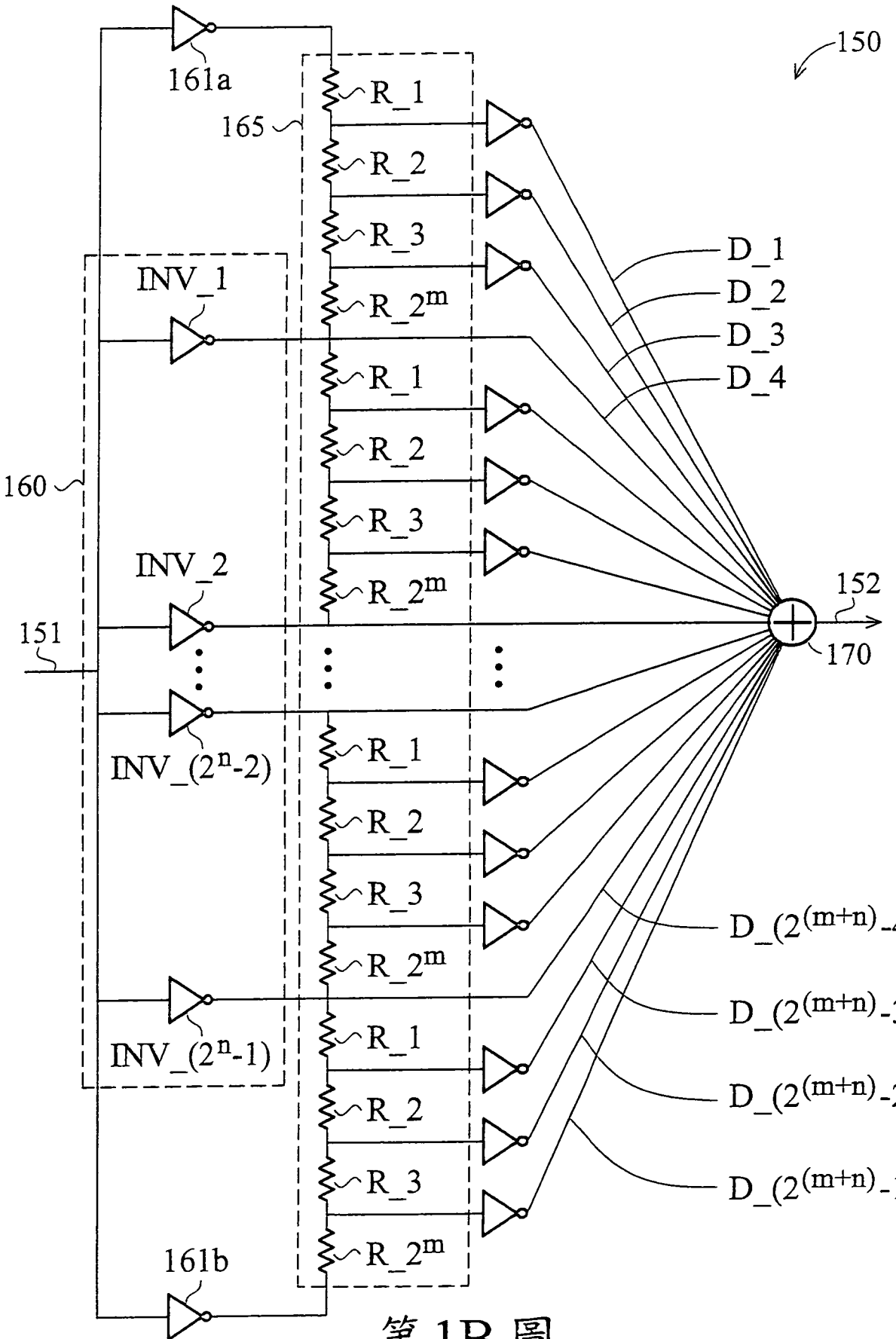
使用一第三組(2^n-1)個反相器量化一第二類比信號，用以提供一第三組(2^n-1)個數位值；

加總該第三組(2^n-1)個數位值，用以提供一第四整數值；以及

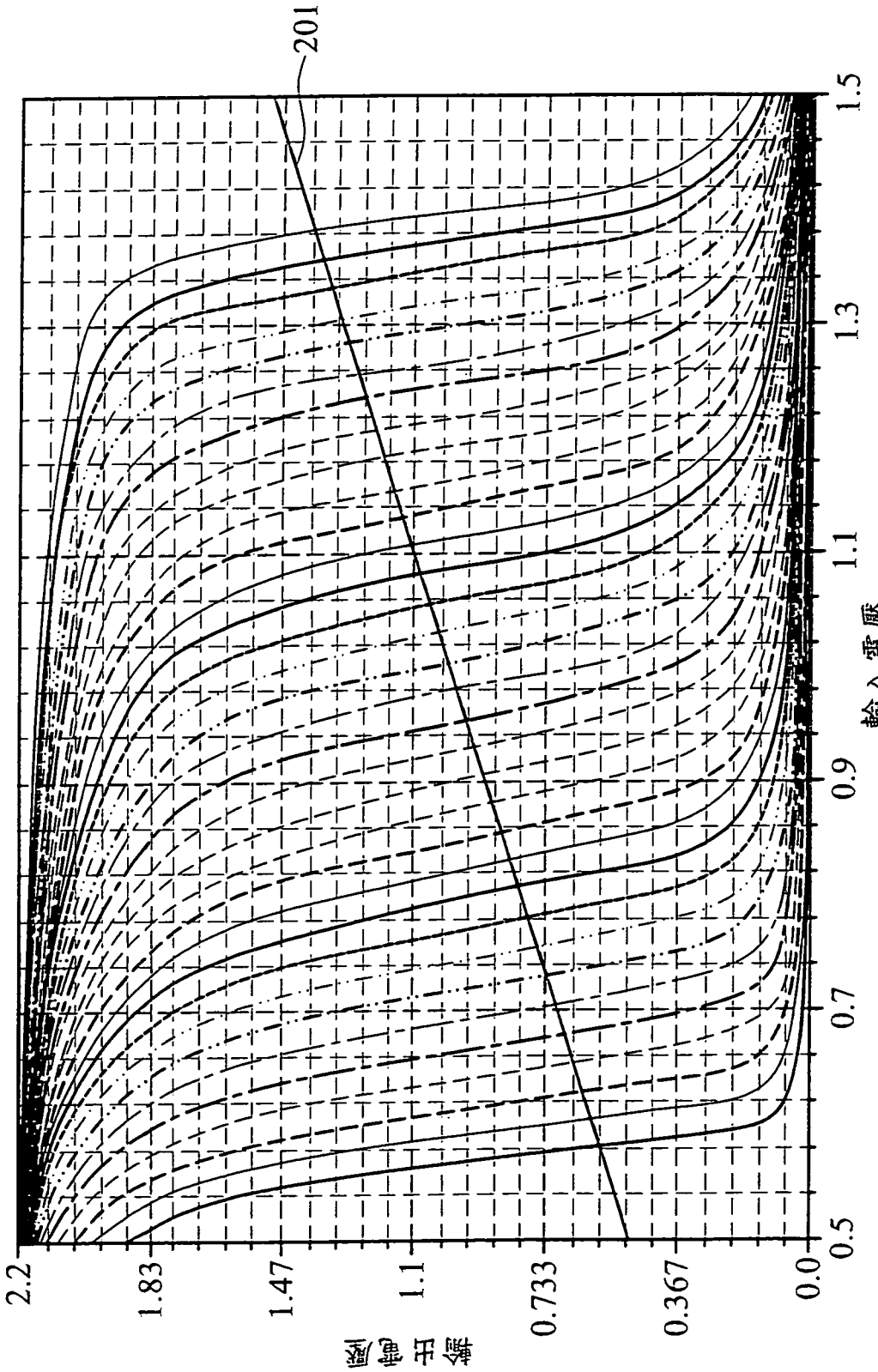
對該第一整數值與該第四整數值執行一減法運算，用以提供對應於該至少一數位信號之一第五整數值。


100
INV_1
D_1
INV_2
D_2
110
INV_3
D_3
102
120
101
D_(2^n-2)
INV_(2^n-2)
D_(2^n-1)
INV_(2^n-1)

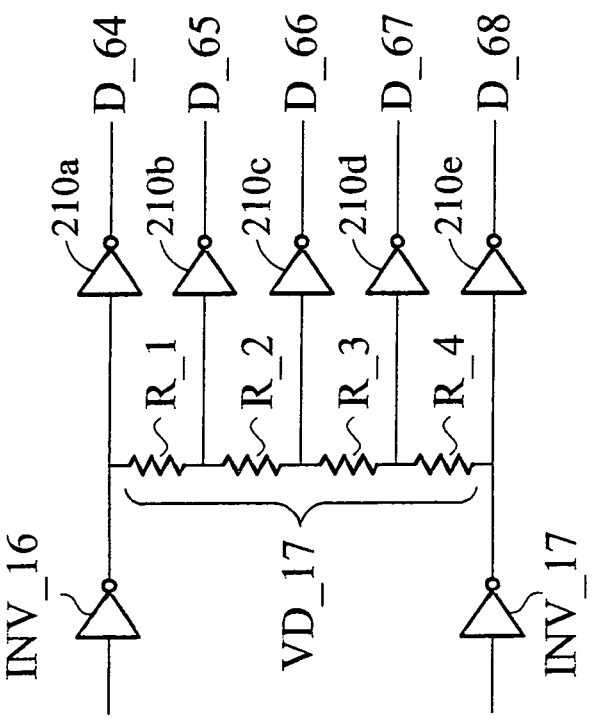
第1A圖


150
161a
165
R_1
R_2
R_3
R_2^m
INV_1
D_1
D_2
D_3
D_4
160
INV_2
152
151
170
INV_(2^n-2)
INV_(2^n-1)
D_(2^(m+n)-4)
D_(2^(m+n)-3)
D_(2^(m+n)-2)
D_(2^(m+n)-1)
161b

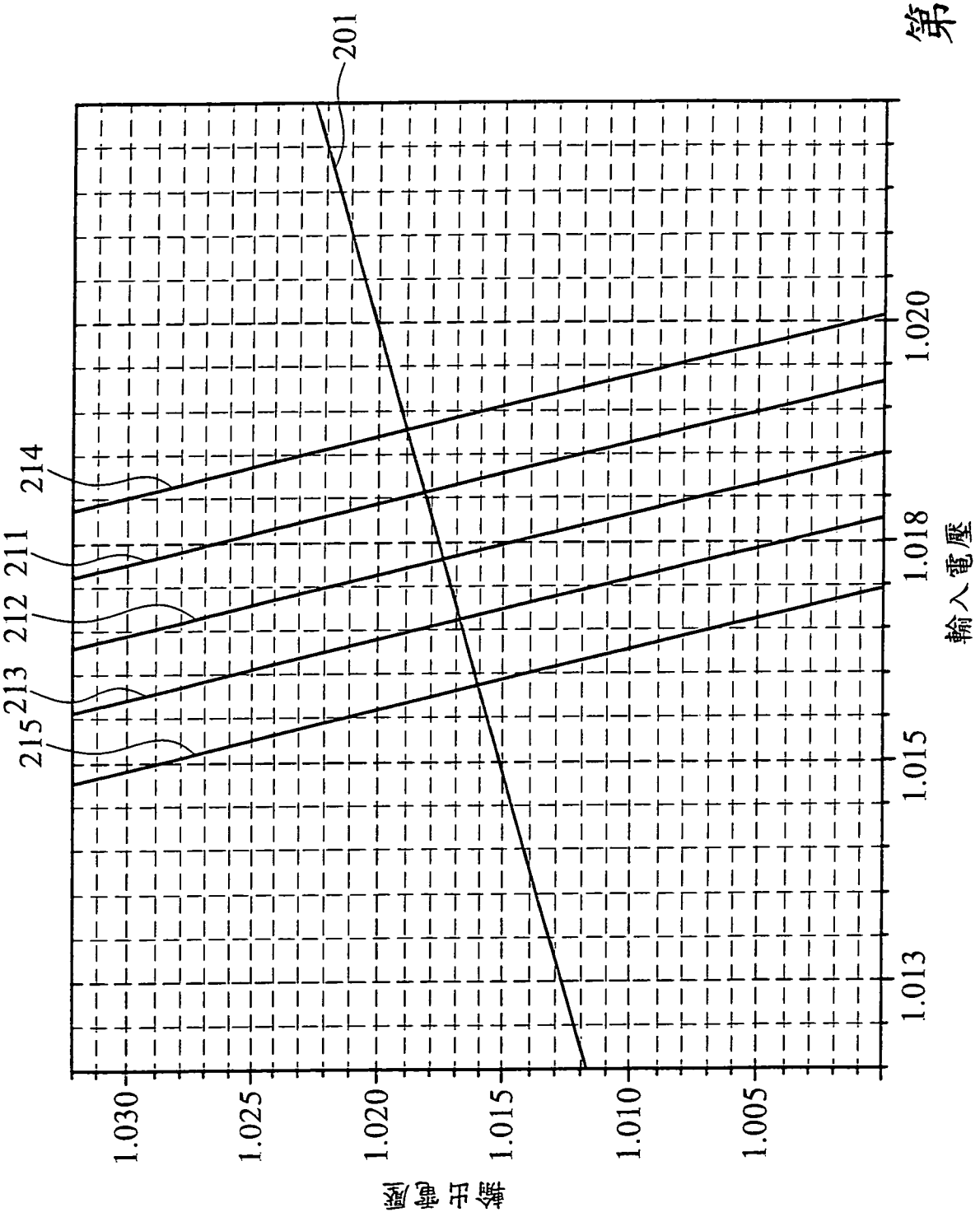
第1B圖



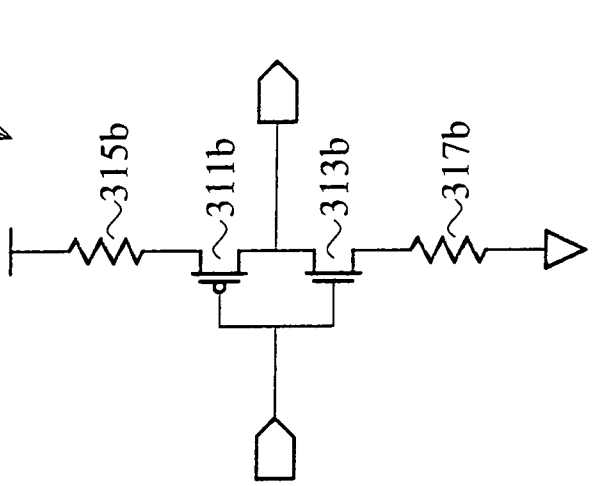
第2A圖


D_64
D_65
D_66
D_67
D_68
210a
210b
210c
210d
210e
R_1
R_2
R_3
R_4
INV_16
VD_17
INV_17

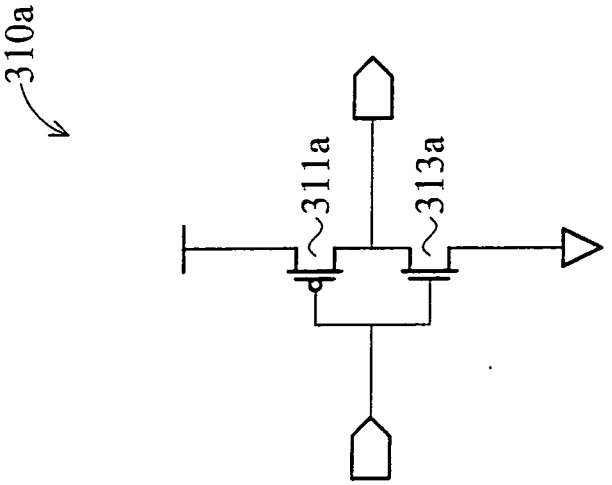
第2B圖


201
214
211
212
213
215
1.030
1.025
1.020
1.015
1.010
1.005
輸出電壓
1.013
1.015
1.018
1.020
輸入電壓

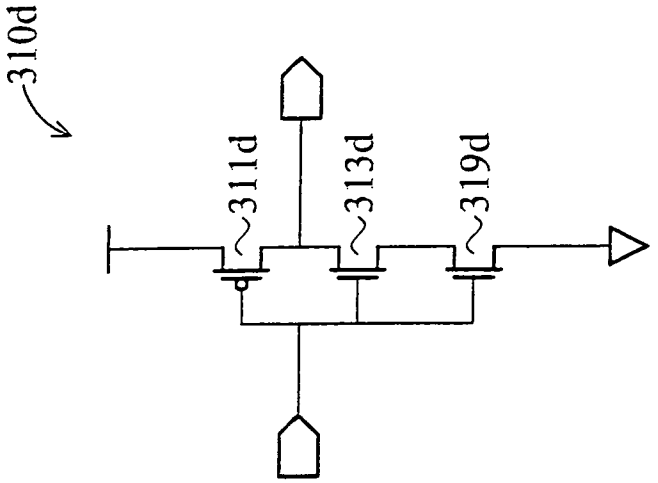
第2C圖



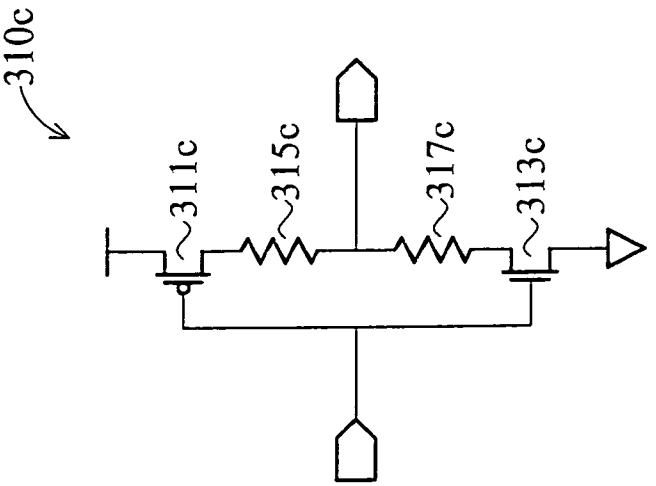
第 3B 圖



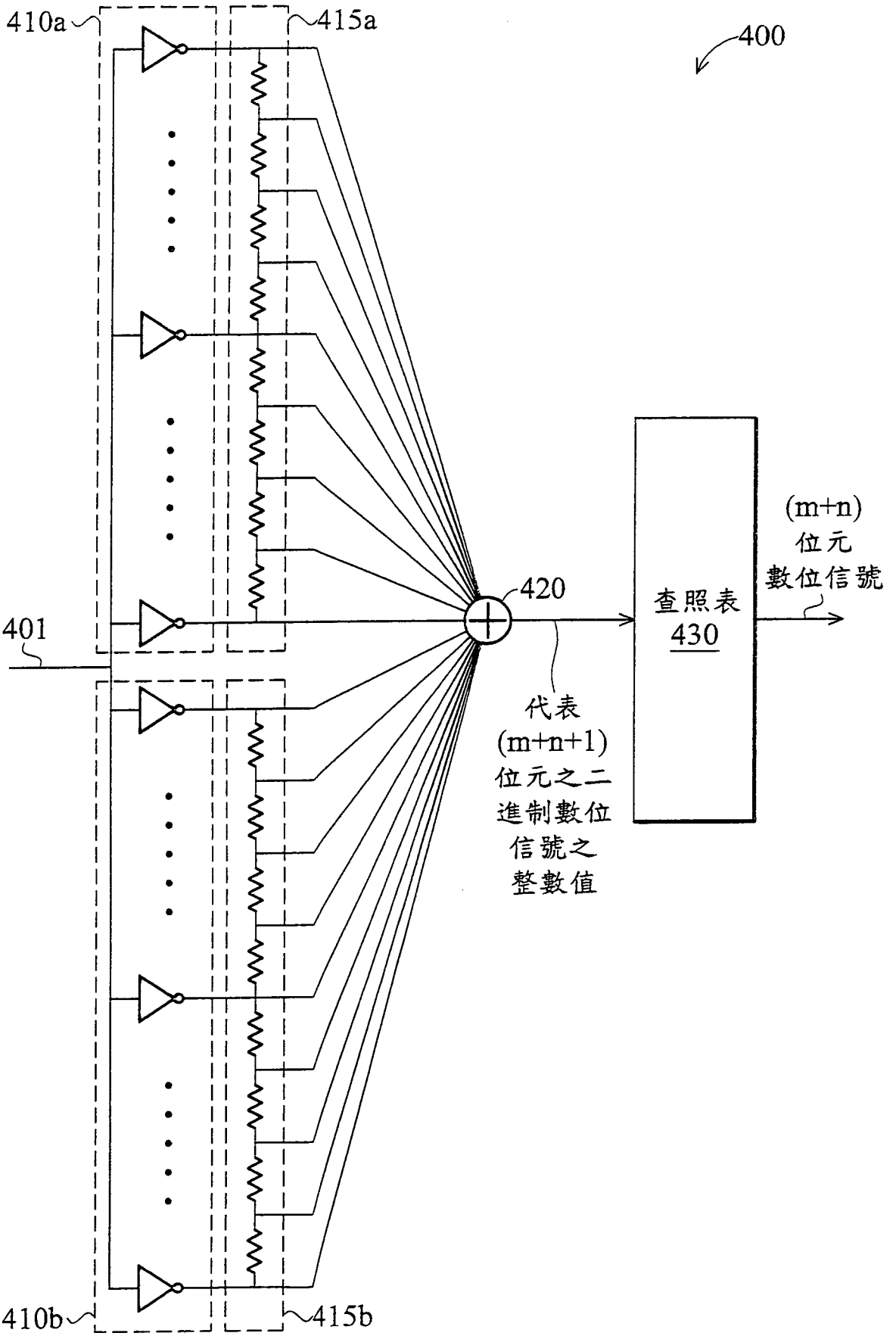
第 3A 圖



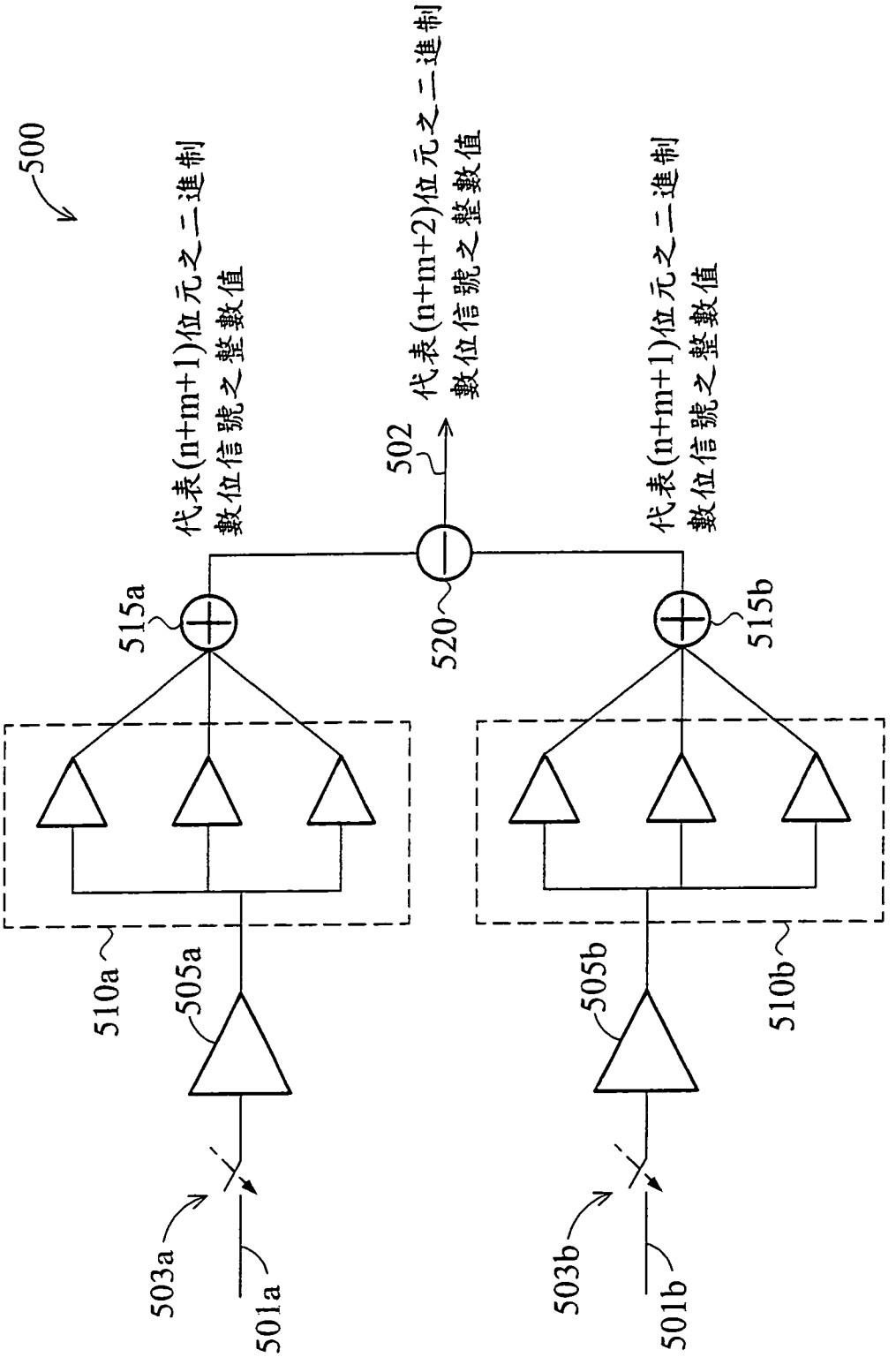
第 3D 圖



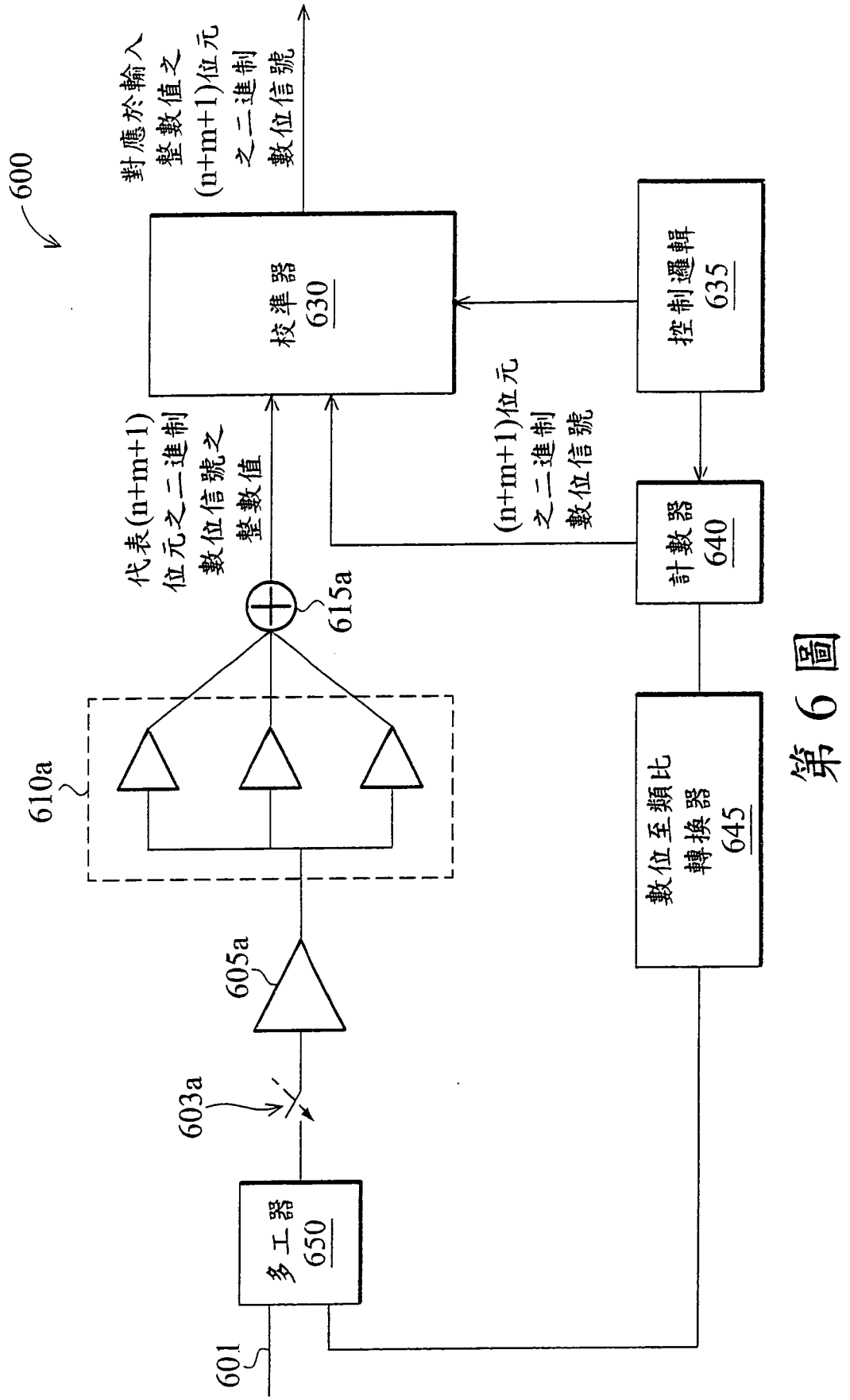
第 3C 圖


410a
415a
400
420
401
查照表
430
(m+n)
位元
數位信號
代表
(m+n+1)
位元之二
進制數位
信號之
整數值
410b
415b

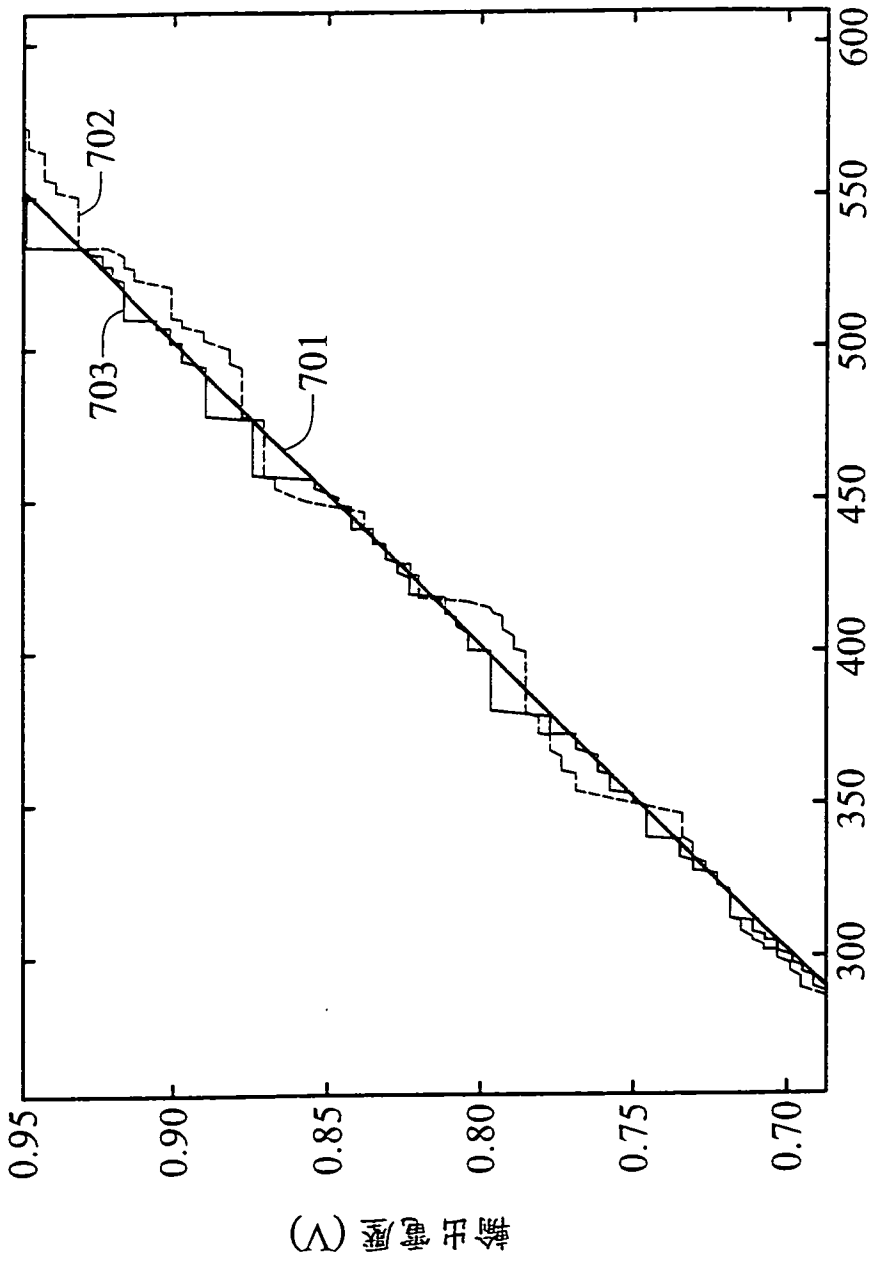
第 4 圖


500
代表(n+m+1)位元之二進制數位信號之整數值
502
代表(n+m+2)位元之二進制數位信號之整數值
代表(n+m+1)位元之二進制數位信號之整數值
515a
520
515b
510a
505a
505b
510b
503a
503b
501a
501b

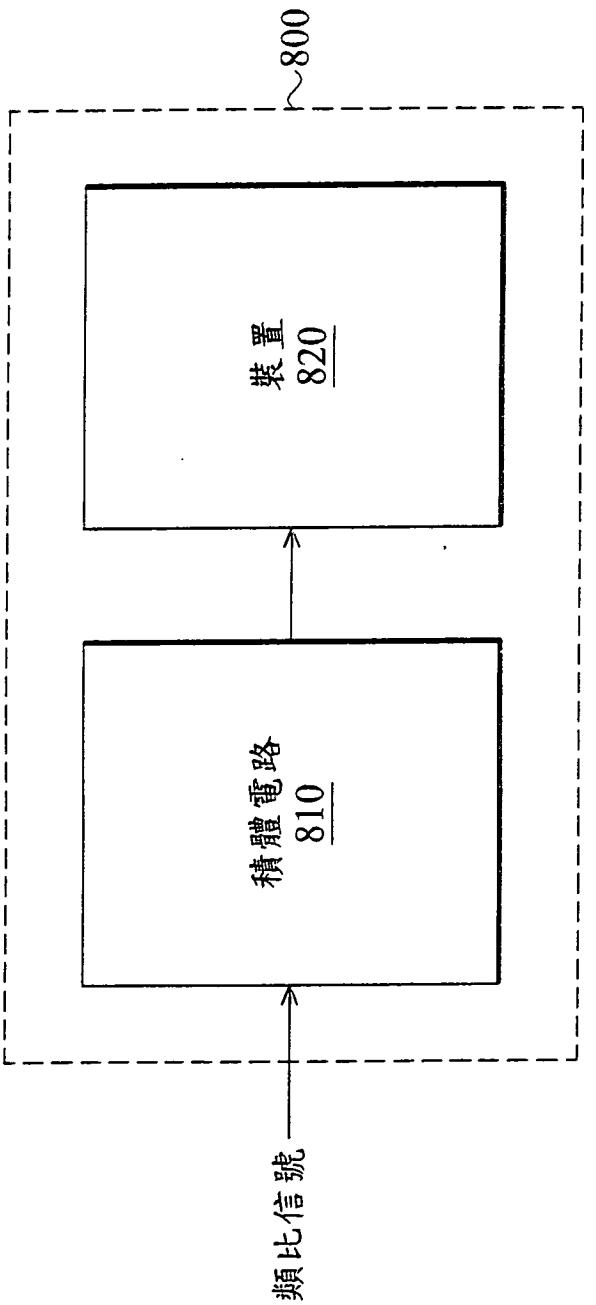
第 5 圖


600
對應於輸入
整數值之
(n+m+1)位元
之二進制
數位信號
校準器
630
控制邏輯
635
代表(n+m+1)
位元之二進制
數位信號之
整數值
(n+m+1)位元
之二進制
數位信號
615a
計數器
640
610a
數位至類比
轉換器
645
605a
603a
多工器
650
601

第 6 圖


0.95
0.90
0.85
0.80
0.75
0.70
輸出電壓 (V)
300
350
400
450
500
550
600
輸入電壓 (mV)
701
702
703

第 7 圖



第 8 圖