

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228989
(P2004-228989A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl.⁷
H03F 3/60

F I
H03F 3/60

テーマコード(参考)
5J067

審査請求 未請求 請求項の数 23 O L (全 23 頁)

(21) 出願番号	特願2003-15055 (P2003-15055)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成15年1月23日(2003.1.23)	(74) 代理人	100080001 弁理士 筒井 大和
		(72) 発明者	藤岡 徹 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
		(72) 発明者	清水 敏彦 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
		(72) 発明者	吉田 功 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

最終頁に続く

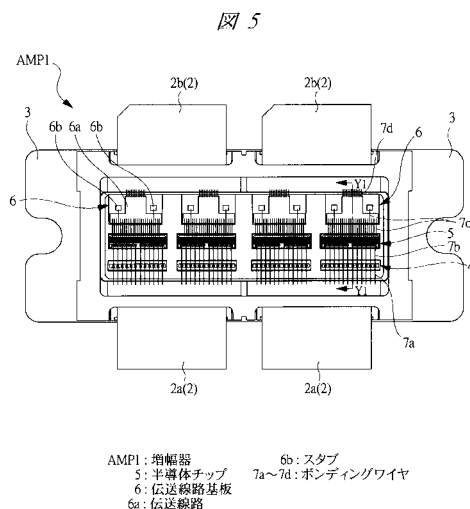
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 基地局に用いる増幅用の半導体装置の性能を向上させる。

【解決手段】 携帯電話等のような移動体通信機器の基地局に用いる増幅器AMP1のパッケージに、増幅用の半導体チップ5と伝送線路基板6とを備え、前記増幅用の半導体チップ5の出力に、伝送線路基板6の空き領域に形成されたスタブ6bをボンディングワイヤ7cにより接続する。このスタブ6bとボンディングワイヤ7cとは、増幅用の半導体チップ5の出力信号の基本周波数の2倍で共振する共振回路を形成するように設計されている。これにより、増幅用の半導体チップ5から出力された信号の2倍波の信号を抑えることができるので、増幅器AMP1の伝送効率の向上と伝送歪みの低減とを実現することができる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

入力部および出力部を有する半導体能動素子と、
伝送線路基板と、
前記半導体能動素子の前記出力部に第 1 導体線を介して電氣的に接続された、前記伝送線路基板上の伝送線路と、
前記半導体能動素子の前記出力部に第 2 導体線を介して電氣的に接続された、前記伝送線路基板上のスタブとを有し、
前記伝送線路は、前記半導体能動素子に近い側の幅が遠い側よりも広く形成され、
前記第 2 導体線とスタブとは、前記半導体能動素子の出力信号の基本周波数の 2 倍で共振する回路を形成することを特徴とする半導体装置。 10

【請求項 2】

請求項 1 記載の半導体装置において、前記半導体能動素子の出力インピーダンスが、2 以下であることを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、前記伝送線路は、前記半導体能動素子の出力に近い側が幅広の凸形状であることを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、前記半導体装置は携帯電話基地局用増幅装置に用いることを特徴とする半導体装置。 20

【請求項 5】

請求項 3 記載の半導体装置において、前記スタブは前記伝送線路基板の前記伝送線路が形成された面内の前記伝送線路が無い空き領域に形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、前記伝送線路基板の前記伝送線路が形成された面とは反対側の面に導体膜が設けられ、前記導体膜は基準電位に設定されることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、前記伝送線路基板はセラミック基板をベース基板として有することを特徴とする半導体装置。 30

【請求項 8】

請求項 6 記載の半導体装置において、前記伝送線路基板は、誘電体からなるベース基板と、前記ベース基板に形成された導体膜とを有し、前記誘電体の比誘電率は 20 よりも高いことを特徴とする半導体装置。

【請求項 9】

請求項 5 記載の半導体装置において、前記半導体能動素子はソース、ゲートおよびドレインを有する電界効果トランジスタを有し、前記半導体能動素子の出力が前記電界効果トランジスタのドレインであることを特徴とする半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、前記電界効果トランジスタは L D M O S であることを特徴とする半導体装置。 40

【請求項 11】

請求項 9 記載の半導体装置において、前記電界効果トランジスタの総ゲート幅が 20 m m またはそれ以上であることを特徴とする半導体装置。

【請求項 12】

請求項 5 記載の半導体装置において、前記スタブは長方形を有し、前記スタブの長辺長は、前記出力信号の基本周波数の 1 / 4 よりも小さいことを特徴とする半導体装置。

【請求項 13】

請求項 5 記載の半導体装置において、前記第 2 導体線はボンディングワイヤであることを 50

特徴とする半導体装置。

【請求項 14】

請求項 5 記載の半導体装置において、前記第 2 導体線は前記伝送線路基板上に形成された配線パターンであることを特徴とする半導体装置。

【請求項 15】

入力部および出力部を有する半導体能動素子と、
伝送線路基板と、

前記半導体能動素子の前記出力部に第 1 導体線を介して電氣的に接続された、前記伝送線路基板上の伝送線路と、

前記半導体能動素子の前記出力部に第 2 導体線を介して電氣的に接続された、前記伝送線路基板上のスタブとを有し、

前記伝送線路は、前記半導体能動素子に近い側の幅が遠い側よりも広い凸型形状を有し、前記第 2 導体線とスタブとは、前記半導体能動素子の出力信号の基本周波数の 2 倍で共振する回路を形成することを特徴とする半導体装置。

【請求項 16】

(a) 入力用のリード、

(b) 前記入力用のリードに導体線を通じて電氣的に接続された容量素子、

(c) 前記容量素子に導体線を通じて電氣的に接続された増幅素子、

(d) 前記増幅素子の出力に第 1 導体線を通じて電氣的に接続され、前記増幅素子に近い側の幅が遠い側よりも広く形成された凸形状の伝送線路と、前記増幅素子の出力にボンディングワイヤからなる第 2 導体線を通じて電氣的に接続されたスタブとを有する伝送線路基板、

(e) 前記伝送線路に導体線を通じて電氣的に接続された出力用のリード、を同一パッケージに備え、

前記スタブは前記伝送線路基板の前記伝送線路が形成された面内の前記伝送線路の無い空き領域に形成され、

前記伝送線路基板は、比誘電率が 20 より高いセラミックからなるベース基板と、前記ベース基板に形成された導体膜とを有しており、前記伝送線路基板の前記伝送線路が形成された面とは反対側の面に設けられた導体膜には基準電位が印加される構成を有し、

前記第 2 導体線とスタブとは、前記増幅素子の出力信号の基本周波数の 2 倍で共振する回路を形成することを特徴とする半導体装置。

【請求項 17】

請求項 16 記載の半導体装置において、前記半導体装置は携帯電話基地局用増幅装置に用いることを特徴とする半導体装置。

【請求項 18】

(a) 半導体能動素子、

(b) 伝送線路基板、

(c) 前記伝送線路基板に形成され、第 1、第 2 部分を有する伝送線路、

(d) 前記半導体能動素子の出力部と接続され、かつ、前記伝送線路の前記第 1 部分に接続されて前記半導体能動素子と伝送線路とを電氣的に接続する第 1 導体線、

(e) 前記伝送線路基板に形成されたスタブ、

(f) 前記半導体能動素子の出力部と接続され、かつ、前記スタブに接続されて前記半導体能動素子とスタブとを電氣的に接続する第 2 導体線、を同一パッケージに備え、

前記第 2 導体線とスタブとは、前記半導体能動素子の出力信号の基本周波数の 2 倍で共振する回路を形成することを特徴とする半導体装置。

【請求項 19】

請求項 18 記載の半導体装置において、前記半導体装置は携帯電話基地局用増幅装置に用いることを特徴とする半導体装置。

【請求項 20】

請求項 18 記載の半導体装置において、前記伝送線路の第 1 部分のインピーダンスが、前

記伝送線路の第2部分のインピーダンスよりも低いことを特徴とする半導体装置。

【請求項21】

請求項18記載の半導体装置において、前記半導体能動素子が電界効果トランジスタであり、前記半導体能動素子の出力が電界効果トランジスタのドレインであり、前記電界効果トランジスタの総ゲート幅が20mmまたはそれ以上であることを特徴とする半導体装置。

【請求項22】

請求項18記載の半導体装置において、前記伝送線路は、前記半導体能動素子の出力に相対的に近い前記第1部分の幅が、前記半導体能動素子の出力から相対的に遠い前記第2部分の幅よりも広い、平面凸形状に形成されていることを特徴とする半導体装置。

10

【請求項23】

入力部および出力部を有する半導体能動素子と、
伝送線路基板と、
前記半導体能動素子の前記出力部に第1導体線を介して電気的に接続された、前記伝送線路基板上の伝送線路と、
前記半導体能動素子の前記出力部に第2導体線を介して電気的に接続された、前記伝送線路基板上の導体片とを有し、
前記伝送線路は、前記半導体能動素子に近い側の幅が遠い側よりも広い凸型形状を有し、
前記導体片は前記伝送線路基板の前記伝送線路が形成された面内の前記伝送線路が無い空き領域に形成されていることを特徴とする半導体装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置技術に関し、特に、基地局用の高出力電力増幅器に適用して有効な技術に関するものである。

【0002】

【従来の技術】

携帯電話等のような移動体通信機器の基地局に用いる高出力電力増幅器では、音声、文字、静止画のデータだけでなく動画等のような大容量の情報を高速で送受信することを目的とし、大量のデータを高速処理する必要があるため、高出力電力増幅器の性能の向上が進められている。この高出力電力増幅器の能動素子の性能を引き出すためにパッケージ内に内部整合回路を有しているものがある。この内部整合回路には、低損失な伝送線路を用いた整合方法が広く普及されている。すなわち、パッケージ内の増幅素子の出力とパッケージの出力端子との間に介在された伝送線路に、伝送線路としての機能の他に整合回路としての機能を持たせるようにしている。

30

【0003】

なお、例えば特開平8-130424号公報には、高効率電力増幅回路のトランジスタ素子近傍のインピーダンスを低下させずに、第2、3次高調波を制御して効率の向上を図るべく、トランジスタ素子の出力に、基本波の波長に対して $\lambda/4$ の長さの整合線路を介して、第2次高調波の直列共振回路および第3次高調波の直列共振回路をそれぞれ接続する構成が開示されている（例えば特許文献1）。

40

【0004】

また、例えば特開平11-145744号公報には、2倍波処理用のキャパシタと、基本波整合用のキャパシタとを有するマイクロ波増幅器において、その2倍波処理用のキャパシタと基本波整合用のキャパシタとの配置が競合するために起こる整合条件の制約を解消すべく、半導体素子の出力端子と、出力取り出し線路との間の誘電体基板上に、基本波整合用のくしは状のキャパシタをそのくしが半導体素子側に向くような状態で配置し、そのくしはの間隙に2倍波処理用のキャパシタを設ける構成が開示されている（例えば特許文献2）。

【0005】

50

また、例えば特開 2001-111364 号公報には、高出力特性で歪み成分の少ないマイクロ波出力信号を得るために、増幅素子とパッケージ出力端子との間に、インダクタンスとして機能するボンディングワイヤの一端を増幅素子のドレインに接続し、その他端をキャパシタに直列接続した状態で介在させ、そのボンディングワイヤとキャパシタとで、複数のキャリア周波数間の差分周波数を無くするような直列共振回路を構成することが開示されている（例えば特許文献 3）。

【0006】

また、例えば特開平 5-226951 号公報には、高周波用トランジスタの内部整合回路において、トランジスタの出力端子に、使用周波数の 2 倍波の 1/4 波長のオープンスタブ（マイクロストリップ線路）を接続する場合、オープンスタブの物理長が大きくなり、マイクロストリップ線路の実装面積が増大するのを解決すべく、トランジスタのドレインに接続されるコンデンサ部を形成する高誘電率基板に、2 倍波の 1/4 波長よりやや短いオープンスタブを形成する構成が開示されている（例えば特許文献 4）。

10

【0007】

また、例えば特開平 9-260975 号公報には、使用周波数帯を変えたい場合にオープンスタブの形状やそれに合わせて基板の変更が必要であったり、共振器を変えなければならなかったりする煩わしさを無くすために、トランジスタの出力に接続されている凸状の RF ストリップラインが形成された基板に、その RF ストリップラインの両側に複数の分割されたオープンスタブを配置し、RF ストリップラインとオープンスタブとの間およびその複数のオープンスタブ同士をボンディングワイヤで接続する仕方で、所望の中心周波数を得る構成が開示されている（例えば特許文献 5）。

20

【0008】

また、例えば特開平 7-263979 号公報には、トランジスタの出力側に伝送線路を介して 2 倍波または 3 倍波直列共振回路を出力負荷と並列に接続する構成が開示されている（例えば特許文献 6）。

【0009】

【特許文献 1】

特開平 8-130424 号公報

【0010】

【特許文献 2】

特開平 11-145744 号公報

30

【0011】

【特許文献 3】

特開 2001-111364 号公報

【0012】

【特許文献 4】

特開平 5-226951 号公報

【0013】

【特許文献 5】

特開平 9-260975 号公報

40

【0014】

【特許文献 6】

特開平 7-263979 号公報

【0015】

【発明が解決しようとする課題】

ところが、如何にして小型で高性能（信号の伝送効率が高く歪みが少ない）な高出力電力増幅器を実現するかが重要な課題となっている。

【0016】

本発明の目的は、主に基地局に用いる増幅用の半導体装置の性能を向上させることのできる技術を提供することにある。

50

【 0 0 1 7 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 8 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 9 】

すなわち、本発明は、基地局に用いる増幅用の半導体装置を構成するパッケージに半導体能動素子と伝送線路基板とを備え、前記半導体能動素子の出力に、伝送線路基板の空き領域に形成されたスタブを導体線により接続して、上記半導体能動素子の出力信号の基本周波数の2倍で共振する共振回路を接続する構成を有するものである。

10

【 0 0 2 0 】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

20

30

【 0 0 2 1 】

（実施の形態1）

図1は本発明者が検討した基地局用の増幅器AMP50のパッケージの説明図、図2は図1の領域CA内の要部拡大平面図である。増幅器AMP50のパッケージは、パッケージの一方の長辺から突出する2つの入力リード50aと、パッケージの他方の長辺から突出する2つの出力リード50bとを有している。この入力リード50aおよび出力リード50bの対の各々には、2系統の同一信号を増幅する経路が並列に配置されている。すなわち、パッケージ内には、合計4つの増幅経路が収められている。各々の増幅経路には、上記入力リード50aから出力リード50bに向かって、MOS（Metal Oxide Semiconductor）キャパシタ51と、MOS・FET（Metal Oxide Semiconductor Field Effect Transistor）52と、伝送線路基板53とが配置されている。そして、入力リード50aは、ボンディングワイヤ54aを通じてMOSキャパシタ51と電氣的に接続され、MOSキャパシタ51はボンディングワイヤ54bを通じてMOS・FET52のゲート電極と電氣的に接続され、MOS・FET52のドレイン電極はボンディングワイヤ54cを通じて伝送線路基板53の伝送線路53aと電氣的に接続され、さらに伝送線路53aはボンディングワイヤ54dを通じて出力リード50bと電氣的に接続されている。上記MOS・FET52は、増幅素子としての機能を有している。MOS・FET52としては、例えばLD（Laterally Diffused）MOS・FETが使用されており、高出力（数百V）を可能とするために総ゲート幅が、例えば12.9cmというように大きな

40

50

ものが使用されている。この低インピーダンスなMOS・FET52から低損失で出力を取り出す(すなわち、デバイスの性能を引き出す)ために、MOS・FET52の入出力に内部整合回路が接続されている。この内部整合回路は、上記パッケージ内に収められた上記MOSキャパシタ51、伝送線路53aおよびボンディングワイヤ54a~54dにより構成されている。ボンディングワイヤ54a~54dは、コイルと等価になって内部整合回路素子の役割を果たしている。伝送線路53aの形状は、MOS・FET52に近い側の幅が、出力リード50b側の幅に比べて広い、平面凸状の形状に形成されている。このようなパッケージ内には新たに回路素子を実装する領域が殆ど残されていない。

【0022】

図3は上記図1の領域CAの等価回路を示している。符号のMC51は入力内部整合回路を示し、符号のMC52は出力内部整合回路を示している。この入力内部整合回路MC51および出力内部整合回路MC52によりMOS・FET52の性能が引き出されている。特に、出力内部整合回路MC52の伝送線路53aは、低損失なため、高出力、高利得を可能にしている。低損失な伝送線路基板53としては、例えば誘電率が3.8のセラミック基板が使用されている。なお、このような内部整合回路型MOS・FET装置については、例えば、M. Morikawa et al. "High Efficient 2.2-GHz Si Power MOSFETs for Cellular Base Station Applications", Proc of 1999 RAWCON, p. 405, Aug. 1999やK. Inoue et al., "A High Efficiency High Power GaAs Push-Pull FET for W-CDMA Base Stations", Proc. Of 2001 International Symposium on Power Semiconductor Devices & ICs, Osakaに記載されている。

【0023】

しかし、上記のような増幅器では、高調波を制御していないため、高効率で低歪みの信号伝送を行うことが困難である。特に、近年は、高出力要求に伴い増幅素子のゲート幅や飽和電流の増大等により出力インピーダンスが低くなる傾向にあるため、インピーダンス変換が困難になり、増幅素子の特性を上手く引き出し難くなっている。

【0024】

そこで、本実施の形態においては、高調波制御を取り入れることで高効率で低歪みの信号伝送が可能な増幅器を実現するものである。また、その高調波制御のために伝送路基板の空き領域を上手く利用することで、パッケージのサイズの増大を招くことなく、性能の高い増幅器を実現するものである。

【0025】

次に、本実施の形態の半導体装置を具体例を挙げて説明する。

【0026】

図4は、本実施の形態の半導体装置を用いた基地局装置1の一例の説明図である。基地局装置1は、例えば2.14GHz帯W-CDMA(Wideband Code Division Multiple Access)用基地局装置であり、携帯電話等のような移動体通信機器による無線信号を処理するデジタル移動通信システムを構成する装置である。この基地局装置1は、音声処理装置SPE、基地局変復調装置MDE、基地局増幅装置AMP、基地局アンテナANTおよび基地局制御装置BCEを有している。音声処理装置SPEは音声信号をデジタル符号列に変換する機能を有し、基地局変復調装置MDEはベースバンド信号を高調波信号に変換する機能を有し、基地局増幅装置AMPは送受信信号を所望のレベルまで増幅するための機能を有し、基地局アンテナANTは基地局増幅装置AMPで増幅された信号を無線信号として送信する機能を有し、基地局制御装置BCEは無線チャンネルの割り当てや隣接基地局とチャンネル切り換えを行う機能を有している。本実施の形態の半導体装置は、上記基地局増幅装置AMPを構成する高出力電力増幅器AMP1(以下、単に増幅器AMP1という)として使用されている。

【0027】

図5は本実施の形態の増幅器AMP1のパッケージの説明図、図6は図5のY1-Y1線の断面図である。信号の基本周波数は、例えば2.14GHzである。増幅器AMP1の出力は、例えば250W程度の高出力を得ることが可能となっている。増幅器AMP1のパッケージ内には、後述するように高周波特性を損なわないために総ゲート幅の大きな増幅素子とともに、外部回路とのインピーダンス整合をとるための内部整合回路が内蔵されている。この増幅器AMP1のパッケージは、パッケージの両方の長辺の各々から2本ずつ突出するリード2と、パッケージの両方の短辺の各々から1本ずつ突出するステム3とを有するフラットパッケージ構造とされている。増幅器AMP1のパッケージの一方の長辺から突出する2本のリード2aは入力用のゲートリードであり、パッケージの他方の長辺から突出する2本のリード2bは出力用のドレインリードである。出力用のリード2bの一部は出力用であることが分かるように切り欠かれている。ステム3は、例えば放熱性の高い金属からなり増幅器AMP1の動作時に発生した熱を外部に放散する機能を有する他、基地局装置1への増幅器AMP1の機械的な取り付けを可能とするための機能を備えている。ステム3は一枚の板状のパーツからなり、その長手方向の両端が増幅器AMP1の両方の短辺から突出されている。なお、リード2(2a, 2b)とステム3とは絶縁されている。

10

【0028】

上記入出力用のリード2a, 2bの対の各々には、2系統の同一信号を増幅する経路が並列に配置されている。すなわち、増幅器AMP1のパッケージ内には、合計4つの増幅経路がコンパクトに収められている。各々の増幅経路には、上記入力用のリード2aから出力用のリード2bに向かって、容量素子用の半導体チップ(以下、単に容量チップという)4と、増幅素子(半導体能動素子)用の半導体チップ(以下、単に増幅チップという)5と、伝送線路基板6とが近接配置されている。そして、入力用のリード2aは、ボンディングワイヤ(以下、単にワイヤという)7aを通じて容量チップ4と電気的に接続され、容量チップ4はワイヤ7bを通じて増幅チップ5のゲート電極と電気的に接続され、増幅チップ5のドレイン電極はワイヤ7cを通じて伝送線路基板6の伝送線路6aおよびスタブ(導体片)6bと電気的に接続され、さらに伝送線路6aはワイヤ7dを通じて出力用のリード2bと電気的に接続されている。増幅器AMP1の動作は、例えばプッシュプル動作型を採用しており、インピーダンス変換比が抑えられるため広帯域化が図れる上、偶数次の非線形成分をうち消す作用を有している。

20

30

増幅器AMP1の動作を説明すると、入力用のリード2aに入力された高周波信号は、ワイヤ7aを通じて容量チップ4に伝送され、容量チップ4からワイヤ7bを通じて増幅チップ5に入力部(ゲートパッド)に入力され、増幅チップ5で増幅され、増幅チップ5の出力部(ドレインパッド)からワイヤ7cを通じて伝送線路基板6に伝送され、伝送線路基板6を介してワイヤ7dを通じて出力用のリード2dに伝送され出力される。

【0029】

上記容量チップ4は、例えば複数のMOS(Metal Oxide Semiconductor)キャパシタを有しており、その総容量は、例えば150pF程度である。上記増幅チップ5は、例えばLDMOS・FET(Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor; 以下、単にLDMOSという)型の複数のパワーMOS・FETを有しており、高い線形性を持ち、高出力で高効率の性能を有している。増幅チップ5の耐圧は、例えば80V程度、しきい値 V_{th} は、例えば2.5V程度である。また、増幅チップ5の総ゲート幅(上記複数のパワーMOS・FETのドレイン電流の方向に対してほぼ直交する方向の長さの総和)は、高出力(数百V)を可能とするために、例えば13.0cm程度と大きなものが使用されている。この総ゲート幅は13.0cmに限定されるものではなく、例えば20mmまたはそれ以上、好ましくは10cmまたはそれ以上あるいは11cmまたはそれ以上である。また、増幅チップ5の出力インピーダンスは、例えば0.3程度と低くなっている。増幅チップ5の出力インピーダンスは、0.3に

40

50

限定されるものではなく、例えば2以下、好ましくは1以下である。また、増幅チップ5の動作時のゲート電圧は、例えば2.9V程度である。また、増幅チップ5の動作時の電源(ドレイン)電圧は、例えば2.8V程度と大きく、高出力が可能となっている。また、増幅チップ5の平面寸法は、長手方向寸法が、例えば5mm程度、短手方向寸法が、例えば1.5mm程度である。

LDMOSの構成例は後ほど詳細に説明する。上記伝送線路基板6は、小型低損失を実現するために、例えば比誘電率が3.8程度のセラミック基板(誘電体)をベース基板として有している。本発明者の検討によれば伝送線路基板6のセラミック基板の比誘電率は2.0よりも高いことが好ましい。伝送線路基板6の同一主面には伝送線路6aおよびスタブ6bが形成されている。また、伝送線路基板6の裏面にはほぼ全域に導体膜が形成されている。その伝送線路基板6の裏面の導体膜はステム3と電気的に接続されており、例えば零(0)Vの基準電位(接地電位)に設定される。伝送線路基板6の平面長手方向寸法は、例えば4.8mm程度、平面短方向寸法は、例えば3.6mm程度、断面厚さは、例えば0.127mm程度である。上記伝送線路6aおよびスタブ6bについては後ほど詳細に説明する。

10

20

30

40

50

【0030】

上記容量チップ4、伝送線路基板6およびワイヤ7a~7dは、上記内部整合回路としての機能を有している。基本波の整合は、効率、歪み、出力のバランスが最適となるようにインピーダンス変換されている。このような内部整合回路を有することにより、低インピーダンスな増幅チップ5から低損失で出力を取り出す、すなわち、デバイスの性能を引き出すことが可能となっている。ワイヤ7a~7dは、例えば直径が50 μ m程度のアルミニウム等からなり、コイル素子と等価になって内部整合回路素子の役割を果たしている。ワイヤ7a~7d部でのインダクタンスは、その本数、接続位置、長さおよびループ高さ等により調整されている。通常、帯域内の出力、効率、利得あるいは歪み等の周波数特性改善のために回路の周波数特性の広帯域化が図れるようにワイヤ7a~7dのインダクタンスは設計されている。ワイヤ7a~7dのうち、低インピーダンス側である増幅チップ5と伝送線路6aとの接続に用いられるワイヤ7cは、高周波特性(パワー、効率、利得、歪み等)に対して感度が高い。また、ドレインには大電流が流れるため、ワイヤ7cの抵抗成分による電圧ドロップを防がなくてはならない。このため、ワイヤ7cのインダクタンスは小さい値が望ましく、本実施の形態では各増幅経路毎のワイヤ7cの本数を、例えば24本程度としている。

【0031】

次に、上記増幅チップ5の一例を説明する。図7は、上記増幅チップ5の要部断面図を示している。例えば1~10cm程度の比抵抗を有するp⁺型のシリコン(Si)単結晶からなる半導体基板(以下、基板という)11上に、p⁻型の半導体層(エピタキシャルシリコン層)12がエピタキシャル法などにより形成されている。半導体層12には、p型ウエル領域13が、例えばホウ素(B)などの不純物をイオン注入することなどにより形成されている。基板11の主面(すなわち半導体層12の主面)には、nチャネル型のLDMOS14a, 14bが形成されている。LDMOS14a, 14bのゲート絶縁膜15は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成されている。

LDMOS14a, 14bのゲート電極(入力電極)16は、例えば基板11の主面上に形成された多結晶シリコン膜および金属シリサイド層(例えばチタンシリサイド層またはコバルトシリサイド層)をフォトリソグラフィ法およびエッチング法によりパターンニングすることにより形成されている。LDMOS14a, 14bのソース領域としてのn⁺型半導体領域(n⁺型拡散層)17は、p型ウエル領域13に形成されている。LDMOS14a, 14bのドレイン領域は、互いに共通であり、LDMOS14a, 14bの各々のゲート電極16, 16の間に形成され、n⁻型半導体領域(n⁻型拡散層)18とそれより不純物濃度が高いn⁺型半導体領域(n⁺型拡散層)19とを有するLDD(Lightly Doped Drain)構造を有している。n⁺型半導体領域17、n⁻型

半導体領域 18 および n^+ 型半導体領域 19 は、それぞれリン (P) などの不純物をイオン注入することなどにより形成されている。また、p 型ウエル領域 13 には、 p^+ 型半導体領域 (p^+ 型不純物拡散層) 20 が、例えばホウ素 (B) などの不純物をイオン注入することなどにより形成されている。 p^+ 型半導体領域 20 の下方、すなわち p^+ 型半導体領域 20 と基板 11 との間には、 p^{++} 型半導体領域 (p^{++} 型打ち抜き領域または p^{++} 型不純物拡散層) 21 が、例えばホウ素 (B) などの不純物をイオン注入することなどにより形成されている。基板 11 の主面上には、ゲート電極 16 を覆うように、例えば酸化シリコン膜などからなる絶縁膜 22 が形成されている。

絶縁膜 22 には、 n^+ 型半導体領域 17、 n^+ 型半導体領域 19 または p^+ 型半導体領域 20 を露出するコンタクトホール 23 が形成されている。コンタクトホール 23 には、例えばバリア膜とタングステン膜とからなるプラグ 24 が埋め込まれている。絶縁膜 22 上には、プラグ 24 を介して n^+ 型半導体領域 17 および p^+ 型半導体領域 20 に電氣的に接続するソース電極 (ソース配線電極または接地電極) 25 と、プラグ 24 を介して n^+ 型半導体領域 19 に電氣的に接続するドレイン電極 (ドレイン配線電極または出力電極) 26 とが形成されている。ソース電極 25 およびドレイン電極 26 は、例えば、絶縁膜 22 上に形成したアルミニウム合金膜などをフォトリソグラフィ法およびエッチング法によりパターニングすることにより形成することができる。ソース電極 25 およびドレイン電極 26 は、バリア膜とアルミニウム合金膜との積層膜により形成することもできる。絶縁膜 22 上には、ソース電極 25 およびドレイン電極 26 を覆うように絶縁膜 27 が形成されている。なお、絶縁膜 27 上には必要に応じて他の配線層や層間絶縁膜などが形成され得るが、理解を簡単にするために、ここでは図示およびその説明を省略する。基板 11 の裏面 (主面と反対側の面) 上には、例えば金属層などからなる導体層 (裏面電極) 28 が形成されている。このため、ソース電極 25 は、プラグ 24、 p^+ 型半導体領域 20、 p^{++} 型半導体領域 21 および半導体基板 11 を介して、導体層 28 に電氣的に接続されている。図 7 に示された部分は繰り返しの最小単位であり、図 7 の構造が必要に応じて繰り返されて全体として 1 つの増幅素子が形成されている。すなわち、単位増幅素子 (単位半導体素子)、ここでは単位 MOS・FET (LD MOS 14 a または LD MOS 14 b) が複数個並列に接続されて、1 つの増幅素子が構成されている。

【0032】

次に、図 8 は図 5 の一つの増幅経路中の増幅チップ 5 および伝送線路基板 6 を抜き出して示した要部拡大平面図、図 9 は伝送線路基板 6 の斜視図、図 10 は本実施の形態の増幅器 AMP 1 の一増幅経路の等価回路を示している。

【0033】

増幅チップ 5 は、その平面形状が、図 8 の上下方向に長く、図 8 の左右方向に短い長方形形状に形成されている。増幅チップ 5 の主面には、複数のゲートパッド (入力部) GPD と、1 つのドレインパッド (出力部) DPD とが配置されている。ゲートパッド GPD は、増幅チップ 5 の入力端子であり、増幅チップ 5 の一方の長辺に沿って並んで配置されている。このゲートパッド GPD には、上記ワイヤ 7b (図 5 および図 6 参照) が直接接合され、これを通じて容量チップ 4 および入力用のリード 2a が電氣的に接続される。ドレインパッド DPD は、増幅チップ 5 の出力端子であり、増幅チップ 5 の他方の長辺に沿ってその端から端まで延在した状態で形成されている。このドレインパッド DPD には複数のワイヤ 7c が直接接合されている。ドレインパッド DPD は、並列配置された複数のワイヤ (第 1 導体線) 7c1 (7c) を通じて伝送線路基板 6 上の伝送線路 6a と電氣的に接続されている。また、ドレインパッド DPD は、ワイヤ (第 2 導体線) 7c2 (7c) を通じて伝送線路基板 6 上のスタブ 6b と電氣的に接続されている。上記のようにドレインパッド DPD の平面形状を増幅チップ 5 の長辺に沿って延在させる形状としたことにより、ドレインパッド DPD に対するワイヤ 7c (7c1, 7c2) の接合位置の自由度を向上させることができ、ワイヤ 7c (7c1, 7c2) の接続位置や隣接間隔の調整を容易にすることができる。なお、増幅チップ 5 の裏面 (増幅チップ 5 の主面とは反対側の面) ソースはステム 3 と電氣的に接続されている。

【0034】

伝送線路基板6の主面には、上記伝送線路6aおよびスタブ6bが配置され、伝送線路基板6の裏面(伝送線路基板6の主面の反対側の面)の全域には導体膜6c(図9参照)が形成されている。この導体膜6cは、上記ステム3と電氣的に接続され、例えば零(0)Vの基準電位(接地電位)に設定される。伝送線路6aは、例えば金(Au)等のような金属膜からなり、上記のように内部整合回路としての機能を有している。内部整合回路としての機能を有する伝送線路6aを増幅チップ5の直近に配置し、増幅チップ5のドレインパッドDPDと伝送線路6aとを複数のワイヤ7c1で直接的に接続することにより、伝送信号の損失を低減できる。この伝送線路6aは、その平面形状が、例えば凸状(またはT字状)に形成されている。すなわち、伝送線路6aは、線幅の異なる伝送線路が結合した構成であり、増幅チップ5側が幅広で、リード2b側が幅が狭い形状とされている。伝送線路6aを平面凸状としたのは、基本波の整合を広帯域とするためである。すなわち、増幅チップ5の出力のインピーダンスは、例えば0.3と低いのに対して、増幅器AMP1の出力用のリード2bのインピーダンスは、例えば5程度にする必要があるからで、整合回路の周波数帯域を確保するために、増幅チップ5側の伝送線路6aの線幅を広くして低い特性インピーダンスの線路にし、増幅チップ5から離間する方向に向かって途中より伝送線路6aの線幅を細くして特性インピーダンスを上げるようにするためである。すなわち、本実施の形態の増幅器AMP1では、低インピーダンスの増幅チップ5のインピーダンス変換において有利な構成とされている。ただし、伝送線路6aの平面形状は上記の趣旨を満たしていれば良くこれに限定されるものではなく種々変更可能であり、例えば伝送線路6aの幅が増幅チップ5側から出力用のリード2bに向かって次第に細くなるようなテーパ状のパターンとしても良い。伝送線路6aの平面長手方向寸法L1は、例えば4.7mm程度、平面短方向寸法L2は、例えば3.4mm程度である。この伝送線路6aは、その幅広部が、増幅チップ5のドレインパッドDPDに沿うように配置されている。これにより、増幅チップ5側の伝送線路6aの幅が広い方が損失が少なく済むからである。増幅チップ5のドレインパッドDPDに接合されたワイヤ7c1は、伝送線路6aの幅広部に接合されている。伝送線路6aの幅の狭い部分には複数の上記ワイヤ7dが接続されている。伝送信号の基本波のインピーダンスは、伝送線路6aとそれに接続されたワイヤ7c1,7dにより、伝送効率、パワー、歪み等のような高周波特性が良好となるようなインピーダンスに変換されるようになっている。

10

20

30

【0035】

本実施の形態では、伝送線路基板6の主面に2個のスタブ(オープンスタブ)6bが配置されている。スタブ6bは、例えば上記伝送線路6aと同一の金等のような金属膜からなり、高周波信号に対して接地された容量と等価的に機能する(図10参照)。すなわち、伝送線路基板6の主面のスタブ6bと伝送線路基板6の裏面の導体膜6cとを容量電極とし、スタブ6bと導体膜6cとの間の伝送線路基板6(セラミック基板)を容量絶縁膜として有する容量として機能する。スタブ6bには、増幅チップ5のドレインパッドDPDに接合されたワイヤ7c2が接合されている。ワイヤ7c2は、高周波信号に対してコイルと等価的に機能する。従って、増幅チップ5の出力と接地電位との間には、ワイヤ7c2で形成されたコイルと、スタブ6bで形成された容量とが直列に接続された状態とされている(図10参照)。スタブ6bおよびワイヤ7c2は、上記高調波、特に2倍波(2次高調波)を制御(抑制または除去)するように設計されている。すなわち、このワイヤ7c2のインダクタンス値と、スタブ6bの容量値とは、2倍波の周波数(ここでは基本波の波長が2.14GHzなので、2倍波は4.28GHz)に直列共振するが、基本波に対しては開放となるように設計されている。具体的には、スタブ6bとワイヤ7c2とを有する直列共振回路が2倍波で短絡するようにスタブ6bのサイズ、ワイヤ7c2の長さ(ループ)等が調整されている。このようにワイヤ7c2とスタブ6bとは2倍波の周波数で共振するため、増幅チップ5のドレインパッドDPDの2倍波におけるインピーダンスをほぼ短絡状態にすることができる。トランジスタが損失を発生する理由は、電流が流れている間に電圧がかかってし

40

50

まうからである。この損失を少なくするために、電圧の波形を矩形に近づけると高効率化が可能となる。F級の増幅器では理論的には効率100%が可能である。この電圧波形を矩形にするには、偶数次の高調波を短絡し、奇数次の高調波を開放にすれば良い。しかし、高調波の全てを制御するのは困難なので、本実施の形態では実質的に効果のある2倍波を短絡する(高次の高調波ほど効果が少ない)。これにより、増幅器AMP1の効率を向上させることができる。このため、増幅器AMP1の消費電力を低減できる。また、増幅チップ5のLD MOSは非線形で動作するため大きな信号が出力される。このため、増幅チップ5の出力には高次の高調波(歪み成分)が出力されるのは避けられない。特に増幅チップ5から出力される2倍波(2次高調波)は上記出力内部整合回路で反射し、再び増幅チップ5側に注入され、基本波成分とミキシングされることで、3次相互変調歪み成分として新たに加わり、さらなる歪み増大の原因となっている。本実施の形態では、上記ワイヤ7c2とスタブ6bの高調波制御回路を設けることで、増幅チップ5から出力された2倍波が再び増幅チップ5側に戻らないようにすることができるので、伝送信号の歪みを低減することが可能である。特に本実施の形態では、スタブ6bとワイヤ7c2とを有する直列共振回路を増幅チップ5のドレインパッドDPDに直接的に接続しているため、2倍波の抑制効果を得やすい。一般に増幅器を高効率で動作させた場合は、出力信号の歪みが大きくなるという問題があるが、本実施の形態1では、上記のような構成にすることにより、高効率で低歪みの増幅器AMP1を実現することができる。また、W-CDMA方式で厳しい仕様となっている隣接チャネル漏洩電力も、相互変調歪と同様の作用により低減できる。さらに、ワイヤ7c2とスタブ6bとは基本波に対しては開放状態となるような定数(すなわち、基本波におけるインピーダンスが大きくなるような値)に設定するため、基本波の整合回路へ殆ど影響を与えない。すなわち、スタブ6bとワイヤ7c2とを有する直列共振回路の定数は基本波に影響ない値に設定可能なため、増幅器AMP1の基本波におけるインピーダンスが低下するといった問題も生じない。したがって、図1~図3で説明したような増幅回路と同様の設計ができ、スタブ6bおよびワイヤ7c2の2倍調波制御回路を設けたからといって設計が難しくなるということもない。しかも、スタブ6bは、伝送線路基板6の主面の伝送線路6aの無い空き領域に配置されている上、スタブ6bで形成される容量の容量絶縁膜が伝送線路基板6の高誘電率なセラミック基板で形成されており小さなスタブ6bで所望の容量を実現できるので、スタブ6bを設けたからといって伝送線路基板6の平面サイズが増大することも無く、増幅器AMP1の全体平面サイズが増大することもない。ここで直列共振回路に要求される共振周波数が低いとスタブ6bで形成される容量に要求される値が非常に大きくなり、伝送線路基板6にスタブ6bによる容量を形成すると特性インピーダンスが低くなりすぎて整合用エレメントとして上手く機能しない場合があるので伝送線路6aとスタブ6bとを同一伝送線路基板6に形成することが困難になる場合があるが、本実施の形態では共振周波数を2倍波(伝送信号の基本波の周波数の2倍)としているので、同一伝送線路基板6に伝送線路6aとスタブ6bとを設けることができる。また、伝送線路基板6のサイズの変更も無く既存のパッケージに実装可能な上、部品点数が増えることもないので、増幅器AMP1のコストが高くなることも無い。また、伝送線路基板6のサイズの変更が無いので既存の組立工程におけるボンディングの変更のみで対応でき、新たな組立機構や組立シーケンスを導入する必要もないため実現性が高い。また、2つのスタブ6bは、図8で伝送線路6aの幅の狭い部分の上下に対称となるように配置されている。2つのスタブ6bを対称に配置することで設計を容易にでき、特性的なバランスを向上できる。ただし、2つのスタブ6bを非対称に配置しても良い。また、スタブ6bを1つだけ配置しても良い。スタブ6bの平面寸法(ここでは相対的に長い方の寸法)は、伝送信号の基本波の波長を λ とすると、 $\lambda/4$ に比べて充分小さい(例えば $\lambda/20$) 寸法とされている。例えば $\lambda/4$ 線路では、波長が4.28GHzの場合でスタブ6bの平面寸法は約3.0mm程度となり、伝送線路基板6の空き領域に収まらない。すなわち、スタブ6bの平面寸法が $\lambda/4$ よりも大きいと増幅器AMP1の全体サイズが増大するおそれがあるからである。スタブ6bの平面形状は、例えば長方形とされているが、スタブ6bは上記のように容量を形成できれば良

10

20

30

40

50

くその平面形状は種々変更可能である。各スタブ6bの平面長手方向寸法L3は、例えば0.8mm程度、平面短方向寸法L4は、例えば0.4mm程度であり、これは、例えば約1pFの容量と等価である。また、ワイヤ7c2のインダクタンス値は、例えば1.4nH程度である。

【0036】

図11は本実施の形態(実線Ln1)と図1等に示した発明者検討例(破線Ln2)との出力内部整合回路の周波数に対する伝達特性のイメージを示している。f0は基本波の周波数、2*f0は2倍波の周波数を示している。本実施の形態の上記2倍波直列共振回路は、2倍波を短絡し、基本波への影響がないように設計されている。図12はスタブ6bとワイヤ7c2とによる2倍波共振回路の周波数特性を示している。ポートPo1, Po2間のS(21)をデシベル(dB)表示で示している。ポートPo1, Po2は共に、例えば50Ωである。2倍波である4.28GHzで共振しているものの、基本波である2.14GHzにはほとんど影響を及ぼしていないことが分かる。図13は本実施の形態が適用された基地局用の増幅器AMP1の入出力特性のシミュレーション結果を、図1~図3で説明した発明者検討例1と比較して示している。計算は、発明者検討例1として図3の回路を、本実施の形態として図10の回路を用いて実施した。基本波における入出力のインピーダンス条件(負荷側、信号源側)は同じである。

図13において、横軸は入力電力(Pin)、縦軸は出力電力(Pout)であり、それぞれdBm表示としている。2倍波共振回路は基本波に対して殆ど影響がないので、入出力特性(Pin-Pout)に発明者検討例1と本実施の形態との差はない。図14は、本実施の形態で説明された基地局用の増幅器AMP1の入力-効率特性のシミュレーション結果(Ln3)を、図1~図3で説明した発明者検討例1(Ln4)と比較して示している。縦軸は電力付加効率(PAE: Power Added Efficiency、以下、単に付加効率という)であり、それぞれdBm、%表示としている。効率は、P1dBより約8dBバックオフのポイントで約3%の向上である。図15は、本実施の形態で説明された基地局用の増幅器AMP1の歪み特性のシミュレーション結果(実線)を、図1~図3で説明した発明者検討例1(破線)と比較して示している。歪みは、3次相互変調歪みについて計算した。入力信号は、例えば2.1375GHzと2.1425GHzであり、差分周波数f=5MHzである。入出力のインピーダンス条件(負荷側、信号源側)は、前記図13および図14と同じである。図において、横軸は2波の出力電力(Pout 2波)、縦軸は3次相互変調歪み(IMD3)であり、それぞれdBm、-dBc表示としている。低出力から高出力にわたり、本実施の形態(実線)は発明者検討例1(破線)に対して歪みが改善していることが分かる。例えば3次相互変調歪みを約1~2dB程度低減できる。

【0037】

図16は本発明者が検討した他の増幅器AMP51の部分平面図、図17は図16の等価回路図を示している。符号の52Dは増幅用のMOS・FET52のドレインパッドを示している。MOS・FET52の所望のドレインパッド52Dはワイヤ54c1を通じてMOSキャパシタ51に電氣的に接続され、所望のドレインパッド52Dはワイヤ54c2を通じて出力用のリードと電氣的に接続されている。これにより、MOS・FET52のドレインと接地電位との間には、ワイヤ54c1のコイルと、MOSキャパシタ51の容量とで形成される回路が接続され、MOS・FET52のドレインと出力端子との間にはワイヤ54c2のコイルが接続されるような構成となる。この場合、伝送線路基板が無くコストの低減を図れるが、MOSキャパシタ51の寄生抵抗の影響で伝送信号の損失が大きい。本実施の形態と図1~図3で説明した発明者検討例1と上記図16および図17で説明した発明者検討例2とを比較してみると、例えば次のとおりである。出力(パワー)を比較してみると、本実施の形態と発明者検討例1とは等しく、発明者検討例2よりも高い出力が得られた。信号伝送効率を比較してみると、本実施の形態が最も高く、続いて発明者検討例1が高く、発明者検討例2は最も低かった。信号の歪みを比較してみると、本実施の形態が最も歪みが小さく、発明者検討例1, 2はほぼ同じ程度の歪み量であった

。

【0038】

(実施の形態2)

本実施の形態2では、2倍波制御用の直列共振回路を構成するワイヤの接続点の一端が、増幅チップのドレインパッドではなく、伝送線路に変更された例を説明する。

【0039】

前記実施の形態1では、2倍波制御用の直列共振回路を構成するワイヤ7c2が直接的に増幅チップ5のドレインパッドに接続されているため、直列共振回路に使用できるドレインパッドの数(領域)に制約がある。また、直列共振回路に使用するスタブ6bのサイズには制約があり、スタブ6bの特性は伝送線路基板6の誘電率にも左右されるので、ワイヤ7c2に必要なインダクタンス値は限定されている。このような理由から、ワイヤ7c2のインダクタンス値は設計において制約がある。さらに、2倍波制御用の直列共振回路による効率への効果は、増幅チップ5の出力端(ドレイン端)を短絡することが必ずしも最適とは限らず、2倍波のみの制御では特定の位相において効率が最大となる。

10

【0040】

そこで、本実施の形態2においては、図18および図19に示すように、スタブ6bをワイヤ(第2導体線)7c3を通じて伝送線路6aに直接的に接続するようにした。これにより、増幅チップ5に2倍波共振回路を接続するためのボンディングパッドが必要なくなる。また、増幅チップ5と伝送線路基板6との実装位置(相対的な配置位置)に関係なく、2倍波共振回路を構成することができる。なお、図19は図18の等価回路である。ここではワイヤ7c3のスタブ6bでの接続点と、ワイヤ7c3の伝送線路6aでの接続点とが、図18の上下方向に延びる直線を想定した場合にほぼその直線上に配置されている場合が例示されているが、ワイヤ7c3の伝送線路6a上への接続点は、効率および歪みに対して効果の高い最適な箇所または場合に応じた最適な箇所を選択することができる。これについて説明する。

20

【0041】

図20および図21のタイプA、Bは、ワイヤ7c3の伝送線路6aでの接続点が互いに異なるものを例示している。図20では、ワイヤ7c3の伝送線路6aでの接続点が図21に比べて伝送線路6aの幅広部(増幅チップ5側)に近い位置に配置されている場合が例示されている。図21では、ワイヤ7c3の伝送線路6aでの接続点が図20に比べて伝送線路6aの幅の狭い部分(出力用のリード2b側)に配置されている場合が例示されている。このようなタイプA、Bについて出力、効率および歪みについての本発明者の検討結果を図22~図24に示す。図22~図24の符号Cは前記図1~図3で説明した発明者検討例1のタイプの結果である。

30

【0042】

図22は出力電力(P_{out} (dBm))の結果を示している。出力電力はタイプA、B、Cともほぼ同じ結果となった。図23は付加効率(PAE (%))の結果を示している。付加効率はタイプBの効率が最も高かった。タイプAはタイプCよりも高いことが分かる。図24は3次相互変調歪みの結果を示している。

3次相互変調歪みはタイプA、Bによる差はほとんどなかった。このように、ワイヤ7c3の伝送線路6a上での接続点は、必ずしも増幅チップ5側が良いとは限らない。したがって、ワイヤ7c3の伝送線路6a上での接続点は、効率および歪みを考慮して、各増幅器AMP1毎に決定する。すなわち、増幅器AMP1毎に、その増幅器AMP1に求められる要求に従ってワイヤ7c3の伝送線路6a上での接続位置を最適な位置に設定する。これにより、各増幅器AMP1毎に最適な特性を引き出すことことができる。

40

【0043】

このように、本実施の形態2によれば、歪み低減に関しては前記実施の形態1よりも効果が低くなる場合があるものの、それ以外は前記実施の形態1と同様の効果を得られる他に、以下の効果を得ることができる。すなわち、ワイヤ7c3を伝送線路6aに接続しているため、増幅チップ5のドレインパッド数から生じる制約を無くすことができる。また、

50

ワイヤ7c3のインダクタンス値は、その本数、ループ形状の調整により、殆ど制約無く実現できる。したがって、増幅器AMP1の設計の自由度を向上させることが可能となる。

【0044】

(実施の形態3)

本実施の形態3では、前記実施の形態2で説明したワイヤ7c3に代えて、スタブと伝送線路とを伝送線路基板上の導体パターンで電氣的に接続する場合について説明する。

【0045】

前記実施の形態1, 2では、2倍波制御用の直列共振回路を形成するワイヤ7c2, 7c3のインダクタンス値を、ワイヤ7c2, 7c3の長さ、本数、さらにループ高さ等により調整する必要がある。使用するワイヤ7c2, 7c3の材質、径、必要なインダクタンス値を満たす長さ、本数、ループ高さの条件を計算により出すことは可能であるが、ワイヤ7c2, 7c3の周囲の情報も加味しなくては正確な値は求められず、計算が容易でない場合もある。また、計算で出した条件を正確にトレースしたボンディングも容易ではない。したがって、実際には組立工程において、ワイヤ7c2, 7c3の上記条件を満たし、2倍波に共振させるための調整に手間がかかる。すなわち、半導体集積回路装置の実際の製造ラインでのワイヤ7c2, 7c3の条件出しは容易でない場合もある。計算によりある程度の目処をつけて行う手法があるが、量産時においては、製造ばらつきの問題が新たに生じる恐れがある。そのため、再現性良く、高品質なものを得るには、ワイヤ7c2, 7c3の調整に頼るのは得策ではない場合もある。

【0046】

そこで、本実施の形態3では、以上の製造に当たっての課題(量産性)を解消する手法として、ワイヤ7c2, 7c3を、図25に示すように、伝送線路(導体パターン)6dに置き換えるようにした。すなわち、スタブ6bと伝送線路6aとを伝送線路6dにより電氣的に接続するようにしている。伝送線路6dは、2倍波周波数(伝送信号の基本波の周波数の2倍の周波数)に対して上記ワイヤ7c2, 7c3と等価(すなわち、コイルと等価)となるような線路であり、伝送線路6aおよびスタブ6bと同一の伝送線路基板6の主面上に形成されている。ここでは伝送線路6dが直線的ではなく途中で屈曲するようなパターン形状で形成されている場合が例示されている。伝送線路6dはコイルと等価となるように形成されていれば良く、そのパターン形状は種々変更可能であり、例えば蛇行パターンとしても良い。この場合、その蛇行状態(隣接パターン間隔、隣接パターン長さ等)により伝送線路6dのインダクタンス値を調整することもできる。

伝送線路6dは、伝送線路6aおよびスタブ6bと同一の金属膜を、伝送線路6aおよびスタブ6bのパターニング時に同時にパターニングすることで形成されている。このため、伝送線路6dはワイヤ7c2, 7c3よりも高い再現性を有している。また、伝送線路6dを、伝送線路6aやスタブ6bよりも細く形成できるので、伝送線路6aおよびスタブ6bの無い空き領域に形成することができる。このため、伝送線路6dを設けたからといって伝送線路基板6の平面サイズが増大することもない。伝送線路6dの伝送線路6aへの接続点は、前記実施の形態2と同様に、効率および歪みへの効果の大きいところを選択する。これにより、前記実施の形態2と同様に増幅器AMP1の特性の最適化を図れる。

【0047】

このように、本実施の形態3によれば、前記実施の形態1, 2と同様の効果を得ることができる他、以下の効果を得ることができる。

【0048】

すなわち、スタブ6bと伝送線路6aとを伝送線路6dのパターンで電氣的に接続することにより、伝送線路6dに要求されるインダクタンス値の再現性を向上させることができるので、量産時における増幅器AMP1の再現性を向上させることができる。また、計算上、伝送線路6dに割り当てられたインダクタンス値を、実際の製品において高い再現性で実現できるので、伝送線路6dとスタブ6bとを有する直列共振回路の機能を十分に発

揮することができ、増幅器AMP1の品質を向上させることができる。これらの結果、増幅器AMP1の量産時の歩留まりを向上させることが可能となる。

【0049】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0050】

例えば前記実施の形態では増幅チップにLD MOS型の増幅素子が形成されている場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば増幅素子としてHBT (Heterojunction Bipolar Transistor) またはMES・FET (Metal Semiconductor Field Effect Transistor) を用いた場合にも適用可能である。

10

【0051】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である基地局用増幅装置の増幅器に適用した場合について説明したが、それに限定されるものではなく、例えば携帯用の高周波モジュールの出力整合回路にも適用できる。

【0052】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

20

【0053】

すなわち、基地局に用いる増幅用の半導体装置を構成するパッケージに増幅素子と伝送線路基板とを備え、前記増幅素子の出力に、伝送線路基板の空き領域に形成されたスタブを導体線により接続して、上記増幅素子の出力信号の基本周波数の2倍で共振する共振回路を接続する構成を有することにより、基地局に用いる増幅用の半導体装置の性能を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明者が検討した基地局用の増幅器のパッケージの説明図である。

【図2】図1の領域CA内の要部拡大平面図である。

【図3】図1の領域CAの等価回路図である。

30

【図4】本発明の一実施の形態である半導体装置を用いた基地局装置の一例の説明図である。

【図5】図1の基地局装置の基地局増幅装置を構成する半導体装置のパッケージの説明図である。

【図6】図5のY1 - Y1線の断面図である。

【図7】図5の半導体装置の増幅素子の要部断面図である。

【図8】図5の半導体装置の要部拡大平面図である。

【図9】図5および図8に示した伝送線路基板の斜視図である。

【図10】図5および図8の増幅経路の等価回路図である。

【図11】本発明の一実施の形態と図1等に示した発明者検討例との出力内部整合回路の周波数に対する伝達特性のイメージを示すグラフ図である。

40

【図12】スタブとワイヤとによる2倍波共振回路の周波数特性のシミュレーション結果を示すグラフ図である。

【図13】本実施の形態が適用された基地局用の増幅器の入出力特性のシミュレーション結果を、図1～図3で説明した発明者検討例と比較して示したグラフ図である。

【図14】本発明の一実施の形態で説明された半導体装置の入力 - 効率特性のシミュレーション結果を、図1～図3で説明した発明者検討例と比較して示したグラフ図である。

【図15】本発明の一実施の形態で説明された半導体装置の歪み特性のシミュレーション結果を、図1～図3で説明した発明者検討例と比較して示したグラフ図である。

【図16】本発明者が検討した他の半導体装置の部分平面図である。

50

【図 17】図 16 の等価回路図である。

【図 18】本発明の他の実施の形態である半導体装置の要部平面図である。

【図 19】図 18 の等価回路図である。

【図 20】図 18 の半導体装置のボンディングワイヤの接続の変形例を示す要部平面図である。

【図 21】図 18 の半導体装置のボンディングワイヤの接続の変形例を示す要部平面図である。

【図 22】図 20 および図 21 の各々のタイプの出力電力 (P o u t (d B m)) の結果を示すグラフ図である。

【図 23】図 20 および図 21 の各々のタイプの付加効率 (P A E (%)) の結果を示すグラフ図である。 10

【図 24】図 20 および図 21 の各々のタイプの 3 次相互変調歪みの結果を示すグラフ図である。

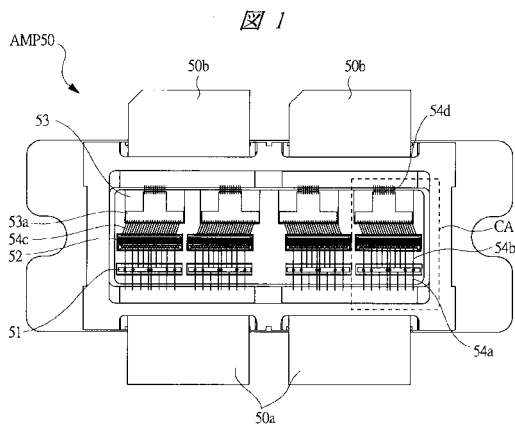
【図 25】本発明のさらに他の実施の形態である半導体装置の要部平面図である。

【符号の説明】

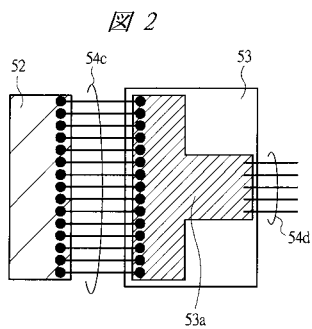
- 1 基地局装置
- 2 , 2 a , 2 b リード
- 3 ステム
- 4 半導体チップ (容量素子)
- 5 半導体チップ (半導体能動素子、増幅素子) 20
- 6 伝送線路基板
- 6 a 伝送線路
- 6 b スタブ (導体片)
- 6 c 導体膜
- 6 d 伝送線路
- 7 a ~ 7 d ボンディングワイヤ
- 7 c 1 ボンディングワイヤ (第 1 導体線)
- 7 c 2 ボンディングワイヤ (第 2 導体線)
- 7 c 3 ボンディングワイヤ (第 2 導体線)
- 1 1 半導体基板 30
- 1 2 半導体層
- 1 3 p 型ウエル領域
- 1 4 a L D M O S ・ F E T
- 1 4 b L D M O S ・ F E T
- 1 5 ゲート絶縁膜
- 1 6 ゲート電極
- 1 7 n ⁺ 型半導体領域
- 1 8 n ⁻ 型半導体領域
- 1 9 n ⁺ 型半導体領域
- 2 0 p ⁺ 型半導体領域 40
- 2 1 p ⁺ 型半導体領域
- 2 2 絶縁膜
- 2 3 コンタクトホール
- 2 4 プラグ
- 2 5 ソース電極
- 2 6 ドレイン電極
- 2 7 絶縁膜
- 2 8 導体層
- S P E 音声処理装置
- M D E 基地局変復調装置 50

- A M P 基地局増幅装置
- A M P 1 増幅器
- A N T 基地局アンテナ
- B C E 基地局制御装置
- G P D ゲートパッド(入力部)
- D P D ドレインパッド(出力部)
- 5 0 a 入力リード
- 5 0 b 出力リード
- 5 1 M O S キャパシタ
- 5 2 M O S ・ F E T
- 5 3 伝送線路基板
- 5 3 a 伝送線路
- 5 4 a ~ 5 4 d ボンディングワイヤ
- A M P 5 0 , A M P 5 1 増幅器
- M C 5 1 入力内部整合回路
- M C 5 2 出力内部整合回路

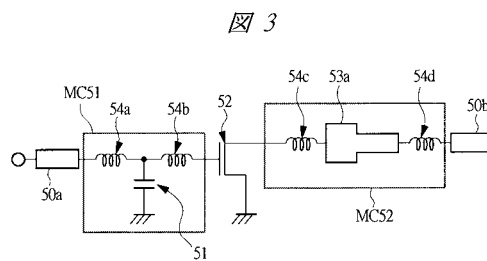
【図1】



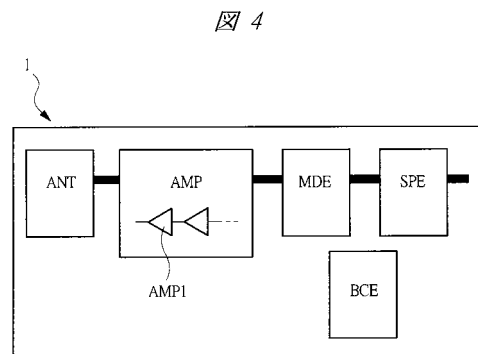
【図2】



【図3】

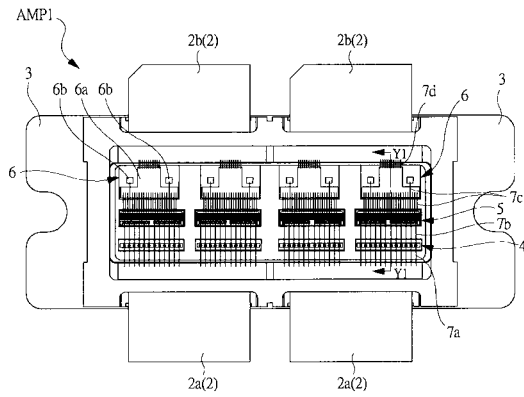


【図4】



【 図 5 】

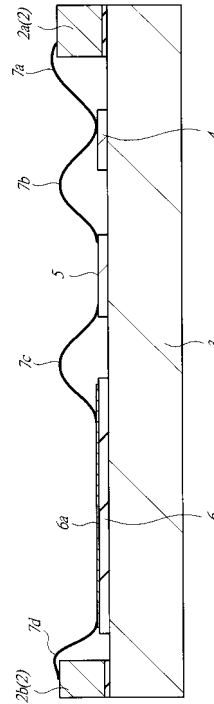
図 5



AMP1: 増幅器
 5: 半導体チップ
 6: 伝送線路基板
 6a: 伝送線路
 6b: スタブ
 7a~7d: ボンディングワイヤ

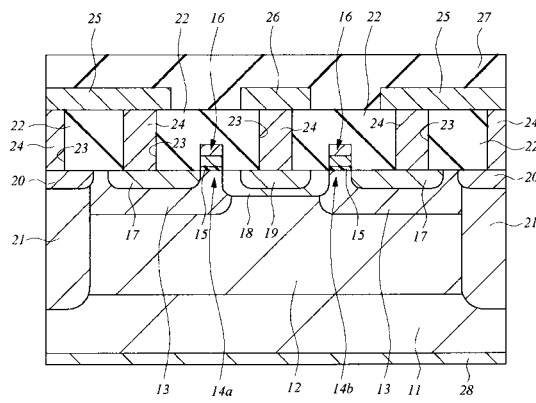
【 図 6 】

図 6



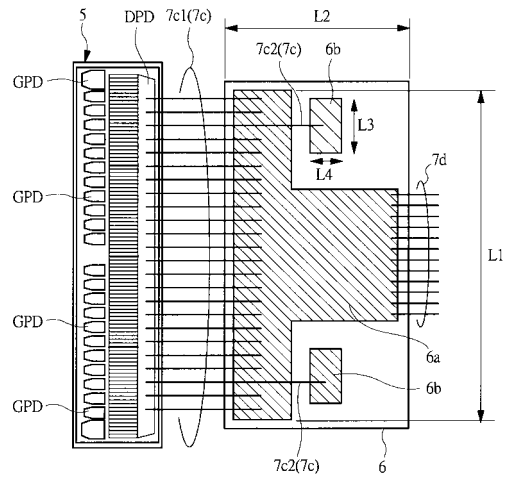
【 図 7 】

図 7

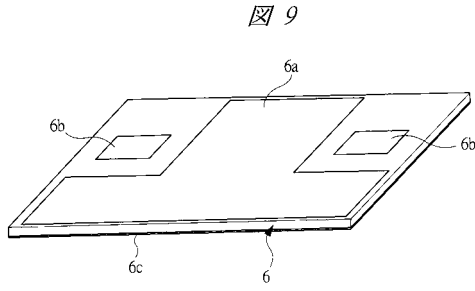


【 図 8 】

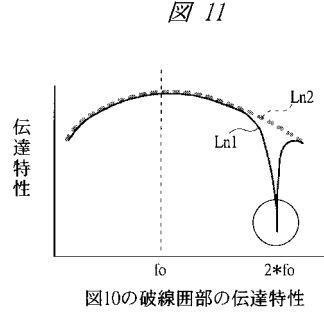
図 8



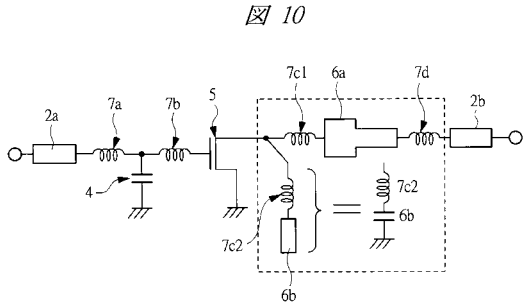
【 図 9 】



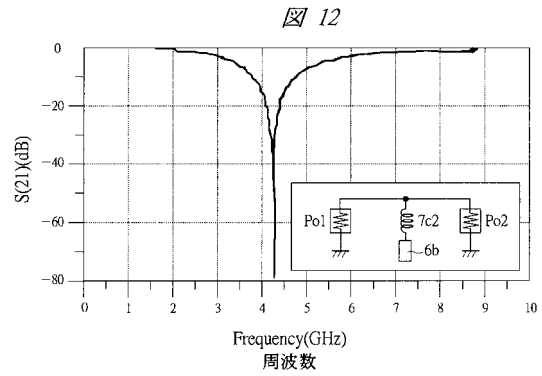
【 図 1 1 】



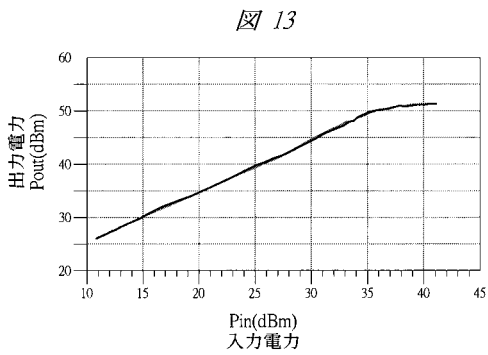
【 図 1 0 】



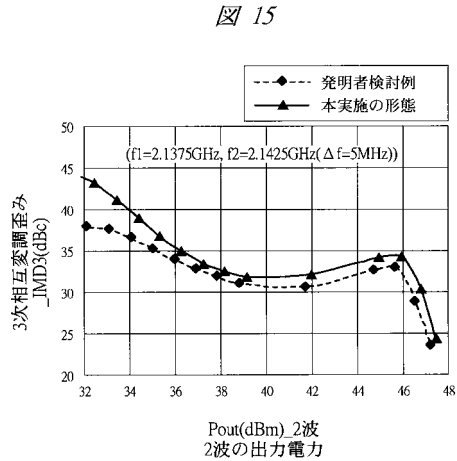
【 図 1 2 】



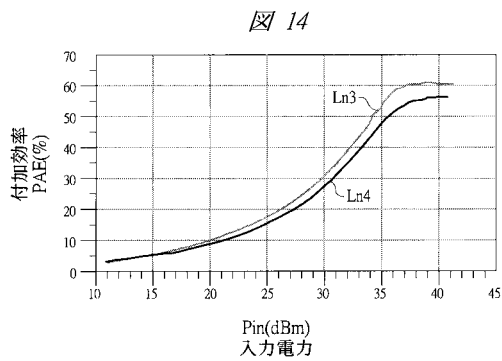
【 図 1 3 】



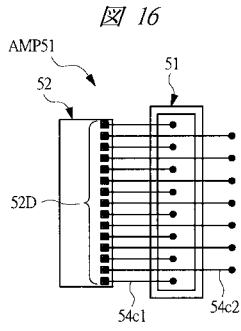
【 図 1 5 】



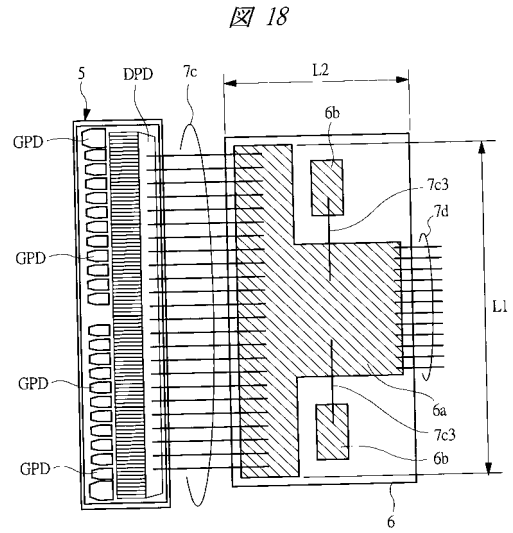
【 図 1 4 】



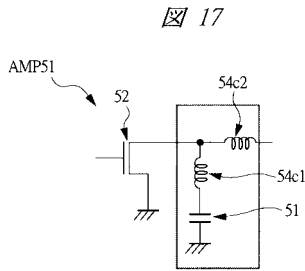
【 図 1 6 】



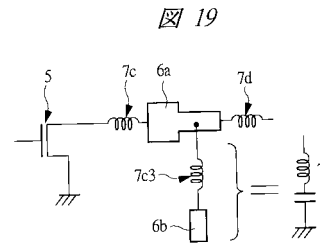
【 図 1 8 】



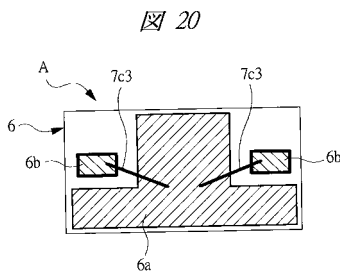
【 図 1 7 】



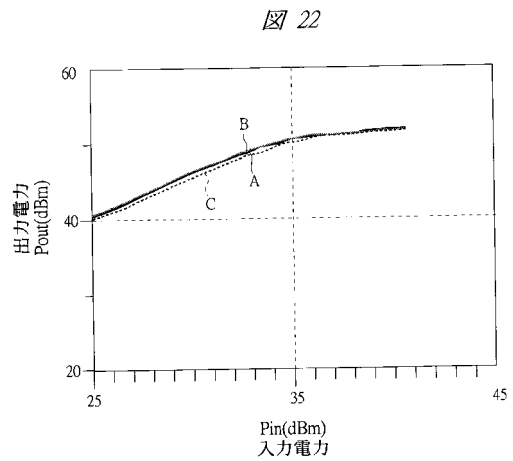
【 図 1 9 】



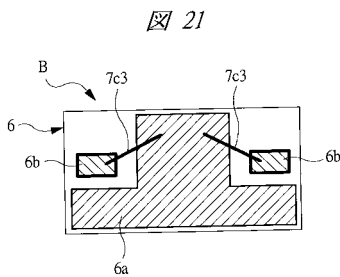
【 図 2 0 】



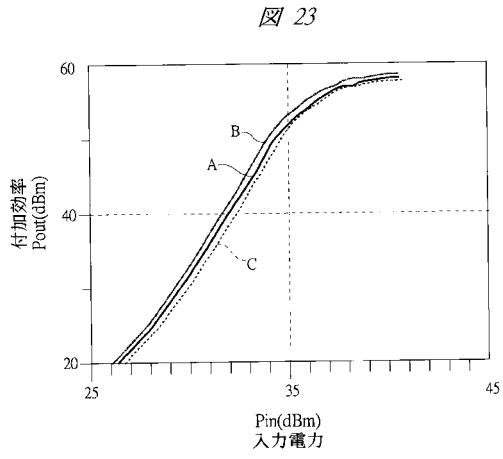
【 図 2 2 】



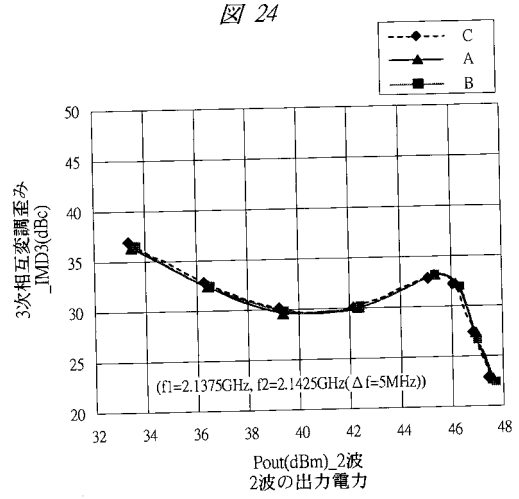
【 図 2 1 】



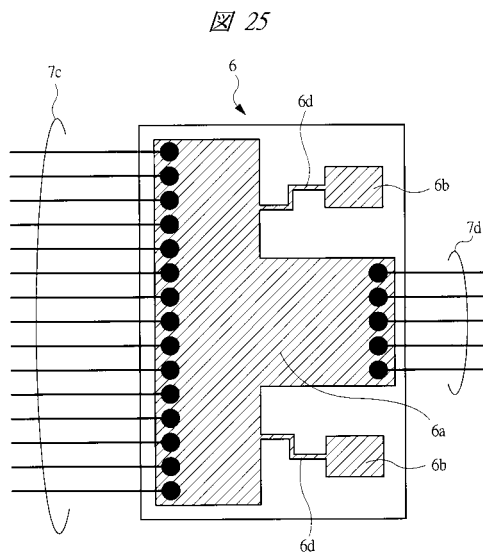
【 図 2 3 】



【 図 2 4 】



【 図 2 5 】



フロントページの続き

- (72)発明者 伊藤 護
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 小平 好二
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 飯田 哲也
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- Fターム(参考) 5J067 AA04 AA41 CA21 CA36 FA16 HA10 HA29 HA33 KA13 KA29
KA53 KA55 KA66 KA68 KS11 KS21 LS01 QA02 QA04 QA05
QS03 QS11 SA13 TA02 TA03