

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5779213号

(P5779213)

(45) 発行日 平成27年9月16日(2015.9.16)

(24) 登録日 平成27年7月17日(2015.7.17)

(51) Int.Cl.

F I

H02M 3/155 (2006.01)

H02M 3/155

E

H02M 3/155

Y

請求項の数 27 (全 17 頁)

(21) 出願番号 特願2013-204019 (P2013-204019)  
 (22) 出願日 平成25年9月30日(2013.9.30)  
 (65) 公開番号 特開2014-87252 (P2014-87252A)  
 (43) 公開日 平成26年5月12日(2014.5.12)  
 審査請求日 平成25年10月1日(2013.10.1)  
 (31) 優先権主張番号 61/715, 947  
 (32) 優先日 平成24年10月19日(2012.10.19)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 13/710, 127  
 (32) 優先日 平成24年12月10日(2012.12.10)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 593219551  
 リニア テクノロジー コーポレイション  
 Linear Technology Corporation  
 アメリカ合衆国 カリフォルニア 950  
 35, ミルピタス, マッカーシー ブール  
 バード 1630  
 (74) 代理人 100078282  
 弁理士 山本 秀策  
 (74) 代理人 100113413  
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 スイッチングレギュレータにおける磁場キャンセル

(57) 【特許請求の範囲】

【請求項 1】

入力電圧を受け取り、かつ調整出力を生成するスイッチングレギュレータ回路であって、前記回路は、

トランジスタスイッチ制御信号を生成するコントローラ(19)と、

前記コントローラによって制御される第1のスイッチ(14A)であって、前記コントローラは、調節可能なデューティサイクルにおける単一のスイッチングサイクルの間、前記第1のスイッチが導電状態と非導電状態との間でスイッチされるように制御して、前記スイッチングレギュレータ回路の前記調整出力を制御し、前記デューティサイクルは、前記第1のスイッチが前記単一のスイッチングサイクルの間に導電状態にある時間のパーセンテージである、第1のスイッチ(14A)と、

前記第1のスイッチを有するカレントループの一部として、前記第1のスイッチへ連結された第1のバイパスコンデンサ(20A)と、

前記第1のスイッチ(14A)と並列に接続された第2のスイッチ(14B)であって、前記第2のスイッチは、前記第1のスイッチと同じデューティサイクルを有するように前記第1のスイッチと同じ状態にあるように前記コントローラによって制御されて、前記スイッチングレギュレータ回路の前記調整出力を制御する、第2のスイッチ(14B)とを含み、

前記第1のスイッチは、導電状態へとスイッチされると、第1のカレントループ(25)を発生させるように位置付けられ、第1の電流は、前記第1のカレントループにおいて

10

20

第 1 の方向に流れて第 1 の磁場を生成し、前記第 1 の磁場は、第 1 の大きさを第 1 の方向に有し、

前記第 2 のスイッチは、導電状態へとスイッチされると、第 2 のカレントループ ( 2 4 ) を発生させるように位置付けられ、第 2 の電流は、前記第 2 のカレントループにおいて第 2 の方向に流れて第 2 の磁場を生成し、前記第 2 の方向は前記第 1 の方向と反対方向であり、前記第 2 の磁場は、第 2 の大きさを第 2 の方向に有し、これにより、前記第 1 の磁場および前記第 2 の磁場が協働して、前記スイッチングレギュレータ回路によって発生した電磁干渉 ( E M I ) を低減する、回路。

【請求項 2】

前記第 1 の大きさは、前記第 2 の大きさとほぼ同じである、請求項 1 に記載の回路。

10

【請求項 3】

スイッチングレギュレータ回路であって、前記回路は、

トランジスタスイッチ制御信号を生成するコントローラ ( 1 9 ) と、

前記コントローラによって制御される少なくとも第 1 のスイッチ ( 1 2 ) であって、前記第 1 のスイッチのデューティサイクルは、前記スイッチングレギュレータ回路の調整出力を制御し、前記コントローラは、調節可能なデューティサイクルにおける単一のスイッチングサイクルの間、前記第 1 のスイッチが導電状態と非導電状態との間でスイッチされるように制御して、前記スイッチングレギュレータ回路の前記調整出力を制御し、前記デューティサイクルは、前記第 1 のスイッチが前記単一のスイッチングサイクルの間に導電状態にある時間のパーセンテージである、少なくとも第 1 のスイッチ ( 1 2 ) と、

20

前記第 1 のスイッチを有するカレントループの一部として、前記第 1 のスイッチへ連結された第 1 のバイパスコンデンサ ( 2 0 ) と、

前記第 1 のスイッチのスイッチングによって同時に発生させられる少なくとも第 1 のカレントループ ( 5 2 ) および第 2 のカレントループ ( 5 4 ) であって、第 1 の電流は、前記第 1 のカレントループにおいて第 1 の方向に流れて第 1 の磁場を生成し、前記第 1 の磁場は、第 1 の大きさを第 1 の方向に有し、第 2 の電流は、前記第 2 のカレントループにおいて第 2 の方向に流れて第 2 の磁場を生成し、前記第 2 の方向は前記第 1 の方向と反対方向であり、前記第 2 の磁場は、第 2 の大きさを第 2 の方向に有し、これにより、前記第 1 の磁場および前記第 2 の磁場が協働して、前記スイッチングレギュレータ回路によって発生した電磁干渉 ( E M I ) を低減する、少なくとも第 1 のカレントループ ( 5 2 ) および第 2 のカレントループ ( 5 4 ) と、

30

前記第 1 のスイッチの第 1 の端子と前記第 1 のバイパスコンデンサの第 1 の端子との間に接続された第 1 の導体 ( 5 5 ) と、

前記第 1 のバイパスコンデンサの第 2 の端子と基準電圧との間に接続された第 2 の導体と

を含み、

前記第 1 の導体および前記第 2 の導体は相互に交差して、電流を互いに反対方向に伝導する前記第 1 のカレントループおよび前記第 2 のカレントループを形成するように 8 字型形状を形成し、

前記第 1 のカレントループおよび前記第 2 のカレントループは、同一平面上にあり、かつ、相互に横方向にずらされている、回路。

40

【請求項 4】

前記 8 字型形状は、前記第 1 のバイパスコンデンサ ( 2 0 ) の下側に交差点を形成することによって構築される、請求項 3 に記載の回路。

【請求項 5】

前記回路は、第 3 のスイッチ ( 1 2 ) をさらに含み、

前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) は、前記第 3 のスイッチの対向する側に置かれ、これにより、前記第 1 のスイッチおよび前記第 3 のスイッチ内へ流れる前記第 1 の電流によって前記第 1 のカレントループ ( 2 5 ) を発生させ、前記第 2 のスイッチおよび前記第 3 のスイッチ内に流れる前記第 2 の電流によって前記第 2

50

のカレントループ(24)を発生させる、請求項1に記載の回路。

【請求項6】

前記第1のスイッチ(14A)および第2のスイッチ(14B)がオンであり、かつ前記第3のスイッチ(12)がオフになると、前記第1の電流が前記第1のスイッチを通じて前記第3のスイッチの寄生コンデンサ内へと流れ、前記第2の電流が前記第2のスイッチを通じて前記第3のスイッチの前記寄生コンデンサ内へと流れる、請求項5に記載の回路。

【請求項7】

前記第1のバイパスコンデンサ(20A)は、前記第3のスイッチ(12)と前記第1のスイッチ(14A)との間に連結され、前記第1のバイパスコンデンサは前記第1のカレントループ(25)の一部である、請求項5に記載の回路。

10

【請求項8】

前記第3のスイッチ(12)と前記第2のスイッチ(14B)との間に連結された第2のバイパスコンデンサ(20B)をさらに含み、前記第2のバイパスコンデンサは、前記第2のカレントループ(24)の一部である、請求項7に記載の回路。

【請求項9】

前記第1のバイパスコンデンサ(50)も前記第3のスイッチと前記第2のスイッチとの間に連結され、前記第1のバイパスコンデンサも前記第2のカレントループ(24)の一部である、請求項7に記載の回路。

【請求項10】

20

前記第1のバイパスコンデンサ(50)は、前記第1のスイッチおよび前記第2のスイッチから実質的に等距離となるように、前記第1のスイッチ(14A)と前記第2のスイッチ(14B)との間に対称に設置される、請求項9に記載の回路。

【請求項11】

前記回路は、同時に伝導するように並列接続された第3のスイッチ(12A)および第4のスイッチ(12B)をさらに含み、前記第3のスイッチは前記第1のスイッチ(14A)に対向して位置付けられ、前記第4のスイッチ(12B)は前記第2のスイッチ(14B)に対向して位置付けられ、前記第4のスイッチは前記第3のスイッチに隣接し、前記第1のスイッチは前記第2のスイッチに隣接し、前記第1のカレントループ(30)を、前記第1のスイッチおよび前記第3のスイッチ内へと流れる前記第1の電流によって発生させ、前記第2のカレントループ(32)を、前記第2のスイッチおよび前記第4のスイッチ内へと流れる前記第2の電流によって発生させる、請求項1に記載の回路。

30

【請求項12】

前記第1のスイッチ(14A)および第2のスイッチ(14B)がオンになり、かつ前記第3のスイッチ(12A)および第4のスイッチ(12B)がオフになると、前記第1の電流は、前記第1のスイッチを通じて前記第3のスイッチの寄生コンデンサ内へと流れ、前記第2の電流は、前記第2のスイッチを通じて前記第4のスイッチの前記寄生コンデンサ内へと流れる、請求項11に記載の回路。

【請求項13】

前記第1のバイパスコンデンサ(34)は、前記第3のスイッチ(12A)と前記第1のスイッチ(14A)との間に連結され、前記第1のバイパスコンデンサは前記第1のカレントループ(30)の一部である、請求項11に記載の回路。

40

【請求項14】

前記第4のスイッチ(12B)と前記第2のスイッチ(14B)との間に連結された第2のバイパスコンデンサ(36)をさらに含み、前記第2のバイパスコンデンサは、前記第2のカレントループ(32)の一部である、請求項13に記載の回路。

【請求項15】

前記回路は、同時にスイッチされ、かつ前記第1のスイッチ(14A)と前記第2のスイッチ(14B)のスイッチングに対向してスイッチされるように並列接続された第3のスイッチ(12A)および第4のスイッチ(12B)をさらに含み、

50

前記第 1 のスイッチおよび前記第 2 のスイッチは、スイッチからなる対向する対を発生させるために、前記第 3 のスイッチおよび前記第 4 のスイッチに対向して位置付けられ、

前記対向する対は、複数のカレントループを発生させ、前記複数のカレントループは、前記第 1 のカレントループ ( 3 0 ) および前記第 2 のカレントループ ( 3 2 ) を含み、いくつかのカレントループは、前記カレントループのうち他のカレントループと反対方向に流れて、反対方向の複数の磁場を発生させ、これにより、前記スイッチングレギュレータ回路によって生成された E M I を低減させる、請求項 1 に記載の回路。

【請求項 1 6】

前記第 1 のバイパスコンデンサ ( 3 4 ) を含む複数のバイパスコンデンサ ( 3 4 , 3 6 ) をさらに含み、前記バイパスコンデンサのうち関連付けられたバイパスコンデンサは、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、および前記第 4 のスイッチの間に連結されて、前記カレントループを形成する、請求項 1 5 に記載の回路。

10

【請求項 1 7】

少なくとも 4 つのカレントループ ( 2 4 A , 2 4 B , 2 5 A , 2 5 B ) を、前記第 1 のカレントループ ( 2 4 A ) および前記第 2 のカレントループ ( 2 4 B ) と、第 3 のカレントループ ( 2 5 A ) および第 4 のカレントループ ( 2 5 B ) とを含んで発生させ、前記第 3 のカレントループ中の電流の方向は、前記第 4 のカレントループ中の電流の方向と反対方向である、請求項 1 6 に記載の回路。

【請求項 1 8】

前記第 1 のカレントループ ( 2 5 ) および前記第 2 のカレントループ ( 2 4 ) は平面状であり、前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) が形成された基板表面に対して実質的に平行である、請求項 1 に記載の回路。

20

【請求項 1 9】

前記第 1 のカレントループ ( 6 0 ) および前記第 2 のカレントループ ( 6 2 ) は垂直コンポーネントを有し、前記垂直コンポーネントは、前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) が形成された基板表面に対して非平面状である、請求項 1 に記載の回路。

【請求項 2 0】

前記第 1 のバイパスコンデンサ ( 7 0 ) は、前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) と非平面状である、請求項 1 9 に記載の回路。

30

【請求項 2 1】

前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) は M O S F E T である、請求項 1 に記載の回路。

【請求項 2 2】

前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) は、集積回路チップ ( 4 6 , 5 8 ) 上に形成される、請求項 1 に記載の回路。

【請求項 2 3】

前記集積回路チップ ( 4 6 ) は、交互またはインターリーブ配置された外部端子を前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) に対して有する、請求項 2 2 に記載の回路。

40

【請求項 2 4】

前記集積回路チップ ( 4 6 ) は、前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) に対して 2 組の外部端子を有し、1 組が前記集積回路パッケージの各側部にある、請求項 2 2 に記載の回路。

【請求項 2 5】

前記集積回路チップ ( 4 6 ) は、前記チップを収容する集積回路パッケージの外部にある複数のコンデンサ ( 2 0 , 4 8 , 5 0 ) を利用して、前記第 1 のスイッチ ( 1 4 A ) および前記第 2 のスイッチ ( 1 4 B ) の前記端子全てまたはその一部へと接続する、請求項 2 2 に記載の回路。

【請求項 2 6】

50

前記集積回路チップ(46)は、前記チップを収容する集積回路パッケージの内部にある複数のコンデンサを利用して、いくつかの位置において前記第1のスイッチ(14A)および前記第2のスイッチ(14B)へと接続する、請求項22に記載の回路。

【請求項27】

前記第1のスイッチ(14A)および前記第2のスイッチ(14B)は、端子を有する同一パッケージ中に収容され、前記第1のバイパスコンデンサ(48)が前記パッケージの外部にある前記端子へ接続されたときに前記第1のカレントループおよび前記第2のカレントループが形成されるように、前記端子が前記パッケージ上に配置される、請求項1に記載の回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

本出願は、仮出願シリアル番号第61/715,947号(出願日:2012年10月19日、名称:「Magnetic Field Cancellation In Switching Regulators」、Leonard Shtargotら)からの優先権を主張する。本明細書中、同文献を参考のため援用する。

【0002】

本発明は、スイッチングレギュレータに関し、詳細には、高周波スイッチングにより発生する磁場に起因する電磁干渉(EMI)を低減するための技術に関する。

【背景技術】

20

【0003】

スイッチングレギュレータは典型的には、100kHz~5MHzの周波数において切り替わる。小型カレントループがこのような高速で発生した場合、大磁場の発生の原因となり得る。集積回路(IC)内に形成されたスイッチの場合、カレントループがIC全体内において発生するか、ICの内部において部分的にまたは外部において部分的に発生し得る。電源スイッチ閉鎖または同期整流器スイッチ閉鎖に起因してループが初期過渡電流を伝導した場合、比較的高い $di/dt$ に起因して高磁場が発生し、その結果電磁干渉(EMI)が発生し得る。

【0004】

図1Aは、スイッチング電源内の従来技術のカレントループ10を示す。このカレントループ10の場合、ループ(例えば、トランジスタ、ワイヤ/トレース、コンデンサ、寄生など)を形成している回路全体は磁場を増加させて、その結果EMIが発生する。スイッチ12および14をMOSFETとして図示しているが、スイッチ12および14は他の任意の種類のスイッチ(例えば、バイポーラトランジスタ)であってもよい。スイッチ12および14はnチャネルMOSFETとして図示しているが、用途に応じてCMOSトランジスタを用いてもよい。スイッチの寄生容量16および18を図示している。

30

【0005】

本例において、スイッチ12および14を同期的に切り換えて、端子1での電源電圧( $V_{cc}$ )を出力端子2へ接続した後、端子3での対地電圧を出力端子2へと接続する交互接続を行うと仮定する。バックレギュレータ内の出力回路17の一部として、インダクタ(図示せず)を端子2へ接続することができる。レギュレータの一例において、PWMコントローラIC19を2つのスイッチ12および14のゲートに接続して、調整電圧 $V_{out}$ または調整電流を出力するスイッチデューティサイクルを制御する。デューティサイクルを制御することで、レギュレータの出力電圧に比例するフィードバック電圧 $V_{fb}$ を発生させて、基準電圧に整合させる。これらのスイッチのうちの1つを電源スイッチと呼び、他方は同期整流器である。同期整流器は、本質的に低電圧降下ダイオードとして機能する。短絡を回避するため、スイッチ12および14は同時にオンにされない。

40

【0006】

レギュレータは、任意の種類(例えば、バック、ブースト、フライバックなど)でよく、スイッチ12および14のインダクタへの特定の接続は、レギュレータの種類によって

50

決定される。本発明は、任意の種類のスイッチングレギュレータにおいて用いることが可能であり、本発明を標準的なバックレギュレータスイッチング構成に適用した場合のコンセプトを例示するために、特定の例を示す。

【 0 0 0 7 】

図 1 A 中、従来のバイパスコンデンサ 2 0 が端子 1 と端子 3 との間に接続された様子が図示される。バイパスコンデンサは典型的には、従来技術のスイッチング回路において使用される。端子 1 が  $V_{cc}$  へ接続されかつ端子 3 が接地されていると仮定した場合、スイッチ 1 2 および 1 4 が開閉する際、バイパスコンデンサ 2 0 は過渡電流を平滑化する。例えば、レギュレータコントローラがスイッチ 1 2 を閉鎖してインダクタを充電した場合、端子 2 を介してインダクタへ接続されている充電されたコンデンサ 2 0 により、サージ電流が発生する。これにより、サージ電流に起因する  $V_{cc}$  の降下全てのオフセットが支援され、スイッチング過渡電流が平滑化される。コンデンサ 2 0 は、端子 2、3 および 1 の周囲のカレントループの一部を形成する。スイッチ 1 2 および 1 4 の寄生容量 1 6 および 1 8 もカレントループの一部であり、スイッチ 1 4 がオフにされスイッチ 1 2 がオンにされると、寄生コンデンサ 1 8 が充電する。

10

【 0 0 0 8 】

理解されるように、スイッチング周波数において、超高速かつ高電流パルス（高  $di/dt$ ）がループ 1 0 を通じて発生する。このパルスによって EMI が発生し、近隣電気回路と干渉し得るか近隣電気回路中の歪みの原因となり得る。

【 0 0 0 9 】

20

スイッチ 1 2 および 1 4 は、IC 2 1 内にあり得、PWM コントローラ IC 1 9 の一部となり得る。

【 0 0 1 0 】

図 1 B は、図 1 A の回路の別の図であり、プリント基板（PCB）上または IC パッケージ内のトランジスタスイッチ位置を示す。端子 1、2 および 3 は、IC パッケージから延びたピンの接続ノードであり得る。カレントループ 1 0 は、反時計回り方向に流れる過渡電流を示し、この過渡電流に起因して、磁場方向が上方向となる（黒丸で図示）。磁場は、全ての方向において放射状に広がって、特定のパターンを形成する。

【 0 0 1 1 】

必要とされているのは、EMI 低減のために、スイッチングレギュレータによって生成される磁場全体を低減するための技術である。

30

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 2 】

本発明は、大幅に低減した磁場全体を生成するスイッチングレギュレータである。磁場は、スイッチ電流を迅速に変化させることと関連付けられる。

【課題を解決するための手段】

【 0 0 1 3 】

本発明の技術は、従来技術の単一の磁気ループを分割して、（それぞれが高周波数スイッチを組み入れる）複数の磁気ループとする。これら複数のループは、連結された対向する磁場を有する。これらの連結された対向する磁場は相互にキャンセルし合うため、従来技術の設計と比較して、磁場全体および EMI が大幅に低減することになる。

40

【 0 0 1 4 】

本発明の磁場キャンセル技術は、スイッチモード電源内の平面スイッチング回路および三次元（3D）スイッチング回路双方に適用することが可能である。平面構造は、集積回路およびプリント基板を含む。3D 構造は、積層（垂直配向）ループコンポーネントと、積層集積回路要素と、積層プリント基板とを含む。

【 0 0 1 5 】

一実施形態において、上側電源スイッチおよび同期整流器スイッチ（下側スイッチ）を以下のように分割および配置する。平面の実施形態において、下側スイッチを分割して、

50

並列動作する２つの同一の下側スイッチとし、下側スイッチを上側スイッチの他方側上に配置する。第１のバイパスコンデンサを第１の下側スイッチと上側スイッチとの間に接続し、第２のバイパスコンデンサを第２の下側スイッチと上側スイッチとの間に接続する。この構成は本質的に鏡像であり、上側スイッチが中間にある。上側スイッチがオンされた直後を想定した場合、カレントループは上側スイッチおよび第１の下側スイッチを通じて反時計回りとなり、カレントループは上側スイッチおよび第２の下側スイッチを通じて時計回りとなる。発生するこれら２つの磁場の方向は、反対方向である。これらのループは極めて密接しているため、これらの発生した磁場は実質的にキャンセルされるため、レギュレータから放射状に広がる磁場全体が大幅に低減し、その結果EMIが低減する。

【００１６】

10

本技術は、上側スイッチを分割することにも適用することができる。第１の一对の上側スイッチおよび下側スイッチにより、第１のカレントループが１方向に発生し、第２の一对の上側スイッチおよび下側スイッチにより、第２のカレントループが反対方向に発生して、キャンセル磁場が発生する。

【００１７】

別の実施形態において、上側スイッチおよび下側スイッチを分割して、４つの下側スイッチおよび２つの上側スイッチとする。これらの４つの下側スイッチおよび２つの上側スイッチは、４つのカレントループを形成する。これらの４つのカレントループは、 $x$ 方向および $y$ 方向において相互に対向して、磁場全体をさらに低減させる。

【００１８】

20

対向するカレントループが垂直に配向される３Ｄ構成において、類似の技術を用いることができる。例えば、スイッチ上に重ねてバイパスコンデンサを置くことができる。

【００１９】

さらに、スイッチを積層してもよいし、あるいは、各レベルごとに発生する磁場をキャンセルするようにPCBを積層してもよい。

【００２０】

別の実施形態において、単一の電流路を８の字形状で形成して、２つの対向するカレントループを生成することで、磁場のキャンセルが生じる。

【００２１】

他の実施形態が想定される。

30

例えば、本願発明は、以下の項目を提供する。

(項目１)

スイッチングレギュレータ回路であって、

トランジスタスイッチ制御信号を生成するコントローラと、

少なくとも上記コントローラによって制御される第１のスイッチであって、上記第１のスイッチのデューティサイクルは、上記スイッチングレギュレータ回路の調整出力を制御する、第１のスイッチと、

上記第１のスイッチへ連結された第１のバイパスコンデンサと、

上記第１のスイッチのスイッチングにより同時に発生させる少なくとも第１のカレントループおよび第２のカレントループであって、第１の電流は、上記第１のカレントループにおいて第１の方向に流れて第１の磁場を生成し、上記第１の磁場は、第１の大きさを第１の方向に有し、第２の電流は、上記第２のカレントループにおいて第２の方向に流れて第２の磁場を生成し、上記第２の方向は上記第１の方向と反対方向であり、上記第２の磁場は、第２の大きさを第２の方向に有し、これにより、上記第１の磁場および上記第２の磁場が協働して、上記スイッチングレギュレータ回路によって発生した電磁干渉(EMI)を低減する、第１のカレントループおよび第２のカレントループと、を含む、回路。

40

(項目２)

上記第１の大きさは、上記第２の大きさとほぼ同じである、上記項目に記載の回路。

(項目３)

50

上記第 1 のスイッチの第 1 の端子と上記第 1 のバイパスコンデンサの第 1 の端子との間に接続された第 1 の導体と、

上記第 1 のバイパスコンデンサの第 2 の端子と基準電圧との間に接続された第 2 の導体と、  
をさらに含み、

上記第 1 の導体および上記第 2 の導体は相互に交差して、電流を互いに反対方向に伝導する上記第 1 のカレントループおよび上記第 2 のカレントループを形成するように 8 字型形状を形成する、上記項目のいずれか一項に記載の回路。

(項目 4)

上記 8 字型形状は、上記第 1 のバイパスコンデンサの下側に交差点を形成することによって構築される、上記項目のいずれか一項に記載の回路。

(項目 5)

上記第 1 のスイッチは第 3 のスイッチおよび第 4 のスイッチを含み、上記第 3 のスイッチおよび第 4 のスイッチは、同時に伝導するように並列接続され、上記回路は、

第 2 のスイッチをさらに含み、

上記第 3 のスイッチおよび上記第 4 のスイッチは、上記第 2 のスイッチの対向する側に置かれ、これにより、上記第 3 のスイッチおよび上記第 2 のスイッチ内へ流れる上記第 1 の電流によって上記第 1 のカレントループを発生させ、上記第 4 のスイッチおよび上記第 2 のスイッチ内に流れる上記第 2 の電流によって上記第 2 のカレントループを発生させる、  
上記項目のいずれか一項に記載の回路。

(項目 6)

上記第 3 のスイッチおよび第 4 のスイッチがオンであり、かつ上記第 2 のスイッチがオフになると、上記第 1 の電流が上記第 3 のスイッチを通じて上記第 2 のスイッチの寄生コンデンサ内へと流れ、上記第 2 の電流が上記第 4 のスイッチを通じて上記第 2 のスイッチの上記寄生コンデンサ内へと流れる、上記項目のいずれか一項に記載の回路。

(項目 7)

上記第 1 のバイパスコンデンサは、上記第 2 のスイッチと上記第 3 のスイッチとの間に連結され、上記第 1 のバイパスコンデンサは上記第 1 のカレントループの一部である、上記項目のいずれか一項に記載の回路。

(項目 8)

上記第 2 のスイッチと上記第 4 のスイッチとの間に連結された第 2 のバイパスコンデンサをさらに含み、上記第 2 のバイパスコンデンサは、上記第 2 のカレントループの一部である、上記項目のいずれか一項に記載の回路。

(項目 9)

上記第 1 のバイパスコンデンサも上記第 2 のスイッチと上記第 4 のスイッチとの間に連結され、上記第 1 のバイパスコンデンサも上記第 2 のカレントループの一部である、上記項目のいずれか一項に記載の回路。

(項目 10)

上記第 1 のバイパスコンデンサは、上記第 3 のスイッチおよび上記第 4 のスイッチから実質的に等距離となるように、上記第 3 のスイッチと上記第 4 のスイッチとの間に対称に設置される、上記項目のいずれか一項に記載の回路。

(項目 11)

上記第 1 のスイッチは、同時に伝導するように並列接続された第 3 のスイッチおよび第 4 のスイッチを含み、上記回路は、

第 2 のスイッチをさらに含み、

上記第 2 のスイッチは、同時に伝導するように並列接続された第 5 のスイッチおよび第 6 のスイッチを含み、上記第 5 のスイッチは上記第 3 のスイッチに対向して位置付けられ、上記第 6 のスイッチは上記第 4 のスイッチに対向して位置付けられ、上記第 6 のスイッチは上記第 5 のスイッチに隣接し、上記第 3 のスイッチは上記第 4 のスイッチに隣接し、

10

20

30

40

50



上記第 1 のカレントループを、上記第 3 のスイッチおよび上記第 5 のスイッチ内へと流れる上記第 1 の電流によって発生させ、上記第 2 のカレントループを、上記第 4 のスイッチおよび上記第 6 のスイッチ内へと流れる上記第 2 の電流によって発生させる、  
上記項目のいずれか一項に記載の回路。

(項目 1 2)

上記第 3 のスイッチおよび第 4 のスイッチがオンになり、かつ上記第 5 のスイッチおよび第 6 のスイッチがオフになると、上記第 1 の電流は、上記第 3 のスイッチを通じて上記第 5 のスイッチの寄生コンデンサ内へと流れ、上記第 2 の電流は、上記第 4 のスイッチを通じて上記第 6 のスイッチの上記寄生コンデンサ内へと流れる、上記項目のいずれか一項に記載の回路。

10

(項目 1 3)

上記第 1 のバイパスコンデンサは、上記第 5 のスイッチと上記第 3 のスイッチとの間に連結され、上記第 1 のバイパスコンデンサは上記第 1 のカレントループの一部である、上記項目のいずれか一項に記載の回路。

(項目 1 4)

上記第 6 のスイッチと上記第 4 のスイッチとの間に連結された第 2 のバイパスコンデンサをさらに含み、上記第 2 のバイパスコンデンサは、上記第 2 のカレントループの一部である、上記項目のいずれか一項に記載の回路。

(項目 1 5)

上記第 1 のスイッチは、同時に切り替えられるように並列接続された複数の第 1 のスイッチ部を含み、上記回路は、

20

第 2 のスイッチであって、上記第 2 のスイッチは、同時にスイッチされるように並列接続された複数の第 2 のスイッチ部を含む第 2 のスイッチ、をさらに含み、

上記第 1 のスイッチ部は、第 1 のスイッチ部および第 2 のスイッチ部からなる対向する対を発生させるために、上記第 2 のスイッチ部に対向して位置付けられ、

上記対向する対は、複数のカレントループを発生させ、上記複数のカレントループは、上記第 1 のカレントループおよび上記第 2 のカレントループを含み、いくつかのカレントループは、上記カレントループのうち他のカレントループと反対方向に流れて、反対方向の複数の磁場を発生させ、これにより、上記スイッチングレギュレータ回路によって生成された EMI を低減させる、上記項目のいずれか一項に記載の回路。

30

(項目 1 6)

上記第 1 のバイパスコンデンサを含む複数のバイパスコンデンサをさらに含み、上記バイパスコンデンサのうち関連付けられたバイパスコンデンサは、上記第 1 のスイッチ部と上記第 2 のスイッチ部との間に連結されて、上記カレントループを形成する、上記項目のいずれか一項に記載の回路。

(項目 1 7)

少なくとも 4 つのカレントループを、上記第 1 のカレントループおよび上記第 2 のカレントループと、第 3 のカレントループおよび第 4 のカレントループとを含んで発生させ、上記第 3 のカレントループ中の電流の方向は、上記第 4 のカレントループ中の電流の方向と反対方向である、上記項目のいずれか一項に記載の回路。

40

(項目 1 8)

上記第 1 のカレントループおよび上記第 2 のカレントループは平面であり、上記第 1 のスイッチおよび上記第 2 のスイッチが形成された基板表面に対して実質的に平行である、上記項目のいずれか一項に記載の回路。

(項目 1 9)

上記第 1 のカレントループおよび上記第 2 のカレントループは垂直コンポーネントを有し、上記垂直コンポーネントは、上記第 1 のスイッチおよび上記第 2 のスイッチが形成された基板表面に対して非平面である、上記項目のいずれか一項に記載の回路。

(項目 2 0)

上記第 1 のバイパスコンデンサは、上記第 1 のスイッチおよび上記第 2 のスイッチと共

50

に非平面である、上記項目のいずれか一項に記載の回路。

(項目 2 1)

上記第 1 のスイッチおよび上記第 2 のスイッチは MOSFET である、上記項目のいずれか一項に記載の回路。

(項目 2 2)

上記第 1 のスイッチおよび上記第 2 のスイッチは、集積回路チップ上に形成される、上記項目のいずれか一項に記載の回路。

(項目 2 3)

上記集積回路チップは、交互またはインターリーブ配置された外部端子を上記第 1 のスイッチおよび上記第 2 のスイッチに対して有する、上記項目のいずれか一項に記載の回路。

10

(項目 2 4)

上記集積回路チップは、上記第 1 のスイッチおよび上記第 2 のスイッチに対して 2 組の外部端子を有し、1 組が上記集積回路パッケージの各側部にある、上記項目のいずれか一項に記載の回路。

(項目 2 5)

上記集積回路チップは、上記チップを収容する集積回路パッケージの外部にある複数のコンデンサを利用して、上記第 1 のスイッチおよび上記第 2 のスイッチの上記端子全てまたはその一部へと接続する、上記項目のいずれか一項に記載の回路。

(項目 2 6)

20

上記集積回路チップは、上記チップを収容する集積回路パッケージの内部にある複数のコンデンサを利用して、いくつかの位置において上記第 1 のスイッチおよび上記第 2 のスイッチへと接続する、上記項目のいずれか一項に記載の回路。

(項目 2 7)

上記第 1 のスイッチおよび上記第 2 のスイッチは、端子を有する同一パッケージ中に収容され、上記第 1 のバイパスコンデンサが上記パッケージの外部にある上記端子へ接続されたときに上記第 1 のカレントループおよび上記第 2 のカレントループが形成されるように、上記端子が上記パッケージ上に配置される、上記項目のいずれか一項に記載の回路。

(摘要)

本発明は、新規なスイッチングレギュレータ構造を使用する。このスイッチングレギュレータ構造は、連結された対向する磁場を用いて単一の磁気ループを分割して複数の磁気ループとしてキャンセル効果を発生させ、これにより、磁場全体を大幅に低減する。その結果、EMI が低減する。一実施形態において、同期的に切り替えられたトランジスタを並列上側トランジスタと並列下側トランジスタとに分割する。上側トランジスタは、下側トランジスタに対向するように位置付けられバイパスコンデンサをこれらの対間に接続することで、複数のカレントループを発生させる。これらのコンポーネントを多様なカレントループの鏡像を形成するように配置することで、その結果発生する磁場が反対方向となり相互に実質的にキャンセルし合う。導体およびコンポーネントを 8 の字型パターンで差点と共に形成することにより対向するカレントループの発生を達成することもできる。

30

【図面の簡単な説明】

40

【0022】

【図 1 A】従来のスイッチングレギュレータにおいて使用される従来技術スイッチング回路を示す図である。

【図 1 B】図 1 A の異なる図であり、IC または PCB 上のトランジスタスイッチの位置を示す図である。

【図 2 A】大幅に低減した EMI と共に、図 1 A の回路のスイッチング機能を達成するスイッチング構成を示す図である。

【図 2 B】図 2 A の別の図を示し、IC または PCB 上のトランジスタスイッチの位置を示す、IC または PCB の一部の斜視図である。

【図 3 A】図 1 A の回路のスイッチング機能を達成しつつ、EMI をさらに低減するスイ

50

ッチの別の構成を示す図である。

【図3B】パッケージピンレイアウトと、図3A中の端子に対応するピンとを示す、1つまたは複数のIC用のパッケージの半透明の上から見下ろした図である。

【図4】パッケージピンレイアウトと、スイッチ構成中の端子に対応するピンとを示し、図2Bの3つのスイッチを分割して合計6つのスイッチとし、パッケージ内において鏡像として位置付けることで、EMIをさらに低減する、IC用パッケージの半透明の上から見下ろした図である。

【図5】EMIを低減しつつ、コンデンサを2つだけ節約する、図4と同じであるがバイパスコンデンサ接続が異なるスイッチ配置構成を示す図である。

【図6】8の字形状の交差配線により、対向するカレントループが作成され得る様子を示す図である。

10

【図7A】6個のスイッチ、例えば、図4のスイッチを含むICを示し、バイパスコンデンサをトランジスタの上方に積層することで、対向する垂直カレントループを形成して、EMIを低減することを示す側面図である。

【図7B】図7Bの上側からの側面図である図7AのICの上から見下ろした図である。

【図8A】4つのスイッチを含むICを示し、バイパスコンデンサをトランジスタの上方に積層して、対向する垂直カレントループを形成してEMIを低減することを示す、側面図である。

【図8B】図8Bの上側からの側面図である図8AのICの上から見下ろした図である。

【発明を実施するための形態】

20

【0023】

図面中、同一または同等の要素は、同一の参照符号によって示す。

【0024】

全ての実施形態において、MOSFETスイッチのゲートがDC/DC変換器用の従来の同期PWMコントローラに接続されていると仮定し、従来の出力回路を特定の種類の変換器による必要性に応じて端子1、2および3へと接続する。出力回路は典型的には、1つまたは複数のインダクタと、1つまたは複数の大型平滑コンデンサとを含む。LT8611同期ステップダウンレギュレータについてのデータシートは、Linear Technology Corporationのウェブサイトから入手可能であり、当該データシートにおいて、本明細書中に記載のスイッチのための適切なPWMコントローラと、出力回路とが例示されている。本明細書中、同期スイッチのためのPWMコントローラおよび出力回路の典型例として同データシートを参考のため援用する。他の適切なPWMコントローラおよび出力回路について、本譲受人へ譲渡された米国特許第5,731,731号および第5,847,554号中に記載がある。本明細書中、これらの特許を参考のため援用する。コントローラは、固定周波数または可変周波数において切り替え可能である。

30

【0025】

本発明によれば、スイッチを複数のスイッチ部に分割し、これら複数のスイッチ部を電氣的に相互接続して、複数の類似の反対方向のカレントループを発生させることにより、平面構造における磁気ループキャンセルが達成される。この構成により、対向する磁場が近接して設置され、これにより、磁場放射全体が低減される。垂直構造において、カレントループ中の1つまたは複数のコンポーネント（例えば、ワイヤ/トレースまたはバイパスコンデンサ）はICまたはPCB表面の上方にあり、対向する垂直カレントループを作成し、これにより磁場全体を低減する。

40

【0026】

図2Aは、図1Aのスイッチング回路を分割して複数のループとし、これらの複数のループにおいて反対方向の電流を伝導して、反対方向の磁場（黒丸および×により図示）を発生させて、各ループによって発生する磁場を部分的にキャンセルする様子を示す。よって、回路から放出される磁場全体が低減する。平面構造の場合、50%以上の磁場キャンセルが可能となる。

50

## 【 0 0 2 7 】

図 2 A において、図 1 A 中の下スイッチ 1 4 の代わりに 2 つのスイッチ 1 4 A および 1 4 B を並列に用い、これら 2 つのスイッチは、面内の他方のスイッチ 1 2 (高側スイッチ) を挟む。対向するカレントループ 2 4 および 2 5 をチップまたは P C B 上においてできるだけ密接して設置することで、キャンセルを向上させる。図 1 A 中のバイパスコンデンサ 2 0 の代わりにバイパスコンデンサ 2 0 A および 2 0 B を用いて、バイパスコンデンサ 2 0 と同じ機能を行う。スイッチ 1 4 A および 1 4 B のサイズはそれぞれスイッチ 1 4 のサイズの半分にすることができるため、サイズ的大幅な増加は無い。スイッチ 1 4 A および 1 4 B は、M O S F E T、バイポーラトランジスタ、またはスイッチングレギュレータコントローラ I C 1 9 によって制御される他の任意のスイッチング要素であり得、これらのスイッチは、P W M コントローラ I C 1 9 上にあってよい。端子 2 は、図 1 A の出力回路 1 7 へと接続され得る。

10

## 【 0 0 2 8 】

図 2 A は、平面回路構造を示す。後述する 3 D 構造を発生させることによって、磁場キャンセルを達成することができる。

## 【 0 0 2 9 】

図 2 B は、I C 2 8 上の図 2 A のスイッチのレイアウトを示す。このスイッチは、制御回路も含み得る。

## 【 0 0 3 0 】

全実施形態中の全バイパスコンデンサは、パッケージの内部に置いてもよいし、パッケージの外部に置いてもよい。コンデンサをパッケージの内部に設けた方が、最適なキャンセルのための対向する磁場の対称関係をより良く確保することができる。

20

## 【 0 0 3 1 】

本例において同期スイッチ型トランジスタを用いているが、他の種類のスイッチングレギュレータによって、例えば、スリープ動作モードまたは不連続モードにおいて、双方のスイッチを同時にオフにしてもよい。同期整流器スイッチを他のスイッチによって同期的に切り替えるのではなく、同期整流器スイッチを逆電圧検出回路によって制御してもよい。

## 【 0 0 3 2 】

図 3 A に示す別の例は、図 1 A のスイッチング回路を分割することで複数のカレントループ 3 0 / 3 2 を発生させて、これらのカレントループ 3 0 / 3 2 が反対方向の電流を伝導することで、反対方向または極性 (黒丸および x によって図示) の磁場を発生させて、各ループごとに磁場を部分的にキャンセルする様子を示す。バイパスコンデンサ 3 4 および 3 6 はまた、各ループの一部として図示される。図 3 A において、図 1 A 中の下スイッチ 1 4 の代わりに、並列接続された 2 つのスイッチ 1 4 A および 1 4 B を用い、図 1 A 中の上スイッチ 1 2 の代わりに、並列接続された 2 つのスイッチ 1 2 A および 1 2 B を用いる。回路を P C B 上またはシリコン内にレイアウトして、対向する方向のループをできるだけ近接して設置して、キャンセルを向上させる。各スイッチ (例えば、M O S F E T) のサイズを従来技術スイッチのサイズの半分にすることができるため、同じパワー処理仕様を達成することができる。なぜならば、これら 2 つの M O S F E T は並列接続されているからである。そのため、最終的サイズも大幅に増加しない。

30

40

## 【 0 0 3 3 】

図 3 B は、1 つまたは複数の I C のためのパッケージ 3 8 の半透明の上から見下ろした図であり、パッケージピンレイアウトと、図 3 A 中の端子 1、2 および 3 に対応するピンとを示す。端子 1、2 および 3 は、P C B 上の接続ノードであり得る。パッケージは、20 個の周辺ピンと、P C B 上の接地ピンまたはパッドへの接続のための中央接地パッド 2 1 とを有する。図 3 A 中の 2 組のスイッチを含む I C 4 2 の外形が図示される。ボンドワイヤ、リードフレーム、P C B または他のコネクタにより、I C 4 2 上の端子をパッケージ 3 8 のピンへと接続することができる。複数の端子およびピンを相互に接続することで、より高い電流の取り扱いおよび / または所望のカレントループパターンを発生させるが

50

可能になる。

【 0 0 3 4 】

図 2 B および 3 B 中の磁場キャンセルは、構造が非対称であるため、x 方向および y 方向が異なる。より対称なキャンセル構造を得るために、図 4 の構成を使用することができる。

【 0 0 3 5 】

図 4 において、IC 4 4 の外形を露出パッド 2 1 A および 2 1 B とともに示す。IC 4 4 は 6 個のスイッチを含み、ここで、スイッチ 1 4 A、1 4 B および 1 2 を分割して均等かつ対向するカレントループ 2 4 A および 2 5 B ならびに 2 4 B および 2 5 B を発生させることにより、図 2 B 中のスイッチ構成の鏡像が作成される。さらなるバイパスコンデンサ 2 4 B および 2 5 B が、端子 1 および 3 へ接続される。その結果得られた磁場が相互に対称にキャンセルすることにより、EMI が全方向において低減する。4 つの類似のカレントループ構造を発生させるために、端子 1、2 および 3（例えば、電源およびバイパスコンデンサへの接続のための PCB 上のノード）は、関連付けられたパッケージピン（ピン 4 ~ 13）に近接させる必要がある。よって、（カレントループの一部を形成する）パッケージピンの選択は、極めて近接した類似形状のカレントループを発生させるために重要である。

10

【 0 0 3 6 】

ピンを相互に結合させることにより、抵抗の低減と、磁場キャンセルの支援とを行うことができる。

20

【 0 0 3 7 】

図 5 は、図 4 中の同一のパッケージ 4 6 および IC 4 4 を用いた別の回路配置構成を示す。この構成において、2 つのバイパスコンデンサ 4 8 および 5 0 のみを使用する。対向するカレントループ 2 4 A および 2 5 B ならびに 2 4 B および 2 5 B はそれぞれ、バイパスコンデンサ 4 8 または 5 0 を共有することができる。

【 0 0 3 8 】

図 5 中の各バイパスコンデンサ（4 8 または 5 0）は、各関連付けられた外側スイッチ（例えば、図 2 B 中のスイッチ 1 4 A および 1 4 B）から実質的に等距離となるように、関連付けられた外側スイッチ間において最適に対称的に設置され、これにより、反対方向の磁場が均等化される。

30

【 0 0 3 9 】

スイッチ構成と、バイパスコンデンサ構成と、パッケージから IC リードへの配線と、パッケージ中の任意の内部トレースと、IC 中の金属導体構成と、IC / パッケージ端子 / ピン配置構成と、PCB トレースとの組み合わせは全て、最大量の磁場キャンセルを達成できるように考慮する必要がある。

【 0 0 4 0 】

全ての実施形態において、スイッチを同一シリコンチップ上に形成する必要は無く、複数のシリコンチップを単一のパッケージ内において相互接続することができ、ここで、相互接続（例えば、ワイヤまたはトレース）はカレントループの一部である。

【 0 0 4 1 】

多様なスイッチ / コンデンサ配置構成の目的は、類似しかつ反対の磁場特性を生成する電流路を最少で 2 つ提供することである。これは、図 2 A ~ 図 5 について記載した方法以外の方法によっても達成可能である。図 6 ~ 図 8 B は、これらの他の方法のうちいくつかを示す。

40

【 0 0 4 2 】

図 6 は、バイパスコンデンサ 2 0 へ接続されたスイッチ 1 2 および 1 4 の交差配線構成を示す。バイパスコンデンサ 2 0 は、発生磁場全体を低減するための対向するカレントループ 5 2 および 5 4 を IC または PCB 中において発生させる。キャンセルカレントループは、8 字型形状を形成する。8 字型形状を挙げると、丸みを帯びた 8 字型形状および直線状の 8 字型形状がある。2 つ以上の対向するカレントループは、ワイヤ 5 5 またはト

50

レースを絶縁層を挟んで交差させることにより、得られる。ワイヤ/トレース 55 は、IC の内部または外部に設けてもよいし、部分的に内部および外部に設けてもよい。

【0043】

バイパスコンデンサ 20 は、交差点などの、カレントループ内の任意の位置に設けることができる。その後、交差点をコンデンサの下側に設置することができる。

【0044】

図 7A および図 7B は、IC 58 中の回路構成の側面図および上から見下ろした図をそれぞれ示す。この構成において、対向するカレントループ 60 および 62 は、図 7B 中の磁場 64、65、66 および 67 をキャンセルするための垂直コンポーネントを有する。磁場の方向を矢印によって示す。平面ループではなく垂直カレントループを発生させるためにバイパスコンデンサ 70、71、72 および 72 を IC 58 の上方に取り付けることにより、磁場キャンセルを形成する。全方向の磁場をキャンセルする 6 個のスイッチを使用して、4 つの垂直カレントループを発生させる。これら 6 個のスイッチは、3 つの並列スイッチに分割された上側スイッチと、3 つの並列スイッチに分割された下側スイッチとを図 7B 中に示す配置構成において含む。図 7B の上半分は、(端子 1 および 2 に接続された) 中央上側スイッチを挟んで(端子 3 および 2 に接続された) 2 つの下側スイッチを有し、図 7B の下半分は、非対称配置構成を形成するために(端子 3 および 2 に接続された) 中央下側スイッチを挟んで(端子 1 および 2 に接続された) 2 つの上側スイッチを有する態様に留意されたい。

【0045】

図 8A および図 8B は、IC 76 中の垂直回路の別の実施形態の側面図および上から見下ろした図を示す。この回路において、図 8B 中の磁場 80 および 82 をキャンセルする反対方向のカレントループ 78 (そのうち 1 つのカレントループのみを図 8A 中に示す) がある。図 8B において、4 つのスイッチがある。ここで、図 8B に示される配置構成において、上側スイッチを分割して 2 つの並列スイッチとし、下側スイッチを分割して 2 つの並列スイッチとする。図 8B は、図 7B の回路の左半分において不可欠であり、図 8B において、各スイッチは、電流のうち半分を搬送するためにより大型になっている。

【0046】

一般的に、3D 構造中の磁気ループキャンセルは、垂直配向鏡像構成において電流を循環させるための経路を備えた複数の電源スイッチデバイスを形成することにより、形成される。この構造は、対向する電流ループを発生させることでキャンセル効果のための逆並列磁場を生成するように、設計される。

【0047】

例えば、同一 IC パッケージ中の、ループの近隣においては、より良好なキャンセルが得られるが、より長距離にすることにより、従来技術の単一のループ設計と比較して、キャンセルをさらに向上させる。

【0048】

記載された多様な実施形態において、2 つ以上のキャンセルカレントループを通じて流れる正味電流に起因して発生する磁場全体は、二次元または三次元キャンセル設計を切断する任意の面における従来技術の単一のループ設計の個々のループまたは比較可能なループの絶対磁場の合計よりも小さい。よって、本発明の技術を使用することにより、EMI が低減する。

【0049】

多様な実施形態において、対向する磁場の大きさは同じとしたが、本発明は、対向する磁場の大きさが異なる場合(例えば、カレントループのループ半径または形状が異なる場合)においても、EMI をより低い程度まで低減するように機能する。

【0050】

EMI を低減させる同一キャンセルにより、寄生インダクタンスも低減することができる。寄生インダクタンスは、高スイッチング周波数における損失機構である。よって、本キャンセル技術を用いた場合、従来技術と比較して、高スイッチング周波数においてより

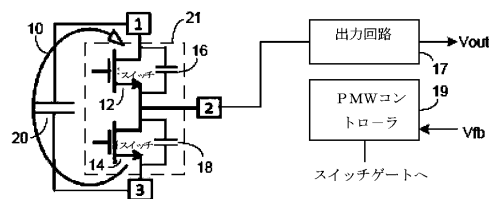
高効率の電源が得られる。これは、磁場キャンセル技術において予期しない驚くべき結果である。

【 0 0 5 1 】

本発明の特定の実施形態について図示および記載してきたが、本発明のより広範な態様から逸脱することなく変更および改変が可能であり、よって、添付の特許請求の範囲は、本発明の要旨および範囲内のこのような変更および改変全てをその範囲内に包含することが、当業者にとって明らかとなろう。

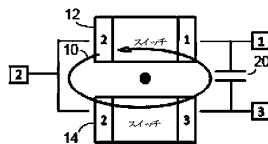
【 図 1 A 】

【図 1 A（従来技術）】



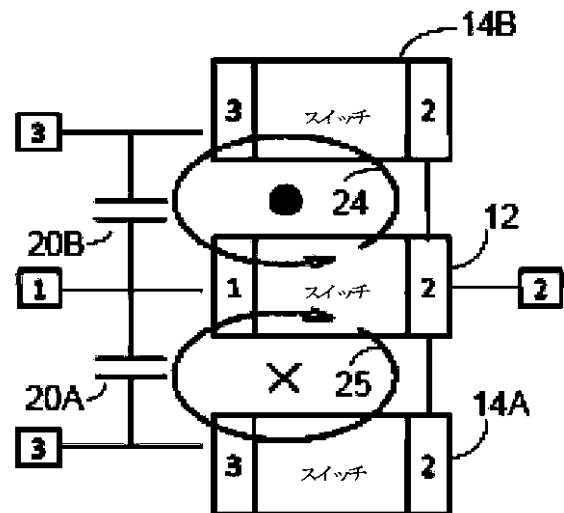
【 図 1 B 】

【図 1 B（従来技術）】



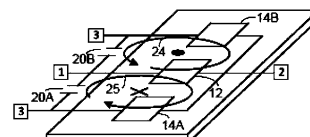
【 図 2 A 】

【図 2 A】



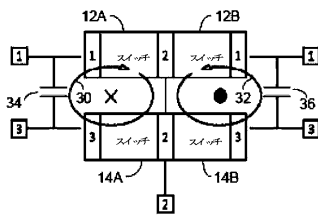
【 図 2 B 】

【図 2 B】



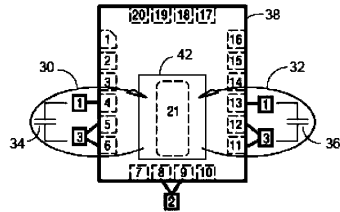
【図 3 A】

【図 3 A】



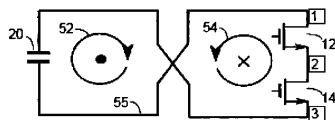
【図 3 B】

【図 3 B】



【図 6】

【図 6】



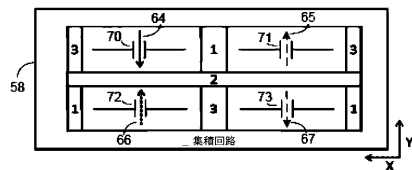
【図 7 A】

【図 7 A】



【図 7 B】

【図 7 B】



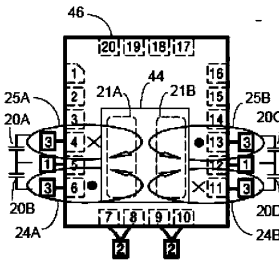
【図 8 A】

【図 8 A】



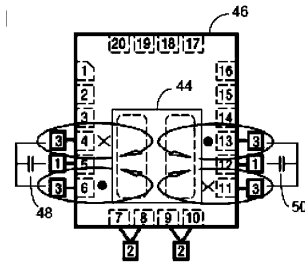
【図 4】

【図 4】



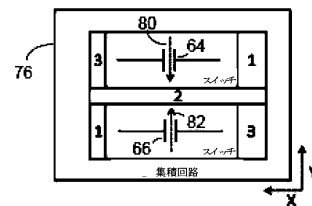
【図 5】

【図 5】



【図 8 B】

【図 8 B】





---

フロントページの続き

- (72)発明者 レオナルド シュタルゴット  
アメリカ合衆国 カリフォルニア 95008, キャンベル, ウェストモント アベニュー  
1305
- (72)発明者 ダニエル チェン  
アメリカ合衆国 カリフォルニア 94043, マウンテン ビュー, ドーチェスター ドラ  
イブ 34
- (72)発明者 ジョン ガードナー  
アメリカ合衆国 カリフォルニア 94705, パークレー, ラッセル ストリート 243  
8, アpartment ビー
- (72)発明者 ジェフリー ウィット  
アメリカ合衆国 カリフォルニア 94618, オークランド, カレス アベニュー 554  
0
- (72)発明者 クリスチャン クエック  
ドイツ国 デー - 59348 リューディングハウゼン, ベッカーシュトラッセ 20

審査官 今井 貞雄

- (56)参考文献 特開2012-059896(JP,A)  
特開2010-268536(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3/155