

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年3月17日(2005.3.17)

【公表番号】特表2004-507020(P2004-507020A)

【公表日】平成16年3月4日(2004.3.4)

【年通号数】公開・登録公報2004-009

【出願番号】特願2002-520233(P2002-520233)

【国際特許分類第7版】

G 1 1 C 5/00

G 0 6 K 19/077

【F I】

G 1 1 C 5/00 3 0 2 A

G 0 6 K 19/00 K

【手続補正書】

【提出日】平成15年4月15日(2003.4.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルの複数のスタック層より成る三次元メモリアレーを含むメモリユニットを備え、

上記メモリセルは、各デジタル状態によって特徴付けられ、そのデジタル状態は、デジタル像、デジタル像のシーケンス、デジタルテキストのページのグループ、デジタル音楽、デジタルマップ、デジタルビデオ及びその組合せより成るグループから選択された少なくとも1つのデジタル媒体ファイルを表わすデジタル信号を記憶するものであるデジタル媒体メモリデバイス。

【請求項2】

支持素子と、

三次元メモリアレーより成るメモリユニットであって、上記支持素子によって支持されたメモリユニットと、

上記支持素子により支持されて上記メモリユニットに接続された電気コネクタとを備え、上記三次元メモリアレーは、單一チップにおいて互いに垂直方向に上下にスタックされたメモリセルの複数の層より成るモジュラーメモリデバイス。

【請求項3】

上記メモリセルは、一度書き込みのメモリセルである請求項1又は2に記載の発明。

【請求項4】

上記メモリセルは、基体 1 mm^2 当たりのメモリセルの面積密度が約 3×10^7 以上の状態で基体上に配列される請求項1又は2に記載の発明。

【請求項5】

上記メモリユニットを支持する支持素子と、

上記支持素子により支持されそして上記メモリユニットに接続されたデバイスインターフェイスユニットと、

上記支持素子により支持されそして上記デバイスインターフェイスユニットに接続された電気コネクタと、

を更に備えた請求項1に記載の発明。

【請求項 6】

上記メモリユニット及び上記デバイスインターフェイスユニットは、单一基体上に製造され、そしてその基体は、上記支持素子により支持される請求項 5 に記載の発明。

【請求項 7】

上記デバイスインターフェイスユニットは、 8 mm^2 以下の面積内に適合される請求項 5 に記載の発明。

【請求項 8】

上記メモリセルは、現場でプログラム可能なメモリセルより成る請求項 1 又は 2 に記載の発明。

【請求項 9】

上記三次元メモリアレーは、単一のチップにおいて互いに垂直方向に上下にスタックされたメモリセルの複数の層より成る請求項 1 に記載の発明。

【請求項 10】

上記デジタル媒体メモリデバイスは、モジュラー型である請求項 1 に記載の発明。