



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월25일
(11) 등록번호 10-0769970
(24) 등록일자 2007년10월18일

(51) Int. Cl.

G09G 3/36 (2006.01) G11C 19/00 (2006.01)
H03K 19/00 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0048510

(22) 출원일자 2006년05월30일

심사청구일자 2006년05월30일

(56) 선행기술조사문헌

KR1020020066962 A

(뒷면에 계속)

(73) 특허권자

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 수원
캠퍼스내

(72) 발명자

장 진

서울 서초구 잠원동 65-32 신반포7차아파트
302-908

최재원

서울 동대문구 회기동 1 경희대학교 차세대디스플레이
연구센터

구자현

서울 동대문구 회기동 1 경희대학교 차세대디스플레이
연구센터

(74) 대리인

김인한, 김희곤

전체 청구항 수 : 총 12 항

심사관 : 김세영

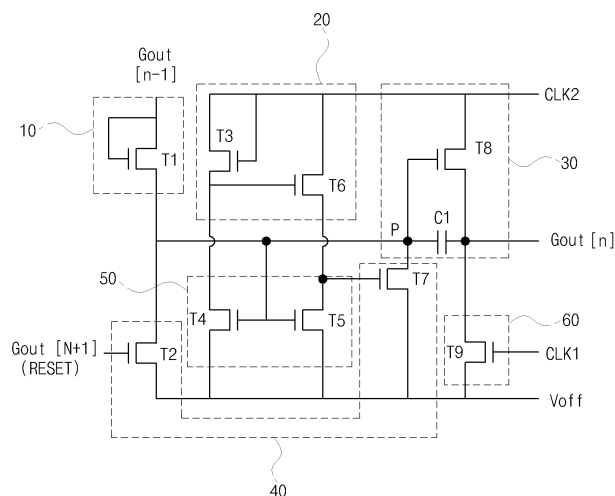
(54) 쉬프트 레지스터

(57) 요약

본 발명은 액정표시장치(Liquid crystal display device)의 게이트 구동회로에 포함되는 쉬프트 레지스터에 관한 것으로, 특히 쉬프트 레지스터의 구조를 변경하여 열화에 둔감하게 함으로써, 액정표시장치의 화질 품질을 높임과 동시에 장수명 구동이 가능하게 하는 쉬프트 레지스터에 관한 것이다.

본 발명에 따른 쉬프트 레지스터 각각은, 상기 스타트 펄스 신호(STV)에 의해 온 또는 오프되는 제1 트랜지스터(T1)로 구성되는 제1 풀업스위칭부와, 상기 제1 풀업스위칭부를 구성하는 상기 제1 트랜지스터(T1)의 소스단이 연결되는 P노드와 연결되며, 상기 제1 풀업스위칭부의 출력에 응답하여 입력되는 제1 클럭(CLK2) 신호를 이용해 게이트 구동신호를 게이트신호출력단(Gout[N])에 출력하는 구동신호 출력 스위칭부와, 상기 P노드를 교번적으로 방전시키기 위하여 상기 P노드에 드레인단이 연결되는 두개의 트랜지스터로 구성되는 제2 풀다운스위칭부와, 상기 제2 풀다운스위칭부를 구성하는 트랜지스터에 교번적인 전압을 인가하는 제2 풀업스위칭부 및 제3 풀다운스위칭부와, 상기 게이트신호출력단(Gout[N])을 교번적으로 방전시키는 제1 풀다운스위칭부를 포함하여 이루어진 것을 특징으로 한다.

대표도 - 도4



(56) 선행기술조사문헌

KR1020030079569 A

KR1020040022358 A

KR1020040072131 A

KR1020040086516 A

특허청구의 범위

청구항 1

다수의 게이트 라인에 각각 연결되고 스타트 펄스를 쉬프트시킴으로써, 상기 게이트 라인에 순차적으로 게이트 구동 신호를 공급하는 다수의 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터 각각은,

상기 스타트 펄스 신호(STV)에 의해 온 또는 오프되는 제1 트랜지스터(T1)로 구성되는 1 풀업스위칭부와;

상기 제1 풀업스위칭부를 구성하는 상기 제1 트랜지스터(T1)의 소스단이 연결되는 P노드와 연결되고, 상기 제1 풀업스위칭부의 출력에 응답하여 입력되는 제1 클럭(CLK2) 신호를 이용해 게이트 구동신호를 게이트신호출력단(Gout[N])에 출력하는 구동신호 출력 스위칭부와;

상기 P노드를 교번적으로 방전시키기 위하여 상기 P노드에 드레인단이 연결되는 두개의 트랜지스터로 구성되는 제2 풀다운스위칭부와;

상기 제2 풀다운스위칭부를 구성하는 트랜지스터에 교번적인 전압을 인가하는 제2 풀업스위칭부 및 제3 풀다운스위칭부와;

상기 게이트신호출력단(Gout[N])을 교번적으로 방전시키는 제1 풀다운스위칭부를 포함하여 이루어진 것을 특징으로 하는 쉬프트 레지스터.

청구항 2

청구항 1에 있어서,

상기 제1 트랜지스터(T1)는 게이트단과 드레인단이 스타트 펄스 신호(STV)를 공급하는 Gout[N-1]단에 연결되고, 소스단이 P노드에 연결되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3

청구항 1에 있어서, 상기 구동신호 출력 스위칭부는,

상기 제1 트랜지스터(T1)의 소스단이 연결되는 P노드에 일단이 연결되는 커패시터(C1)와 상기 P노드 및 커패시터(C1) 일단에 게이트단이 연결되고, 드레인단은 제2 클럭(CLK2) 신호 공급단과 연결되며, 소스단이 상기 커패시터(C1)의 타단과 게이트신호출력단(Gout[N])에 연결되는 제8 트랜지스터(T8)로 구성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4

청구항 3에 있어서, 상기 제2 풀다운스위칭부는,

상기 P노드단에 드레인단이 연결되고, 게이트단이 리셋단(Gout[N+1])에 연결되며 소스단이 Voff단에 연결되는 제2 트랜지스터(T2)와, 드레인단이 상기 P노드에 연결되고 소스단이 상기 제2 트랜지스터(T2)의 소스단 및 Voff단에 연결되는 제7 트랜지스터(T7)로 구성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5

청구항 4에 있어서, 상기 제2 풀업스위칭부는,

상기 제2 클럭(CLK2) 신호 공급단 및 상기 제8 트랜지스터(T8)의 드레인단에 게이트단과 드레인단이 연결되는 제3 트랜지스터(T3)와, 드레인단이 상기 제2 클럭(CLK2) 신호 공급단 및 상기 제8 트랜지스터(T8)의 드레인단에 연결되고, 게이트단은 상기 제3 트랜지스터(T3)의 소스단과 연결되며 소스단은 상기 제7 트랜지스터(T7)의 게이트단에 연결되는 제6 트랜지스터(T6)로 구성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6

청구항 5에 있어서, 상기 제3 풀다운스위칭부는,

상기 제3 트랜지스터(T3)의 소스단과 제6 트랜지스터(T6)의 게이트단에 드레인단이 연결되고, 게이트단이 상기

P노드에 연결되며, 소스단이 상기 Voff단 및 상기 제2 트랜지스터(T2)의 드레인단에 연결되는 제4 트랜지스터(T4)와, 상기 제6 트랜지스터(T6)의 소스단과 상기 제 7 트랜지스터(T7)의 게이트단에 드레인단이 연결되고, 게이트단이 상기 P노드 및 상기 제4 트랜지스터(T4)의 게이트단에 연결되며, 소스단이 상기 Voff단 및 상기 제2 트랜지스터(T2)의 드레인단에 연결되는 제5 트랜지스터(T5)로 구성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7

청구항 6에 있어서,

상기 제1 폴다운스위칭부는 상기 게이트신호출력단(Gout[N])에 드레인단이 연결되고, 게이트단이 제1 클럭(CLK1) 신호 공급단에 연결되며, 소스단이 Voff단에 연결되는 제9 트랜지스터(T9)로 구성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8

청구항 7에 있어서,

상기 제1 클럭(CLK1) 신호와 제2 클럭(CLK2) 신호는 서로 위상이 반전되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 9

청구항 1 내지 청구항 8 중 어느 한 항에 있어서,

상기 트랜지스터들은 수소화된 비정질 실리콘 박막 트랜지스터이고, NMOS 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 10

청구항 9에 있어서,

상기 트랜지스터들은 역스태거드(Inverted staggered) 구조를 가지는 것을 특징으로 하는 쉬프트 레지스터.

청구항 11

청구항 1 내지 청구항 8 중 어느 한 항에 있어서,

상기 트랜지스터는 다결정 실리콘 또는 단결정 실리콘으로 구성되고, NMOS 또는 PMOS 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 12

청구항 11에 있어서,

상기 트랜지스터는 평면형(Coplanar) 또는 역스태거드(Inverted staggered) 구조를 가지는 것을 특징으로 하는 쉬프트 레지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<8> 본 발명은 액정표시장치(Liquid crystal display device)의 게이트 구동회로에 포함되는 쉬프트 레지스터에 관한 것으로, 특히 쉬프트 레지스터의 구조를 변경하여 열화에 둔감하게 함으로써, 액정표시장치의 화질 품질을 높임과 동시에 장수명 구동이 가능하게 하는 쉬프트 레지스터에 관한 것이다.

<9> 현재 텔레비전이나 모니터와 같은 디스플레이 장치에는 음극선관이 주로 사용되고 있지만, 이것은 부피가 크고 음극선을 이용하므로 높은 구동전압의 단점을 가지고 있다.

- <10> 이에 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판표시장치(FPD)의 필요성이 대두되었으며, 액정표시장치(LCD Device) 등이 개발된 바 있다.
- <11> 액정표시장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자배열에 의한 광학적 이방성을 이용한 굴절률 차이에 의하여 화상을 구현하는 비발광 소자이다.
- <12> 일반적으로 액정표시장치는 액티브 매트릭스(Active matrix) 형태로 배열된 화소들을 구동하여 각 화소들에 화상 정보에 따른 데이터신호를 개별적으로 공급하여, 액정층의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다.
- <13> 액정패널에는 게이트라인들과 데이터라인들이 교차하여 배열되게 되고, 그 게이트라인들과 데이터라인들의 교차점에 화소영역이 위치하게 된다. 이러한 화소영역에는 스위칭소자인 박막트랜지스터(Thin film transistor)와, 상기 박막트랜지스터에 연결된 화소전극이 위치하게 된다. 이때, 상기 박막트랜지스터의 게이트단자는 상기 게이트라인에 연결되고, 소오스단자는 상기 데이터라인에 연결되며, 드레인단자는 상기 화소전극에 연결되게 된다.
- <14> 구동회로는 게이트라인들에 출력신호를 순차적으로 공급하기 위한 게이트드라이버와, 데이터라인들에 비디오신호를 공급하기 위한 데이터드라이버를 포함한다.
- <15> 그중에 상기 게이트드라이버는 출력신호를 상기 게이트라인들에 순차적으로 공급하여 액정패널 상에 화소들이 한 프레임동안 1라인씩 선택되도록 한다. 이와 같이 게이트라인들이 순차적으로 선택될 때마다, 상기 데이터드라이버는 데이터라인들에 비디오 신호를 공급한다. 이에 따라, 액정표시장치는 화소별로 인가되는 비디오신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 액정층의 광투과율을 조절함으로써 화상을 표시한다.
- <16> 액티브 매트릭스 방식의 표시패널의 박막트랜지스터는 수차례의 사진식각공정을 통하여 형성이 되는데, 화소영역에 박막트랜지스터를 형성하는 공정을 통하여 화소영역 주위에도 박막트랜지스터로 회로를 형성하는 것이 가능하다.
- <17> 도 1은 본 발명에 의한 a-Si:H TFT LCD의 TFT 기관의 구성을 나타낸 도면이다.
- <18> 도 1에서와 같이 구성할 경우 별도의 제조비용의 증가 없이 일부 구동회로를 표시패널에 내장할 수 있으므로, 외부 회로부의 제조비용을 절감할 수 있다.
- <19> 특히, 외부의 회로부 중 그 구동주파수가 비교적 낮은 게이트 드라이버를 내장하는 것이 가장 실현 가능성이 높다.
- <20> 도 2는 도 1의 게이트 구동회로에 적용되는 쉬프트레지스터를 설명하기 위한 블록도이다. 상기 게이트 드라이버는 게이트라인(Gout) 출력단이 각각 접속된 다수의 쉬프트 레지스터로 구성된다. 다수의 스테이지들은 도 2에 도시된 바와 같이 종속적으로 접속되어 스타트(STV) 펄스를 쉬프트 시킴으로써 게이트 라인들에 순차적으로 출력신호를 공급한다.
- <21> 도 3은 일반적인 액정표시장치의 게이트 드라이버의 구체적인 회로도이다.
- <22> 도 3에 도시된 쉬프트레지스터의 동작 및 출력 파형도는 도 5에 도시된 파형과 같다.
- <23> S1 기간에서 스타트펄스(STV)가 하이 상태가 되면 제1 트랜지스터가 턴-온되어 P노드에는 스타트펄스 정도의 전압이 커패시터(capacitor) C1과 C2에 충전이 되고, 동시에 제3 트랜지스터가 턴-온이 된다. 이와 동시에 CLK2의 신호는 로우(Low)상태 이므로 Gout [N]노드는 로우 상태로 유지하게 된다.
- <24> S2 기간에서 스타트펄스(STV)가 로우상태가 되면 제1 트랜지스터는 턴-오프가 되어 P노드는 스타트 펄스의 전압 정도로 플로팅(floating)상태를 유지하게 된다. 이때 CLK 2 신호가 하이 상태로 되면서 커패시터 C1과 C2의 커플링(coupling)에 의해 P노드의 전압이 부트스트래핑(bootstrapping)을 하게 되어 제3 트랜지스터를 강력하게 턴-온 시켜 Gout [N]노드를 통하여 문턱 전압 감소 없이 하이(High) 상태의 전압이 출력된다.
- <25> S3 기간에서 다음단의 Gout [N+1] 신호가 하이(High)상태가 되면 제5 트랜지스터를 통하여 커패시터 C3에 충전이 되고 이 충전된 전하는 제2 트랜지스터와 제4 트랜지스터를 한 프레임(frame)동안 턴-온 시킨다. 이렇게 턴-온된 제2 트랜지스터와 제4 트랜지스터를 통하여 P 노드에 충전되어 있는 전하와 게이트라인에 충전되어 있는 전하가 방전되어 이후 게이트라인은 로우(Low)상태가 된다.
- <26> 이후, 다음 프레임(frame)의 S1 기간에서 스타트 펄스가 하이(High)상태가 되면 제6 트랜지스터가 턴-온이 되어 커패시터 C3에 충전된 전하가 방전되어 제2 트랜지스터와 제4 트랜지스터가 턴-오프 되고 다음 프레임의 스타트

펄스(STV)가 커패시터 C1과 C2에 충전이 된다.

- <27> 상기와 같이 구성된 게이트 드라이버에서는 한 프레임 주기(16.67 ms)동안 각 게이트라인에 하이(High)상태의 출력신호들이 공급되는 시간은 매우 짧게 된다.
- <28> 이에 반해 각 게이트라인들은 한 프레임 주기의 대부분 시간 동안에는 로우(Low)상태의 출력신호들이 공급되게 된다. 이때, 로우(Low)상태의 출력신호를 계속적으로 유지시키기 위한 제2 트랜지스터와 제4 트랜지스터의 게이트단자에는 대부분의 시간동안 하이(High)상태의 전압이 유지되게 된다. 따라서 지속적으로 이와 같은 과정이 반복됨으로써, 상기 제2 트랜지스터와 제4 트랜지스터에는 스트레스 전압이 누적되어 열화가 발생되게 된다.
- <29> 일반적으로, 액정표시장치는 디스플레이 장치에 적용되어 적게는 수년에서 길게는 수십년 동안 화면상에 화상이 표시되게 된다.
- <30> 하지만, 이와 같이 스트레스 전압이 지속적으로 누적됨에 따라 열화가 발생되고, 이러한 열화에 의해 제2 트랜지스터와 제4 트랜지스터의 문턱전압이 증가되게 되고 결국에는 소자 성능이 악화되어 제어되지 않게 됨으로써, 화면상에 제대로 화상이 표시되지 못하게 되어 화질저하로 이어지게 되는 문제점이 있었다. 또한, 이러한 열화에 의해 액정표시장치의 수명이 짧아지게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명은 상기와 같은 종래 기술이 문제점을 해결하기 위하여 창안된 것으로, 쉬프트 레지스터의 열화를 둔감하게 함으로써, 액정표시장치 화질의 품질을 높임과 동시에 장수명 구동이 가능하게 하는 쉬프트 레지스터를 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

- <32> 상기와 같은 기술적 과제를 해결하기 위하여 제안된 본 발명인 쉬프트 레지스터를 이루는 구성수단은 다수의 게이트 라인에 각각 연결되고 스타트 펄스를 쉬프트시킴으로써, 상기 게이트 라인에 순차적으로 게이트 구동 신호를 공급하는 다수의 쉬프트 레지스터에 있어서, 상기 쉬프트 레지스터 각각은, 상기 스타트 펄스 신호(STV)에 의해 온 또는 오프되는 제1 트랜지스터(T1)로 구성되는 1 풀업스위칭부와, 상기 제1 풀업스위칭부를 구성하는 상기 제1 트랜지스터(T1)의 소스단이 연결되는 P노드와 연결되며, 상기 제1 풀업스위칭부의 출력에 응답하여 입력되는 제1 클럭(CLK2) 신호를 이용해 게이트 구동신호를 게이트신호출력단(Gout[N])에 출력하는 구동신호 출력스위칭부와, 상기 P노드를 교번적으로 방전시키기 위하여 상기 P노드에 드레인단이 연결되는 두개의 트랜지스터로 구성되는 제2 풀다운스위칭부와, 상기 제2 풀다운스위칭부를 구성하는 트랜지스터에 교번적인 전압을 인가하는 제2 풀업스위칭부 및 제3 풀다운스위칭부와, 상기 게이트신호출력단(Gout[N])을 교번적으로 방전시키는 제1 풀다운스위칭부를 포함하여 이루어진 것을 특징으로 한다.
- <33> 또한, 상기 제1 트랜지스터(T1)는 게이트단과 드레인단이 스타트 펄스 신호(STV)를 공급하는 Gout[N-1]단에 연결되고, 소스단이 P노드에 연결되는 것을 특징으로 한다.
- <34> 또한, 상기 구동신호 출력스위칭부는, 상기 제1 트랜지스터(T1)의 소스단이 연결되는 P노드에 일단이 연결되는 커패시터(C1)와 상기 P노드 및 커패시터(C1) 일단에 게이트단이 연결되고, 드레인단은 제2 클럭(CLK2) 신호 공급단과 연결되며, 소스단이 상기 커패시터(C1)의 타단과 게이트신호출력단(Gout[N])에 연결되는 제8 트랜지스터(T8)로 구성되는 것을 특징으로 한다.
- <35> 또한, 상기 제2 풀다운스위칭부는, 상기 P노드단에 드레인단이 연결되고, 게이트단이 리셋단(Gout[N+1])에 연결되며 소스단이 Voff단에 연결되는 제2 트랜지스터(T2)와, 드레인단이 상기 P노드에 연결되고 소스단이 상기 제2 트랜지스터(T2)의 소스단 및 Voff단에 연결되는 제7 트랜지스터(T7)로 구성되는 것을 특징으로 한다.
- <36> 또한, 상기 제2 풀업스위칭부는, 상기 제2 클럭(CLK2) 신호 공급단 및 상기 제8 트랜지스터(T8)의 드레인단에 게이트단과 드레인단이 연결되는 제3 트랜지스터(T3)와, 드레인단이 상기 제2 클럭(CLK2) 신호 공급단 및 상기 제8 트랜지스터(T8)의 드레인단에 연결되고, 게이트단은 상기 제3 트랜지스터(T3)의 소스단과 연결되며 소스단은 상기 제7 트랜지스터(T7)의 게이트단에 연결되는 제6 트랜지스터(T6)로 구성되는 것을 특징으로 한다.
- <37> 또한, 상기 제3 풀다운스위칭부는, 상기 제3 트랜지스터(T3)의 소스단과 제6 트랜지스터(T6)의 게이트단에 드레인단이 연결되고, 게이트단이 상기 P노드에 연결되며, 소스단이 상기 Voff단 및 상기 제2 트랜지스터(T2)의 드레인단에 연결되는 제4 트랜지스터(T4)와, 상기 제6 트랜지스터(T6)의 소스단과 상기 제7 트랜지스터(T7)의 게이트단에 드레인단이 연결되고, 게이트단이 상기 P노드 및 상기 제4 트랜지스터(T4)의 게이트단에 연결되며, 소

스단이 상기 Voff단 및 상기 제2 트랜지스터(T2)의 드레인단에 연결되는 제5 트랜지스터(T5)로 구성되는 것을 특징으로 한다.

- <38> 또한, 상기 제1 풀다운스위칭부는 상기 게이트신호출력단(Gout[N])에 드레인단이 연결되고, 게이트단이 제1 클럭(CLK1) 신호 공급단에 연결되며, 소스단이 Voff단에 연결되는 제9 트랜지스터(T9)로 구성되는 것을 특징으로 한다.
- <39> 또한, 상기 제1 클럭(CLK1) 신호와 제2 클럭(CLK2) 신호는 서로 위상이 반전되는 것을 특징으로 한다.
- <40> 또한, 상기 트랜지스터들은 수소화된 비정질 실리콘 박막 트랜지스터이고, NMOS 트랜지스터인 것을 특징으로 한다.
- <41> 또한, 상기 트랜지스터들은 역스태거드(Inverted staggered) 구조를 가지는 것을 특징으로 한다.
- <42> 또한, 상기 트랜지스터는 다결정 실리콘 또는 단결정 실리콘으로 구성되고, NMOS 또는 PMOS 트랜지스터인 것을 특징으로 하고, 상기 트랜지스터는 평면형(Coplanar) 또는 역스태거드(Inverted staggered) 구조를 가지는 것을 특징으로 한다.
- <43> 이하, 첨부된 도면을 참조하여 상기와 같은 구성수단으로 이루어져 있는 본 발명인 쉬프트 레지스터에 관한 작용 및 바람직한 실시예를 상세하게 설명한다.
- <44> 본 발명의 바람직한 실시예는, 출력파형을 로우(Low)상태로 유지시키기 위한 트랜지스터를 교번적으로 동작시킴으로써, 열화에 따른 문턱 전압의 변화를 둔감하게 하여 장수명을 구현하는 것을 목표로 하고 있다.
- <45> 도 4는 본 발명의 바람직한 실시예에 따른 액정표시장치에 구비된 게이트드라이버의 쉬프트 레지스터의 상세한 회로구성을 나타낸 도면이다.
- <46> 본 발명은, 다수의 게이트 라인에 각각 연결되고 스타트 펄스를 쉬프트시킴으로써, 상기 게이트 라인에 순차적으로 게이트 구동 신호를 공급하는 다수의 쉬프트 레지스터에 관한 것이고, 상기 쉬프트레지스터 각각은 제1 풀업스위칭부(10), 제2 풀업스위칭부(20), 구동신호 출력 스위칭부(30), 제2 풀다운스위칭부(40), 제3 풀다운스위칭부(50), 제1 풀다운스위칭부(60)를 포함하여 구성된다.
- <47> 상기 쉬프트 레지스터를 구성하는 모든 트랜지스터는 수소화된 아모포스(비정질)-실리콘 트랜지스터, 다결정질 박막 트랜지스터 및 결정질 박막 트랜지스터 중 어느 하나로 구성된다. 또한, 상기 트랜지스터들은 NMOS 또는 PMOS 트랜지스터 중 어느 하나로 구성된다. 그리고, 상기 트랜지스터들은 역스태거드(inverted staggered)형 구조를 가지는 것이 바람직하다.
- <48> 상기 제1 풀업스위칭부(10)는 상기 스타트 펄스 신호(STV)에 의해 온 또는 오프되는 제1 트랜지스터(T1)로 구성된다. 상기 제1 트랜지스터(T1)는 도 4에 도시된 바와 같이, 게이트단과 드레인단이 스타트 펄스 신호(STV)를 공급하는 Gout[N-1]단에 연결되고, 소스단이 P노드에 연결된다.
- <49> 그리고, 구동신호 출력 스위칭부(30)는 상기 제1 풀업스위칭부(10)를 구성하는 상기 제1 트랜지스터(T1)의 소스단이 연결되는 P노드와 연결되며, 상기 제1 풀업스위칭부(10)의 출력에 응답하여 입력되는 제1 클럭(CLK2) 신호를 이용해 게이트 구동신호를 게이트신호출력단(Gout[N])에 출력한다.
- <50> 상기 구동신호 출력 스위칭부(30)는 커패시터(C1)와 제8 트랜지스터(T8)로 구성된다. 상기 커패시터(C1)는 상기 제1 트랜지스터(T1)의 소스단이 연결되는 P노드에 일단이 연결되어 있고, 상기 제8 트랜지스터(T8)는 상기 P노드 및 커패시터(C1) 일단에 게이트단이 연결되고, 드레인단은 제2 클럭(CLK2) 신호 공급단과 연결되며, 소스단이 상기 커패시터(C1)의 타단과 게이트신호출력단(Gout[N])에 연결된다.
- <51> 제2 풀다운스위칭부(40)는 상기 P노드를 교번적으로 방전시키기 위하여 상기 P노드에 드레인단이 연결되는 두개의 트랜지스터로 구성된다. 상기 제2 풀다운스위칭부(40)는 제2 트랜지스터(T2)와 제7 트랜지스터(T7)로 구성된다.
- <52> 상기 제2 트랜지스터(T2)는 상기 P노드단에 드레인단이 연결되고, 게이트단이 리셋단(Gout[N+1])에 연결되며 소스단이 Voff단에 연결되어 있고, 상기 제7 트랜지스터(T7)는 드레인단이 상기 P노드에 연결되고 소스단이 상기 제2 트랜지스터(T2)의 소스단 및 Voff단에 연결되어 있다.
- <53> 상기 제2 풀업스위칭부(20) 및 제3 풀다운스위칭부(50)는 상기 제2 풀다운스위칭부(40)를 구성하는 트랜지스터에 교번적인 전압을 인가한다.

- <54> 상기 제2 풀업스위칭부(20)는 제3 트랜지스터(T3)와 제6 트랜지스터(T6)로 구성된다.
- <55> 상기 제3 트랜지스터(T3)는 상기 제2 클럭(CLK2) 신호 공급단 및 상기 제8 트랜지스터(T8)의 드레인단에 게이트단과 드레인단이 연결되어 있고, 상기 제6 트랜지스터(T6)는 드레인단이 상기 제2 클럭(CLK2) 신호 공급단 및 상기 제8 트랜지스터(T8)의 드레인단에 연결되고, 게이트단은 상기 제3 트랜지스터(T3)의 소스단과 연결되며 소스단은 상기 제7 트랜지스터(T7)의 게이트단에 연결되어 구성된다.
- <56> 상기 제3 풀다운스위칭부(50)는 제4 트랜지스터(T4)와 제5 트랜지스터(T5)로 구성된다. 상기 제4 트랜지스터(T4)는 상기 제3 트랜지스터(T3)의 소스단과 제6 트랜지스터(T6)의 게이트단에 드레인단이 연결되고, 게이트단이 상기 P노드에 연결되며, 소스단이 상기 Voff단 및 상기 제2 트랜지스터(T2)의 드레인단에 연결되어 있고, 상기 제5 트랜지스터(T5)는 상기 제6 트랜지스터(T6)의 소스단과 상기 제7 트랜지스터(T7)의 게이트단에 드레인단이 연결되고, 게이트단이 상기 P노드 및 상기 제4 트랜지스터(T4)의 게이트단에 연결되며, 소스단이 상기 Voff단 및 상기 제2 트랜지스터(T2)의 드레인단에 연결되어 구성된다.
- <57> 상기 제1 풀다운스위칭부(60)는 상기 게이트신호출력단(Gout[N])을 교번적으로 방전시키는 동작을 수행한다. 상기 제1 풀다운스위칭부(60)는 상기 게이트신호출력단(Gout[N])에 드레인단이 연결되고, 게이트단이 제1 클럭(CLK1) 신호 공급단에 연결되며, 소스단이 Voff단에 연결되는 제9 트랜지스터(T9)로 구성되어 있다.
- <58> 도 5는 도 4의 구동 및 출력 파형을 포함하고 있는 파형도이다. 이를 참조하여 본 발명에 따른 쉬프트 레지스터의 동작을 설명하면 다음과 같다.
- <59> S1 기간에서 스타트펄스(STV)가 하이(High)상태가 되면, 제1 트랜지스터를 통하여 커패시터 C1에 스타트펄스 정도의 전압이 충전된다. 이때 P노드에 연결된 트랜지스터는 모두 턴-오프상태이므로 P노드는 스타트펄스 정도의 전압을 유지한다. 이때 제1 클럭(CLK1)은 하이(High) 상태이고 제2 클럭(CLK2)은 로우(low) 상태이므로 출력라인인 게이트신호출력단(Gout[N])에는 로우(Low) 상태를 유지한다.
- <60> S2 기간에서 스타트펄스가 로우(Low) 상태가 되면, 제1 트랜지스터는 턴-오프 상태가 되고 P노드는 스타트펄스 정도의 전압으로 플로팅(floating)상태가 된다.
- <61> 이때 제2 클럭(CLK2)이 하이(High) 상태가 되면서 커패시터 C1의 커플링(coupling)에 의해 P노드 전압이 부트스트래핑(Bootstrapping)되어 제8 트랜지스터를 강력하게 턴-온시켜 문턱 전압의 감소 없이 하이(High) 상태의 출력이 발생한다.
- <62> 이때, 제3 트랜지스터와 제6 트랜지스터는 턴-온 상태이나 제4 트랜지스터와 제5 트랜지스터가 부트스트랩(Bootstrap)된 P노드의 전압으로 인해 강력하게 턴-온 된 상태이므로 제7 트랜지스터는 턴-오프되어 P노드 전압은 하이(High)상태를 유지하게 된다.
- <63> S3 기간에서 다음단의 출력인 리셋단(Gout[N+1])이 하이(High) 상태가 되면, 제2 트랜지스터가 턴-온 되면서 P노드에 충전된 전하가 방전되어 제8 트랜지스터가 턴-오프상태가 된다.
- <64> 이때, 제1 클럭(CLK1)은 하이(High) 상태이고 제2 클럭(CLK2)은 로우(Low) 상태이므로 출력 신호인 게이트신호출력단(Gout[N]) 신호는 로우(Low) 상태가 된다. 이와 동시에 제4 트랜지스터와 제5 트랜지스터는 턴-오프 상태가 되므로 제2 클럭(CLK2)의 전압이 제6 트랜지스터를 통하여 제7 트랜지스터의 게이트에 인가된다.
- <65> 이후 게이트 라인이 로우(Low) 상태인 동안에 P노드에는 제2 클럭(CLK2), 게이트신호출력단(Gout[N])에는 제1 클럭(CLK1)이 교번적으로 인가되어 게이트신호출력단(Gout[N])을 지속적으로 로우(Low) 상태로 유지시킨다.
- <66> 이와 같이 두 개의 위상이 반전된 교류 클럭(CLK1, CLK2)을 사용하여 로우(Low) 상태를 유지시키는 제7 트랜지스터와 제9 트랜지스터의 바이어스 스트레스에 따른 문턱 전압 변화를 줄여 장시간 구동시에도 문턱 전압의 변화가 적은 쉬프트 레지스터를 제공할 수 있다.
- <67> 도 6은 도 3을 이루고 있는 각 트랜지스터의 문턱전압 변화에 따른 출력 파형의 변화를 시뮬레이션한 결과이고 도 7은 도 4를 이루고 있는 각 트랜지스터의 문턱전압 변화에 따른 출력 파형의 변화를 시뮬레이션한 결과이다.
- <68> 도 6과 도 7의 시뮬레이션 결과에서 보는 바와 같이, 본 발명에 따른 쉬프트 레지스터는 기존의 쉬프트 레지스터에 비해 2 배 이상의 장시간 구동이 가능함을 확인할 수 있다.

발명의 효과

- <69> 상기와 같은 구성 및 작용 그리고 바람직한 실시예를 가지는 본 발명인 쉬프트 레지스터에 의하면, 쉬프트 레지

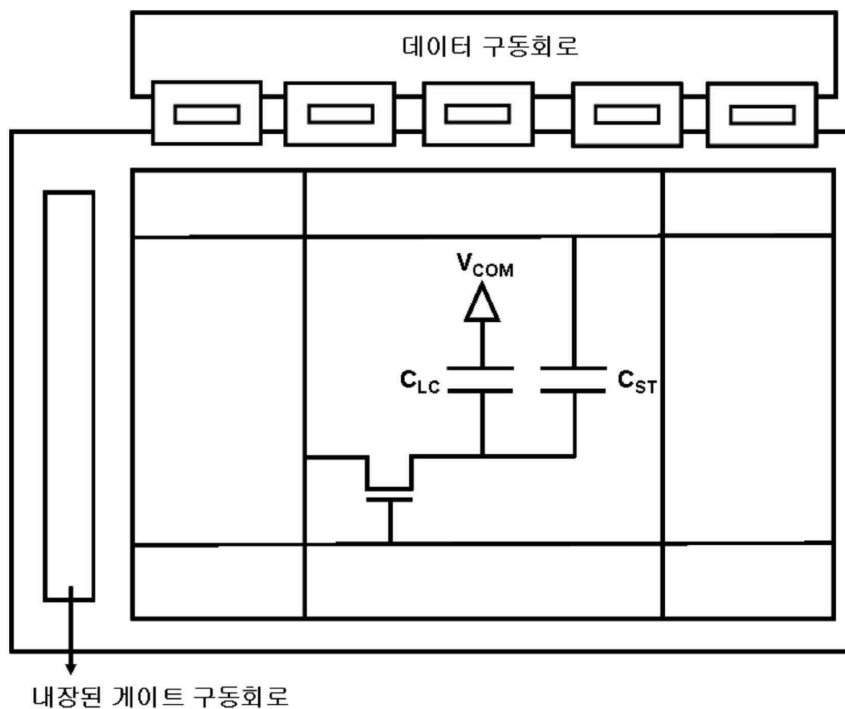
스터의 로우(Low) 상태의 출력신호를 제어하는 트랜지스터의 문턱 전압의 변화를 최소화할 수 있고, 쉬프트 레지스터를 장시간 구동할 수 있는 장점이 있다. 또한, 교류 구동시에 필요한 풀다운 트랜지스터의 개수를 최소화할 수 있는 장점이 있다.

도면의 간단한 설명

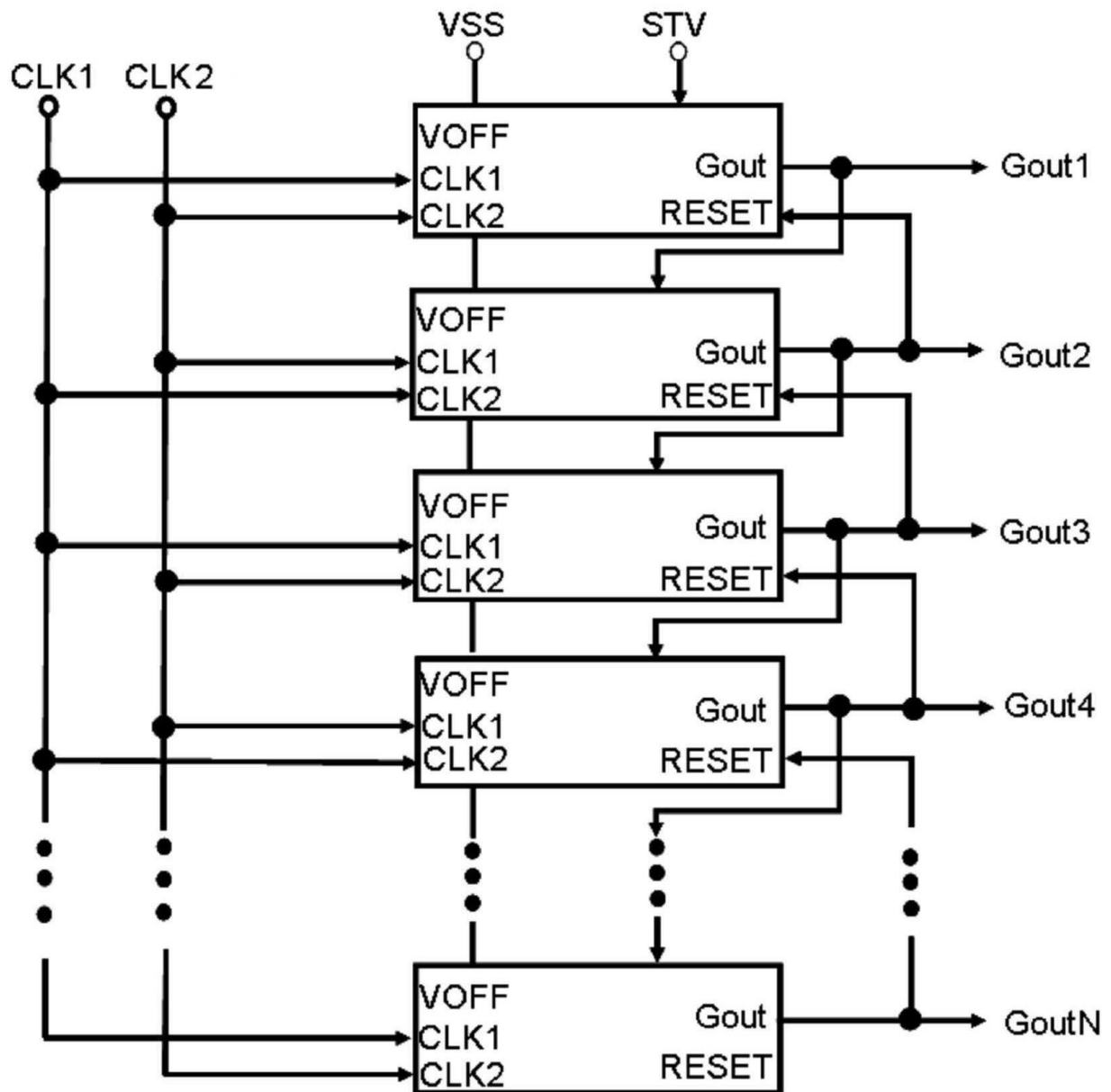
- <1> 도 1은 본 발명에 의한 a-Si:H TFT LCD의 TFT 기판의 구성을 나타낸 도면이다.
- <2> 도 2는 도 1의 게이트 구동회로에 적용되는 쉬프트 레지스터를 설명하기 위한 블록도이다.
- <3> 도 3은 일반적인 액정표시장치의 게이트드라이버를 구성하는 쉬프트레지스터의 구체적인 회로 구성을 나타낸 것이다.
- <4> 도 4는 도 2에 도시된 쉬프트레지스터의 각 스테이지를 구성하는 구체적인 회로 구성을 나타낸 것이다.
- <5> 도 5는 도 4의 구동 파형을 설명하기 위한 파형도 및 출력 파형도이다.
- <6> 도 6은 도 3을 이루고 있는 각 트랜지스터의 문턱전압 변화에 따른 출력 파형의 변화를 시뮬레이션한 결과이다.
- <7> 도 7은 도 4를 이루고 있는 각 트랜지스터의 문턱전압 변화에 따른 출력 파형의 변화를 시뮬레이션한 결과이다.

도면

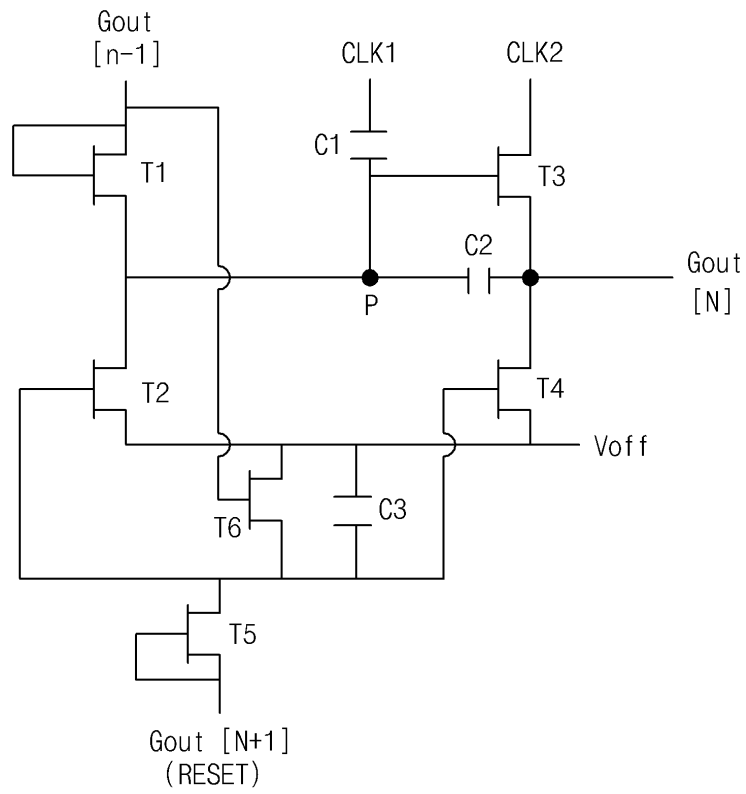
도면1



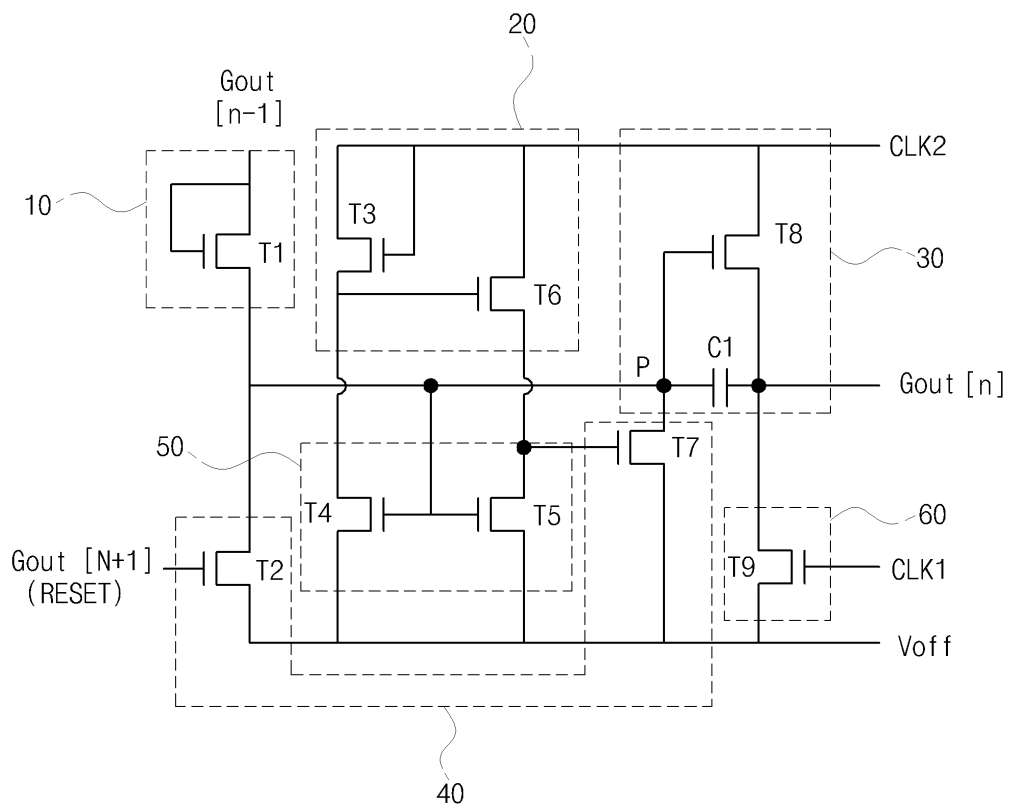
도면2



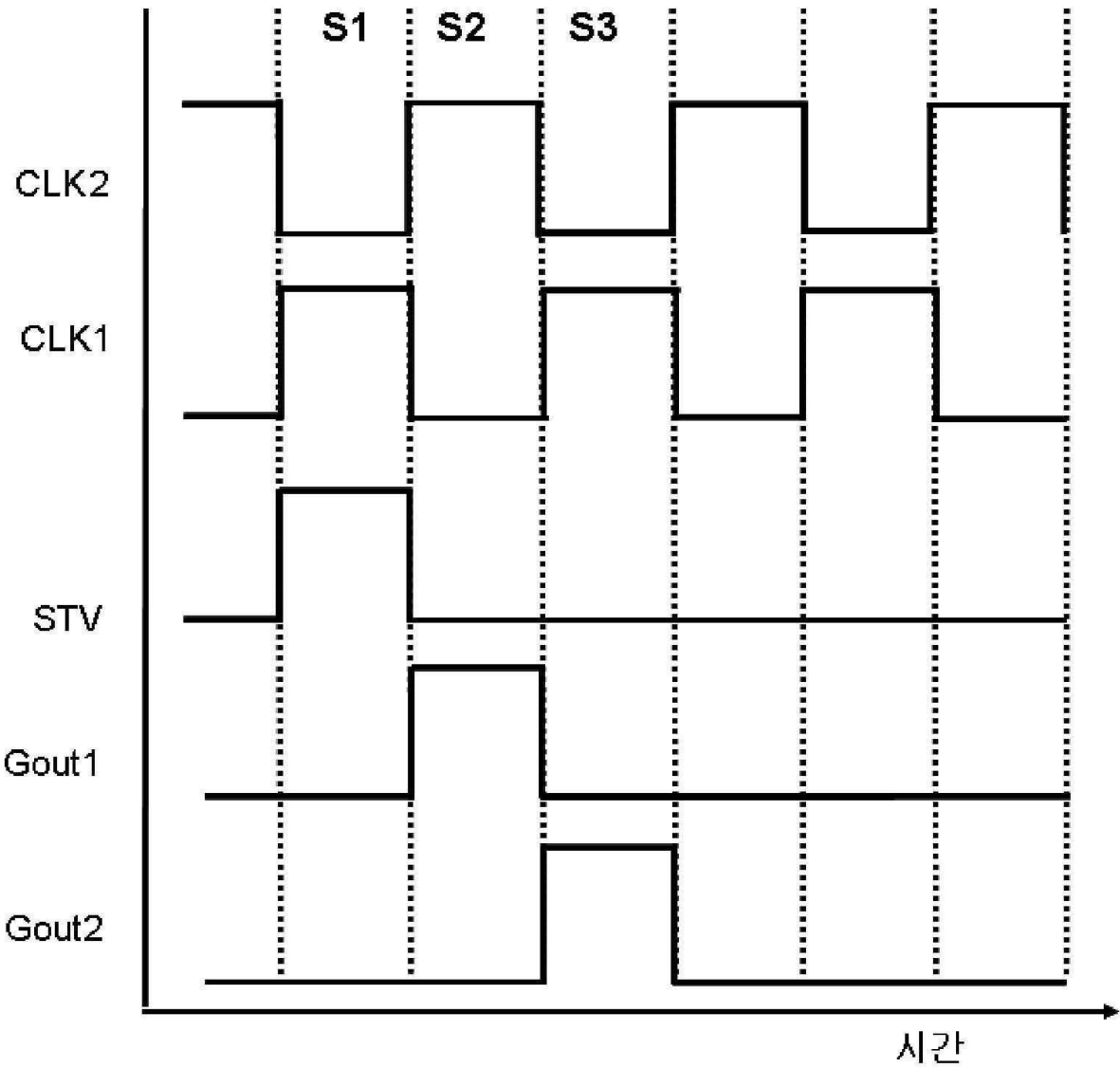
도면3



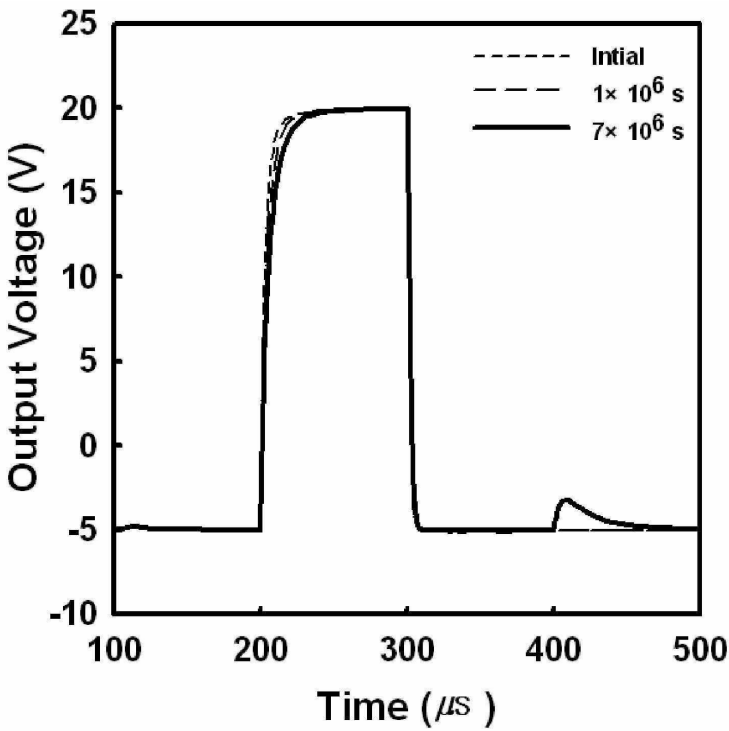
도면4



도면5



도면6



도면7

