



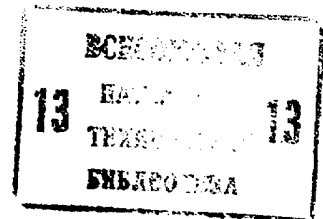
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1167659** **A**

(51) 4 G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3595817/24-24

(22) 26.05.83

(46) 15.07.85. Бюл. № 26

(72) Е. Я. Белалов, А. Г. Забуранный,  
В. И. Корнейчук и М. Н. Орлова

(71) Киевский ордена Ленина политехни-  
ческий институт им. 50-летия Великой Ок-  
тябрьской социалистической революции

(53) 681.327.066(088.8)

(56) Сеалерс Ф. Методы обнаружения оши-  
бок в работе ЭЦВМ. М.: Мир, 1972, с. 265—  
288.

Патент США № 34077028, кл. 340—146.1,  
опублик. 1978.

(54) (57) 1. ЗАПОМИНАЮЩЕЕ УСТРОЙ-  
СТВО С САМОКОНТРОЛЕМ, содержащее  
блок памяти, адресные входы которого яв-  
ляются адресными входами устройства,  
блок кодирования, входы которого соедине-  
ны с информационными входами первой груп-  
пы блока памяти и являются информа-  
ционными выходами устройства, блок управ-  
ления, выходы и входы первой группы ко-  
торого являются соответственно управляю-  
щими выходами и входами устройства, блок  
декодирования, выходы первой группы кото-  
рого соединены с входами второй группы  
блока управления, блок коррекции ошибок,  
входы первой и второй групп которого соеди-  
нены соответственно с выходами второй  
группы блока декодирования и входами пер-  
вой группы блока декодирования, которые  
соединены также с выходами блока памяти,  
управляющие входы которого соединены с  
выходами второй группы блока управления  
и управляющими входами второй группы

блока декодирования, отличающееся тем,  
что, с целью повышения точности самокон-  
троля, оно содержит блок обнаружения оши-  
бок, первый и второй коммутаторы, причем  
входы первой группы и выходы первого  
коммутатора соединены соответственно с вы-  
ходами блока кодирования и информацион-  
ными входами второй группы блока памяти,  
а входы второй группы первого коммутатора  
соединены с входами третьей группы блока  
управления, выходами блока обнаружения  
ошибок, управляющими входами третьей  
группы блока декодирования и входами пер-  
вой группы второго коммутатора, входы вто-  
рой и третьей групп которого соединены с  
выходами соответственно блока коррекции  
ошибок и третьей группы блока управления,  
входы четвертой группы второго коммута-  
тора являются информационными входами  
устройства, а выходы соединены с входами  
блока кодирования и входами первой груп-  
пы блока обнаружения ошибок, входы вто-  
рой, третьей, четвертой и пятой групп кото-  
рого соединены соответственно с выходами  
четвертой группы блока управления, адресны-  
ми входами блока памяти, выходами первой  
группы блока декодирования и выходами  
блока памяти.

2. Устройство по п. 1, отличающееся тем,  
что блок обнаружения ошибок содержит тре-  
тий коммутатор и регистр, выходы которого  
являются выходами блока, одни из входов  
регистра соединены с выходами коммута-  
тора, а другие входы регистра и входы тре-  
тьего коммутатора являются соответствую-  
щими входами блока.

(19) **SU** (11) **1167659** **A**

Изобретение относится к вычислительной технике и может быть использовано при создании запоминающих систем повышенной надежности, выполненных на функциональных узлах большой степени интеграции, а также применено в вычислительных системах для осуществления программно-аппаратного контроля оборудования.

Цель изобретения — снижение аппаратных затрат и расширение функциональных возможностей за счет возможности осуществления программно-аппаратного контроля блоков устройства.

На фиг. 1 представлена структурная схема предлагаемого запоминающего устройства с самоконтролем; на фиг. 2 — функциональные схемы блока декодирования и блока диагностики.

Устройство содержит блок 1 памяти, блок 2 декодирования, блок 3 обнаружения ошибки, блок 4 управления, первый 5 коммутатор, блок 6 кодирования, блок 7 коррекции ошибки, второй 8 коммутатор, шины 9 адреса, входы 10 входных данных, выходы 11 данных, входы 12 управления, выходы 13 ответа и ошибки.

Блок 1 памяти содержит накопитель 14 и регистр 15 данных, состоящий из двух частей: информационной 16 — для записи информационных разрядов считываемого слова и контрольной части 17 — для записи контрольных разрядов слова. Информационные входы накопителя 14 связаны с первой и второй группой информационных входов блока 1 памяти, а адресные входы накопителя являются адресными входами блока 1 памяти. Информационные выходы накопителя подключены к информационным входам обеих частей регистра 15 данных: информационной и контрольной, информационные выходы которых соединены с первыми входами блока 2. Кроме того, выходы информационной части 16 регистра 15 данных подключены к первым входам блока 7 коррекции ошибок, а выходы контрольной части 17 регистра подсоединены к первым входам блока 3 обнаружения ошибок. Управляющие входы накопителя 14 и регистра 15 являются управляющими входами блока 1 памяти.

Блок 2 декодирования (фиг. 2) содержит генератор 18 синдрома ошибок, блок 19 обнаружения дискриминации ошибки и дешифратор 20 неисправного разряда. Входы генератора 18 являются первыми входами блока декодирования, а выходы декодера соединены с входами блока 19 дискриминации ошибки и дешифратора 20, к вторым входам которых подключены соответственно второй и третий входы блока 2 декодирования. Выходы блока 19 и дешифратора 20 являются соответственно вторым и первым выходом блока 2 и соответственно соединены с вторыми входами блока 3

обнаружения ошибки и блока 7 коррекции ошибок.

Блок 19 дискриминации ошибки, входящий в состав блока 2 декодирования, содержит формирователь 21 четности с управляющим входом, элементы И—НЕ 22—27, элемент И—ИЛИ 28, элемент ИЛИ—НЕ 29.

Блок 3 обнаружения ошибок (фиг. 2) состоит из коммутатора 30 и регистра 31, содержащего бит 32 многократной ошибки, бит 33 одиночной ошибки, биты 34 для занесения адреса или контрольных разрядов бит 35 режима диагностических проверок, бит 36 блокировки коррекции, бит 37 разрешения выдачи ошибки.

Устройство работает следующим образом.

При выполнении операции записи в память на шины 9 адреса поступает адрес обращения (адрес ячейки, к которой необходимо обратиться), на шины 10 данных — данные, на шины 12 управления — сигнал записи в память, по которому блок 4 управления вырабатывает последовательность управляющих сигналов для записи данных в блок 1 памяти. По сигналам от блока 4 управления коммутатор 8 данных передает данные с шины 11 данных на вход блока 1 памяти и блока 6 кодирования, который формирует контрольные разряды для поступивших данных согласно принятой кодировке сигналов, например в модифицированном коде Хэмминга согласно табл. 1.

Информационные разряды в приведенном модифицированном коде Хэмминга кодируются кодовыми комбинациями, содержащими по 3 единицы, а контрольные разряды — кодовыми комбинациями, содержащими по 1 единице. Таким образом, количество единиц в кодовой комбинации всегда нечетно. При четном количестве единиц в кодовой комбинации будет иметь место двойная либо большей кратности ошибка. Причем кодовые комбинации выбраны таким образом, чтобы при формировании каждого контрольного разряда участвовали не более восьми информационных разрядов и формирование контрольных разрядов производилось параллельно независимо друг от друга, что позволяет обеспечить максимальное быстродействие при формировании контрольных разрядов.

Сформированные контрольные разряды передаются на запись в блок 1 памяти через коммутатор 5 контрольных разрядов при наличии сигнала разрешения от блока 3. По сигналам управления, поступающим от блока 4 управления, производится запись информации в ячейку блока 1 памяти, определяемую адресом, поступающим на шину 9 адреса. После подачи сигнала ответа на шину 13 ответа и ошибки выполнение операции записи в память заканчивается.

При выполнении операции чтения из памяти на шины 12 управления поступает сигнал чтения из памяти. Блок 4 управления вырабатывает последовательность управляющих сигналов, по которым производится чтение информации из ячейки, определяемой адресом, поступающим на шины 9 адреса. После считывания из накопителя информация заносится в регистр 15 данных по стробу, поступающему от блока 4 управления. Блок 2 производит контроль информации, поступающей с регистра 15 данных и формирует суммарный синдром. Если синдром равен нулю, это означает, что ошибок в считанной информации нет и информационные разряды передаются через блок 7 с регистра 15 данных на вход коммутатора 8 данных без изменений. Работа дешифратора 20 неисправного разряда в этом случае запрещена. Коммутатор 8 данных по сигналам управления от блока 4 управления передает данные на шины 11 данных по сигналу выдачи данных, вырабатываемому блоком 4 управления.

Если хотя бы один разряд синдрома равен единице, то в считанной информации имеется ошибка: одиночная (корректируемая) либо многократная (некорректируемая).

Если код полученного синдрома имеет нечетное количество единиц и совпадает, например, с одним из кодов, приведенным в табл. 1, то имеет место одиночная (корректируемая) ошибка, которая обнаруживается блоком 19. Информация об одиночной ошибке заносится в блок 3, а также поступает в блок 4 управления, который формирует сигнал разрешения работы дешифратора 20 неисправного разряда. Дешифратор 20 определяет неисправный разряд и в блоке 7 производит его коррекцию. Скорректированная информация через коммутатор 8 данных по сигналам управления, поступающим от блока 4 управления, выдается на выход 11 устройства. Информация об одиночной ошибке может быть считана при обращении к блоку 3.

Если код полученного синдрома имеет четное количество единиц либо нечетное количество единиц, но совпадающее, например, с одним из кодов, приведенным в табл. 2, то имеет место многократная (некорректируемая) ошибка, которая обнаруживается блоком 19. Информация об ошибке заносится в блок 3, а также поступает в блок 4 управления, который в этом случае запрещает работу дешифратора 20 неисправного разряда, вырабатывает последовательность управляющих сигналов для передачи информации без изменений на выход устройства через коммутатор 8 данных, а также выставляет сигнал ошибки на шины 13 ответа и ошибки, информация о многократной ошибке может быть считана при обращении к блоку 8 (во всех рассмот-

ренных случаях на шины 13 выставляется сигнал ответа).

При наличии сигнала блокировки коррекции, поступающего от блока 3, одиночная ошибка воспринимается блоком 19 как многократная (некорректируемая) ошибка. Блок 4 управления при этом блокирует работу дешифратора 20 неисправного разряда и формирует сигнал ошибки на шинах 13 ответа и ошибки.

При выполнении операции записи в блок 3 коммутатор 8 данных передает информацию с шины 10 входных данных на вход блока 3. По стробу, поступающему от блока 4, эта информация заносится в блок 3, после чего блок 4 управления формирует сигнал ответа.

При выполнении операции чтения из блока 3 блок 4 управления формирует последовательность сигналов на передачу информации с выхода блока 3 через коммутатор 8 данных на шину 11 данных, а также формирует сигнал ответа.

При профилактических и диагностических проверках устройства, а также при работе устройства на операционных системах в составе вычислительного комплекса с помощью блока 3 могут задаваться различные режимы работы устройства и самого блока 3. При установке бита 37 разрешения выдачи ошибки в нулевое состояние выдачи сигнала ошибки на шины 13 ответа и ошибки блоком 4 управления не производится. При установке бита 36 блокировки коррекции одиночная ошибка воспринимается как многократная (некорректируемая ошибка). Если бит 35 режима диагностики проверок блока 3 установлен в нулевое состояние, то имеет место нормальный режим работы устройства, при котором при обнаружении многократной (некорректируемой) ошибки в битах 34 для занесения адреса или контрольных разрядов заносятся старшие разряды адреса ошибки. Если же бит 35 установлен в единичное состояние, то имеет место диагностический режим работы устройства, при котором в операции записи в оперативную память вместо контрольных разрядов, сформированных блоком 6 кодирования, записываются контрольные разряды, ранее занесенные из процессора в биты 34 блока 3. Запись этих контрольных разрядов в блок 1 памяти обеспечивается переключением коммутатора 5 контрольных разрядов битом 35 режима диагностических проверок на направление передачи контрольных разрядов от блока 3. При считывании информации из блока 1 памяти в этом случае в блок 3 будут заноситься вместо старших разрядов адреса считанные контрольные разряды, которые могут быть считаны при чтении информации из блока 3.

Задавая различные известные комбинации информационных разрядов, записывая их вместе со сформированными блоком 6

кодирования контрольными разрядами в блок 1 памяти в обычном режиме записи и считывая их в диагностическом режиме, определяют правильность функционирования блока 6 кодирования.

Записывая через блок 3 в диагностическом режиме различные кодовые комбинации контрольных разрядов под определенную кодовую комбинацию информационных разрядов в блок 1 памяти, искусственно внося тем самым одиночные и многократ-

5

ные ошибки, и считывая затем записанную информацию, определяют правильность функционирования блока 2 декодирования, блока 3, блока 7.

10

Записывая в блок 1 памяти и считывая информацию, определяют правильность функционирования блока 1 памяти.

Таким образом, обеспечивается программно-аппаратная проверка блоков запоминающего устройства с самоконтролем.

Т а б л и ц а 1

Соответствие информационных и контрольных разрядов их двоичному представлению в модифицированном коде Хэмминга

Разряды	Номер разряда	Код синдрома					
		5	4	3	2	1	0
Информационные	0	0	1	1	0	0	1
	1	1	0	1	0	0	1
	2	1	1	0	0	0	1
	3	0	1	1	0	1	0
	4	1	0	1	0	1	0
Информационные	5	1	1	0	0	1	0
	6	1	0	1	1	0	0
	7	1	1	0	1	0	0
	8	0	0	1	0	1	1
	9	0	0	1	1	0	1
	10	0	0	1	1	1	0
	11	0	1	0	0	1	1
	12	0	1	0	1	0	1
	13	0	1	0	1	1	0
	14	1	0	0	1	0	1
	15	1	0	0	1	1	0

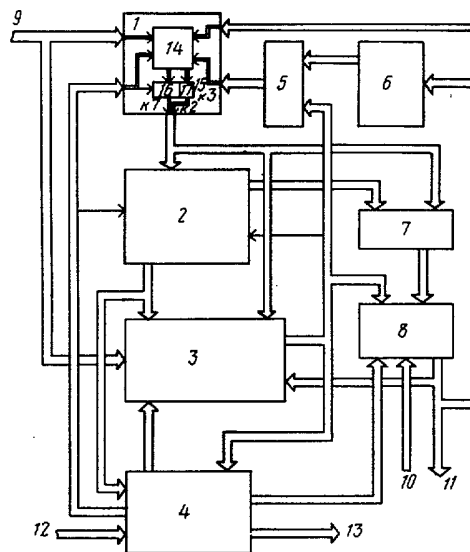
Продолжение табл. 1

Разряды	Номер разряда	Код синдрома					
		5	4	3	2	1	0
Контроль-	16	0	0	0	0	0	1
ные	17	0	0	0	0	1	0
	18	0	0	0	1	0	0
	19	0	0	1	0	0	0
	20	0	1	0	0	0	0
	21	1	0	0	0	0	0

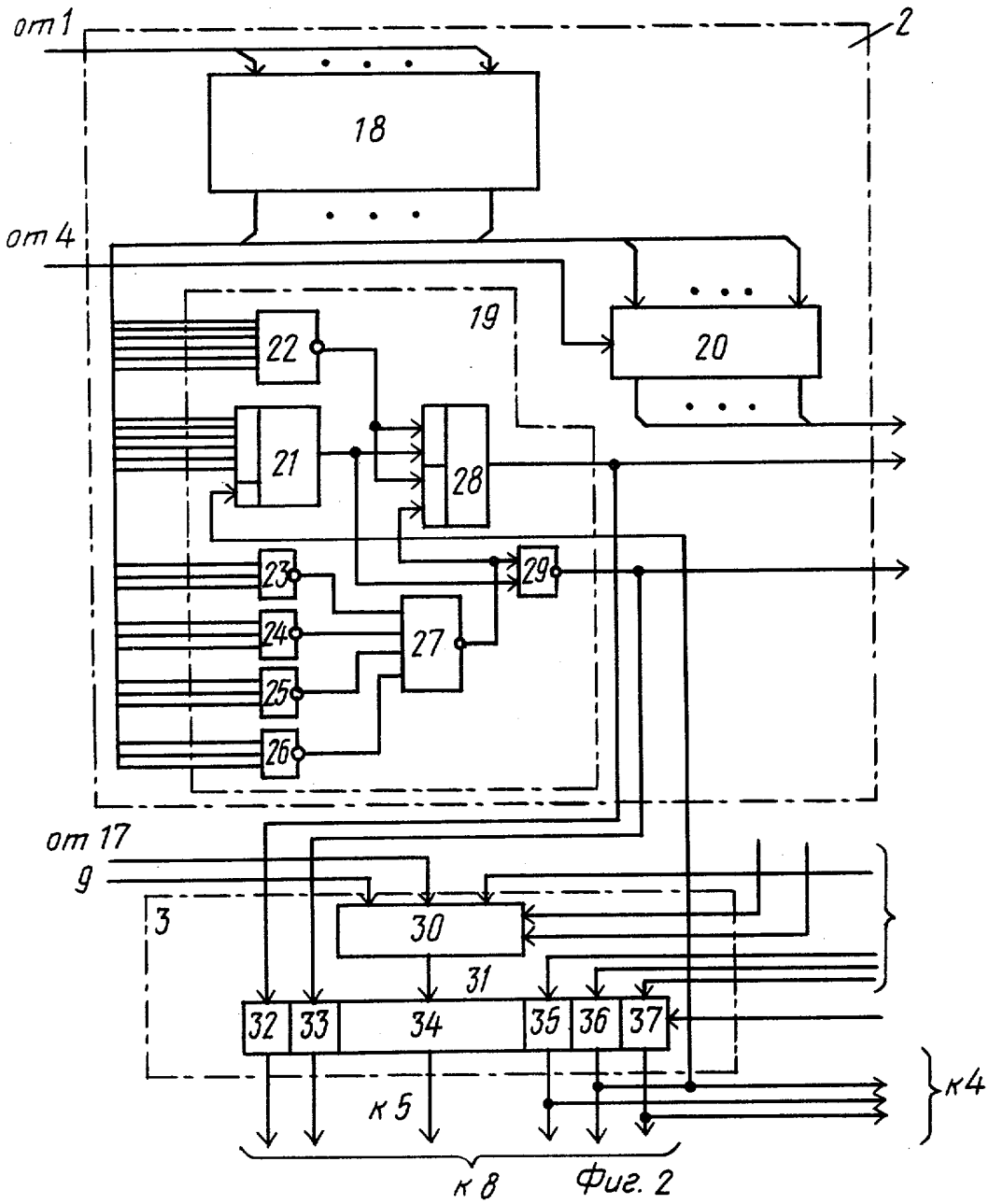
Таблица 2  
Коды нечетных некорректируемых ошибок

Код синдрома					
5	4	3	2	1	0
X	X	X	1	1	1
X	1	1	1	X	X
1	X	X	X	1	1
1	1	1	X	X	X

Примечание. X - любое значение разряда синдрома.



Фиг. 1



Редактор Н. Киштулинец      Составитель Г. Бородин      Корректор А. Тяско  
 Заказ 4441/50      Техред И. Верес      Подписное  
 Тираж 584

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5  
 Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4