



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년09월01일
(11) 등록번호 10-1653508
(24) 등록일자 2016년08월26일

(51) 국제특허분류(Int. Cl.)
G01R 31/317 (2006.01) G01R 31/28 (2006.01)
G01R 31/3183 (2006.01) G01R 31/3185 (2006.01)
(52) CPC특허분류
G01R 31/31725 (2013.01)
G01R 31/2851 (2013.01)
(21) 출원번호 10-2015-0166969
(22) 출원일자 2015년11월27일
심사청구일자 2015년11월27일
(56) 선행기술조사문헌
KR1020070071144 A*
KR1020100078544 A*
KR1020100001828 A
JP2014165881 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
이한호
인천광역시 연수구 센트럴로 194, 203동 2205호(송도동, 더샵센트럴파크2)
정건옥
경기도 용인시 기흥구 금화로58번길 10, 403동 701호(상갈동, 금화마을주공4단지아파트)
(74) 대리인
양성보

전체 청구항 수 : 총 6 항

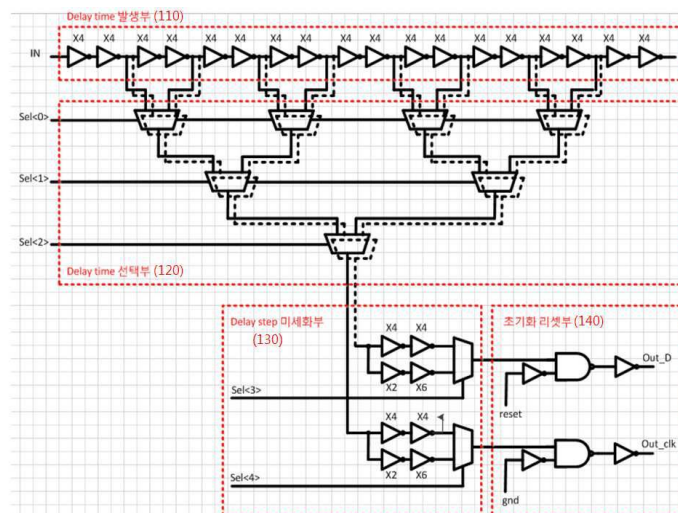
심사관 : 권민정

(54) 발명의 명칭 딜레이 체인과 대칭 MUX를 이용한 플립-플롭 성능 테스트 방법 및 장치

(57) 요약

딜레이 체인과 대칭 MUX를 이용한 플립-플롭 성능 테스트 방법 및 장치가 제시된다. 본 발명에서 딜레이 체인과 대칭 MUX를 이용한 플립-플롭 성능 테스트 장치는 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양을 포함하도록 하고, 딜레이 스텝들의 딜레이 타임의 양을 생성하는 딜레이 타임 발생부, 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부, 상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화하는 딜레이 스텝 미세화부, 상기 딜레이 스텝 미세화부 출력을 입력받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화하는 초기화 리셋부를 포함한다.

대표도 - 도1



(52) CPC특허분류

G01R 31/31704 (2013.01)

G01R 31/318328 (2013.01)

G01R 31/318525 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711014156

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 대학ICT연구센터육성 지원사업

연구과제명 스마트한 주파수 이용을 위한 스펙트럼 및 전파기술

기 여 율 1/1

주관기관 인하대학교 산학협력단

연구기간 2014.06.01 ~ 2015.12.31

명세서

청구범위

청구항 1

플립-플롭(Flip-Flop) 성능 테스트 장치에 있어서,

딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양을 포함하도록 하고, 딜레이 스텝들의 딜레이 타임의 양을 생성하는 딜레이 타임 발생부;

상기 딜레이 타임 발생부로부터 획득한 신호들 중 어떤 신호를 데이터 신호로 이용할 것인지 및 어떤 신호를 클럭 신호로 이용할 것인지를 MUX들을 이용하여 선택하고, 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부 - 상기 MUX들은 프로세스 변화에 따른 딜레이 변화의 영향을 줄이고, 프로세스 변화가 발생하더라도 신호 경로 간 딜레이 미스매치가 발생하지 않도록 하고, MUX들의 동작 시에 발생하는 딜레이 변화 및 MUX와 MUX 간의 딜레이 변화가 신호 경로 간에 유지되도록 하기 위해 배치 간격 및 구조가 대칭으로 레이아웃 됨 -;

상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화하는 딜레이 스텝 미세화부; 및

상기 딜레이 스텝 미세화부 출력을 입력 받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화하는 초기화 리셋부

를 포함하는 플립-플롭 성능 테스트 장치.

청구항 2

제1항에 있어서,

상기 딜레이 타임 선택부는,

딜레이 타임들의 선택을 위한 MUX들을 기반으로 하고, 데이터 신호 경로 및 클럭 신호 경로에 이용되고, 상기 데이터 신호 경로 및 상기 클럭 신호 경로에 상응하는 MUX들이 페어 형태로 배치되고, MUX들의 구조 및 커넥트 라인의 길이가 같도록 배치되는

플립-플롭 성능 테스트 장치.

청구항 3

제1항에 있어서,

상기 딜레이 타임 선택부는,

딜레이 타임들의 선택을 위한 MUX들을 기반으로 하고, 데이터 신호 경로 및 클럭 신호 경로에 이용되고, 상기 데이터 신호 경로 및 상기 클럭 신호 경로에 상응하는 MUX들이 페어 형태로 배치되고, MUX들의 구조 및 커넥트 라인의 길이가 다를 경우, 로드를 조절하여 딜레이 타임을 매칭하는

플립-플롭 성능 테스트 장치.

청구항 4

제1항에 있어서,

상기 딜레이 스텝 미세화부는,

딜레이 타임 스텝을 미세화 하기 위해 딜레이 타임 신호 경로 내에 삽입되고, 패스트 경로 및 슬로우 경로로 구성되고, 상기 패스트 경로 및 상기 슬로우 경로는 딜레이 스텝의 절반이 되도록 조절하는

플립-플롭 성능 테스트 장치.

청구항 5

제1항에 있어서,

상기 초기화 리셋부는,

딜레이 타임 스텝이 균일하도록 딜레이 셀들이 라인 또는 써클 형태의 대칭 구조로 배치되는

플립-플롭 성능 테스트 장치.

청구항 6

플립-플롭(Flip-Flop) 성능 테스트 방법에 있어서,

딜레이 타임 발생부가 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양을 포함하도록 하고, 딜레이 스텝들의 딜레이 타임의 양을 생성하는 단계;

상기 딜레이 타임 발생부로부터 획득한 신호들 중 어떤 신호를 데이터 신호로 이용할 것인지 및 어떤 신호를 클럭 신호로 이용할 것인지를 선택하고, 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부가 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 딜레이 타임을 선택하는 단계 - 상기 MUX들은 프로세스 변화에 따른 딜레이 변화의 영향을 줄이고, 프로세스 변화가 발생하더라도 신호 경로 간 딜레이 미스매치가 발생하지 않도록 하고, MUX들의 동작 시에 발생하는 딜레이 변화 및 MUX와 MUX 간의 딜레이 변화가 신호 경로 간에 유지되도록 하기 위해 배치 간격 및 구조가 대칭으로 레이아웃 됨 - ;

딜레이 스텝 미세화부가 상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화하는 단계; 및

초기화 리셋부가 상기 딜레이 스텝 미세화부 출력을 입력 받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화하는 단계

를 포함하는 플립-플롭 성능 테스트 방법.

발명의 설명

기술 분야

[0001] 본 발명은 플립-플롭(Flip-Flop)이 이용되는 모든 반도체 산업에 관한 것이다. 특히 CMOS 기법을 이용하여 고속 AP(Application Processor) 칩, CPU를 제조하는 분야에서 핵심인 플립-플롭은 간편하면서도 정확한 성능 테스트가 필수이다. 따라서 고성능의 플립-플롭 뿐만 아니라 로우 엔드 타겟(low end target) 일지라도 플립-플롭의 정확하고 간편한 성능 테스트가 필요한 반도체 칩 설계 분야에 대한 기술이다.

배경 기술

[0002] 최근 반도체 산업 전반에 걸쳐서 휴대용 전자기기를 비롯하여 마이크로 컴퓨터에 이르기까지 전기전자 기기의 종류 및 사용량이 급증하고 있다. 이에 따라 IP 칩 내부의 플립-플롭 개수가 급격히 증대 되는 현상을 보이고 있고, 더욱이 고성능 기기의 구현에 필수 요소인 프로세서의 동작 클럭 주파수(operating clock frequency)를 높이기 위해서 파이프 라인(pipe line)의 심도(depth)가 증대 되고 있는 추세이다. 또한, 프로세스가 스케일 다운(scaling down) 될수록 플립-플롭이 시스템의 스피드, 파워 등의 성능에 지대한 영향을 미치고 있다.

[0003] 일반적으로 플립-플롭의 성능은 쓰기-기능(write-ability)과 타이밍(timing)(예를 들어, 셋업(setup) 타임, 홀드(hold) 타임, D-to-Q 타임, C-to-Q 타임)을 중요하게 다루는데, 특히 셋업 타임, 홀드 타임 관련된 타이밍의 측정은 플립-플롭의 고성능(high performance) 특성을 좌우하는데 매우 중요한 요소이다. 하지만, 값이 상대적으로 작아서 실리콘(silicon)으로 제작(fabrication)된 후에 측정하기가 매우 까다롭다. 이러한 특성을 가진 플립-플롭을 간편하고 정확하게 측정함으로써 제품화 되었을 때의 실제 성능 및 문제를 미리 예측할 수 있도록 한다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 플립-플롭의 주요 특성인 셋업 타임과 홀드 타임의 전기적 특성을 간편하고 안정되게 측정하는 방법 및 장치를 제공하는데 있다. 특히 고성능 플립-플롭의 셋업 타임 및 홀드 타임의 양이 매우 작기 때문에 가능한 한 작은 값으로 딜레이(delay)를 과립화(granulating) 할 필요가 있다. 따라서, 간편한 구조와 함께 이것의 구현을 현실적으로 발생하는 프로세스 변화(process variation) 등의 영향이 최소화 되게끔 구현하는 것이 해결 해야 할 주요한 기술 대상이다.

과제의 해결 수단

[0005] 일 측면에 있어서, 본 발명에서 제안하는 딜레이 체인과 대칭 MUX를 이용한 플립-플롭 성능 테스트 장치는 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양을 포함하도록 하고, 딜레이 스텝들의 딜레이 타임의 양을 생성하는 딜레이 타임 발생부, 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부, 상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화하는 딜레이 스텝 미세화부, 상기 딜레이 스텝 미세화부 출력을 입력 받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화하는 초기화 리셋부를 포함한다.

[0006] 상기 딜레이 타임 선택부는 딜레이 타임들의 선택을 위한 MUX들을 기반으로 하고, 데이터 신호 경로 및 클락 신호 경로에 이용되고, 상기 데이터 신호 경로 및 상기 클락 신호 경로에 상응하는 MUX들이 페어 형태로 배치되고, MUX들의 구조 및 커넥트 라인의 길이가 같도록 배치된다.

[0007] 상기 딜레이 타임 선택부는 딜레이 타임들의 선택을 위한 MUX들을 기반으로 하고, 데이터 신호 경로 및 클락 신호 경로에 이용되고, 상기 데이터 신호 경로 및 상기 클락 신호 경로에 상응하는 MUX들이 페어 형태로 배치되고, MUX들의 구조 및 커넥트 라인의 길이가 다를 경우, 로드를 조절하여 딜레이 타임을 매칭한다.

[0008] 상기 딜레이 스텝 미세화부는 딜레이 타임 스텝을 미세화 하기 위해 딜레이 타임 신호 경로 내에 삽입되고, 패스트 경로 및 슬로우 경로로 구성되고, 상기 패스트 경로 및 상기 슬로우 경로는 딜레이 스텝의 절반이 되도록 조절한다.

[0009] 상기 초기화 리셋부는 딜레이 타임 스텝이 균일하도록 딜레이 셀들이 라인 또는 씨클 형태의 대칭 구조로 배치된다.

[0010] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 딜레이 체인과 대칭 MUX를 이용한 플립-플롭 성능 테스트 방법은 딜레이 타임 발생부가 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양을 포함하도록 하고, 딜레이 스텝들의 딜레이 타임의 양을 생성하는 단계, 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부가 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 딜레이 타임을 선택하는 단계, 딜레이 스텝 미세화부가 상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화하는 단계, 초기화 리셋부가 상기 딜레이 스텝 미세화부 출력을 입력 받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화하는 단계를 포함한다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면 복잡하고 많은 양의 회로가 들어간 테스트 벤치(test bench)를 피하고 간편하고 정확하게 플립-플롭의 셋업 타임 및 홀드 타임 특성을 측정할 수 있다. 딜레이 편차 블록을 이용하여 딜레이 스텝(delay step) 값을 반으로 줄여 보다 정밀한 값으로 측정할 수 있게 한다. 또한 물리적으로 단단하게(physically hard) 고정된 딜레이 체인(delay chain)을 선택 신호(select signal)를 이용하여 플러스 & 마이너스(plus & minus) 방향으로 딜레이를 운영할 수 있게 하여 2배의 하드웨어 효율성과 같은 상황에서 셋업 타임뿐만 아니라 홀드 타임 특성도 측정이 가능하다. 엄청난 양의 플립-플롭이 반도체 산업에 이용되고 있으며, 특성에 따라 10여 가지 종류의 플립-플롭이 사용되고 있는데, 특정한 어플리케이션에 어떤 플립-플롭이 적절한지 간편하면서도 상대적으로 정확한 특성을 시뮬레이션에서만 아니라, 실제 실리콘으로 측정해 보고자 할 때 본 발명이 매우 유용하다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트 장치의 구성을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트의 응용 예를 보여주는 도면이다.

도 3은 본 발명의 일 실시예에 따른 클록과 데이터 신호의 도착 타임 위치에 따른 플립-플롭의 테스트 방법을 나타낸 도면이다.

도 4는 본 발명의 일 실시예에 따른 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트 방법을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명의 실시예들은 반도체 CMOS 기술 칩 개발(technology chip development)에 있어서 플립-플롭(flip-flop)의 성능 테스트 방법 및 장치에 관한 것으로서, 더욱 상세하게는 딜레이 체인(delay chain)과 대칭(symmetry) MUX를 이용한 딜레이 타임(delay time) 발생부, MUX들의 구조와 배치가 대칭(symmetry) 형태가 되도록 구성하여 딜레이 타임이 왜곡되지 않도록 페어(pair) 형태를 이룬 딜레이 타임(delay time) 선택부, 셀 스테이지 비(cell stage ratio)가 다른 다양한 경로(path)를 구성하여 딜레이 스텝(delay step)을 미세화 시키는 딜레이 스텝(delay step) 미세화부, NAND/NOR 등의 셀(cell)로 구성되어 데이터 입력 포트(data input port)에 초기 값(initial value)을 인가하여 플립-플롭의 초기 스테이지 값을 초기화하는 초기화 리셋부를 포함하는 플립-플롭 성능 테스트 장치 및 방법에 관한 것이다.
- [0014] 본 실시예에서는 특별히 클록에 대해서는 포지티브 에지(positive edge), 데이터 신호(data signal)는 포지티브 에지를 기준으로 설명하는 것이고, 본 발명의 기본 구조를 이용한 데이터 신호(data signal)의 네거티브 에지(negative edge), 클록의 네거티브 에지(negative edge) 또는 그것의 혼합(mixed) 형태 등에도 기본구조가 동일하게 적용 될 수 있다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0015] 도 1은 본 발명의 일 실시예에 따른 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트 장치의 구성을 나타내는 도면이다.
- [0016] 제안하는 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트 장치는 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양을 포함하도록 하고, 딜레이 스텝들의 딜레이 타임의 양을 생성하는 딜레이 타임 발생부(110), 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부(120), 상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화하는 딜레이 스텝 미세화부(130), 상기 딜레이 스텝 미세화부 출력을 입력 받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화하는 초기화 리셋부(140)를 포함한다.
- [0017] 딜레이 타임 발생부(110)는 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양 및 딜레이 스텝들의 딜레이 타임의 양을 생성한다. 트리거링 입력 신호(triggering input signal)가 들어오면 해당 신호를 일정한 간격, 예를 들어 16개의 스텝(step)으로 지연시켜, 플립-플롭에서 사용할 클록과 데이터 입력 신호(data input signal)를 뽑아내어 사용할 수 있도록 만들어진 구조이다.
- [0018] 딜레이 타임 발생부(110)는 단순히 보이지만 테스트 결과의 신뢰성에 직접적으로 영향을 미치는 중요한 블록이다. 먼저 딜레이 변화를 최소화 시키기 위해 딜레이 체인(delay chain)에 사용되는 인버터(inverter)의 물리적 배치 거리를 최소화하고, 로드 밸런스(load balance)가 맞도록 대칭 구조를 형성하도록 만들어야 한다. 동시에, 프로세스 변화(process variation)에 영향을 받지 않도록 레이아웃(layout) 구조가 같은 인버터를 이용해야 하며 딜레이 체인으로 쓰이는 인버터는 크기가 작을 경우 PVT(Process, Voltage, Temperature) 변화에 따른 딜레이 변동이 클 수 있기 때문에 X4 정도의 크기를 이용한다. 주변 상황에 의해서 로드 변화(load variation)가 발생하더라도 크게 영향을 받지 않도록 설계 되어야 한다. 물론 X4를 포함하여 다양한 사이즈의 인버터가 딜레이 체인에 이용될 수 있으며, 인버터뿐만 아니라 딜레이를 만들 수 있는 모든 게이트가 딜레이 체인의 구성에 이용될 수 있다.
- [0019] 이러한 배치상의 구조에 더하여 본격적으로 딜레이 타임을 만들어 내는 포트(port)가 오기 전에 딜레이 체인에 쓰이는 것과 같은 게이트(gate)로 몇 스테이지를 더미(dummy)로 만들어서 입력 신호(input signal)가 안정적으로 통과하도록 한다. 또한 딜레이 체인의 마지막 포트가 끝난 지점에서도 사용된 딜레이 체인과 같은 게이트를 이용하여 몇 스테이지를 더미로 만들어서 프로세스 변화에 따른 딜레이 변화 영향이 최소화 되도록 설계 한다.

딜레이 스테이지(delay stage) 수는 도 1에서 편의상 인버터 16 스테이지(inverter 16 stage), 외부 포트 8 스테이지(port 8 stage)를 이용하여 설명 하였으나 필요에 따라 딜레이 스테이지(delay stage) 수를 조절 할 수 있다. 포트 역시 같은 상승 신호(rise signal) 또는 하강 신호(fall signal)를 채취하기 위하여 인버터 이븐 스테이지(inverter even stage)에서 내었으나, 필요 시 매 인버터 스테이지마다 포트를 만들어 신호를 채취 할 수도 있다. 레이아웃 배치는 반드시 1자형으로 만들지 않아도 되며 프로세스 변화에 로버스트(robust)하도록 로드 밸런스가 맞춰 진다면 원형이든 어떤 형태도 가능하다. 포트가 형성되는 부분은 2개의 MUX 입력에 연결되므로 MUX 입력 캐패시턴스에 의해 매 스테이지 마다 로드의 크기가 달라지기 때문에 MUX가 연결되지 않는 포트에는 트랜지스터(transistor)를 이용하여 딜레이 보정용 캐패시터를 달 수도 있다.

[0020] 딜레이 타임 선택부(120)는 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 페어(pair) 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함한다.

[0021] 딜레이 타임 선택부(120)는 딜레이 타임 발생부(110)에서 채취한 신호들 중에 어느 것을 데이터 신호로 이용할 것인지, 클럭 신호로 이용할 것인지 선택하는 기능과 신호들의 전달 기능도 함께한다. 그리고, 선택을 위해 MUX 혹은 MUX 기능을 하는 게이트를 이용하여 선택하는 구조이다. 또한, 플립-플롭에서 사용할 클럭과 데이터 입력 신호를 뽑아내어 사용할 수 있도록 만들어진 구조이다.

[0022] 딜레이 타임 선택부(120)는 딜레이 타임 발생부(110)와 마찬가지로, 선택된 신호 등의 딜레이 차이가 유지되게 하기 위하여 MUX 동작 시에 발생하는 딜레이 변화, MUX와 MUX 간의 딜레이 변화가 신호 경로 간에 언밸런스 되지 않도록 레이아웃 시 MUX의 배치 간격과 대칭을 맞추어 프로세스 변화가 발생하더라도 신호 경로 간 딜레이 미스매치가 발생하지 않도록 설계한다. 선택 신호(selection signal)는 미리 와서 대기하는 신호이기 때문에 라인 딜레이 타임(line delay time)에 크게 주의를 기울이지 않고 레이아웃 드로잉(layout drawing)을 해도 된다. 포트에서 선택되는 신호는 클럭과 데이터 입력 두 곳이기 때문에 MUX도 두 경로를 페어로 만들어서 두 경로 간 신호 변화가 일어 나지 않도록 구성한다.

[0023] 선택 되는 두 경로는 같은 경로 내의 위치에 따른 딜레이 변화, 두 경로 간의 딜레이 변화를 모두 고려하여 설계 되어야 한다. MUX는 단순하면서도 딜레이가 짧아 프로세스 변화에 강한 게이트를 이용해야 하며, 모든 경로들의 신호 라인의 길이와 모양도 같게 설계하여 최종 선택된 신호가 플립-플롭 입력 포트에 가까이 위치 할 수 있도록 배치 하여야 한다. 상황에 따라서는 라인의 길이가 다르더라도 인가되는 로드(load)를 조정하여 MUX를 구성 할 수도 있다. 도 1에서는 MUX2를 기준으로 설명하였으나 MUX4도 상황에 따라 이용할 수 있다.

[0024] 딜레이 스텝 미세화부(130)는 딜레이 타임 선택부(120)에서 선택된 두 신호들에 셀 스테이지 비(cell stage ratio)가 다른 두 경로를 각각 연결하여 딜레이 스텝(delay step)을 하나 더 증가시킴으로써 스텝의 미세화를 이루는 기능을 하도록 크기가 다른 두 인버터를 직렬(series)로 연결하는 구조로 되어 있다.

[0025] 딜레이 스텝 미세화부(130)는 보다 더 정밀한 테스트를 하기 위해 필요하며, 인버터 2단의 딜레이 스텝이 테스트 스텝으로 충분하면 이 블록은 사용을 안 해도 무방하다. 마찬가지로 인버터 2단의 딜레이 스텝이 스펙(spec)에 비해 매우 커서, 미세화를 2배가 아니라 3배 혹은 4배가 필요하다면 한 스텝의 딜레이 양을 3배 혹은 4배로 더 쪼갤 수도 있다. 이 부분을 설계할 때는 이 블록을 지나갈 때 각 경로 간의 경로 딜레이 변화(path delay variation)가 심해지면 오히려 역효과가 생길 수도 있으므로 이점을 고려하여 설계해야 한다. 딜레이 경로는 도 1에서 사이즈가 다른 인버터 2개로 이루어져 있으나, 인버터 4개로 구성할 수도 있고 인버터에 로딩 캡(load cap)을 달아서 딜레이 양을 조절 할 수도 있다. 이 부분도 클럭 신호 경로와 데이터 신호 경로의 구조를 동일하게 하여 프로세스 변화가 발생하더라도 경로 간 딜레이의 미스매치가 발생하지 않도록 레이아웃을 구성한다.

[0026] 도 1의 초기화 리셋부(140)는 딜레이 스텝 미세화부(130)에서 오는 두 신호들에 셀 스테이지 비가 다른 두 경로를 각각 연결하여 딜레이 스텝을 하나 더 증가시킴으로써 스텝의 미세화를 이루는 기능을 하도록, 크기가 다른 두 인버터를 직렬로 연결하는 구조로 되어 있다.

[0027] 초기화 리셋부(140)는 플립-플롭을 테스트 할 때 0 값을 갖고 있는 플립-플롭을 1 값이 되도록 할 때의 특성을 측정할 경우, 테스트하기 전에 플립-플롭의 값을 미리 0으로 세팅하기 위한 것이다. 물론 리셋과 셋 기능이 모두 구비되어있는 플립-플롭을 테스트 하려는 경우에는 이 기능이 필요 없으나, 리셋/셋 기능을 모두 갖추지 않은 플립-플롭을 상승(rising)/하강(falling)의 두 특성 모두 테스트하기 위해서는 이 기능이 반드시 필요하다. 도 1에서는 NAND 게이트를 이용했으며 리셋 포트(reset port)에 1을 인가하면 Out_D 포트에 제로(zero)가 항상 인가되어 플립-플롭이 제로 값을 준비단계에서 보유하고 있게 되는 것이다. 플립-플롭의 인버터 값을 1로 하기 위해서는 NAND 게이트 대신에 NOR 게이트를 이용해서 구성하면 된다. 이 부분 역시 클럭 신호 경로와 데이터 신호

호 경로의 딜레이 미스매치의 발생을 방지하기 위해 똑 같은 구조로 레이아웃 드로잉 하고 레이아웃 라우팅 해야 한다. 이런 이유로 Out_clk 포트 부분에 더미로 NAND 게이트와 인버터 게이트가 Out_D 포트에 있는 것과 같이 구성되어 있는 것이다. 플립-플롭의 초기값을 설정하기 위해서는 도 1에서 사용된 회로 구성 이외 많은 회로 구성이 같은 목적으로 사용 될 수 있다.

[0028] 도 2는 본 발명의 일 실시예에 따른 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트의 응용 예를 보여주는 도면이다.

[0029] 도 2는 도1의 장치를 실제 테스트에 적용하는 연결 구도를 나타내고, 이외의 유사한 다른 방식이 사용 될 수도 있다. 도 2의 각 테스트 블록은 도 1의 장치를 나타내며 테스트 블록1(test block1)은 플립-플롭 데이터 상승(data rising) 특성을 테스트하는데 쓰이고 테스트 블록2(test block2)는 플립-플롭 데이터 하강(data falling) 특성을 테스트 하는데 쓰인다. 각 각의 블록은 똑 같은 플립-플롭을 병렬로 배치한 다음, 상승 특성과 하강 특성을 동시에 측정할 수 있다. 도 2에 대해서, 선택 신호를 하나 더 만들어 플립-플롭 하나를 놓고 플립-플롭 데이터 상승/하강 특성을 순차적으로 측정 할 수 있는 구성으로 변경 할 수도 있다. 그리고, 주변 여건에 따라서는 선택 수를 오히려 줄이고 같은 플립-플롭을 병렬로 배치시켜 동시에 측정하는 방법도 이용할 수 있다. 이러한 방법은 빠른 테스트 결과를 얻을 수 있으나 오차를 유발 할 개연성이 크므로 주위 여건을 고려하여 결정 해야 한다. 도 2에서 데이터 포트를 이용하는 일반 동작 상황에서는 스캔 인에이블 포트(scan enable port)에 제로 값을 인가하여 스캔 데이터(scan data)의 전송을 막아 테스트가 되지 않도록 구성한다. 만일 스캔 데이터(scan data)에 대한 특성을 측정하고자 하면 스캔 인에이블 포트(scan enable port)에 하이(high) 값을 인가하여 플립-플롭의 스캔 데이터 특성을 측정하면 된다.

[0030] 도 3은 본 발명의 일 실시예에 따른 클록과 데이터 신호의 도착 타임 위치에 따른 플립-플롭의 테스트 방법을 나타낸 도면이다.

[0031] 도3의 타이밍 다이어그램(timing diagram)은, 선택된 클록 신호(clock signal)와 데이터 신호(data signal)의 도착 시간(arrival time) 위치에 따른 플립-플롭의 테스트 방법을 나타낸 도면이다. 클록 신호와 데이터 신호의 도착 시간 위치에 따라 셋업 타임 테스트와 홀드 타임 테스트를 선택 할 수 있다. 클록 신호 도착 시간(clock signal arrival time) 대비 데이터 신호를 빠르게 하면 셋업을 선택 할 수 있다. 물론 플립-플롭의 특성에 따라 셋업 타임이 마이너스 값을 가지는 경우도 있는데 이 때는 선택의 조정이 필요하다. 일차적으로 이렇게 세팅된 상황에서 예상되는 셋업 타임보다 충분히 큰 딜레이 차이가 있는 도 3 화살표 바깥쪽에서부터 선택과 테스트를 수행하여 클록 신호와 데이터 신호들이 같아 지는 부분까지 16회를 순서대로 테스트하여 결과를 확인해 나간다. 홀드 타임 테스트를 수행 할 때도 이와 같은 방법으로 하되, 클록 신호 도착 시간 대비 데이터 신호 도착 시간이 가장 늦게 도착하는 부분부터 같이 도착하는 부분까지 순차적으로 수행해 나간다. 플립-플롭의 특성이나 칩의 환경에 따라 순서나 딜레이의 최대 최소치를 조정 할 수 있다.

[0032] 도 4는 본 발명의 일 실시예에 따른 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트 방법을 설명하기 위한 흐름도이다.

[0033] 제안하는 딜레이 체인과 대칭 MUX를 기반으로 하는 플립-플롭 테스트 방법은 딜레이 타임 발생부가 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양을 포함하도록 하고, 딜레이 스텝들의 딜레이 타임의 양을 생성하는 단계(410), 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부가 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 딜레이 타임을 선택하는 단계(420), 딜레이 스텝 미세화부가 상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화하는 단계(430), 초기화 리셋부가 상기 딜레이 스텝 미세화부 출력을 입력 받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화하는 단계(440)를 포함한다.

[0034] 단계(410)에서, 딜레이 타임 발생부가 딜레이 체인을 기반으로 측정할 플립플롭의 셋업 타임의 최대 양과 홀드 타임의 최대 양 및 딜레이 스텝들의 딜레이 타임의 양을 생성한다.

[0035] 트리거링 입력 신호(triggering input signal)가 들어 오면 해당 신호를 일정한 간격, 예를 들어 16개의 스텝(step)으로 지연시켜, 플립-플롭에서 사용할 클록과 데이터 입력 신호(data input signal)를 뽑아내어 사용할

수 있도록 만들어진 구조이다.

- [0036] 딜레이 타임 발생부는 단순하게 보이지만 테스트 결과의 신뢰성에 직접적으로 영향을 미치는 중요한 블록이다. 먼저 딜레이 변화를 최소화 시키기 위해 딜레이 체인(delay chain)에 사용되는 인버터(inverter)의 물리적 배치 거리를 최소화하고, 로드 밸런스(load balance)가 맞도록 대칭 구조를 형성하도록 만들어야 한다. 동시에, 프로세스 변화(process variation)에 영향을 받지 않도록 레이아웃(layout) 구조가 같은 인버터를 이용해야 하며 딜레이 체인으로 쓰이는 인버터는 크기가 X4 정도를 이용한다. 주변 상황에 의해서 로드 변화(load variation)가 발생하더라도 크게 영향을 받지 않도록 설계 되어야 한다. 물론 X4를 포함하여 다양한 사이즈의 인버터가 딜레이 체인에 이용될 수 있으며, 인버터뿐만 아니라 딜레이를 만들 수 있는 모든 게이트가 딜레이 체인의 구성에 이용될 수 있다.
- [0037] 이러한 배치상의 구조에 더하여 본격적으로 딜레이 타임을 만들어 내는 포트(port)가 오기 전에 딜레이 체인에 쓰이는 것과 같은 게이트(gate)로 몇 스테이지를 더미(dummy)로 만들어서 입력 신호(input signal)가 안정적으로 통과하도록 한다. 또한 딜레이 체인의 마지막 포트가 끝난 지점에서도 사용된 딜레이 체인과 같은 게이트를 이용하여 몇 스테이지를 더미로 만들어서 프로세스 변화에 따른 딜레이 변화 영향이 최소화 되도록 설계 한다. 딜레이 스테이지(Delay stage) 수는 도 1에서 편의상 인버터 16 스테이지(inverter 16 stage), 외부 포트 8 스테이지(port 8 stage)를 이용하여 설명 하였으나 필요에 따라 딜레이 스테이지(delay stage) 수를 조절 할 수 있다. 포트 역시 같은 상승 신호(rise signal) 또는 하강 신호(fall signal)를 채취하기 위하여 인버터 이븐 스테이지(inverter even stage)에서 내었으나, 필요 시 매 인버터 스테이지마다 포트를 만들어 신호를 채취 할 수도 있다. 레이아웃 배치는 반드시 1자형으로 만들지 않아도 되며 프로세스 변화에 로버스트(robust)하도록 로드 밸런스가 맞춰 진다면 원형이든 어떤 형태도 가능하다. 포트가 형성되는 부분은 2개의 MUX 입력에 연결되므로 MUX 입력 캐패시턴스에 의해 매 스테이지 마다 로드의 크기가 달라지기 때문에 MUX가 연결되지 않는 포트에는 트랜지스터(transistor)를 이용하여 딜레이 보정용 캐패시터를 달 수도 있다.
- [0038] 단계(420)에서, 페어 형태를 갖고, 구조와 배치가 대칭인 MUX들을 포함하는 딜레이 타임 선택부가 상기 딜레이 체인 내의 포트를 선택한 신호들의 타이밍이 왜곡되지 않도록 딜레이 타임을 선택한다.
- [0039] 딜레이 타임 선택부는 딜레이 타임 발생부에서 채취한 신호들 중에 어느 것을 데이터 신호로 이용할 것인지, 클록 신호로 이용할 것인지 선택하는 기능과 신호들의 전달 기능도 함께한다. 그리고, 선택을 위해 MUX 혹은 MUX 기능을 하는 게이트를 이용하여 선택하는 구조이다. 또한, 플립-플롭에서 사용할 클록과 데이터 입력 신호를 뽑아내어 사용할 수 있도록 만들어진 구조이다.
- [0040] 딜레이 타임 선택부는 딜레이 타임 발생부와 마찬가지로, 선택된 신호 등의 딜레이 차이가 유지되게 하기 위하여 MUX 동작 시에 발생하는 딜레이 변화, MUX와 MUX 간의 딜레이 변화가 신호 경로 간에 언밸런스 되지 않도록 레이아웃 시 MUX의 배치 간격과 대칭을 맞추어 프로세스 변화가 발생하더라도 신호 경로 간 딜레이 미스매치가 발생하지 않도록 설계한다. 선택 신호(selection signal)는 미리 와서 대기하는 신호이기 때문에 라인 딜레이 타임(line delay time)에 신경 쓰지 않고 레이아웃 드로잉(layout drawing)을 해도 된다. 포트에서 선택되는 신호는 클록과 데이터 입력 두 곳이기 때문에 MUX도 두 경로를 페어로 만들어서 두 경로 간 신호 변화가 일어나지 않도록 구성한다.
- [0041] 선택 되는 두 경로는 같은 경로 내의 위치에 따른 딜레이 변화, 두 경로 간의 딜레이 변화를 모두 고려하여 설계 되어야 한다. MUX는 단순하면서도 딜레이가 짧아 프로세스 변화에 강한 게이트를 이용해야 하며, 모든 경로들의 신호 라인의 길이와 모양도 같게 설계하여 최종 선택된 신호가 플립-플롭 입력 포트에 가까이 위치 할 수 있도록 배치 하여야 한다. 상황에 따라서는 라인의 길이가 다르더라도 인가되는 로드(load)를 조정하여 MUX를 구성 할 수도 있다. 도 1에서는 MUX2를 기준으로 설명하였으나 MUX4도 상황에 따라 이용할 수 있다.
- [0042] 단계(430)에서, 딜레이 스텝 미세화부가 상기 딜레이 타임 선택부의 신호 경로에서 셀 스테이지 비를 변화시킴으로써 최소 딜레이 증가 스텝을 미세화한다.
- [0043] 딜레이 스텝 미세화부(130)는 딜레이 타임 선택부(120)에서 선택된 두 신호들에 셀 스테이지 비(cell stage ratio)가 다른 두 경로를 각각 연결하여 딜레이 스텝(delay step)을 하나 더 증가시킴으로써 스텝의 미세화를 이루는 기능을 하도록 크기가 다른 두 인버터를 직렬(series)로 연결하는 구조로 되어 있다.
- [0044] 딜레이 스텝 미세화부는 보다 더 정밀한 테스트를 하기 위해 필요하며, 인버터 2단의 딜레이 스텝이 테스트 스텝으로 충분하면 이 블록은 사용을 안 해도 무방하다. 마찬가지로 인버터 2단의 딜레이 스텝이 스펙(spec)에 비해 매우 커서, 미세화를 2배가 아니라 3배 혹은 4배가 필요하다면 한 스텝의 딜레이 양을 3배 혹은 4배로 더 쪼

갤 수도 있다. 이 부분을 설계할 때는 이 블록을 지나갈 때 각 경로 간의 경로 딜레이 변화(path delay variation)가 심해지면 오히려 역효과가 생길 수도 있으므로 이점을 고려하여 설계해야 한다. 딜레이 경로는 도 1에서 사이즈가 다른 인버터 2개로 이루어져 있으나, 인버터 4개로 구성할 수도 있고 인버터에 로딩 캡(loading cap)을 달아서 딜레이 양을 조절 할 수도 있다. 이 부분도 클록 신호 경로와 데이터 신호 경로의 구조를 동일하게 하여 프로세스 변화가 발생하더라도 경로 간 딜레이의 미스매치가 발생하지 않도록 레이아웃을 구성한다.

[0045] 단계(440)에서, 초기화 리셋부가 상기 딜레이 스텝 미세화부 출력을 입력 받아 데이터 입력 포트에 초기값을 인가하여 저장 값을 초기화한다.

[0046] 초기화 리셋부는 플립-플롭을 테스트 할 때 0 값을 갖고 있는 플립-플롭을 1 값이 되도록 할 때의 특성을 측정할 경우, 테스트하기 전에 플립-플롭의 값을 미리 0으로 세팅하기 위한 것이다. 물론 리셋과 셋 기능이 모두 구비되어있는 플립-플롭을 테스트 하려는 경우에는 이 기능이 필요 없으나, 리셋/셋 기능을 모두 갖추지 않은 플립-플롭을 상승(rising)/하강(falling)의 두 특성 모두 테스트하기 위해서는 이 기능이 반드시 필요하다. 도 1에서는 NAND 게이트를 이용했으며 리셋 포트(reset port)에 1을 인가하면 Out_D 포트에 제로(zero)가 항상 인가되어 플립-플롭이 제로 값을 준비단계에서 보유하고 있게 되는 것이다. 플립-플롭의 인버터 값을 1로 하기 위해서는 NAND 게이트 대신에 NOR 게이트를 이용해서 구성하면 된다. 이 부분 역시 클록 신호 경로와 데이터 신호 경로의 딜레이 미스매치의 발생을 방지하기 위해 똑 같은 구조로 레이아웃 드로잉 하고 레이아웃 라우팅 해야 한다. 이런 이유로 Out_clk 포트 부분에 더미로 NAND 게이트와 인버터 게이트가 Out_D 포트에 있는 것과 같이 구성되어 있는 것이다. 플립-플롭의 초기값을 설정하기 위해서는 도 1에서 사용된 회로 구성 이외 많은 회로 구성이 같은 목적으로 사용 될 수 있다.

[0047] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0048] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0049] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를

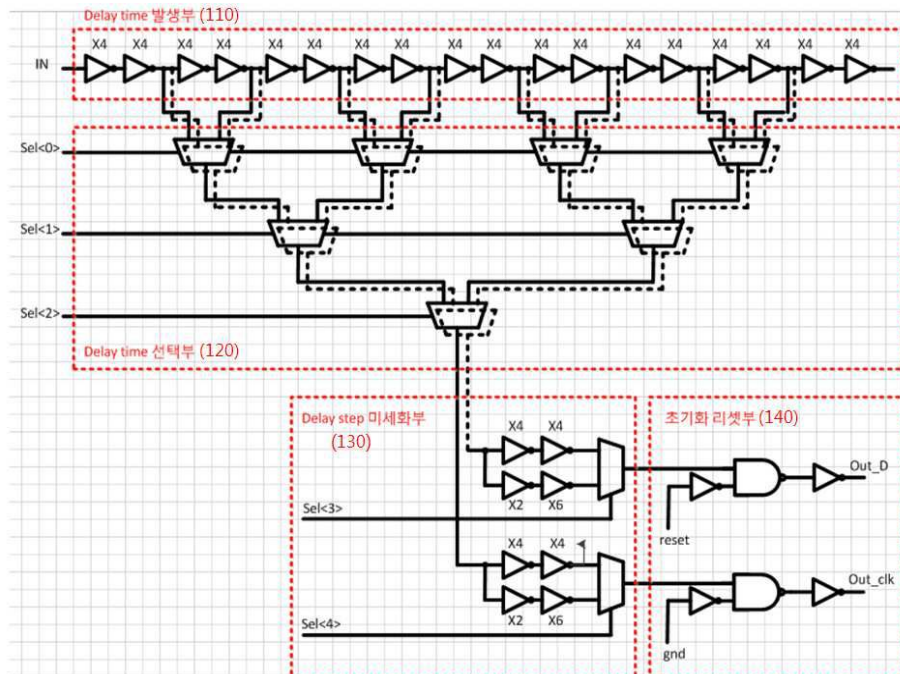
포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0050] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

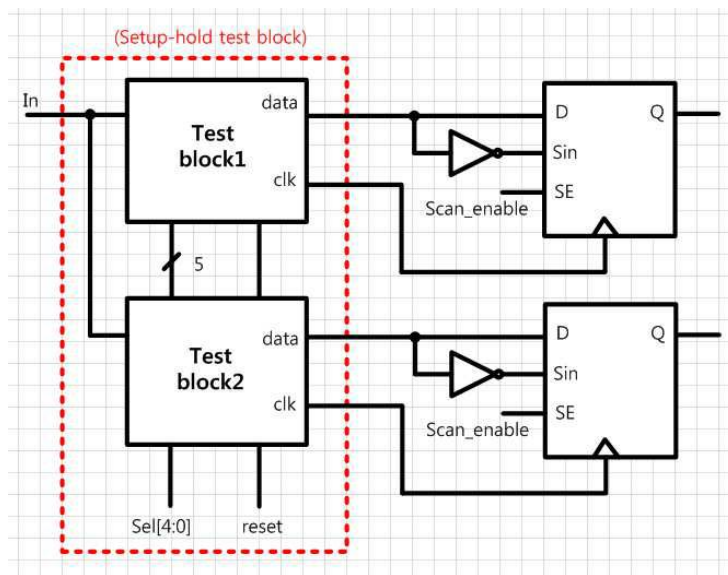
[0051] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

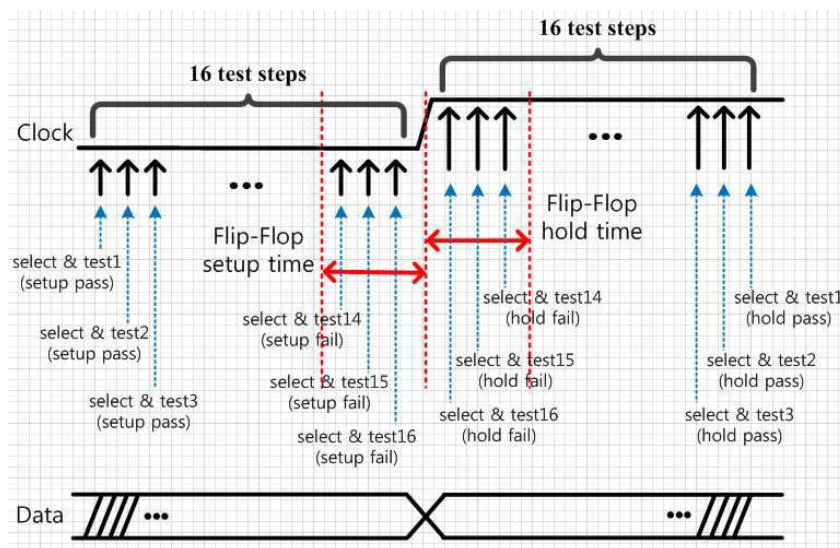
도면1



도면2



도면3



도면4

