

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3811255号
(P3811255)

(45) 発行日 平成18年8月16日(2006.8.16)

(24) 登録日 平成18年6月2日(2006.6.2)

(51) Int. Cl.

F I

GO 1 R 33/09 (2006.01)
GO 1 D 5/18 (2006.01)GO 1 R 33/06 R
GO 1 D 5/18 J
GO 1 D 5/18 L

請求項の数 7 (全 17 頁)

(21) 出願番号 特願平9-145481
(22) 出願日 平成9年6月3日(1997.6.3)
(65) 公開番号 特開平10-332424
(43) 公開日 平成10年12月18日(1998.12.18)
審査請求日 平成15年11月4日(2003.11.4)(73) 特許権者 000106760
シーケーディ株式会社
愛知県小牧市応時二丁目250番地
(74) 代理人 100068755
弁理士 恩田 博宣
(72) 発明者 丹羽 真奈美
愛知県小牧市大字北外山字早崎3005番
地 シーケーディ 株式会社 内
審査官 井上 昌宏

最終頁に続く

(54) 【発明の名称】 二線式センサ回路

(57) 【特許請求の範囲】

【請求項1】

検出素子を含むブリッジ回路からの検出信号を比較器を介して出力する信号端子とコモン端子とを備えるとともに、流体圧アクチュエータの位置検出に用いられる二線式センサ回路において、

複数のバイポーラトランジスタを構成要素とする比較器と、前記比較器の出力端子にベース端子が接続される第1のトランジスタと、前記第1のトランジスタのコレクタ端子にカソード端子が接続される発光ダイオードと、前記発光ダイオードのアノード端子にベース端子が接続される第2のトランジスタと、前記第2のトランジスタのエミッタ端子ーコレクタ端子間に同エミッタ端子からコレクタ端子へ順方向に接続される定電流ダイオードとを備え、前記第2のトランジスタのエミッタ端子が前記信号端子に接続され、前記第1のトランジスタのエミッタ端子が前記コモン端子に接続され、前記第1のトランジスタのエミッタ端子ーベース端子間に電流制限抵抗が並列に接続され、前記検出素子の非検出時には前記定電流ダイオードによって漏れ電流が決定され、かつ前記検出素子の検出時には前記第2のトランジスタのベース端子ーエミッタ端子間電圧、前記発光ダイオードの端子間電圧及び前記第1のトランジスタのコレクタ端子ーエミッタ端子間電圧によって検出信号の出力電圧が決定されるように構成されていることを特徴とする二線式センサ回路。

【請求項2】

検出素子を含むブリッジ回路からの検出信号を比較器を介して出力する信号端子とコモン端子とを備えるとともに、流体圧アクチュエータの位置検出に用いられる二線式センサ回

10

20

路において、

複数のC-MOSトランジスタを構成要素とする比較器と、前記比較器の出力端子にベース端子が接続される第1のトランジスタと、前記第1のトランジスタのコレクタ端子にカソード端子が接続される発光ダイオードと、前記発光ダイオードのアノード端子にベース端子が接続される第2のトランジスタと、前記第2のトランジスタのエミッタ端子-コレクタ端子間に同エミッタ端子からコレクタ端子へ順方向に接続される定電流ダイオードとを備え、前記第2のトランジスタのエミッタ端子が前記信号端子に接続され、前記第1のトランジスタのエミッタ端子が前記コモン端子に接続され、前記検出素子の非検出時には前記定電流ダイオードによって漏れ電流が決定され、かつ前記検出素子の検出時には前記第2のトランジスタのベース端子-エミッタ端子間電圧、前記発光ダイオードの端子間電圧及び前記第1のトランジスタのコレクタ端子-エミッタ端子間電圧によって検出信号の出力電圧が決定されるように構成されていることを特徴とする二線式センサ回路。

10

【請求項3】

ツェナーダイオードのカソード端子を前記発光ダイオードのアノード端子に接続し、かつそのツェナーダイオードのアノード端子を同発光ダイオードのカソード端子に接続したことを特徴とする請求項1または2に記載の二線式センサ回路。

【請求項4】

互いに直列に接続された複数のスイッチングダイオードのうち最前段に位置するスイッチングダイオードのアノード端子を前記発光ダイオードのアノード端子に接続し、かつ最後段に位置するスイッチングダイオードのカソード端子を同発光ダイオードのカソード端子に接続したことを特徴とする請求項1または2に記載の二線式センサ回路。

20

【請求項5】

前記第1のトランジスタのベース端子-エミッタ端子間に外部雑音補償用コンデンサを並列に接続したことを特徴とする請求項1乃至4のいずれか1項に記載の二線式センサ回路。

【請求項6】

磁気の変動に起因して抵抗値を変化させるMR素子を含む前記ブリッジ回路と、複数のトランジスタを構成要素とする比較器とをパッケージ化したことを特徴とする請求項1または請求項2に記載の二線式センサ回路。

【請求項7】

前記比較器は複数のC-MOSトランジスタを構成要素とするC-MOS型オペアンプであることを特徴とする請求項6に記載の二線式センサ回路。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、流体圧アクチュエータの位置検出に用いられる二線式センサ回路に関するものである。

【0002】

【従来の技術】

従来、エアシリンダ等のような流体圧を利用したアクチュエータが知られている。この種のエアシリンダの使用時には、通常、ピストンがストロークのどの位置にあるのかを何らかの手段により検出する必要がある。そして、このようなピストン位置検出を実現するための手段として、例えば二線式センサ回路を備えるシリンダスイッチが知られている。図10に、シリンダスイッチに用いられる二線式センサ回路の従来例を示す。

40

【0003】

同図に示される二線式センサ回路70は、検出素子としてのMR素子71a、71cと2つの抵抗71b、71dとからなるブリッジ回路71を備えている。MR素子71a、71cは、エアシリンダのピストンに設けられた磁石に反応して自身の抵抗値を変化させる。ブリッジ回路71の出力には、図示しない複数のトランジスタを構成要素として含む増幅器としてのオペアンプ72の入力端子が接続されている。オペアンプ72は、ブリッジ

50

回路 7 1 からの検出信号を比較して二値化し、かつ増幅したうえで後段に出力する。オペアンプ 7 2 の出力端子にはダーリントン接続回路 7 3 が接続されている。ダーリントン接続回路 7 3 とは、極性が同じ複数個のトランジスタを直結して、見掛け上、特性の優れた 1 個のトランジスタとした回路を指す。このダーリントン接続回路 7 3 は、ブリッジ回路 7 1 の検出時に ON 状態となり、非検出時に OFF 状態となる。ここでは、2 個の NPN トランジスタ 7 4, 7 5 及び 1 個の抵抗 7 6 とによって、ダーリントン接続回路 7 3 が構成されている。初段の NPN トランジスタ 7 4 のベース端子は、抵抗 7 6 を介してオペアンプ 7 2 の出力端子に接続されている。終段の NPN トランジスタ 7 5 のエミッタ端子は、コモン端子（グラウンド端子）7 7 に接続されている。また、両方の NPN トランジスタ 7 4, 7 5 のコレクタ端子は、発光ダイオード 7 8 のカソード端子に接続されている。

10

【0004】

前記発光ダイオード 7 8 のアノード端子は、PNP トランジスタ 7 9 のベース端子に接続されている。なお、この発光ダイオード 7 8 は、ダーリントン接続回路 7 3 の ON 状態のとき（即ち検出時）に点灯し、ダーリントン接続回路 7 3 の OFF 状態のとき（即ち非検出時）に消灯する。前記 PNP トランジスタ 7 9 のエミッタ端子は信号端子 8 2 に接続され、コレクタ端子はブリッジ回路 7 1 に接続されている。この PNP トランジスタ 7 9 は、検出時に発光ダイオード 7 8 と終段の NPN トランジスタ 7 5 とにより出力電圧を決定するものである。

【0005】

また、PNP トランジスタ 7 9 のエミッタ端子には定電流ダイオード 8 0 のアノード端子が接続され、コレクタ端子には同定電流ダイオード 8 0 のカソード端子が接続されている。この定電流ダイオード 8 0 は、非検出時に二線式センサ 7 0 の漏れ電流を決定するものである。信号端子 8 2 とコモン端子 7 7 との間には、サージ電圧対策用のツェナーダイオード 8 3 が接続されている。

20

【0006】

従って、ブリッジ回路 7 1 の非検出時には、定電流ダイオード 8 0 により漏れ電流が決定されるようになっている。また、ブリッジ回路 7 1 の検出時には、PNP トランジスタ 7 9 のベース端子－エミッタ端子間電圧、発光ダイオード 7 8 の順電圧、ダーリントン接続回路 7 3 の終段の NPN トランジスタ 7 5 のコレクタ端子－エミッタ端子間電圧によって検出信号の出力電圧が決定されるようになっている。そして、このように構成された二線式センサ回路 7 0 の両端子 7 7, 8 2 は、負荷としての図示しない PC（プログラマブルコントローラ）に接続される。よって、二線式センサ回路 7 0 による検出結果が PC 側に入力されるようになっている。

30

【0007】

なお、これと同様の二線式センサ回路は、実開平 7－2923 号公報や特開平 9－44784 号公報にも開示されており、いずれもダーリントン接続回路を備えている。

【0008】**【発明が解決しようとする課題】**

ところで、バイポーラトランジスタを構成要素として含むオペアンプ 7 2 では、バイポーラトランジスタの特性からして、Low レベルのとき（即ち非検出時）でも出力端子側にある程度の残留電圧（例えば 0.6 V）がかかっている。従って、仮にオペアンプ 7 2 が 1 個の NPN トランジスタのみに接続されていたとすると、残留電圧に起因してベース端子－エミッタ端子間に電流が流れ、同トランジスタが常時オン状態となってしまう。ゆえに、非検出時であるにもかかわらず、発光ダイオード 7 8 が僅かに点灯するという不具合を生じる。それに対し、ダーリントン接続回路 7 3 を設けておけば、電圧差が NPN トランジスタ 7 4, 7 5 の 2 個分（即ち 1.2 V）となることで漏れ電流が防止され、常時オン状態になることが回避される。

40

【0009】

しかしながら、従来技術の二線式センサ回路 7 0 は、ダーリントン接続回路 7 3 を備えていることから、次のような問題点を有していた。即ち、上述した通り PNP トランジスタ

50

79のベース端子－エミッタ端子間電圧、発光ダイオード78の順電圧、ダーリントン接続回路73の終段のNPNトランジスタ75のコレクタ端子－エミッタ端子間電圧の和は、内部降下電圧（つまり出力電圧）の値に等しくなる。ところが、この内部降下電圧値はNPNトランジスタを1個のみ用いた場合に比べて大きくなり、近年における低スペック化（特にプログラムコントローラ側の低消費電力化）の流れに逆行する結果となる。従って、逆に負荷側にかかる電圧分が小さくなってしまう。よって、負荷側の選択を誤ると、当該電圧が負荷の最低駆動電圧を下回ることも予想され、その場合には二線式センサ回路70側からのオン信号が正確に伝達されなくなるおそれがあった。ゆえに、負荷側の選択範囲が狭くなるという問題が起こっていた。

【0010】

本発明は上記の事情に鑑みてなされたものであり、その目的は、残留電圧に起因して非検出時に発光ダイオードが点灯することがなく、しかも負荷側の選択範囲が広い二線式センサ回路を提供することにある。

【0012】

【課題を解決するための手段】

上記の課題を解決するために、請求項1に記載の発明では、検出素子を含むブリッジ回路からの検出信号を比較器を介して出力する信号端子とコモン端子とを備えるとともに、流体圧アクチュエータの位置検出に用いられる二線式センサ回路において、複数のバイポーラトランジスタを構成要素とする比較器と、前記比較器の出力端子にベース端子が接続される第1のトランジスタと、前記第1のトランジスタのコレクタ端子にカソード端子が接続される発光ダイオードと、前記発光ダイオードのアノード端子にベース端子が接続される第2のトランジスタと、前記第2のトランジスタのエミッタ端子－コレクタ端子間に同エミッタ端子からコレクタ端子へ順方向に接続される定電流ダイオードとを備え、前記第2のトランジスタのエミッタ端子が前記信号端子に接続され、前記第1のトランジスタのエミッタ端子が前記コモン端子に接続され、前記第1のトランジスタのエミッタ端子－ベース端子間に電流制限抵抗が並列に接続され、前記検出素子の非検出時には前記定電流ダイオードによって漏れ電流が決定され、かつ前記検出素子の検出時には前記第2のトランジスタのベース端子－エミッタ端子間電圧、前記発光ダイオードの端子間電圧及び前記第1のトランジスタのコレクタ端子－エミッタ端子間電圧によって検出信号の出力電圧が決定されるように構成されていることを特徴とする二線式センサ回路をその要旨とする。

【0013】

請求項2に記載の発明では、検出素子を含むブリッジ回路からの検出信号を比較器を介して出力する信号端子とコモン端子とを備えるとともに、流体圧アクチュエータの位置検出に用いられる二線式センサ回路において、複数のC-MOSトランジスタを構成要素とする比較器と、前記比較器の出力端子にベース端子が接続される第1のトランジスタと、前記第1のトランジスタのコレクタ端子にカソード端子が接続される発光ダイオードと、前記発光ダイオードのアノード端子にベース端子が接続される第2のトランジスタと、前記第2のトランジスタのエミッタ端子－コレクタ端子間に同エミッタ端子からコレクタ端子へ順方向に接続される定電流ダイオードとを備え、前記第2のトランジスタのエミッタ端子が前記信号端子に接続され、前記第1のトランジスタのエミッタ端子が前記コモン端子に接続され、前記検出素子の非検出時には前記定電流ダイオードによって漏れ電流が決定され、かつ前記検出素子の検出時には前記第2のトランジスタのベース端子－エミッタ端子間電圧、前記発光ダイオードの端子間電圧及び前記第1のトランジスタのコレクタ端子－エミッタ端子間電圧によって検出信号の出力電圧が決定されるように構成されていることを特徴とする二線式センサ回路をその要旨とする。

【0014】

請求項3に記載の発明では、請求項1または2において、ツェナーダイオードのカソード端子を前記発光ダイオードのアノード端子に接続し、かつそのツェナーダイオードのアノード端子を同発光ダイオードのカソード端子に接続している。

【0015】

10

20

30

40

50

請求項 4 に記載の発明では、請求項 1 または 2 において、互いに直列に接続された複数のスイッチングダイオードのうち最前段に位置するスイッチングダイオードのアノード端子を前記発光ダイオードのアノード端子に接続し、かつ最後段に位置するスイッチングダイオードのカソード端子を同発光ダイオードのカソード端子に接続している。

【0016】

請求項 5 に記載の発明では、請求項 1 乃至 4 のいずれか 1 項において、前記第 1 のトランジスタのベース端子－エミッタ端子間に外部雑音補償用コンデンサを並列に接続している。

【0017】

請求項 6 に記載の発明は、請求項 1 または 2 において、磁気の変動に起因して抵抗値を変化させる MR 素子を含む前記ブリッジ回路と、複数のトランジスタを構成要素とする前記比較器とをパッケージ化したことをその要旨とする。

10

【0018】

請求項 7 に記載の発明では、請求項 6 において、前記比較器は複数の C－MOS トランジスタを構成要素とする C－MOS 型オペアンプであるとしている。

以下、本発明の「作用」について説明する。

【0019】

請求項 1 に記載の発明によると、検出素子の非検出時には、定電流ダイオードによって漏れ電流が決定される。また、検出素子の検出時には、第 2 のトランジスタのベース端子－エミッタ端子間電圧、発光ダイオードの端子間電圧及び第 1 のトランジスタのコレクタ端子－エミッタ端子間電圧によって、検出信号の出力電圧、即ち内部降下電圧の値が決定される。この構成では、比較器の出力端子側にあるのは第 1 のトランジスタの 1 つのみなので、ダーリントン接続回路を使用した従来構成と比べて、内部電圧降下値が確実に小さくなる。このように負荷側の低消費電力化が達成される結果、負荷側にかかる電圧分が最低駆動電圧を下回るようなことも回避され、負荷側の選択範囲が広がる。

20

【0020】

また、第 1 のトランジスタのベース端子－エミッタ端子間に並列に接続された電流制限抵抗は、比較器の出力インピーダンス値を高く維持して、漏れ電流を防止する。従って、ダーリントン接続回路を省略したとしても、比較器の出力インピーダンス値が下がる心配はない。よって、残留電圧のもたらず漏れ電流に起因して、非検出時に発光ダイオードが点灯してしまうこともない。

30

【0021】

請求項 2 に記載の発明によると、検出素子の非検出時には、定電流ダイオードによって漏れ電流が決定される。また、検出素子の検出時には、第 2 のトランジスタのベース端子－エミッタ端子間電圧、発光ダイオードの端子間電圧及び第 1 のトランジスタのコレクタ端子－エミッタ端子間電圧によって、検出信号の出力電圧、即ち内部降下電圧の値が決定される。この構成では、比較器の出力端子側にあるのは第 1 のトランジスタの 1 つのみなので、ダーリントン接続回路を使用した従来構成と比べて、内部電圧降下値が確実に小さくなる。このように負荷側の低消費電力化が達成される結果、負荷側にかかる電圧分が最低駆動電圧を下回るようなことも回避され、負荷側の選択範囲が広がる。

40

【0022】

また、複数の C－MOS トランジスタを構成要素とする比較器であるため、同トランジスタの特性上、非検出時における比較器の出力レベル（Low のときの出力レベル）は 0 V となる。従って、そもそも残留電圧が発生することがなく漏れ電流も生じない。このため、ダーリントン接続回路を省略したとしても、非検出時に発光ダイオードが点灯してしまうことはない。さらに、上記のような電流制限抵抗も不要であるため、その分だけ部品点数が少なく済み、低コスト化を図ることができる。

【0023】

請求項 3 に記載の発明によると、いわばツェナーダイオードによる分流回路が発光ダイオードに形成されていることから、このような分流回路がない場合に比べて大きな負荷電流

50

を通电することができる。ゆえに、P C等のような小電流の負荷のみならず、リレー等のような大電流の負荷も接続可能となる。よって、その意味において負荷側の選択範囲が広がる。

【0024】

請求項4に記載の発明によると、いわば直列接続された複数のスイッチングダイオードによる分流回路が発光ダイオードに形成されていることから、このような分流回路がない場合に比べて大きな負荷電流を通电することができる。ゆえに、P C等のような小電流の負荷のみならず、リレー等のような大電流の負荷も接続可能となる。よって、その意味において負荷側の選択範囲が広がる。

【0025】

請求項5に記載の発明によると、コンデンサが二線式センサ回路の外部雑音を補償するとともに、第1のトランジスタのスイッチング遅れを短縮するように作用する。よって、第1のトランジスタの動作が安定化する。

【0027】

請求項6に記載の発明によると、ブリッジ回路と比較器とをパッケージ化したことにより、それらを個々の電子部品により構成する場合に比べて、確実に組み立ての省力化を図ることができる。しかも、部品点数の削減を達成することができる。

【0028】

請求項7に記載の発明によると、二値化信号が増幅されたうえで出力されるため、増幅部を持たない単なる比較器と比べて確実に感度が高くなる。

【0029】

【発明の実施の形態】

〔第1の実施形態〕

以下、本発明を二線式センサ回路を備えるシリンダスイッチに具体化した一実施形態を図1～図3に基づき詳細に説明する。

【0030】

このシリンダスイッチ1は、流体圧アクチュエータの一種であるエアシリンダにおいてピストン位置検出のために使用される。前記シリンダスイッチ1は、エアシリンダの外周面に形成されたセンサ溝内に設置される。エアシリンダのピストンの外周面には磁石が設けられており、同シリンダスイッチ1はその磁石の近接時に出力信号を発するように構成されている。

【0031】

図1に示されるように、このシリンダスイッチ1は各種の電子部品2～10を備えている。これらの電子部品2～10は全て表面実装部品（SMD）であって、後述する二線式センサ回路15を構成する要素である。シリンダスイッチ1を構成する回路基板11は矩形状であって、表裏両面に導体パターン12を備えている。表裏の導体パターン12同士は、図示しないスルーホールにより導通されている。前記回路基板11は、樹脂製であってもよくセラミックス焼結体製であってもよい。

【0032】

図1（a）に示されるように、回路基板11の表面側には4個の電子部品、即ちMRセンサパッケージ2、発光ダイオード3、定電流ダイオード4及びツェナーダイオード5がはんだ付けにより表面実装されている。図1（c）に示されるように、回路基板11の裏面側には5個の電子部品、即ち、第1の電流制限抵抗6、第2の電流制限抵抗7、外部雑音補償用コンデンサ8、第1のトランジスタ9及び第2のトランジスタ10がはんだ付けにより表面実装されている。

【0033】

このような回路基板11には、複数本（本実施形態では2本）のリード線1313a, 13bを備える信号ケーブル13がはんだ付けされている。そして、各種電子部品2～10及び回路基板11はケース14内に収容されている。ケース14内は、耐水性向上のため樹脂によりモールドされていてもよい。

10

20

30

40

50

【0034】

2本のリード線13a、13bのうちの1つは回路基板11の表面側に接合され、もう1本は回路基板11の裏面側に接合されている。従って、信号ケーブル14の中心軸線上に回路基板11が配置された状態となっている。また、信号ケーブル13の外径と回路基板11の横幅とは、図1(b)に示されるように略等しく設定されていることが好ましい。

【0035】

次に、本実施形態の二線式センサ回路15を図2に基づいて説明する。

この二線式センサ回路15を構成するMRセンサパッケージ2は、ブリッジ回路16を構成する部品群とオペアンプ17を構成する部品群とを1つにパッケージ化してなるものである。ブリッジ回路16は、検出素子としての2個のMR素子16a、16cと2個の分圧抵抗16b、16dとからなる。MR素子16a、16cは、ピストンに設けられた磁石に反応して自身の抵抗値を変化させる。具体的には、磁気が強くなるほど抵抗値が減少する。分圧抵抗16b、16dの中間接続点からは、後段にあるオペアンプ17に対して基準電圧VREFが出力される。MR素子16a、16cの中間接続点からは、基準電圧VREFよりも高い電圧の磁気検出信号VSがオペアンプ17に対して出力される。

10

【0036】

ブリッジ回路16の出力には、比較器としてのオペアンプ17の入力端子が接続されている。オペアンプ17は、ブリッジ回路16からの検出信号を比較して二値化し、かつ増幅したうえで後段に出力する役割を果たす。

【0037】

20

図3には、オペアンプ17内の回路の一例が示されている。このオペアンプ17は、複数（同図では7個）のバイポーラトランジスタQ11～Q17を備えた、いわゆるバイポーラ型オペアンプ17である。このオペアンプ17は、差動増幅部、エミッタ接地増幅部及び電力増幅部を有している。差動増幅部は、バイポーラトランジスタQ11、Q12、Q13、Q14によって構成されている。エミッタ接地増幅部は、バイポーラトランジスタQ15、コンデンサC11及び抵抗R11によって構成されている。電力増幅部は、ダイオードD11、D12及びバイポーラトランジスタQ16、Q17によって構成されている。バイポーラトランジスタQ11のベース端子は非反転入力端子に接続され、バイポーラトランジスタQ12のベース端子は反転入力端子に接続されている。バイポーラトランジスタQ11、Q12、Q16のコレクタ端子は、プラス側電源端子に接続されている。バイポーラトランジスタQ13、Q17等のコレクタ端子は、マイナス側電源端子に接続されている。バイポーラトランジスタQ16、Q17のエミッタ端子は出力端子に接続されている。

30

【0038】

従って、このオペアンプ17をコンパレータ（比較器）として用いた場合には、次のように動作する。Hiレベル出力時にはトランジスタQ15がオフになるため、それに伴ってトランジスタQ17もオフになる。ゆえに、トランジスタQ16のみがオンとなり、+Vに近い電圧が判定信号VSEとして出力端子に発生する。逆にLowレベル出力時にはトランジスタQ15がオンするので、それに伴い両トランジスタQ16、Q17がオンする。このときの出力の電圧は(-V+0.6)ボルトとなり、マイナス側端子の電圧が0Vであれば、その値は0.6ボルトとなる。トランジスタQ17においては、ベース端子-エミッタ端子間電圧（スイッチングダイオード一個分の順方向電圧=約0.6ボルト）が発生するからである。よって、この値が出力端子に発生するLowレベル出力時の残留電圧値V0FFとなる。

40

【0039】

図2に示されるように、オペアンプ17の出力端子には、第2の電流制限抵抗7を介して第1のトランジスタ9のベース端子が接続されている。このトランジスタ9はNPNトランジスタ9であって、ブリッジ回路16の検出時にON状態となり、非検出時にOFF状態となる。第1のトランジスタ9のエミッタ端子は、コモン端子（グランド端子）19に接続されている。また、第1のトランジスタ9のコレクタ端子は、発光ダイオード3のカソード端子に接続されている。

50

【0040】

発光ダイオード3のアノード端子は、第2のトランジスタ10のベース端子に接続されている。第2のトランジスタ10としては、ここではPNPトランジスタ10が用いられている。なお、前記発光ダイオード3は、第1のトランジスタ9のON状態のとき（即ち検出時）に点灯し、同トランジスタ9のOFF状態のとき（即ち非検出時）に消灯する。第2のトランジスタ10のエミッタ端子は信号端子18に接続され、コレクタ端子はブリッジ回路16に接続されている。第2のトランジスタ10は、検出時に発光ダイオード3と第1のトランジスタ9とにより出力電圧を決定するものである。

【0041】

また、第2のトランジスタ10のエミッタ端子には定電流ダイオード4のアノード端子が接続され、コレクタ端子には同定電流ダイオード4のカソード端子が接続されている。この定電流ダイオード4は、非検出時に二線式センサ回路15の漏れ電流を決定するものである。信号端子18とコモン端子19との間には、サージ電圧対策用のツェナーダイオード5が接続されている。

10

【0042】

図2に示されるように、第1のトランジスタ9のエミッタ端子－ベース端子間には、第1の電流制限抵抗6及び外部補償用コンデンサ8が並列に接続されている。第1の電流制限抵抗6は、オペアンプ17の出力インピーダンス値を高く維持して、漏れ電流を防止するための役割を果たしている。なお、前記第2の電流制限抵抗7もこれを補佐するような役割を果たしている。また、前記コンデンサ8は、二線式センサ回路15の外部雑音を補償するとともに、第1のトランジスタ9のスイッチング遅れを短縮するように作用する。

20

【0043】

このように構成された二線式センサ回路15では、ブリッジ回路16の非検出時には、定電流ダイオード4により漏れ電流が決定されるようになっている。また、ブリッジ回路16の検出時には、第2のトランジスタ10のベース端子－エミッタ端子間電圧、発光ダイオード3の順電圧、第1のトランジスタ9のコレクタ端子－エミッタ端子間電圧によって検出信号の出力電圧が決定されるようになっている。また、両端子18、19は、負荷としての図示しないPC（プログラマブルコントローラ）に接続される。よって、二線式センサ回路15による検出結果がPC側に入力されるようになっている。

【0044】

ところで、所定の残留電圧値V_{OFF}に対する第1の電流制限抵抗6の好適値は、以下のような計算により求めることができる。ここで、計算の便宜を図るために、第1の電流制限抵抗6の抵抗値を「R1」で表わし、第2の電流制限抵抗7の抵抗値を「R2」で表わす。第1のトランジスタ9のベース端子にかかる電圧をV_Bとすると、Lowレベル出力時におけるその値は、残留電圧値V_{OFF}＝約0.6ボルトとしたときには次の式（1）で表わされる。

30

【0045】

$$\begin{aligned} V_B &= V_{OFF} \times (R1 / (R1 + R2)) \\ &= 0.6 R1 / (R1 + R2) \end{aligned} \quad \dots (1)$$

40

第1のトランジスタ9は、ベース端子－エミッタ端子間に約0.6ボルトの電圧が加わったときにオンする。しかし、トランジスタ9の規格にはある程度ばらつきがあるため、0.6ボルト以下であってもオンする可能性がある。従って、安全を見越してV_B＝0.3ボルトとして前式（1）の計算を続けると、次式（2）、（3）のようになる。

【0046】

$$0.3 = 0.6 R1 / (R1 + R2) \quad \dots (2)$$

$$0.3 R1 + 0.3 R2 = 0.6 R1 \quad \dots (3)$$

即ち、R1＝R2が成立する。よって、例えばR2を10kΩに設定したとききには、V_Bが0.3ボルトよりも小さくなる値、つまりR1≤10kΩに設定されることが望ましいことがわかる。

50

【0047】

その他、本実施形態において使用される各電子部品の規格の好適例の1つを以下に簡条書きで示す。

- ・MRセンサパッケージ2； $V_{cc} = 3V \sim 30V$ ，
- ・定電流ダイオード4； $I_F = 0.60mA \sim 0.92mA$ ($-10^\circ C \sim +60^\circ C$)
- ・発光ダイオード3； $I_F = 30mA$ 以上， $V_F = 1.75V$ ($I_F = 20mA$ 以内)
- ・ツェナーダイオード5； $V_Z = 36V$ ($I_Z = 2mA$)
- ・第1のトランジスタ9； NPN型， $V_{CED} = 50V$ 以上， $I_c = 150mA$ 以上， $h_{FE} = 820$ 以上
- ・第2のトランジスタ10； PNP型， $V_{CED} = 50V$ 以上， $I_c = 100mA$ 以上， $h_{FE} = 85$ 以上
- ・第1の電流制限抵抗6； $10k\Omega$ ， $1/16W$
- ・第2の電流制限抵抗7； $10k\Omega$ ， $1/16W$
- ・コンデンサ8； $0.01\mu F$ ，定格電圧 $50V$

さて、以下に本実施形態において特徴的な作用効果を列挙する。

【0048】

(イ) 本実施形態のシリンダスイッチでは、オペアンプ17の出力端子側にあるのは第1のトランジスタ9の1つのみである。この点が、複数のトランジスタからなるダーリントン接続回路を用いた従来構成と大きく異なっている。ゆえに、従来構成と比べて内部電圧降下値が確実に小さくなる。ちなみに、同規格の部品を用いて図10の回路を構成したとき内部電圧降下値が約4ボルトになるのに対し、本実施形態ではそれが約3ボルトになることが確認されている。このように負荷であるPC側の低消費電力化が達成される結果、PC側にかかる電圧分が最低駆動電圧を下回るようなことも回避される。このため、二線式センサ回路15側からのオン信号がPC側に正確に伝達されなくなるおそれもなく、負荷側の選択範囲が確実に広がる。従って、汎用性に富んだものとすることができる。

【0049】

(ロ) このシリンダスイッチ1では、第1のトランジスタ9のベース端子－エミッタ端子間に第1の電流制限抵抗6を並列に接続している。ゆえに、バイポーラ型のオペアンプ17を使用した場合であっても、信号端子(V_{cc})18－コモン端子(GND)19間の出力インピーダンス値が高く維持され、漏れ電流が防止される。従って、ダーリントン接続回路を省略したとしても、オペアンプ17の出力インピーダンス値が下がる心配はない。よって、残留電圧のもたらす漏れ電流に起因して、非検出時に発光ダイオード3が点灯してしまうこともない。このため、二線式センサ回路15の動作が安定化し、信頼性も向上する。

【0050】

(ハ) このシリンダスイッチ1では、第1のトランジスタ9のベース端子－エミッタ端子間に外部雑音補償用コンデンサ8を並列に接続している。ゆえに、同コンデンサ8が二線式センサ回路15の外部雑音を補償するとともに、第1のトランジスタ9のスイッチング遅れを短縮するように作用する。そのため、第1のトランジスタ9の動作が安定化し、信頼性も向上する。

【0051】

(ニ) このシリンダスイッチ1では、ブリッジ回路16とオペアンプ17とをパッケージ化してなるMRセンサパッケージ2を用いている。このため、それらを個々の電子部品により構成する場合に比べて、確実に組み立ての省力化を図ることができる。しかも、部品点数の削減を達成することができる。

[第2の実施形態]

次に、図4に基づいて実施形態2の二線式センサ回路21を説明する。なお、実施形態1と共通の部材には同じ番号を付し、その詳細な説明は省略する。

【0052】

図4に示されるように、この二線式センサ回路21は、実施形態1の回路構成にさらにツェナーダイオード22を加えたものとなっている。ツェナーダイオード22のカソード端子は、発光ダイオード3のアノード端子に接続されている。同ツェナーダイオード22のアノード端子は、発光ダイオード3のカソード端子に接続されている。従って、いわばツェナーダイオード22による分流回路が発光ダイオード3に形成された状態となっている。前記実施形態1と同じ電子部品を使用した回路構成の場合、ツェナーダイオード22の規格を $V_Z = 2.2\text{ V}$ ($I_Z = 5\text{ mA}$)程度にすることが好ましい。

【0053】

さて、本実施形態において特徴的な作用効果を列挙する。

(イ) 以上のように構成された二線式センサ回路21を含むシリンダスイッチ1も、実施形態1にて列挙した各効果イ～ニを奏することはいうまでもない。 10

【0054】

(ロ) さらに、上記のような分流回路を備えるこの実施形態では、実施形態1の回路構成に比べて大きな負荷電流を通電することができる。ゆえに、PC等のような小電流の負荷のみならず、リレー等のような大電流の負荷も接続可能な二線式センサ回路21を実現することができる。よって、その意味において負荷側の選択範囲が広くなり、さらなる汎用性の向上が図られる。

【0055】

また、スイッチングダイオードを用いて同様の作用効果を得ようとした場合（後述する実施形態3）に比べて、部品点数が少なく済むという利点もある。 20

〔第3の実施形態〕

次に、図5に基づいて実施形態3の二線式センサ回路31を説明する。なお、実施形態1と共通の部材には同じ番号を付し、その詳細な説明は省略する。

【0056】

図5に示されるように、この二線式センサ回路31は、実施形態1の回路構成に対し、さらに互いに直列に接続された複数（本実施形態では3個）のスイッチングダイオード32, 33, 34を加えたものとなっている。もっとも連結数は3個に限定されるわけではなく、2個にしてもよく、4個以上にしてもよい。

【0057】

最前段（電流流入側）に位置するスイッチングダイオード32のアノード端子は、発光ダイオード3のアノード端子に接続されている。一方、最後段（電流流出側）に位置するスイッチングダイオード34のカソード端子は、発光ダイオード3のカソード端子に接続されている。従って、いわば3個のスイッチングダイオード32, 33, 34による分流回路が発光ダイオード3に形成された状態となっている。前記実施形態1と同じ電子部品を使用した回路構成の場合、各スイッチングダイオード32, 33, 34の規格を、それぞれ $I_F = 50\text{ mA}$ 以上、 $V_F = 0.6\text{ V}$ ($I_F = 1\text{ mA}$)程度にすることが好ましい。 30

【0058】

さて、本実施形態において特徴的な作用効果を列挙する。

(イ) 以上のように構成された二線式センサ回路31を含むシリンダスイッチ1も、実施形態1にて列挙した各効果イ～ニを奏することはいうまでもない。 40

【0059】

(ロ) さらに、上記のような分流回路を備えるこの実施形態では、実施形態1の回路構成に比べて大きな負荷電流を通電することができる。ゆえに、PC等のような小電流の負荷のみならず、リレー等のような大電流の負荷も接続可能な二線式センサ回路31を実現することができる。よって、その意味において負荷側の選択範囲が広くなり、さらなる汎用性の向上が図られる。

〔第4の実施形態〕

次に、図6, 図7に基づいて実施形態4の二線式センサ回路41を説明する。なお、実施形態1と共通の部材には同じ番号を付し、その詳細な説明は省略する。

【0060】

図 6 に示されるように、この二線式センサ回路 4 1 では、実施形態 1 の MR センサパッケージ 2 とは異なる MR センサパッケージ 4 2 が使用されている。即ち、ここで使用される MR センサパッケージ 4 2 は、上記のブリッジ回路 1 6 と、比較器としての C-MOS 型オペアンプ 4 3 とを構成要素としている。このオペアンプ 4 3 も、ブリッジ回路 1 6 からの検出信号を比較して二値化し、かつ増幅したうえで後段に出力する役割を果たす。

【0061】

図 7 には、オペアンプ 4 3 内の回路の一例が示されている。このオペアンプ 4 3 は、複数（同図では 1 3 個）の C-MOS トランジスタ N11~N17, P11~P16 を備えている。N11~N17 は N チャンネル型トランジスタであり、P11~P16 は P チャンネル型トランジスタである。その他、同オペアンプ 4 3 は、抵抗 R21~R27、コンデンサ C21、ダイオード D21, D22 も備えている。

10

【0062】

トランジスタ P11 の絶縁ゲート端子は、抵抗 R21 を介して反転入力端子に接続されている。トランジスタ P12 の絶縁ゲート端子は、抵抗 R22 を介して非反転入力端子に接続されている。

【0063】

プラス側電源端子には、各トランジスタ P13, P14, P15, P16 のソース端子及び接合ゲート端子が直に接続されている。トランジスタ N15 については、そのドレイン端子が抵抗 R26 を介してプラス側電源端子に接続されている。一方、マイナス側電源端子には、トランジスタ N11, N12, N13, N14, N15, N16, N17 の接合ゲート端子が直に接続されている。なお、トランジスタ N13, N14, N17 については、ソース端子がマイナス側電源端子に対して直に接続されている。トランジスタ N11, N12, N16 については、ソース端子が抵抗 R23, R24, R27 を介してマイナス側電源端子に接続されている。そして、トランジスタ N14, N15 同士の接続点は、出力端子に接続されている。

20

出力段の N チャンネル型トランジスタ N14, N15 は、ゲート端子と他のドレイン端子やソース端子との間での電流の出入りはなく、全くの絶縁状態にある。この点、バイポーラトランジスタと相違している。ゲート端子（即ちバイポーラトランジスタのベース端子に相当する。）に所定の電圧を印加すると、ドレイン端子-ソース端子間がメカ的接点と同様にオン・オフする。ただし、その間に電圧降下が起こらないことが特徴的である。

【0064】

30

従って、このオペアンプ 4 3 をコンパレータとして用いた場合には、次のように動作する。Hi レベル出力時には、トランジスタ N15 がオンになりかつトランジスタ N14 がオフになる。この場合、+V と同じ電圧が判定信号 VSE として出力端子に発生する。逆に Low レベル出力時には、トランジスタ N14, N15 がともにオンになる。この場合、-V と同じ電圧が出力端子に発生する。従って、-V が 0 ボルトであれば、Low レベル出力時の残留電圧値 VOFF も同じく 0 ボルトとなる。即ち、残留電圧が全く発生しなくなる。

【0065】

以上のことから、本実施形態の二線式センサ回路 4 1 では、第 1 の電流制限抵抗 6 が省略されている。

さて、本実施形態において特徴的な作用効果を列挙する。

40

【0066】

(イ) 以上のように構成された二線式センサ回路 4 1 を含むシリンダスイッチ 1 も、実施形態 1 と基本構成を共通とすることから、実施形態 1 にて列挙した効果イ及び効果ハを奏することはいうまでもない。

【0067】

(ロ) また、この実施形態で使用している MR センサパッケージ 4 2 は、複数の C-MOS トランジスタ N11~N17, P11~P16 を構成要素としている。そのため、上述した同トランジスタ N11~N17, P11~P16 の特性上、非検出時におけるオペアンプ 4 3 の出力レベルは 0 V となる。従って、そもそも残留電圧が発生することがなく漏れ電流も生じない。このため、ダーリントン接続回路を省略したとしても、非検出時に発光ダイオード 3 が

50

点灯してしまうことはない。

【0068】

(ハ) 本実施形態のMRセンサパッケージ42は、ブリッジ回路16を構成する部品群と、C-MOS型オペアンプ43を構成する部品群とを1つにパッケージ化してなるものである。ゆえに、それらを個々の電子部品により構成する場合に比べて、確実に組み立ての省力化を図ることができる。しかも、部品点数の削減を達成することができる。

【0069】

(ニ) また、MRセンサパッケージ42は、いわば増幅部を持つ比較器としてのオペアンプ43を備えている。従って、二値化信号が増幅されたうえで第1のトランジスタ9に出力されるため、増幅部を持たない単なる比較器と比べて確実に感度が高くなるという利点がある。

10

【0070】

(ホ) 勿論、この構成であると第1の電流制限抵抗6が不要になることにより、その分だけ実施形態1に比べて部品点数が少なくて済む。よって、低コスト化を図ることができる。

【0071】

なお、本発明は上記実施形態に限定されることはなく、例えば次のような別の形態に変更することが可能である。

◎ 図8に示される別例の二線式センサ回路51のように、実施形態2の回路構成から発光ダイオード3を省略してもよい。この場合、ツェナーダイオード22は、省略された発光ダイオード3の順方向電圧と同程度のツェナー電圧を発生させるものがよい。同様に、図9に示される別例の二線式センサ回路61のように、実施形態3の回路構成から発光ダイオード3を省略してもよい。これらの構成であると、発光を嫌うような環境下での使用（例えば写真用フィルム製造設備などでの使用）に適したものとすることができる。

20

【0072】

◎ 実施形態2、3や図8、9の別例の回路構成において、C-MOS型オペアンプ43を用いるとともに、第1の電流制限抵抗6を省略した構成とすることも可能である。

【0073】

◎ 実施形態1等のオペアンプ17や実施形態3のオペアンプ42に代えて、単なるコンパレータ（比較器）を用いた構成を採ることも許容される。

30

◎ MR素子16a、16cに代えて、例えばホール素子やピックアップコイル等のような磁気に反応するその他の検出素子を用いてもよい。また、磁気以外のものに反応する検出素子を用いてブリッジ回路16を構成することも可能である。

【0074】

◎ 外部雑音補償用コンデンサ8は、使用環境に応じて省略されてもよい。このようにすると、部品点数のさらなる削減にもつながる。

◎ 信号ケーブル13のリード線の本数は実施形態1のように必ずしも2本に限定されることはなく、例えば3本、4本、5本、6本、7本等にすることができる。例えば、リード線の本数が3本のときには、そのうちの2本を回路基板11の一方側面にはんだ付けし、かつ残りの1本を回路基板11の他方側面にはんだ付けすればよい。このような接続方法を採ったときであっても、回路基板11を信号ケーブル13の中心軸線上に配置することができる。もっとも、リード線が奇数でなくて偶数である場合、回路基板11の表面側に接合されるリード線の本数及び裏面側に接合されるリード線の本数を同数にするほうがより好ましい。

40

【0075】

◎ 本発明は、エアシリンダ以外の流体圧アクチュエータ（例えばロータリアクチュエータなど）に用いられる二線式センサ回路として具体化されてもよい。勿論、検出機能が必要とされる他の装置のセンサ回路としても広く適用可能されることが可能である。

【0076】

ここで、特許請求の範囲に記載された技術的思想のほかに、前述した実施形態によって把

50

握される技術的思想をその効果とともに以下に列挙する。

(1) 請求項1乃至5のいずれか1項において、前記比較器の出力端子と前記第1のトランジスタのベース端子とは電流制限抵抗を介して接続されていることを特徴とする二線式センサ回路。

【0077】

(2) 請求項1乃至5のいずれか1項において、前記第1のトランジスタのエミッタ端子ーベース端子間に接続された前記電流制限抵抗の抵抗値は、前記比較器の出力端子と前記第1のトランジスタのベース端子との間に接続された前記電流制限抵抗の抵抗値以下に設定されることを特徴とする二線式センサ回路。この構成であると、規格にばらつきがあるトランジスタを用いた場合でも、確実に誤動作を防止することができる。

10

【0078】

(3) 請求項1乃至5のいずれか1項において、残留電圧値が約0.6Vである場合、前記第1のトランジスタのエミッタ端子ーベース端子間に接続された前記電流制限抵抗の抵抗値は10kΩに設定され、前記比較器の出力端子と前記第1のトランジスタのベース端子との間に接続された前記電流制限抵抗の抵抗値は10kΩ以下に設定されることを特徴とする二線式センサ回路。この構成であると、規格にばらつきがあるトランジスタを用いた場合でも、確実に誤動作を防止することができる。

【0079】

(4) 請求項1または2において、前記発光ダイオードに代えて発光しないダイオードを使用するとともに、同ダイオードの端子を前記第1のトランジスタのコレクタ端子及び前記第2のトランジスタのベース端子の間に接続したことを特徴とする二線式センサ回路。この構成であると、発光を嫌うような環境下での使用に適したものとすることができる。

20

【0080】

(5) 請求項1または2において、前記発光ダイオードに代えてツェナーダイオードを使用するとともに、そのアノード端子を前記第1のトランジスタのコレクタ端子に接続し、かつそのカソード端子を前記第2のトランジスタのベース端子に接続したことを特徴とする二線式センサ回路。この構成であると、発光を嫌うような環境下での使用に適したものとすることができる。

【0081】

30

(6) 請求項1または2において、前記発光ダイオードに代えて互いに直列に接続された複数のスイッチングダイオードを使用するとともに、前記複数のスイッチングダイオードのうち最後段に位置するスイッチングダイオードのカソード端子を前記第1のトランジスタのコレクタ端子に接続し、かつ最前段に位置するスイッチングダイオードのアノード端子を前記第2のトランジスタのベース端子に接続したことを特徴とする二線式センサ回路。この構成であると、発光を嫌うような環境下での使用に適したものとすることができる。

【0082】

(7) 請求項6または7において、表面実装用の部品形態を備えることを特徴とする二線式センサ回路。この構成であると、ピン挿入実装用の部品形態を採用したときよりも、パッケージ全体の小型化を達成することができる。

40

【0083】

(8) 請求項1乃至5のいずれか1項に記載の二線式センサ回路を備えたシリンダスイッチ。この構成であると、例えばピストンの位置検出に使用した場合に、ストロークにおけるピストンの位置を確実にかつ高い信頼性で検出することができる。

【0084】

(9) 電子部品が実装された回路基板と、複数本のリード線を有する信号ケーブルとを備え、前記回路基板の導電部分に対して前記各リード線が接合されているシリンダスイッチにおいて、前記信号ケーブルの外径と前記回路基板の横幅とを略等しく設定するとともに、前記信号

50

ケーブルの中心軸線上に前記回路基板を配置すべく、前記複数のリード線のうちの少なくとも1つを前記回路基板の表面側に接合し、かつ残りのリード線を前記回路基板の裏面側に接合したことを特徴とするシリンダスイッチ。この構成であると、信号ケーブルと回路基板との寸法が合致するため、全体の小型化を図ることができる。また、回路基板が複数のリード線間にいわば挟持された状態で配置される結果、強度の向上を図ることができる。勿論、強度が向上することで結果的に信頼性も向上する。

【0085】

(10) 技術的思想9において、前記リード線が偶数である場合、前記回路基板の表面側に接合されるリード線の本数及び裏面側に接合されるリード線の本数を同数にすることを特徴とするシリンダスイッチ。この構成であると、同数のリード線によって回路基板が表裏両面側から均等に保持されるため、よりいっそう強度の向上を図ることができる。

10

【0086】

(11) 技術的思想9、10において、前記回路基板上には請求項1乃至5、技術的思想1乃至5のいずれか1つに記載の二線式センサ回路が構成されていることを特徴とするシリンダスイッチ。

【0087】

(12) 技術的思想9、10において、前記回路基板上には請求項6または7のMRセンサパッケージが実装されていることを特徴とするシリンダスイッチ。

【0088】

なお、本明細書中において使用した技術用語を次のように定義する。

20

「流体圧アクチュエータ：窒素、酸素、アルゴン、二酸化炭素、水素、それらの混合物である空気等といった気体や、水、アルコール、油等の液体などの流体を駆動源としたアクチュエータを指し、例えばエアシリンダなどがある。」

【0089】

【発明の効果】

以上詳述したように、請求項1に記載の発明によれば、残留電圧に起因して非検出時に発光ダイオードが点灯することがなく、しかも負荷側の選択範囲が広い二線式センサ回路を提供することができる。

【0090】

請求項2に記載の発明によれば、残留電圧に起因して非検出時に発光ダイオードが点灯することがなく、しかも負荷側の選択範囲が広く、さらに部品点数が少なくて済むので低コストな二線式センサ回路を提供することができる。

30

【0091】

請求項3、4に記載の発明によれば、負荷側の選択範囲をより広くすることができる。請求項5に記載の発明によれば、第1のトランジスタの動作が安定化することで、信頼性の向上を図ることができる。

【0092】

請求項6に記載の発明によれば、組み立ての省力化や部品点数の削減等を図ることができる。

【0093】

請求項7に記載の発明によれば、請求項6の発明の効果に加え、確実に高感度化を図ることができる。

40

【図面の簡単な説明】

【図1】(a)は実施形態1の二線式センサ回路を有するシリンダスイッチの一部省略平面図、(b)は同じくその一部省略正面図、(c)は同じくその一部省略底面図。

【図2】実施形態1の二線式センサ回路を示す回路図。

【図3】図2の二線式センサ回路の備えるバイポーラ型オペアンプの内部を概略的に示した回路図。

【図4】実施形態2の二線式センサ回路を示す回路図。

【図5】実施形態3の二線式センサ回路を示す回路図。

50

【図 6】 実施形態 4 の二線式センサ回路を示す回路図。

【図 7】 図 6 の二線式センサ回路の備える C-MOS 型オペアンプの内部を概略的に示した回路図。

【図 8】 別例の二線式センサ回路を示す回路図。

【図 9】 別例の二線式センサ回路を示す回路図。

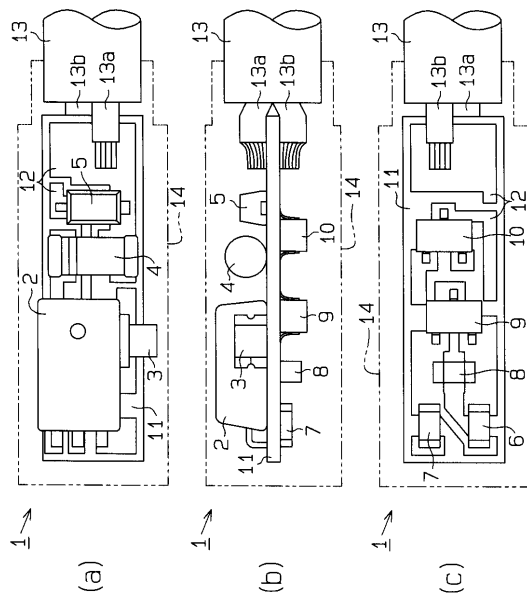
【図 10】 従来の二線式センサ回路を示す回路図。

【符号の説明】

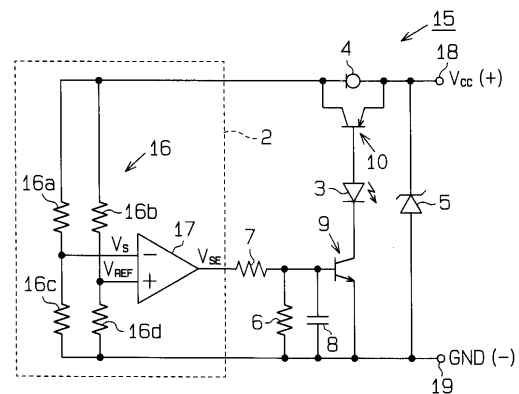
3…発光ダイオード、4…定電流ダイオード、5…ツェナーダイオード、6, 7…電流制限抵抗、8…外部雑音補償用コンデンサ、9…第 1 のトランジスタ、10…第 2 のトランジスタ、15, 21, 31, 41, 51, 61…二線式センサ回路、16…ブリッジ回路、16a…検出素子としての MR 素子、17…比較器としてのバイポーラ型オペアンプ、18…信号端子、19…コモン端子、32, 33, 34…スイッチングダイオード、42…MR センサパッケージ、43…比較器としての C-MOS 型オペアンプ、Q11~Q17…バイポーラトランジスタ、N11~N17, P11~P16…C-MOS トランジスタ。

10

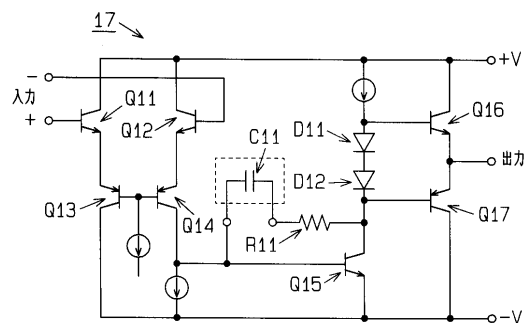
【図 1】



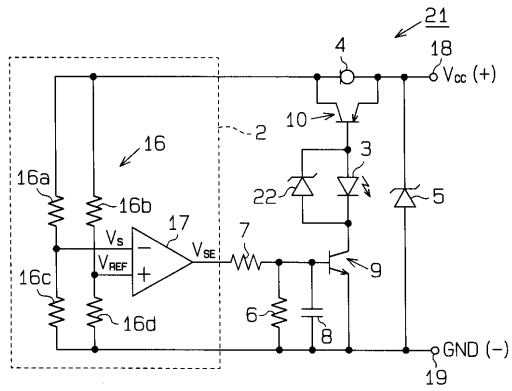
【図 2】



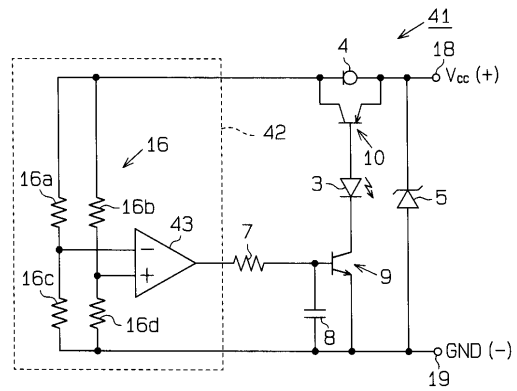
【図 3】



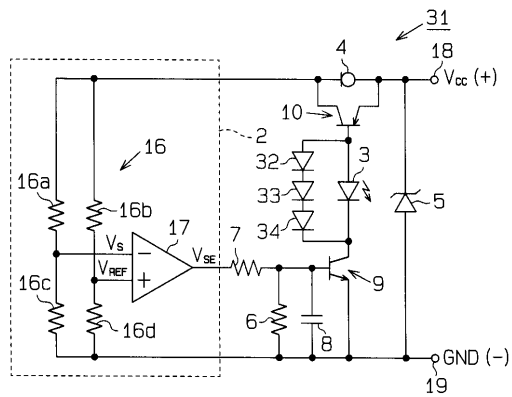
【図 4】



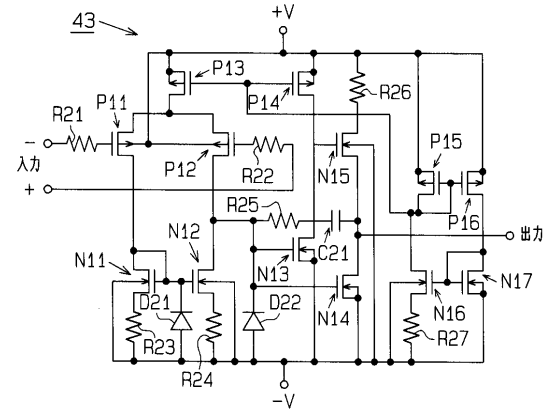
【図 6】



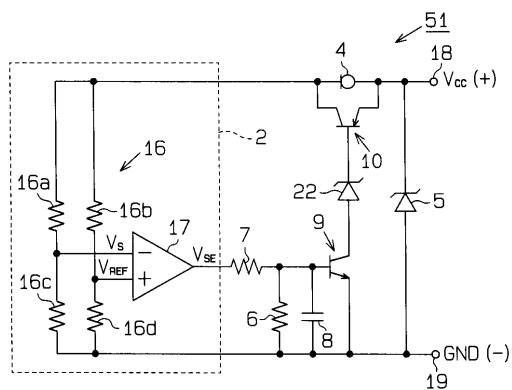
【図 5】



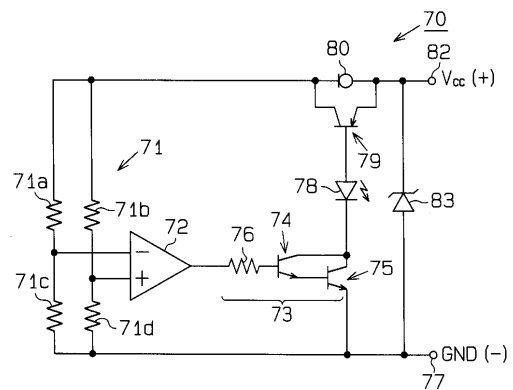
【図 7】



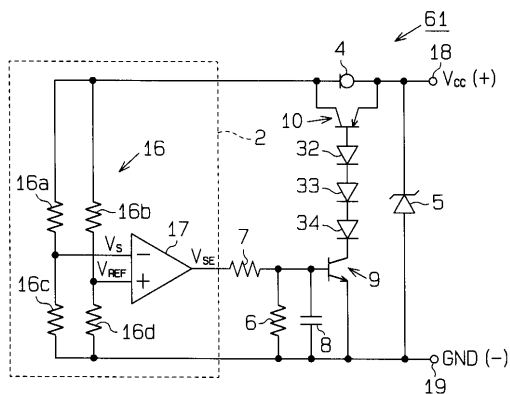
【図 8】



【図 10】



【図 9】



フロントページの続き

- (56)参考文献 特開平9-44784 (JP, A)
特開平8-146059 (JP, A)
実開平7-2923 (JP, U)
実開平5-85060 (JP, U)
特開平10-115503 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G01R33/00~33/26
G01D5/00~5/62
G01B7/00~7/34
G01P1/00~3/80