

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶
H01L 21/20

(45) 공고일자 2002년04월17일
(11) 등록번호 10 - 0325297
(24) 등록일자 2002년02월06일

(21) 출원번호 10 - 1997 - 0074379
(22) 출원일자 1997년12월26일

(65) 공개번호 특1999 - 0054550
(43) 공개일자 1999년07월15일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 이기선
충청북도 청주시 흥덕구 가경동 1514번지 삼일원앙아파트 104 - 1302
이병학
충청북도 청주시 흥덕구 향정동 50번지

(74) 대리인 김용인
강용복

심사관 : 김종찬

(54) 반도체 소자의 제조방법

요약

본 발명은 결정립 크기를 조대화하여 전기저항이 낮은 박막을 제조하는데 적당한 반도체 소자의 제조방법에 관한 것으로, 반도체 기판상에 절연막을 형성하는 단계와, 상기 절연막상에 제 1, 제 2 텅스텐 질화막을 차례로 증착하는 단계와, 상기 반도체 기판의 전면에 불순물 이온을 주입하여 상기 제 2 텅스텐 질화막을 비정질화 시키는 단계와, 그리고 상기 반도체 기판에 열처리 공정을 실시하여 상기 비정질화된 제 2 텅스텐 질화막을 결정화시키는 단계를 포함하여 형성함을 특징으로 한다.

대표도
도 2c

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래의 반도체 소자의 제조방법을 나타낸 공정단면도

도 2a 내지 도 2e는 본 발명에 의한 반도체 소자의 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판 22 : 실리콘 산화막

23 : 폴리 실리콘층 24 : 제 1 텅스텐 질화막

25 : 제 2 텅스텐 질화막 26 : 포토레지스트

27 : 소오스/드레인 불순물 영역 28 : 게이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로, 특히 결정립 크기를 조대화하여 전기 저항이 낮은 박막을 형성하는데 적당한 반도체 소자의 제조방법에 관한 것이다.

일반적으로 반도체 소자가 고집적화 될수록 배선의 선평이 감소하게 된다. 이에 따라서 배선의 저항이 증가하게 되어 소자의 동작 속도가 늦어지는 등의 문제가 발생한다.

또한 상기 배선의 면 저항이 증가되는 문제를 해결하기 위하여 배선의 선평을 감소시키면서 대신에 두께를 늘리는 방법도 있으나 이 경우는 배선의 스텝 커버리지가 커져서 공정 조건이 까다롭고 수율이 저하되는 문제점을 야기시킨다.

이와 같은 문제를 해결하기 위하여 종래에는 폴리 실리콘층상에 텅스텐 실리사이드(WSi_x)나 티타늄 실리사이드($TiSi_x$) 또는 코발트 실리사이드($CoSi_x$) 등의 고용점 금속 실리사이드(Refractory Metal Silicide)를 형성하여 비정향이 증가되는 것을 방지하였다.

그러나 상기와 같은 방법으로는 비저항 및 스텝 커버리지의 특성을 다소 향상시키지만, 좀더 개선된 폴리사이드의 형성 방법이 요구되고 있다.

이하, 첨부된 도면을 참고하여 종래의 반도체 소자의 제조방법을 설명하면 다음과 같다.

도 1a 내지 도 1c는 종래의 반도체 소자의 제조방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와같이 반도체 기판(11)상에 실리콘 산화막(SiO_2)(12)을 형성하고, 상기 실리콘 산화막(12)상에 폴리 실리콘층(13)을 증착한다.

이어, 상기 폴리 실리콘층(13)상에 텅스텐 질화막(14)을 증착하고, 상기 텅스텐 질화막(14)상에 리액티브 스퍼터링(Reactive Sputtering)법으로 순수한 텅스텐막(15)을 증착한다.

여기서 상기 텅스텐 질화막(14)은 텅스텐막(15)과 폴리 실리콘층(13)이 반응하여 텅스텐 실리사이드화 되는 것을 방지하기 위한 것이다.

그리고 상기 텅스텐막(15)상에 포토레지스트(Photo Resist)(16)를 도포한 후, 노광 및 현상공정으로 포토레지스트(16)를 패터닝(Patterning)하여 게이트 영역을 정의한다.

도 1b에 도시한 바와같이 상기 패터닝된 포토레지스트(16)를 마스크로 이용하여 텅스텐막(15)과 텅스텐 질화막(14)과 폴리 실리콘층(13)과 실리콘 산화막(12)을 선택적으로 제거하여 게이트 전극(18)과 게이트 산화막(12a)을 형성한다.

도 1c에 도시한 바와같이 상기 포토레지스트(16)를 제거하고, 상기 게이트 전극(18)을 마스크로 이용하여 소오스/드레인용 불순물 이온을 주입하여 상기 게이트 전극(18) 양측의 반도체 기판(11) 표면내에 소오스/드레인 불순물 영역(17)을 형성한다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래의 반도체 소자의 제조방법에 있어서 다음과 같은 문제점이 있었다.

첫째, 텅스텐 박막을 형성하는 공정이 추가됨으로써 제조공정이 복잡하고 생산성이 저하된다.

둘째, 텅스텐 질화막을 수십 Å으로 얇게 형성해야하는데 얇은 막을 균일하게 형성하기가 어렵다.

셋째, 텅스텐 박막이 결정립 성장을 위해서는 텅스텐 원자의 확산이 수반되어야 하는데 텅스텐 박막이 형성될 때의 온도가 300°C이하 낮기 때문에 텅스텐 박막의 결정립 크기를 조대화하기 어렵다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 결정립 크기를 조대화시키어 전기저항이 낮은 박막을 형성하도록 한 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조방법은 반도체 기판상에 절연막을 형성하는 단계와, 상기 절연막상에 제 1, 제 2 텅스텐 질화막을 차례로 증착하는 단계와, 상기 반도체 기판의 전면에 불순물 이온을 주입하여 상기 제 2 텅스텐 질화막을 비정질화 시키는 단계와, 그리고 상기 반도체 기판에 열처리 공정을 실시하여 상기 비정질화된 제 2 텅스텐 질화막을 결정화시키는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 제조방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2e는 본 발명에 의한 반도체 소자의 제조방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와같이 반도체 기판(21)상에 실리콘 산화막(22)을 형성하고, 상기 실리콘 산화막(22)상에 폴리 실리콘층(23)을 증착한다.

이어, 상기 폴리 실리콘층(23)상에 제 1 텅스텐 질화막(WN_x)(24)을 증착한다. 이때 상기 제 1 텅스텐 질화막(24)에서 질소의 원자(atomic)는 20~50%로써 비정질(amorphous) 격자구조이다.

그리고 상기 제 1 텅스텐 질화막(24)상에 제 2 텅스텐 질화막(25)을 증착한다. 이때 상기 제 2 텅스텐 질화막(25)에서 질소의 원자는 20%이하로 하고, 결정구조는 β -텅스텐으로 형성한다.

여기서 상기 β -텅스텐이란 결정구조가 단순입방(simple cubic) 구조란 의미이다. 한편, 단순입방 구조는 단위 셀의 각 모서리에 한 개의 원자가 위치한다.

도 2b에 도시한 바와같이 상기 제 2 텅스텐 질화막(25)의 전면에 인(P)이나 붕소(B) 또는 비소(As)중에서 적어도 하나를 이온주입(Implantation)하여 상기 제 2 텅스텐 질화막(25)을 비정질로 변화시킨다.

즉, 불순물 이온주입에 의해 상기 제 2 텅스텐 질화막(25)의 준안정성인 β -텅스텐은 비정질 구조를 갖는 제 2 텅스텐 질화막(25a)으로 변화한다.

한편, 상기 이온주입의 에너지를 조절하여 제 2 텅스텐 질화막(25) 뿐만 아니라 제 1 텅스텐 질화막(24)에도 주입할 수 있다.

도 2c에 도시한 바와같이 상기 비정질 구조를 갖는 제 2 텅스텐 질화막(25a)을 600~1410°C로 열처리하여 제 2 텅스텐 질화막(25a)의 비정질 구조를 결정질(crystalline) 구조를 갖는 제 2 텅스텐 질화막(25b)으로 변태시킨다.

이때 상기 결정질 구조는 대부분이 순수한 α -텅스텐과 과잉의 질소원자들로 구성되기 때문에 질소는 외부로 쉽게 확산된다.

여기서 상기 α -텅스텐이란 결정구조가 체심입방(body-centered cubic) 격자구조로 단순입방 구조에서 그 중심에 원자가 하나 더 추가되어 있는 구조이다.

또한, 상기 비정질 구조를 갖는 제 2 텅스텐 질화막(25a)이 결정질 구조를 갖는 제 2 텅스텐 질화막(25b)으로 변태시에 방출되는 잠열로 인해서 결정질 구조를 갖는 제 2 텅스텐 질화막(25b)의 α -텅스텐 결정립들이 조대화 된다.

그리고 상기 제 2 텅스텐 질화막(25)에 이온 주입된 원자들은 결정질 구조를 갖는 제 2 텅스텐 질화막(25b)의 α -텅스텐에 고용되지 못하기 때문에 결정립계로 편석되어 결정립계의 공공(Vacancy) 혹은 보이드(Void)를 채움으로써 결정립계 밀도를 증가시킨다.

따라서 상기 결정질 구조를 갖는 제 2 텅스텐 질화막(25b)의 결정립계 밀도가 증가됨으로써 제 2 텅스텐 질화막(25b)의 전기저항을 급격하게 감소시킨다.

도 2d에 도시한 바와같이 상기 결정질 구조를 갖는 제 2 텅스텐 질화막(25b)상에 포토레지스트(26)를 도포한 후, 노광 및 현상공정으로 포토레지스트(26)를 패터닝하여 게이트 영역을 정의한다.

이어, 상기 패터닝된 포토레지스트(26)를 마스크로 이용하여 상기 결정질 구조를 갖는 제 2 텅스텐 질화막(25b)과 제 1 텅스텐 질화막(24)과 폴리 실리콘층(23)과 실리콘 산화막(22)을 선택적으로 제거하여 게이트 전극(28)과 게이트 산화막(22a)을 형성한다.

도 2e에 도시한 바와같이 상기 포토레지스트(26)를 제거하고, 상기 게이트 전극(28)을 마스크로 이용하여 반도체 기판(21)의 전면에 소오스/드레인용 불순물 이온을 주입하여 상기 게이트 전극(28) 양측의 반도체 기판(21) 표면내에 소오스/드레인 불순물 영역(27)을 형성한다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 의한 반도체 소자의 제조방법에 있어서 다음과 같은 효과가 있다.

첫째, 비정질 구조를 갖는 텅스텐 질화막을 결정질 구조를 갖는 텅스텐 질화막으로 변태시킴으로써 조대한 결정립을 형성할 수 있기 때문에 박막의 전기저항을 감소시킬 수 있다.

둘째, 인 원자들의 결정립계 편석에 의해서 결정립계의 원자밀도를 증가시키기 때문에 박막의 전기저항을 감소시킬 수 있다.

셋째, 별도의 텅스텐 박막을 형성하는 공정을 생략할 수 있으므로 생산성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판상에 절연막을 형성하는 단계;

상기 절연막상에 제 1, 제 2 텅스텐 질화막을 차례로 증착하는 단계;

상기 반도체 기판의 전면에 불순물 이온을 주입하여 상기 제 2 텅스텐 질화막을 비정질화 시키는 단계; 그리고

상기 반도체 기판에 열처리 공정을 실시하여 상기 비정질화된 제 2 텅스텐 질화막을 결정화시키는 단계를 포함하여 형성함을 특징으로 하는 반도체 소자의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 텅스텐 질화막에서 질소의 원자는 20~50%인 것을 사용함을 특징으로 하는 반도체 소자의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 제 2 텅스텐 질화막에서 질소의 원자는 20%이하 인 것을 사용함을 특징으로 하는 반도체 소자의 제조방법.

청구항 4.

제 1 항에 있어서,

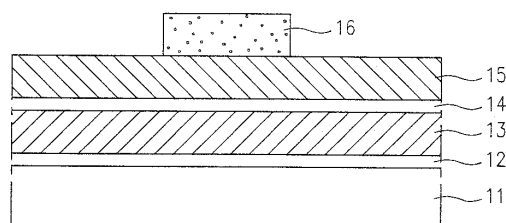
상기 열처리는 600~1410°C에서 실시함을 특징으로 하는 반도체 소자의 제조방법.

청구항 5.

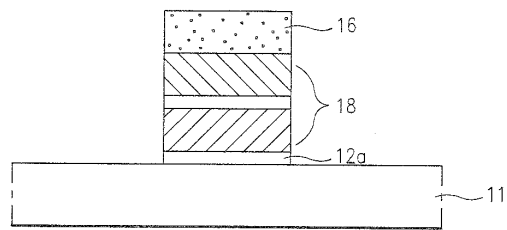
제 1 항에 있어서,

상기 불순물 이온으로 인, 붕소, 비소 중 적어도 하나를 제 2 텅스텐 질화막에 주입함을 특징으로 하는 반도체 소자의 제조방법.

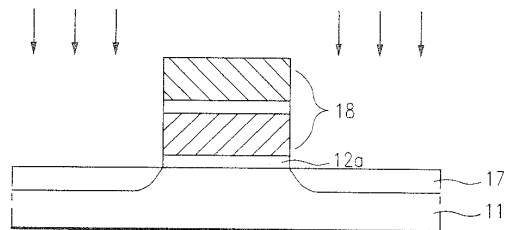
도면 1a



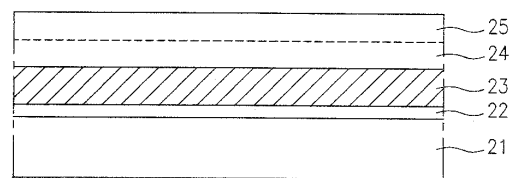
도면 1b



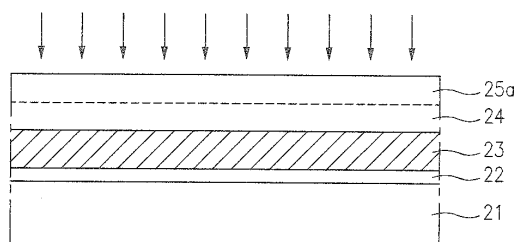
도면 1c



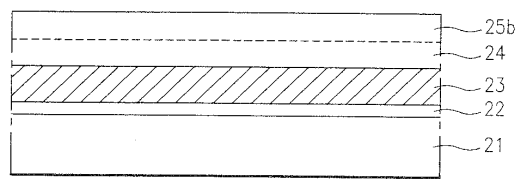
도면 2a



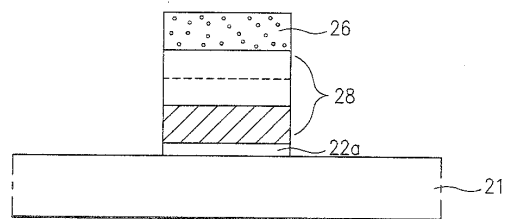
도면 2b



도면 2c



도면 2d



도면 2e

