

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3989213号

(P3989213)

(45) 発行日 平成19年10月10日(2007.10.10)

(24) 登録日 平成19年7月27日(2007.7.27)

(51) Int. Cl.		F I		
	HO 1 L 21/82 (2006.01)		HO 1 L 21/82	D
	HO 3 K 19/0944 (2006.01)		HO 3 K 19/094	A

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2001-290957 (P2001-290957)	(73) 特許権者	000005049
(22) 出願日	平成13年9月25日 (2001.9.25)		シャープ株式会社
(65) 公開番号	特開2003-100872 (P2003-100872A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成15年4月4日 (2003.4.4)	(73) 特許権者	501374183
審査請求日	平成16年6月18日 (2004.6.18)		越智 裕之
			広島県広島市安佐南区大塚西6-8-1-902
		(74) 代理人	100101683
			弁理士 奥田 誠司
		(72) 発明者	李 副烈
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	今井 繁規
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
			最終頁に続く

(54) 【発明の名称】 パストランジスタ論理回路

(57) 【特許請求の範囲】

【請求項1】

各々が入力部、出力部、および制御部を有する複数の3端子型スイッチング素子を備えたパストランジスタ論理回路であって、

前記複数の3端子型スイッチング素子は、第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、および第4のスイッチング素子を含み、

前記第1のスイッチング素子は、第1の不純物拡散領域に形成されたソース領域、チャンネル領域、及びドレイン領域を備えるトランジスタであり、

前記第2から第4のスイッチング素子の各々は、第2の不純物拡散領域に形成されたソース領域、チャンネル領域、及びドレイン領域を備えるトランジスタであり、

前記トランジスタのソース領域およびドレイン領域の一方がスイッチング素子の入力部として機能し、他方がスイッチング素子の出力部として機能し、

前記第2から第4のスイッチング素子は、前記第1のスイッチング素子の入力部と出力部とを結ぶ第1の直線から離れ、前記第1の直線に平行な第2の直線上にこの順序で配列されており、かつ、前記第3のスイッチング素子の制御部は、前記第1のスイッチング素子の制御部を通して前記第2の直線と直交する直線上に位置しており、

前記第1のスイッチング素子の出力部は、前記第2のスイッチング素子の出力部と接続され、

前記第2のスイッチング素子の入力部は、前記第3のスイッチング素子の入力部と接続され、

10

20

前記第 3 のスイッチング素子の出力部は、前記第 4 のスイッチング素子の出力部と接続され、

前記第 4 のスイッチング素子の入力部は、前記第 1 のスイッチング素子の入力部と接続され、

前記第 1 のスイッチング素子の制御部は、前記第 3 のスイッチング素子の制御部と接続され、

前記第 2 のスイッチング素子の制御部は、前記第 4 のスイッチング素子の制御部と接続されている、パストランジスタ論理回路。

【請求項 2】

画素領域と、前記画素領域の周辺に設けられた表示用回路とを備える表示装置であって

10

前記表示用回路は、請求項 1 に記載のパストランジスタ論理回路を有している表示装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パストランジスタ論理回路に関し、特に、スイッチ回路の新規なレイアウトを有するパストランジスタ論理回路に関するものである。

【0002】

【従来の技術】

20

論理回路の一種であるパストランジスタ論理は、MOSトランジスタを入力信号の選択スイッチとして用いることで論理を構成するものである。特に、N型MOSトランジスタを選択スイッチに用いる場合、もっとも普及しているCMOS論理に比べ、より少数のトランジスタで同機能の論理回路を実現できる。このため、パストランジスタ論理によれば、チップ面積や消費電力を低減することができ、更には動作速度を向上させることも可能である。

【0003】

パストランジスタ論理の特徴や回路例については、「低電力LSIの技術白書（日経マイクロデバイス編、日経BP社）」の第98頁に記載されている。

【0004】

30

パストランジスタ論理を容易に実現することができる手法として、二分決定グラフ(BDD: Binary Decision Diagram)を用いた回路が注目されている。二分決定グラフ(以下、「BDDグラフ」と称する。)は、論理関数をグラフ的に表現したものであり、計算機を用いた論理回路の設計に極めて重要である。BDDグラフは、例えば「論理回路 - スwitching回路理論」(笹尾勤、近代科学社)の第45頁に説明されている。

【0005】

以下、図面を参照しながら、BDDグラフとBDDグラフを用いたパストランジスタ論理回路を説明する。

【0006】

40

図3(a)は、「論理式 $F_1 = A + B + C$ 」を表すBDDグラフである。図示されているBDDグラフは、複数の接点と、各競接点を結ぶブランチとから構成されており、1つの始点1と、2つの終点2および3とを有している。BDDグラフの各節点4には、入力変数A、B、およびCが割り当てられている。

【0007】

入力変数A、B、およびCの値が与えられると、BDDグラフの始点1から下向きに節点4をたどることによって、与えられた入力変数値を論理式 F_1 に代入した場合の論理出力値が求められる。以下、このことをより具体的に説明する。

【0008】

各節点4からは、その節点4に割り当てられた入力変数の値に対応して2つのブランチ5

50

および6が下方に延びている。例えば、入力変数Cが割り当てられている最初の節点4からは、左下に「0」のブランチ5が延び、右下に「1」のブランチ6が延びている。入力変数Cの値が「0」ならば、0ブランチ5をたどり、入力変数Cの値が「1」ならば、1ブランチ6をたどる。次の節点4でも、同様の処理が行われる。

【0009】

このように、各節点4に対して入力変数の値が与えられると、始点1から終点2または終点3へつながる1つのパスが決定されることになる。パスの終わりが「0」の終点(終点2)ならば、論理出力値は「0」であり、パスの終わりが「1」の終点(終点3)ならば論理出力値は「1」である。

【0010】

図3(b)は、図3(a)のBDDグラフに対応するパストランジスタ論理回路の一例を示している。

【0011】

図示されているパストランジスタ論理回路においては、N型MOSトランジスタ13および14がスイッチング素子として機能し、BDDグラフの各節点4に対応する。BDDグラフの始点1にはパストランジスタ回路の論理出力F1が対応している。また、BDDグラフの「0」の終点2には上記回路のGND端子が対応し、BDDグラフの「1」の終点3には上記回路の電源電圧端子が対応している。

【0012】

図3(d)は、パストランジスタ回路の他の例を示している。この回路は、図3(b)の回路から、入力変数Aに対応する論理素子を削除したものである。図3(d)の回路に対応するBDDグラフを図3(c)に示す。

【0013】

図4(a)は、F1と、F1の反転論理(*F1)とを出力するBDDグラフを示している。図4(b)は、「論理式 $F2 = A + B + C + D$ 」に関するBDDグラフを示している。

【0014】

図3および図4に示すように、パストランジスタ論理回路には、トランジスタがソース/ドレインを介して環状に接続された回路部分7~10が複数個含まれている。従って、これらの回路部分7~10のレイアウト面積を小さくすることができれば、パストランジスタ回路全体のレイアウト面積を小さくすることができる。

【0015】

上記の回路部分7~10の構成は、図2(a)の回路構成と等価である。図2(a)から明らかなように、4つのMOSトランジスタが環状に接続されている。上記の回路を実現するために用いられる不純物拡散領域およびゲート配線は、典型的には、図2(b)に示すレイアウトを有している。図示される不純物拡散領域は、半導体基板の表面に形成された不純物拡散領域か、または、絶縁性表面を有する基板上に堆積されたアイランド状半導体薄膜パターンである。

【0016】

上記の不純物拡散領域は、図2(c)に示すような配線によって接続され、図2(a)の回路が構成される。

【0017】

図2(a)の回路は、BDDのノード単位で2つのグループに分割される。第1のグループは、N型MOSトランジスタTR5およびTR6を含んでおり、第2のグループは、N型MOSトランジスタTR7およびTR8を含んでいる。

【0018】

図2(b)からわかるように、各グループには、それぞれ、別の不純物拡散領域が割り当てられている。具体的には、第1のグループには、第1の不純物拡散領域が割り当てられ、第1のグループに属するN型MOSトランジスタTR5およびTR6のソース領域とドレイン領域とが第1の不純物拡散領域内に形成されている。一方、第2のグループには、

10

20

30

40

50

第2の不純物拡散領域が割り当てられ、第2のグループに属するN型MOSトランジスタTR7およびTR8のソース領域とドレイン領域とが第2の不純物拡散領域内に形成されている。

【0019】

各トランジスタTR5～TR8のチャンネル領域は、不純物拡散領域においてゲート配線の下方に位置している。2つのゲート配線に挟まれた領域では、両側に位置する2つのトランジスタによってソース/ドレイン領域が共有されている。

【0020】

【発明が解決しようとする課題】

上記のレイアウトを有するパストラジスタ論理回路では、図2(b)に示すように、2つのトランジスタで不純物拡散領域を効率的に利用するため、MOSトランジスタ1つあたりの占有面積は小さくできる。

10

【0021】

しかし、4つのMOSトランジスタが環状に接続されるため、図2(c)に示すように、相互接続配線の経路が複雑になり、回路全体の面積は小さくならないことがある。回路全体のレイアウト面積の増加は、製造コストや消費電力の増大を招くため、できる限り避けなければならない。

【0022】

本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、信号の配線経路の複雑度を下げ、レイアウト面積を小さくすることが可能なパストラジスタ論理回路を提供

20

【0023】

【課題を解決するための手段】

パストラジスタ論理回路は、スイッチング素子のチャンネル領域を含む複数の不純物拡散領域と、前記不純物拡散領域を介して環状に接続された複数のスイッチング素子とを備えたパストラジスタ論理回路であって、前記複数の不純物拡散領域の各々の一端が回路の入力端子として機能し、前記複数の不純物拡散領域の各々の他端が回路の出力端子として機能する。

【0024】

好ましい実施形態においては、前記スイッチング素子の数が4個以上である。

30

【0025】

好ましい実施形態において、前記複数のスイッチ素子を接続する導電部分の電位は、前記入力端子または前記出力端子の電位に等しい。

【0026】

好ましい実施形態において、前記入力端子および前記出力端子が交互に配置され、相互に接続されている。

【0027】

好ましい実施形態において、前記スイッチング素子は、前記不純物拡散領域に形成されたソース領域およびドレイン領域を有するMOSトランジスタである。

【0028】

好ましい実施形態において、前記スイッチング素子は、N型MOSトランジスタである。

40

【0029】

好ましい実施形態において、前記スイッチング素子は、P型MOSトランジスタである。

【0030】

好ましい実施形態において、前記スイッチング素子は、CMOS伝送ゲートである。

【0031】

本発明によるパストラジスタ論理回路は、MOSトランジスタのソース領域、チャンネル領域およびドレイン領域を規定する複数の不純物拡散領域と、前記不純物拡散領域に形成されたソース領域およびドレイン領域を介して環状に接続された複数のMOSトランジスタとを備えたパストラジスタ論理回路であって、前記複数の不純物拡散領域の各々の一

50

端が回路の入力端子として機能し、前記複数の不純物拡散領域の各々の他端が回路の出力端子として機能する。

【0032】

本発明によるパストランジスタ論理回路は、ソースおよびドレインを介して環状に接続された複数のMOSトランジスタを含むパストランジスタ回路であって、前記MOSトランジスタの不純物拡散領域の一端が回路の入力端子として機能し、前記不純物拡散領域の他端が回路の出力端子として機能する。

【0033】

本発明によるパストランジスタ論理回路は、各々が入力部、出力部、および制御部を有する複数の3端子型スイッチング素子を備えたパストランジスタ論理回路であって、前記複数の3端子型スイッチング素子は、第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、および第4のスイッチング素子を含み、第2から第4のスイッチング素子は、前記第1のスイッチング素子の入力部と出力部とを結ぶ第1の直線から離れ、前記第1の直線に平行な第2の直線上にこの順序で配列されており、前記第1のスイッチング素子の出力部は、前記第2のスイッチング素子の出力部と接続され、前記第2のスイッチング素子の入力部は、前記第3のスイッチング素子の入力部と接続され、前記第3のスイッチング素子の出力部は、前記第4のスイッチング素子の出力部と接続され、前記第4のスイッチング素子の入力部は、前記第1のスイッチング素子の入力部と接続され、前記第1のスイッチング素子の制御部は、前記第3のスイッチング素子の制御部と接続され、前記第2のスイッチング素子の制御部は、前記第4のスイッチング素子の制御部と接続されている。

10

20

【0034】

本発明による表示装置は、上記いずれかのパストランジスタ論理回路を備えていることを特徴とする。

【0035】

【発明の実施の形態】

図1(a)~(c)を参照しながら、本発明によるパストランジスタ論理回路の実施形態の主要部構成を説明する。

【0036】

図1(a)は、本実施形態におけるパストランジスタ論理回路に含まれる主要な回路構成を示しており、図2(a)に対応している。図1(b)は、図1(a)の回路部分を構成する4個のN型MOSトランジスタの不純物拡散領域およびゲート配線のレイアウトを示している。図1(c)は、不純物拡散領域のレイアウトに加えて、上記MOSトランジスタを相互接続する配線のレイアウトをも示している。

30

【0037】

本実施形態では、図1(a)に示される環状に接続される4個のN型MOSトランジスタを2つのグループに分割する。このとき、各グループの一端が入力信号を受け取る入力端子として機能し、他端が出力信号を受け取る出力端子として機能するようにする分割する。具体的には、MOSトランジスタTR1をグループ1に割り当て、MOSトランジスタTR2、TR3、およびTR4をグループ2に割り当てる。そして、グループ1に属するMOSトランジスタTR1の不純物拡散領域の一端を入力端子in1として機能させ、その不純物拡散領域の他端を出力端子out1として機能させる。グループ2では、3つのMOSトランジスタTR2、TR3、およびTR4に共有される不純物拡散領域を設け、この不純物拡散領域の一端を入力端子in1として機能させ、その不純物拡散領域の他端を出力端子out1として機能させる。

40

【0038】

次に、図1(c)の回路の接続をより詳述する。

【0039】

まず、3つのMOSトランジスタTR2~4は、MOSトランジスタTR1の入力部と出力部とを結ぶ第1の直線から離れ、第1の直線に平行な第2の直線上にこの順序で配列さ

50

れている。ここで、各MOSトランジスタの入力部および出力部は、そのMOSトランジスタのソース/ドレインである。

【0040】

第1のMOSトランジスタTR1の出力部は、第2のMOSトランジスタTR2の出力部と接続され、第2のMOSトランジスタTR2の入力部は、第3のMOSトランジスタTR3の入力部と接続されている。また、第3のMOSトランジスタTR3の出力部は、第4のMOSトランジスタTR4の出力部と接続され、第4のMOSトランジスタTR4の入力部は、第1のMOSトランジスタTR1の入力部と接続されている。

【0041】

更に、第1のMOSトランジスタTR1の制御部(ゲート)は、第3のMOSトランジスタTR3の制御部(ゲート)と接続され、第2のMOSトランジスタTR2の制御部(ゲート)は、第4のMOSトランジスタTR4の制御部(ゲート)と接続されている。

10

【0042】

本実施形態のレイアウトによれば、図2(b)に示す従来のレイアウトに比べて、1つのトランジスタのソースまたはドレイン領域の長さだけ、回路部分の横方向サイズが大きくなっている(図1(b))。しかし、図1(c)に示されるように、回路部分の入力端子in1および出力端子out1が、それぞれ、回路部分の左右に配置されているため、配線経路が単純になり、相互接続配線が占める面積を低減することができる。

【0043】

また、1つの不純物拡散領域が3つのMOSトランジスタに割り当てられており、トランジスタ毎に拡散領域が分離される必要がない。これは、同一直線上に配列された3つのMOSトランジスタのうちの隣接するMOSトランジスタのソース/ドレインが入力部(入力端子)または出力部(出力端子)として同電位を有するようにレイアウトされているためである。このように、複数のMOSトランジスタに1つの不純物拡散領域が割り当てられる結果、レイアウト面積が更に縮小される。

20

【0044】

なお、本明細書における「不純物拡散領域」は、半導体基板または半導体層の表面に選択的に形成された活性領域(素子分離領域で囲まれたトランジスタ形成領域)を含むことはもちろんのこと、薄膜トランジスタ(TFT)のためにアイランド状にパターンニングされた半導体薄膜を含むものとする。上記不純物拡散領域が半導体薄膜である場合、ガラスやプラスチックなどの絶縁性基板上に好適に形成され得る。

30

【0045】

不純物拡散領域の所定部分には、比較的高い濃度に不純物(ドーパント)が導入され、ソースまたはドレイン領域として機能することとなる。また、ソース/ドレイン領域の間に位置するチャンネル領域には、通常、比較的低い濃度に不純物が導入され、閾値電位が調節される(チャンネルドープ)。

【0046】

(実施形態2)

次に、図4(a)に示すBDDグラフを実現するパストランジスタ論理回路(3入力XOR回路)の好ましいレイアウト例を説明する。

40

【0047】

本実施形態のパストランジスタ回路によれば、MOSトランジスタ用の不純物拡散領域の一端が入力端子として機能し、他端が出力端子として機能する。このため、論理回路11のレイアウトを設計する場合、回路部分9のレイアウトの入力部と、回路部分7のレイアウトの出力部とを、1つの不純物拡散領域によって実現できるため、回路全体のレイアウト面積を更に低減できる。

【0048】

図5(a)は、本実施形態のMOSトランジスタ部分のレイアウトを示し、図5(b)は、相互接続配線のレイアウトも示している。本実施形態は、図1の回路部分が2個接続された構成を有している。このような回路構成は、図4(a)に示されるBDDグラフを実

50

現することができる。

【0049】

図5(a)および(b)に示されるように、本実施形態の論理回路は、図中左に位置する第1の回路部分と、右に位置する第2の回路部分とを備えており、第1の回路部分の出力端子(out1、out2)が第2の回路部分の入力端子(in1、in2)に接続されている。第1および第2の回路部分の各々は、図1(a)および(b)に示す回路部分の構成と同様の構成を有している。

【0050】

各回路部分に含まれるトランジスタは、2つのグループに分けられており、第2グループに属するトランジスタは、第1および第2の回路部分に共有される不純物拡散領域中にソース、ドレイン、およびチャネル領域を有している。言い換えると、第1の回路の第2グループに含まれるトランジスタ、および、第2の回路の第2グループに含まれるトランジスタは、1つの不純物拡散領域に形成されている。これに対し、第1の回路の第1グループに含まれるトランジスタ、および、第2の回路の第1グループに含まれるトランジスタは、それぞれ、分離された2つの不純物拡散領域に形成されている。

10

【0051】

なお、第2グループの不純物拡散領域は、第1の回路部分と第2の回路部分との間で分離されていてもよい。ただし、第1の回路部分と第2の回路部分との間で第2グループの不純物拡散領域が連続している方がレイアウト面積の減少という観点から好ましい。

【0052】

比較のため、図6(a)および(b)に、従来技術による対応回路部分のレイアウトを示す。

20

【0053】

図5(b)および図6(b)を比較することにより、本実施形態のレイアウト面積が従来例のレイアウト面積よりも縮小していることが明らかである。

【0054】

(実施形態3)

図7を参照しながら、本発明によるパストランジスタ論理回路の第3の実施形態を説明する。図7は、本実施形態のパストランジスタ論理回路の主要回路部分のレイアウトを示している。本実施形態の論理回路は、図1の回路部分が3個接続された構成を有している。このような回路構成は、図4(b)に示されるBDDグラフ(4入力XOR回路に相当)を実現することができる。

30

【0055】

図7に示されるように、本実施形態の論理回路は、図中左に位置する第1の回路部分と、中央に位置する第2の回路部分と、右に位置する第3の回路部分とを備えており、第1の回路部分の出力端子(out1、out2)が第2の回路部分の入力端子(in1、in2)に接続され、第2の回路部分の出力端子(out1、out2)が第3の回路部分の入力端子(in1、in2)に接続されている。

【0056】

本実施形態における第1～第3の回路部分の各々も、図1(a)および(b)に示す回路部分の構成と同様の構成を有している。各回路部分に含まれるトランジスタは、2つのグループに分けられ、第2グループに属するトランジスタは、第1～第3の回路部分に共有される不純物拡散領域中にソース、ドレイン、およびチャネル領域を有している。

40

【0057】

第2グループの不純物拡散領域は、各回路部分の間で分離されていてもよい。ただし、各回路部分の間で第2グループの不純物拡散領域が連続している方がレイアウト面積の減少という観点から好ましい。

【0058】

比較のため、図8に、従来技術による対応回路部分のレイアウトを示す。

【0059】

50

図7および図8を比較することにより、本実施形態のレイアウト面積が従来例のレイアウト面積よりも縮小していることが明らかである。

【0060】

このように本発明によれば、配線経路の複雑度を低減させることができるため、トランジスタが環状に接続された回路部分のレイアウト面積を低減することができる。また、不純物拡散領域を複数のMOSトランジスタで共有するため、更に全体のレイアウト面積を低減できる。

【0061】

以下の表1は、環状に接続された4個のトランジスタを含む回路部分の個数(回路数)と、その回路部分のレイアウト面積との関係を示している。

【0062】

【表1】

	回路数	1個	2個	3個	4個	5個	16個	32個
本発明	セル面積	16	28	40	52	100	196	388
従来例	セル面積	18	36	54	72	144	288	576

【0063】

ここで、レイアウト面積は、レイアウト平面上における単位矩形領域(1グリッド×1グリッド)の面積を1単位としている。

【0064】

表1からわかるように、回路部分の個数が増加するほど、従来例のレイアウト面積に対する本発明のレイアウト面積の減少率が大きくなっている。

【0065】

(実施形態4)

次に、図9を参照しながら、本発明による表示装置の実施形態を説明する。

【0066】

図9(a)は、表示装置(ディスプレイ装置)の表示パネル上に実装される表示用回路を示している。この表示用回路は、表示パネル上の画素領域の周辺(額縁部分)に設けられる。表示パネルの構成は、公知の如何なるものを採用しても良い。本発明の特徴点は、表示動作に必要な信号を生成する表示用回路の構成として、前記実施形態のレイアウトを有するパストラジスタ論理回路を採用している点にある。

【0067】

本実施形態における表示用回路内には、演算回路として機能する全加算器のSum生成回路が含まれている。この演算回路は、パストラジスタ論理回路によって構成され、その等価回路図が図9(a)の破線部分内に示されている。図9(b)は、上記Sum生成回路のレイアウトを示している。

【0068】

本実施形態によれば、演算回路のレイアウト面積を従来レイアウト面積よりも小さくできるため、表示装置の額縁部分を狭くすることが可能である。なお、このようなパストラジスタ論理回路は、上記Sum生成回路以外の回路にも用いられ得る。

【0069】

以上の実施形態では、スイッチング素子としてN型MOSトランジスタを用いているが、本発明におけるスイッチング素子はN型MOSトランジスタに限定されない。このスイッチング素子は、P型MOSトランジスタであっても良いし、CMOS伝送ゲートであってもよい。

【 0 0 7 0 】

【 発明の効果 】

本発明によれば、複数のスイッチング素子が環状に接続されているパストランジスタ論理回路のレイアウト面積を低減することができる。また、スイッチング素子をMOSトランジスタから構成する場合、MOSトランジスタ用の不純物拡散領域の寄生容量を削減することができるため、回路動作を高速化できる。

【 図面の簡単な説明 】

【 図 1 】本発明によるパストランジスタ論理回路の第 1 の実施形態を示す図であり、(a) は、その等価回路図、(b) は、MOSトランジスタ部分のレイアウト図、(c) は、相互接続線を含むレイアウト図である。

10

【 図 2 】パストランジスタ論理回路の従来例を示す図であり、(a) は、その等価回路図、(b) は、MOSトランジスタ部分のレイアウト図、(c) は、相互接続線を含むレイアウト図である。

【 図 3 】(a) および(c) は、3入力XOR回路のBDDグラフであり、(b) および(d) は、N型MOSトランジスタによって構成された3入力XOR回路の等価回路図である。

【 図 4 】(a) は、3入力XOR回路のBDDグラフであり、(b) は、4入力XOR回路のBDDグラフである。

【 図 5 】本発明によるパストランジスタ論理回路の第 2 の実施形態を示す図であり、(a) は、MOSトランジスタ部分のレイアウト図、(b) は、相互接続線を含むレイアウト図である。

20

【 図 6 】本発明の第 2 の実施形態に対応する従来例を示す図であり、(a) は、MOSトランジスタ部分のレイアウト図、(b) は、相互接続線を含むレイアウト図である。

【 図 7 】本発明によるパストランジスタ論理回路の第 3 の実施形態を示すレイアウト図である。

【 図 8 】本発明の第 3 の実施形態に対応する従来例を示すレイアウト図である。

【 図 9 】本発明による表示装置の実施形態を示す図であり、(a) は表示パネルの構成を示す平面図であり、(b) は、表示装置上に実装された全加算器のSum生成回路を示すレイアウト図である。

【 符号の説明 】

30

TR1 ~ TR8 : N型MOSトランジスタ

グループ1 ~ グループ4 : MOSトランジスタのグループ

1 : 始点

2、3 : 終点

4 : 節点

5、6 : ブランチ

7、8、9、10 : 環状に接続されたパストランジスタ回路部分

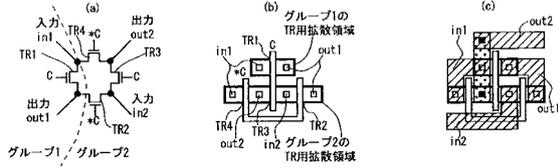
11 : 環状に接続されたパストランジスタ回路部分が2個接続された回路

12 : 環状に接続されたパストランジスタ回路部分が3個接続された回路

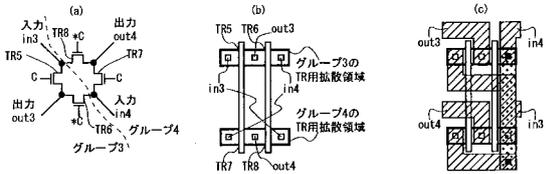
13、14 : BDD節点を構成するN型MOSパストランジスタ

40

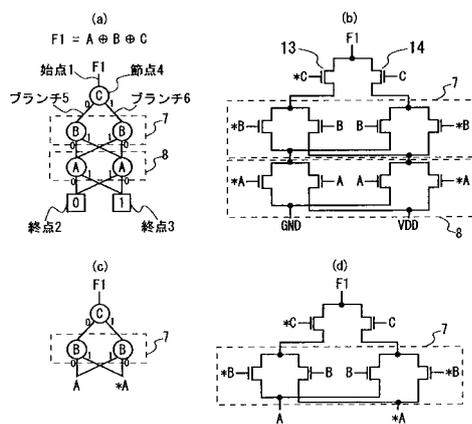
【 図 1 】



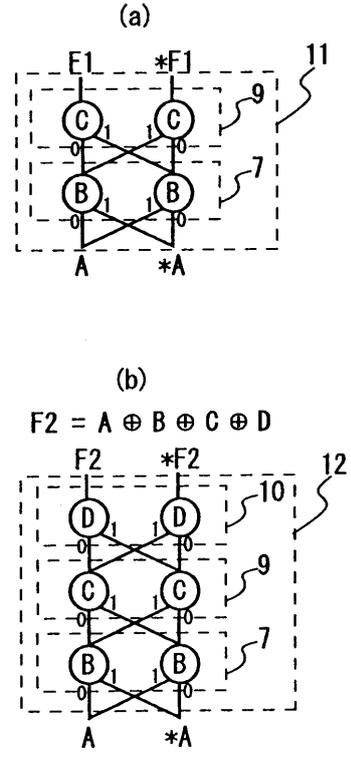
【 図 2 】



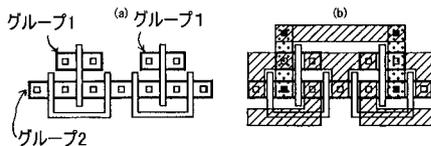
【 図 3 】



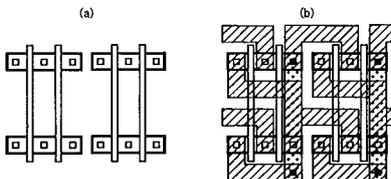
【 図 4 】



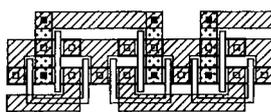
【 図 5 】



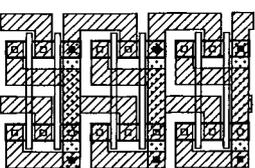
【 図 6 】



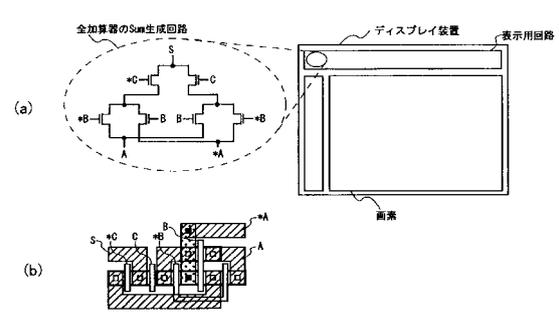
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(72)発明者 越智 裕之

広島県広島市安佐南区大塚西6-8-1-902

審査官 大嶋 洋一

(56)参考文献 特開平11-163151(JP,A)

特開平08-082786(JP,A)

特開平06-075748(JP,A)

特開平06-044134(JP,A)

特開平11-066146(JP,A)

特開平11-193151(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H03K 19/0944