(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3545927号
(P3545927)
(45)発行日　平成16年7月21日(2004.7.21)　(24)登録日　平成16年4月16日(2004.4.16)

(51)Int.Cl.[7]	F I		
H03M 13/11	H03M	13/11	
G06F 11/10	G06F	11/10	330P
G11B 20/18	G11B	20/18	512D
	G11B	20/18	536A
	G11B	20/18	542Z

請求項の数 13　(全 14 頁)　最終頁に続く

(21)出願番号　特願平9-351731
(22)出願日　平成9年12月19日(1997.12.19)
(65)公開番号　特開平10-224232
(43)公開日　平成10年8月21日(1998.8.21)
審査請求日　平成14年5月14日(2002.5.14)
(31)優先権主張番号　96-69322
(32)優先日　平成8年12月20日(1996.12.20)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100093908
弁理士　松本　研一
(72)発明者　沈泰現
大韓民国ソウル特別市瑞草区瑞草３洞１５６６－１１番地アップルビルＢ－３０１

審査官　田中　庸介

最終頁に続く

(54)【発明の名称】エラー訂正方法及びその装置

(57)【特許請求の範囲】
【請求項１】
入力データをバッファリングするデータ入力部、前記バッファリングされたデータの中でエラーを有するデータを入力してエラーを訂正するエラー訂正部及び前記エラー訂正されたデータを保存するデータ貯蔵部を有するデジタルデコーダにおける前記エラー訂正部で実行されるエラー訂正方法において、
少なくとも最上位面及び最下位面にあるＱコードワードのエラーをワード単位で同時に訂正する第１エラー訂正工程と、
少なくとも前記最上位面及び前記最下位面にあるＰコードワードのエラーをワード単位で同時に訂正する第２エラー訂正工程と、
を備えることを特徴とするエラー訂正方法。
【請求項２】
前記第１エラー訂正工程は
前記Ｑコードワードの前記最上位面に対する第１シンドロームと前記最下位面に対する第２シンドロームを計算する工程と、
前記第１シンドロームより前記最上位面のデータにエラーが存在するか否かを判断する工程と、
前記最上位面のデータにエラーが存在する場合に、エラー数に応じて、前記最上位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記第２シンドロームより前記最下位面のデータにエラーが存在するか否かを判断する工

程と、
前記最下位面のデータにエラーが存在する場合に、エラー数に応じて、前記最下位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記最上位面のデータと前記最下位面のデータとを結合する工程と、
結合したデータを前記データ貯蔵部へ送る工程と、
を備えることを特徴とする請求項１に記載のエラー訂正方法。
【請求項３】
前記第２エラー訂正工程は
前記Ｐコードワードの前記最上位面に対する第１シンドロームと前記最下位面に対する第２シンドロームを計算する工程と、
前記第１シンドロームより前記最上位面のデータにエラーが存在するか否かを判断する工程と、
前記最上位面のデータにエラーが存在する場合に、エラー数に応じて、前記最上位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記第２シンドロームより前記最下位面のデータにエラーが存在するか否かを判断する工程と、
前記最下位面のデータにエラーが存在する場合に、エラー数に応じて、前記最下位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記最上位面のデータと前記最下位面のデータとを結合する工程と、
結合したデータを前記データ貯蔵部へ送る工程と、
を備えることを特徴とする請求項１に記載のエラー訂正方法。
【請求項４】
前記第１エラー訂正工程は
前記Ｑコードワードの前記最上位面に対する第１シンドロームと前記最下位面に対する第２シンドロームを計算する工程と、
前記第２シンドロームより前記最下位面のデータにエラーが存在するか否かを判断する工程と、
前記最下位面のデータにエラーが存在する場合に、エラー数に応じて、前記最下位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記第１シンドロームより前記最上位面のデータにエラーが存在するか否かを判断する工程と、
前記最上位面のデータにエラーが存在する場合に、エラー数に応じて、前記最上位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記最上位面のデータと前記最下位面のデータとを結合する工程と、
結合したデータを前記データ貯蔵部へ送る工程と、
を備えることを特徴とする請求項１に記載のエラー訂正方法。
【請求項５】
前記第２エラー訂正工程は
前記Ｐコードワードの前記最上位面に対する第１シンドロームと前記最下位面に対する第２シンドロームを計算する工程と、
前記第２シンドロームより前記最下位面のデータにエラーが存在するか否かを判断する工程と、
前記最下位面のデータにエラーが存在する場合に、エラー数に応じて、前記最下位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記第１シンドロームより前記最上位面のデータにエラーが存在するか否かを判断する工程と、
前記最上位面のデータにエラーが存在する場合に、エラー数に応じて、前記最上位面のデータのエラー訂正処理又はエラー訂正不能処理を実行する工程と、
前記最上位面のデータと前記最下位面のデータとを結合する工程と、
結合したデータを前記データ貯蔵部へ送る工程と、

を備えることを特徴とする請求項１に記載のエラー訂正方法。
【請求項６】
デジタル信号処理部より入力されたデータをバッファリングするデータ入力部、前記バッファリングされたデータを入力してエラーを訂正するエラー訂正装置及びエラー訂正の済んだデータを保存するデータ貯蔵部を有するデジタルデコーダにおけるエラー訂正装置であって、
前記データ入力部よりワード単位で入力されるデータの中で最上位面にある８ビットのデータをラッチする第１ラッチと、
前記データ入力部より前記ワード単位で入力されるデータの中で最下位面にある８ビットのデータをラッチする第２ラッチと、
前記第１ラッチによりラッチされたデータを入力して第１シンドロームを計算し、計算されたシンドロームより、エラーの有無、エラー数、エラー位置及びエラー値を調べて第１制御信号を出力し、第２制御信号に応じてエラーを訂正し、エラーが訂正されたデータを出力する第１主エラー訂正手段と、
前記第２ラッチによりラッチされたデータを入力して第２シンドロームを計算し、計算されたシンドロームより、エラーの有無、エラー数、エラー位置及びエラー値を調べて第３制御信号を出力し、第４制御信号に応じてエラーを訂正し、エラーの訂正されたデータを出力する第２主エラー訂正手段と、
前記第１エラー訂正手段の出力及び前記第１ラッチの出力のいずれかを第５制御信号に応じて選択し、前記第２エラー訂正手段の出力及び前記第２ラッチの出力のいずれかを第６制御信号に応じて選択した後、選択された両結果を結合して出力するデータ選択手段と、
前記データ選択手段で結合したデータをバッファリングし、バッファリングされたデータを前記ワード単位で前記データ貯蔵部に出力する第１バッファと、
前記第１及び前記第３制御信号に応じて前記第２、第４、第５及び第６制御信号を出力する制御手段と、
を備えることを特徴とするエラー訂正装置。
【請求項７】
前記データ選択手段は、
前記第１ラッチによりラッチされたデータ又は前記第１主エラー訂正手段の出力を前記第５制御信号に応じて選択的に出力する第１マルチプレクサと、
前記第２ラッチによりラッチされたデータ又は前記第２主エラー訂正手段の出力を前記第６制御信号に応じて選択的に出力する第２マルチプレクサと、
前記第１及び前記第２マルチプレクサの出力をラッチして前記第１バッファに出力する第２バッファと、
を備えることを特徴とする請求項６に記載のエラー訂正装置。
【請求項８】
エラー位置を入力して前記データ入力部に保存されたデータのアドレスを出力するアドレス発生手段と、
前記第１主エラー訂正手段が発生するエラー位置をラッチし、ラッチされたエラー位置を前記アドレス発生手段に出力する第３バッファと、
前記第２主エラー訂正手段より出力されるエラー位置をラッチし、ラッチされたエラー位置を前記アドレス発生手段に出力する第４バッファと、
を更に備えることを特徴とする請求項６に記載のエラー訂正装置。
【請求項９】
エラー位置を入力して前記データ入力部に保存されたデータのアドレスを出力するアドレス発生手段と、
前記第１主エラー訂正手段が発生するエラー位置をラッチし、ラッチされたエラー位置を前記アドレス発生手段に出力する第３バッファと、
前記第２主エラー訂正手段より出力されるエラー位置をラッチし、ラッチされたエラー位置を前記アドレス発生手段に出力する第４バッファと、

を更に備えることを特徴とする請求項７に記載のエラー訂正装置。
【請求項１０】
前記第１主エラー訂正装置は、
前記第１ラッチより入力された前記最上位データから第１シンドロームを計算する第１シンドローム計算手段と、
前記第１シンドロームより、エラーの有無、エラー数、エラー位置及びエラー値を調べて前記第１制御信号を出力する第１エラー計算手段と、
前記第１ラッチにラッチされたデータ及び前記第１エラー計算手段で計算された前記エラー値を入力し、前記第２制御信号に応じてエラーを訂正し、エラーの訂正されたデータを前記データ選択手段に出力する第１最上位エラー訂正手段と、
を備えることを特徴とする請求項６に記載のエラー訂正装置。
【請求項１１】
前記第１主エラー訂正装置は、
前記第１ラッチより入力された前記最上位データから第１シンドロームを計算する第１シンドローム計算手段と、
前記第１シンドロームより、エラーの有無、エラー数、エラー位置及びエラー値を調べて前記第１制御信号を出力する第１エラー計算手段と、
前記第１ラッチにラッチされたデータ及び前記第１エラー計算手段で計算された前記エラー値を入力し、前記第２制御信号に応じてエラーを訂正し、エラーの訂正されたデータを前記データ選択手段に出力する第１最上位エラー訂正手段と、
を備えることを特徴とする請求項７に記載のエラー訂正装置。
【請求項１２】
前記第２主エラー訂正装置は、
前記第２ラッチより入力された前記最下位データから第２シンドロームを計算する第２シンドローム計算手段と、
前記第２シンドロームより、エラーの有無、エラー数、エラー位置及びエラー値を調べて前記第３制御信号を出力する第２エラー計算手段と、
前記第２ラッチにラッチされたデータ及び前記第２エラー計算手段で計算された前記エラー値を入力し、前記第４制御信号に応じてエラーを訂正し、エラーの訂正されたデータを前記データ選択手段に出力する第２最上位エラー訂正手段と、
を備えることを特徴とする請求項６に記載のエラー訂正装置。
【請求項１３】
前記第２主エラー訂正装置は、
前記第２ラッチより入力された前記最下位データから第２シンドロームを計算する第２シンドローム計算手段と、
前記第２シンドロームより、エラーの有無、エラー数、エラー位置及びエラー値を調べて前記第３制御信号を出力する第２エラー計算手段と、
前記第２ラッチにラッチされたデータ及び前記第２エラー計算手段で計算された前記エラー値を入力し、前記第４制御信号に応じてエラーを訂正し、エラーの訂正されたデータを前記データ選択手段に出力する第２最上位エラー訂正手段と、
を備えることを特徴とする請求項７に記載のエラー訂正装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、エラー訂正に係り、特に高速でエラーを訂正するエラー訂正方法及びこれを実行するエラー訂正装置に関する。
【０００２】
【従来の技術】
コンパクトディスクロム（ＣＤ－ＲＯＭ：Ｃｏｍｐａｃｔ　Ｄｉｓｋ　－　Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）システム、デジタルビデオディスクロム（ＤＶＤ－ＲＯＭ：Ｄｉ

ｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｋ　－　ＲＯＭ）システムの様な光ディスクデータ再生システム及びその他エラー訂正が求められるシステムにおいて、そのエラー訂正を実行するデコーダ（ｄｅｃｏｄｅｒ）の動作をＣＤ－ＲＯＭシステムを一例として考える。

【０００３】

ＣＤ－ＲＯＭデコーダの構成は、データ入力部、データエラー訂正部及びデータ伝送部に大別される。

【０００４】

データ入力部は、コンパクトディスクプレーヤー用のデジタル信号処理器（ＤＳＰ：Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）よりデータを入力してディスクランブリング（ｄｅｓｃｒａｍｂｌｉｎｇ）した後、ディスクランブリングされたデータをバッファメモリに一時的に保存する。

【０００５】

データエラー訂正部は、バッファメモリに保存されたデータを読み出してリードソロモン（ＲＥＥＤ－ＳＯＬＯＭＯＮ）符号にエンコーディングされたＱ符号及びＰ符号に対するデコーディングを実行し、エラーが生じた場合には当該エラーを訂正する。

【０００６】

データ伝送部は、エラーが訂正されたデータを入力してホストコンピューターへ伝送する。

【０００７】

図１は、ＣＤ－ＲＯＭデコーダで実行される従来のエラー訂正方法を説明する為のフローチャートである。また、図２及び図３は、図１に示すエラー訂正方法への理解を助ける為のＣＤ－ＲＯＭデータフォーマットを示す図面である。具体的には、図２は、１セクターのデータフォーマットを示す図面であって、Ｌ－ＣＨは左側チャンネルのデータを、Ｒ－ＣＨは右側チャンネルのデータを、Ｌは最下位ビット（ＬＳＢ：Ｌｅａｓｔ　Ｓｉｇｎｉｆｉｃａｎｔ　Ｂｉｔ）を、Ｍは最上位ビット（ＭＳＢ：Ｍｏｓｔ　Ｓｉｇｎｉｆｉｃａｎｔ　Ｂｉｔ）を、上側の３行（２０）は１ブロックを表す同期パターンを、次の５８５行（２２）はデータのパターンを各々示す。ここで、１セクターは２３５２バイト、即ち１１７６個のワードである。

【０００８】

例えば、１ブロックの同期パターン２０を追従する一番目のワード’００００’は一番目のワードの下位バイト００００Ｌと上位バイトの００００Ｍとで構成されている。

【０００９】

図３は、図２に示す１セクターのデータの中で下位バイトのみを選んで作ったＬＳＢマップであって、最下位（ＬＳＢ）面（ｐｌａｎｅ）と言う。上側の２４個の列（３０）は、同期パターンを除いたヘッダー及び使用者データを、次の２つの列（３２）はＰパリティビットを、参照符号３４はＱパリティビットを各々表す。

最上位ＭＳＢ面は図３に示す最下位面と同一の形態で構成される。

【００１０】

従来のＣＤ－ＲＯＭデコーダで実行されるエラー訂正方法では、先ず、ステップ１０において、図３に示すＬＳＢ面のＱコードワードをデコーディングする。これは、ＣＤ－ＲＯＭデコーダに入力されるデータがＣＤ－ＲＯＭエンコーダでリードソロモン符号にエンコーディングされているからである。次いで、ステップ１２では、ＬＳＢ面のＰコードワードをデコーディングする。次いで、ステップ１４では、ＭＳＢ面のＱコードワードをデコーディングする。次いで、ステップ１６では、ＭＳＢ面のＰコードワードをデコーディングする。

【００１１】

図４は、従来のＣＤ－ＲＯＭデコーダのブロック図である。図４に示すデコーダは、ダイナミックＲＡＭ（ＤＲＡＭ：Ｄｙｎａｍｉｃ　ＲＡＭ）５０、データ貯蔵部８０、アドレス発生部９０、データエラー訂正部６０を含む。データエラー訂正部６０は、８ビットラ

ッチ６２、８ビットバッファ６４及び主エラー訂正部７０を含み、主エラー訂正部７０は、シンドローム計算部７２、エラー計算部７４及びエラー訂正部７６を含む。

【００１２】

図４において、ＤＲＡＭ５０は、ＣＤ－ＲＯＭデジタル信号処理部（図示せず）から伝送された、図２に示すセクターデータを入力して一時的に保持する。

【００１３】

データエラー訂正部６０の８ビットラッチ６２は、ＤＲＡＭ５０によりバッファリングされたデータを選択信号Ｃ１に応じてラッチすると同時に以前にラッチしていたデータをシンドローム計算部７２に出力する。シンドローム計算部７２は、制御信号Ｃ２に応じて８ビットラッチ６２よりデータを入力し、入力したデータを用いてシンドロームＳ０及びＳ１を計算する。

【００１４】

エラー計算部７４は、シンドローム計算部７２で計算されたシンドローム等を入力して、エラーの数、エラーの位置及びエラー値を計算する。エラー計算部７４はエラーが２つ以上発生した場合やエラーの位置がコード範囲を超えた場合に、エラー訂正不能処理を実行する。一方、エラーが１つ発生し、発生したエラーの位置がコード範囲内に存在すれば、エラー位置をアドレス発生部９０に出力する。アドレス発生部９０は、入力したエラー位置に相当するアドレスＡＤＤを発生してＤＲＡＭ５０に出力する。アドレス発生部９０からＤＲＡＭ５０に入力されたアドレスＡＤＤに保存されているエラーの存在するデータは、ＤＲＡＭ５０から読み出されて８ビットラッチ６２に出力される。８ビットラッチ６２は、エラーが存在し、ＤＲＡＭ５０より出力されるデータを入力してラッチした後、ラッチされたデータをエラー訂正部７６に出力する。

【００１５】

エラー訂正部７６は、８ビットラッチ６２より出力されるエラーの存在するデータ及びエラー計算部７４より出力されるエラー値を入力し、制御信号Ｃ３に応じてエラー訂正を実行し、エラーの訂正されたデータを８ビットバッファ６４に出力する。

【００１６】

データ貯蔵部８０は、制御信号Ｃ４によって８ビットバッファ６４から出力されるエラー訂正されたデータを入力して保存する。

【００１７】

一方、ＣＤ－ＲＯＭシステムが１倍速又は２倍速の如く低倍速である場合は、ディスクからデータの読まれる速度が遅い為、ホストコンピュータへデータを伝送するのに問題が生じない。しかし、８倍速以上のＣＤ－ＲＯＭシステムにおいては、高速で入力したデータをバッファリングし、エラー訂正し、エラー訂正されたデータを伝送する等の動作が同時に進められる。ところが、データのバッファリング及びエラー訂正はバイト単位で実行される反面、データの伝送はワード２バイト単位で実行されるのでホストコンピュータへデータを伝送するのに無理が生じる。

【００１８】

従って、図４に示す従来のＣＤ－ＲＯＭデコーダでは、前述した３つの動作を同時に行う次のようなパイプライン方式を採用している。

【００１９】

即ち、コンパクトディスクプレーヤーのデジタル信号処理部より入力されたＮ番目のセクターのデータを外部バッファＲＡＭに保存する間、データエラー訂正部は、（Ｎ－１）番目のセクターデータをエラー訂正し、データ伝送部はエラー訂正の済んだ（Ｎ－２）番目のセクターデータをホストコンピュータへ伝送する。この際、１セクターのデータを外部バッファＲＡＭに保存させる時間とエラー訂正を行う時間は決まっているため、ホストコンピュータへのデータ伝送は、１セクターのデータがデコーダで処理される時間からバッファリングとエラー訂正とを行う時間を除いた時間中に行われる。

結局、低倍速ＣＤ－ＲＯＭシステムにおいてはデコーダに入力されるデータの伝送率が低い為、ホストコンピュータへのデータ伝送に問題がなかったが、８倍速以上の高倍速ＣＤ

－ＲＯＭシステムにおいては伝送率に問題が生じることもあり得る。
【本発明が解決しようとする課題】
本発明は、エラー訂正時間を短縮すべく、ワード単位でエラー訂正を実行するエラー訂正方法及び該方法を実行するエラー訂正装置を提供することを目的とする。
【課題を解決する為の手段】
本発明の好適な実施の形態に係るエラー訂正方法は、デジタル信号処理部よりデータを入力してバッファリングするデータ入力部、前記バッファリングされたデータの中でエラーを持つデータを入力しエラーを訂正するエラー訂正部及び前記エラー訂正されたデータを保存するデータ貯蔵部を有するデジタルデコーダにおける前記エラー訂正部で実行されるエラー訂正方法であって、最上位面及び最下位面等にあるＱコードワードのエラーをワード単位で同時に訂正する第１エラー訂正工程及び前記最上位面及び前記最下位面等にあるＰコードワードのエラーをワード単位で同時に訂正する第２エラー訂正工程を含む。
本発明の好適な実施の形態に係るエラー訂正装置は、デジタル信号処理部から入力されたデータをバッファリングするデータ入力部、前記バッファリングされたデータを入力してエラーを訂正するエラー訂正装置及びエラー訂正の済んだデータを保存するデータ貯蔵部を有するデジタルデコーダにおけるエラー訂正装置であって、前記データ入力部からワード単位で入力されるデータの中で最上位面にある８ビットのデータをラッチする第１ラッチと、前記データ入力部より前記ワード単位で入力されるデータの中で最下位面にある８ビットのデータをラッチする第２ラッチと、前記第１ラッチにラッチされたデータを入力してシンドロームを計算し、計算されたシンドロームよりエラーの有無、エラー数、エラー位置及びエラー値を調べて第１－１制御信号を出力し、第２－１制御信号に応じてエラーを訂正し、エラーの訂正されたデータを出力する第１主エラー訂正手段と、前記第２ラッチにラッチされたデータを入力してシンドロームを計算し、計算されたシンドロームよりエラーの有無、エラー数、エラー位置及びエラー値を調べて第１－２制御信号を出力し、第２－２制御信号に応じてエラーを訂正し、エラーの訂正されたデータを出力する第２主エラー訂正手段と、入力した前記第１及び／又は前記第２主エラー訂正手段の出力等及び前記第１又は前記第２ラッチの出力等を第３－１及び第３－２制御信号に応じ選択的に合成して出力するデータ選択手段と、前記データ選択手段で合成されたデータをバッファリングし、バッファリングされたデータを前記ワード単位で前記データ貯蔵部に出力する第１バッファ及び前記第１－１及び前記第１－２制御信号に応じて前記第２－１、第２－２、第３－１及び第３－２制御信号等を出力する制御手段とを備える。
【発明の実施の形態】
以下、添付図面を参照しながら本発明の好適な実施の形態を説明する。
【００２０】
図５に示すように、本発明の好適な実施の形態に係るエラー訂正方法は、Ｑコードワードのエラーを訂正するステップ１００と、Ｐコードワードのエラーを訂正するステップ１０２とを含む。
【００２１】
ステップ１００では、最上位面でＱコードワードのデータに存在するエラーと、最下位面でＱコードワードのデータに存在するエラー等を同時に訂正する。
【００２２】
ステップ１０２では、Ｑコードワードのデータに存在するエラー等のＱコードワードエラーを訂正した後、最上位面でＰコードワードのデータに存在するエラーと、最下位面でＰコードワードのデータに存在するエラー（Ｐコードワードエラー）を同時に訂正する。
【００２３】
図６は、図５に示すステップ１００及び１０２を詳しく説明する為の例示的なフローチャートであって、最上位面のデータ及び最下位面のデータ別にエラーを同時に訂正するステップ（ステップ１１０～１２６）と、エラー訂正されたデータとそれ以外のデータを結合して保存するステップ（ステップ１２８～１３０）を含む。
【００２４】

図５に示すステップ１００又はステップ１０２に関して、図６を参照しながら説明する。ステップ１１０では、データ入力部より入力されたＱコードワード（又はＰコードワード）の最上位面及び最下位面に対してシンドロームを計算する。ステップ１１２では、ステップ１１０で計算したシンドロームを用いて最上位面及び最下位面のデータにエラーが存在するか否かを判断する。ステップ１１２において、最上位面のデータ及び最下位面のデータにエラーが存在しないと判断した場合はエラー訂正を終了する。

【００２５】

一方、最上位面及び／又は最上位面のデータにエラーが存在すると判断した場合は、先ず、ステップ１１４において、最上位面のデータにエラーが存在するか否かを判断する。そして、最上位面のデータにエラーが存在する場合には、ステップ１１６において、エラーの数が２つ以上であるか否かを判断する。その結果、存在するエラーの数が２つ以上であれば、ステップ１２０においてエラー訂正不能フラグを発生する。一方、存在するエラーの数が１つであれば、ステップ１１８において最上位面のデータに存在するエラーを訂正する。

【００２６】

ステップ１１４において最上位面のデータにエラーが存在しないと判断した場合又はステップ１１８において最上位データのエラーを訂正した場合は、ステップ１２２において、最下位面のデータにエラーが存在するか否かを判断する。その結果、最下位面のデータにエラーが存在する場合には、ステップ１２４において、エラーの数が２つ以上であるか否かをを判断する。そして、最下位面のデータに存在するエラーが２つ以上であれば、ステップ１２０において、エラー訂正不能フラグを発生する。一方、最下位面のデータにエラーが１つ存在する場合は、ステップ１２６において最下位面のデータに存在するエラーを訂正する。

【００２７】

ステップ１２２において最下位面のデータにエラーが存在しないと判断した場合又はステップ１２６において最下位面のデータに存在するエラーの訂正が完了した場合は、ステップ１２８において、最上位及び最下位データを結合する。次いで、ステップ１３０では、結合したデータをデータ貯蔵部に保存する。

【００２８】

図６に示す処理例においては最上位面のデータに対してエラー訂正を先に行い、その後、最下位面のデータに対してエラー訂正を行った。しかしながら、最下位面のデータに対して先にエラー訂正を実行することも可能である。

【００２９】

図７は、本発明の好適な実施の形態に係るエラー訂正装置を説明する為のブロック図である。図７に示す装置は、アドレス発生部１４０、データ入力部１４２及びエラー訂正部１５０を含む。エラー訂正部１５０は、第１及び第２ラッチ１５２及び１５４、第１及び第２主エラー訂正部１５６及び１５８、データ選択部１６０、第１、第２及び第３バッファ１６２、１６４及び１６６を含む。

【００３０】

データ入力部１４２は、入力端子ＩＮを通じてデジタル信号処理部（図示せず）から入力されたデータをバッファリングし、バッファリングされた１６ビットのデータをそれぞれ８ビットの最上位データと最下位データに分離して第１及び第２ラッチ１５２及び１５４に各々出力する。第１及び第２ラッチ１５２及び１５４は、最上位データ及び最下位データを第１制御信号ＣＮ１に応じてラッチすると同時に以前にラッチしていたデータを該当する主エラー訂正部に出力する。

【００３１】

第１又は第２主エラー訂正部１５６又は１５８は、図４に示す主エラー訂正部７０とその構成及び動作が同一である。即ち、第１又は第２主エラー訂正部１５６及び１５８は、第１又は第２ラッチ１５２及び１５４より各々出力される最上位データ又は最下位データを入力し、入力されたデータからＮ回発生した第２制御信号ＣＮ２に応じてシンドロームを

計算し、計算されたシンドロームを用いてエラーの有無、エラー数、エラー位置及びエラー値などを計算する。ここで、Ｎはエラー訂正するワードがＱコードの場合は４５であり、Ｐコードの場合は２６である。

【００３２】

第１又は第２主エラー訂正部１５６又は１５８は、エラー位置を第２又は第３バッファ１６４又は１６６に出力し、第２又は第３バッファ１６４又は１６６は、エラー位置を第３又は第４制御信号ＣＮ３又はＣＮ４に応じてバッファリングした後、バッファリングされたエラー位置をアドレス発生部１４０に出力する。図４を参照して説明した様に、アドレス発生部１４０は、エラー位置に相当するアドレスをデータ入力部１４２に出力し、データ入力部１４２は、入力したアドレスに保存されたデータを第１又は第２ラッチ１５２又は１５４を通じて第１又は第２主エラー訂正部１５６又は１５８の最上位又は最下位エラー訂正部（図示せず）に出力する。ここで、最上位又は最下位エラー訂正部は、図４のエラー訂正部７６に対応する。

【００３３】

最上位又は最下位エラー訂正部は、該当ラッチを通じて入力したエラーデータ及びエラー計算部より出力されるエラー値から第５又は第６制御信号ＣＮ５又はＣＮ６に応じてデータのエラーを訂正し、エラー訂正されたデータをデータ選択部１６０に出力する。

【００３４】

データ選択部１６０は、第１及び／又は第２主エラー訂正部１５６及び／又は１５８でエラーが訂正されたデータ及び／又は第１又は第２ラッチ１５２又は１５４の出力を入力し、入力されたデータを第７及び第８制御信号等ＣＮ７及びＣＮ８に応じて選択し、選択されたデータを第９制御信号ＣＮ９に応じて第１バッファ１６２に出力する。

【００３５】

図８は、データ選択部１６０のブロック図である。図８に示すデータ選択部１６０は、第１マルチプレクサ（ＭＵＸ）２００、第２マルチプレクサ（ＭＵＸ）２０２及び第４バッファ２０４を含む。

【００３６】

第１ＭＵＸ２００は、第１主エラー訂正部１５６でエラー訂正されたデータＤ０及び第１ラッチ１５２より出力されるデータＤ１を入力し、入力されたデータの一方を第７制御信号ＣＮ７に応じて選択し、選択されたデータを第４バッファ２０４に出力する。第２ＭＵＸ２０２は、第２ラッチ１５４より出力されるデータＤ２及び第２主エラー訂正部１５８でエラー訂正され出力されるデータＤ３等を入力し、入力されたデータの一方を第８制御信号ＣＮ８に応じて選択し、選択されたデータを第４バッファ２０４に出力する。

【００３７】

第４バッファ２０４は、第１及び第２ＭＵＸ２００及び２０２の出力を第９制御信号ＣＮ９に応じてバッファリングし、バッファリングされたデータを出力端子ＯＵＴを通じて第１バッファ１６２に出力する。

一方、第１バッファ１６２は、データ選択部１６０より出力されるエラー訂正されたデータを第１０制御信号ＣＮ１０に応じて保存する。保存されたデータは、必要に応じてホストコンピュータ等へ伝送するために出力端ＯＵＴを通じて読み出され得る。

【００３８】

制御部（図示せず）は、図７に示すデータ入力部１４２に保存されたデータにエラーが存在するか否かに応じて第１～第１０制御信号ＣＮ１～ＣＮ１０を該当部に出力する。各種制御信号等に関しては、後述する条件等に対応するエラー訂正装置の動作説明において述べる。

【００３９】

図９（ａ）～（ｉ）は、図７に示す装置を制御する各種制御信号等の波形図である。図９（ａ）は第１制御信号ＣＮ１、図９（ｂ）は第２制御信号ＣＮ２、図９（ｃ）は第３制御信号ＣＮ３、図９（ｄ）は第４制御信号ＣＮ４、図９（ｅ）は第５制御信号Ｃｎ５、図９（ｆ）は第６制御信号ＣＮ６、図９（ｇ）は第７又は第８制御信号ＣＮ７又はＣＮ８、図

９（ｈ）は第９制御信号ＣＮ９、図９（ｉ）は第１０制御信号ＣＮ１０を各々表す。

【００４０】

第１の動作条件として、データ入力部１４２より第１ラッチ１５２に入力される最上位データにはエラーが存在し、第２ラッチ１５４に入力される最下位データにはエラーが存在しない場合を考える。

【００４１】

図７に示すエラー訂正装置の第１及び第２ラッチ１５２及び１５４は、図９（ａ）に示す第１制御信号ＣＮ１に応じて最上位データ及び最下位データをデータ入力部１４２から入力すると同時に、以前にラッチされていた最上位データ及び最下位データを第１及び第２主エラー訂正部等１５６及び１５８に出力する。

【００４２】

第１及び第２主エラー訂正部１５６及び１５８は、図９（ｂ）に示すN回発生した第２制御信号ＣＮ２（２１２）に応じてシンドローム、エラー数、エラー値及びエラー位置などを同時に計算する。第２バッファ１６４は、図９（ｃ）に示す”高”レベルの第３制御信号ＣＮ３（２２０）に応じてエラー位置をバッファリングし、バッファリングされたエラー位置をアドレス発生部１４０に出力し、図４を参照して説明したように第１主エラー訂正部１５６は、図９（ａ）に示す”高”レベルの第１制御信号ＣＮ１（２２２）に応じて第１ラッチ１５２より出力されたエラーデータと計算されたエラー値とを持ち、図９（ｅ）に示す”高”レベルの第５制御信号ＣＮ５（２２４）に応じてデータのエラーを訂正し、エラー訂正されたデータＤ０を第１ＭＵＸ２００に出力する。この際、第２主エラー訂正部１５８は、最下位データにエラーがない為、エラー訂正を実行しない。

【００４３】

データ選択部１６０の第１マルチプレクサ２００は、図９（ｇ）に示す”低”レベルの第７制御信号ＣＮ７（２２６）に応じてエラー訂正された最上位データＤ０を選択して第４バッファ２０４に出力し、第２マルチプレクサ２０２は、第２ラッチ１５４より出力されるデータＤ２を図９（ｇ）に示す”低”レベルの第８制御信号ＣＮ８（２２６）に応じて選択する。第４バッファ２０４は、マルチプレクサより各々入力した８ビットのデータを結合し、結合した１６ビット、即ち１ワードのデータを図９（ｈ）に示す”高”レベルの第９制御信号ＣＮ９（２２８）に応じて第１バッファ１６２に出力する。第１バッファ１６２は、図９（ｉ）に示す”高”レベルの第１０制御信号ＣＮ１０（２３０）に応じて、入力したデータを出力端子ＯＵＴを通じてデータ貯蔵部に出力する。

【００４４】

即ち、図７に示すエラー訂正装置１５０は、図９に示す期間２１４において最上位データのエラーを訂正して保存する。

【００４５】

第２の動作条件として、データ入力部１４２から第１ラッチ１５２に入力される最上位データにはエラーが存在せず、第２ラッチ１５４に入力される最下位データにはエラーが存在する場合を考える。

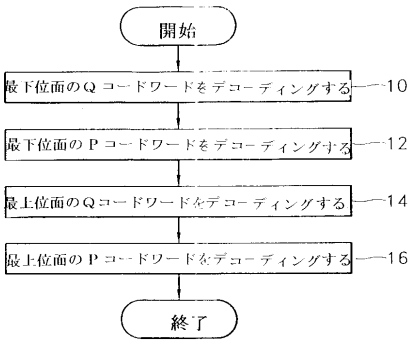
【００４６】

ここでは、第１の条件の下で第１主エラー訂正部及び第１ラッチ１５６及び１５２が実行する動作を第２主エラー訂正部及び第２ラッチ１５８及び１５４が各々実行する。

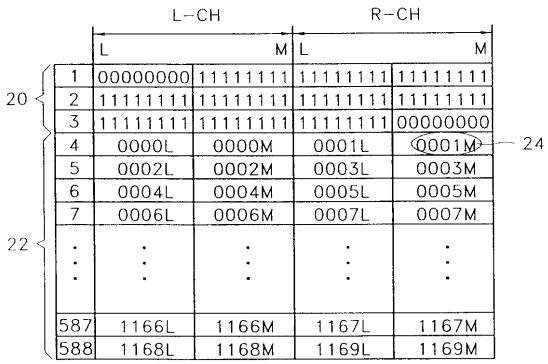
但し、データ選択部１６０の動作が異なる。即ち、データ選択部１６０の第１マルチプレクサ２００は、図９（ｇ）に示す”高”レベルの第７制御信号ＣＮ７（２５０）に応じて第１ラッチ１５２から出力される最上位データＤ１を選択して第４バッファ２０４に出力し、第２マルチプレクサ２０２は、第２主エラー訂正部１５８でエラーが訂正された最下位データＤ３を図９（ｇ）に示す”高”レベルの第８制御信号ＣＮ８（２５０）に応じて選択する。第４バッファ２０４は、マルチプレクサから各々入力した８ビットのデータを結合して１６ビット、即ち１ワードのデータを図９（ｈ）に示す”高”レベルの第９制御信号ＣＮ９（２５２）に応じて第１バッファ１６２に出力する。第１バッファ１６２は、図９（ｉ）に示す”高”レベルの第１０制御信号ＣＮ１０（２５４）に応じて、入力した

データを出力端子ＯＵＴを通じてデータ貯蔵部に出力する。
【００４７】
即ち、エラー訂正装置は、図９に示す期間２１６において最下位データのエラーを訂正して保存する。
【００４８】
第３の条件として、データ入力部１４２から第１及び第２ラッチ１５２及び１５４に各々入力される最上位及び最下位データに両方ともエラーが存在する場合を考える。
【００４９】
この実施の形態においては、最上位データのエラーを訂正した後、最下位データのエラーを訂正する。しかし、最下位データのエラーを先に訂正した後に、最上位データのエラーを訂正することも可能である。
【００５０】
第１主エラー訂正部及び第１ラッチ１５６及び１５２は、第１の条件の下での動作と同一の動作を実行し、第２主エラー訂正部及び第２ラッチ１５８及び１５４は、第２の条件の下での動作と同一の動作を実行する。
【００５１】
第１マルチプレクサ２００は、第１主エラー訂正部１５６でエラー訂正された最上位データを図９（ｇ）に示す”低”レベルの第７制御信号ＣＮ７（２２６）に応じて選択し、第２マルチプレクサ２０２は、第２主エラー訂正部１５８でエラー訂正された最下位データを図９（ｇ）に示す”高”レベルの第７制御信号ＣＮ７（２５０）に応じて選択する。
結局、この実施の形態に係るエラー訂正装置は、最上位面及び最下位面に対してデータのエラー訂正を同時に実行する為、エラー訂正にかかる時間が短縮され、それにより生じる時間をデータ伝送に活用できることになる。
【００５２】
上記の説明はＣＤ－ＲＯＭシステムに関するが、本発明は、例えばＤＶＤ－ＲＯＭシステムの様な他の光ディスクデータ再生システムにも適用できる。
【発明の効果】
本発明に係る光ディスクデータ再生系のエラー訂正方法及び装置によれば、エラー訂正をワード単位で実行する為、例えば、ホストコンピュータへのデータ伝送速度を向上することができる。
【００５３】
【図面の簡単な説明】
【図１】ＣＤ－ＲＯＭデコーダで実行される従来のエラー訂正方法を説明する為のフローチャートである。
【図２】１セクターのデータフォーマットを示す図である。
【図３】図２に示す１セクターのデータの中でＬＳＢデータのみを選んで作ったＬＳＢマップである。
【図４】従来のＣＤ－ＲＯＭデコーダのブロック図である。
【図５】本発明の好適な実施の形態に係るエラー訂正方法を説明する為のフローチャートである。
【図６】図５に示すステップ１００又は１０２を詳しく説明する為の例示的なフローチャートである。
【図７】本発明に係るエラー訂正装置の好適な実施の形態のブロック図である。
【図８】図７におけるデータ選択部のブロック図である。
【図９】図７に示す装置を制御する各種制御信号の波形図である。

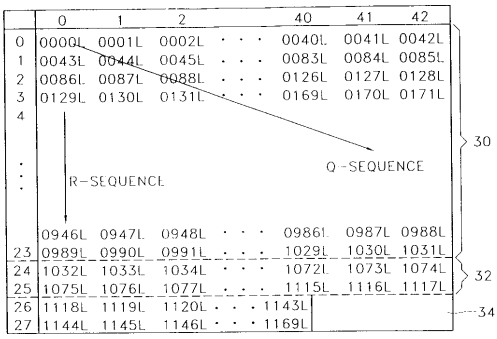
【図１】



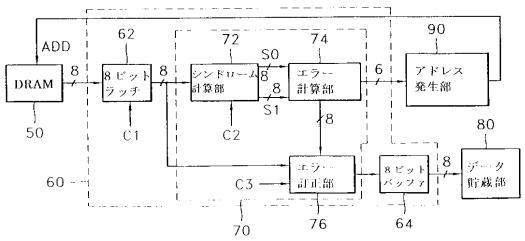
【図２】



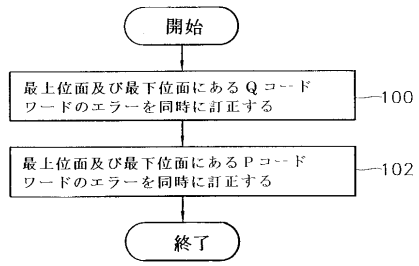
【図３】



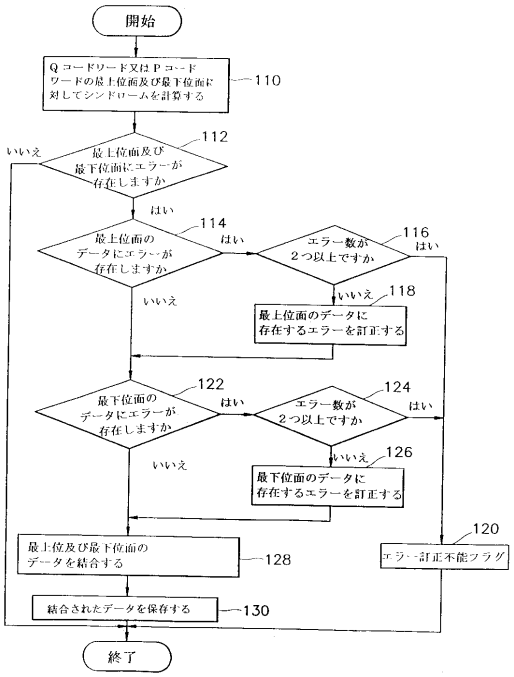
【図４】



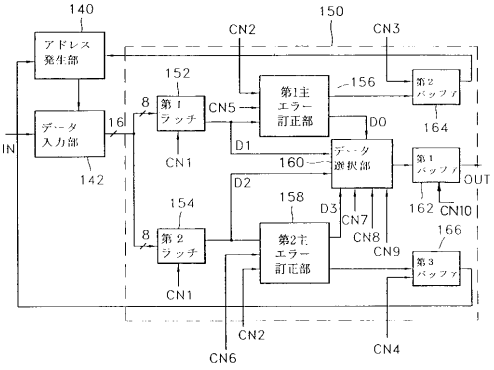
【図５】



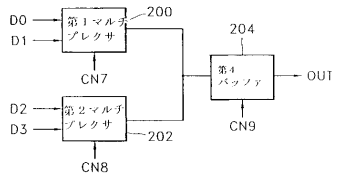
【図６】



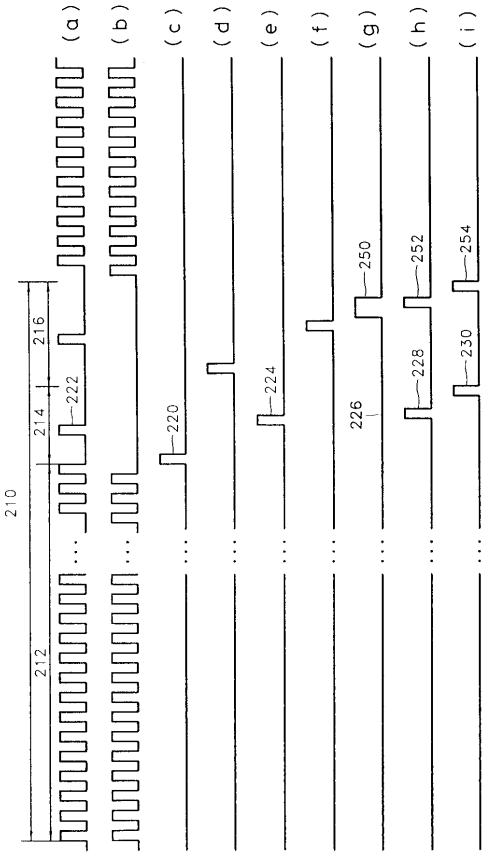
【図７】


140
アドレス発生部
データ入力部
142
IN
16
8
152
第１ラッチ
CN1
CN5
CN2
150
CN3
第1主エラー訂正部
156
第２バッファ
164
D0
D1
160
データ選択部
第１バッファ
OUT
162
CN10
D2
D3
158
CN7
CN8
CN9
154
第２ラッチ
第2主エラー訂正部
166
第３バッファ
CN6
CN4

【図８】


D0
D1
第１マルチプレクサ
200
CN7
D2
D3
第２マルチプレクサ
202
CN8
204
第４バッファ
OUT
CN9

【図９】


(a)
(b)
(c)
(d)
(e)
(f)
(g)
(h)
(i)
210
212
214
216
220
222
224
226
228
230
250
252
254

フロントページの続き

(51)Int.Cl.[7] FI
G11B 20/18 572C
G11B 20/18 572F

(56)参考文献 特開平08－272634（JP，A）
特開平10－173546（JP，A）
特開平06－243600（JP，A）

(58)調査した分野(Int.Cl.[7]，DB名)
H03M 13/00-13/53
G11B 20/18
G06F 11/10 330