

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3964819号

(P3964819)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年6月1日(2007.6.1)

(51) Int. Cl.	F I
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 C
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 2 F
	H O 1 L 29/78 6 5 2 H
	H O 1 L 29/78 6 5 2 J
	H O 1 L 29/78 6 5 3 A
請求項の数 8 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2003-103151 (P2003-103151)	(73) 特許権者	000003078
(22) 出願日	平成15年4月7日(2003.4.7)		株式会社東芝
(65) 公開番号	特開2004-311716 (P2004-311716A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年11月4日(2004.11.4)	(74) 代理人	100058479
審査請求日	平成15年10月9日(2003.10.9)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		最終頁に続く	

(54) 【発明の名称】 絶縁ゲート型半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の第1の半導体層と、

前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、

前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、

前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、

前記第1導電型の第1の半導体層の裏面側に形成された第1導電型の第4の半導体層と 10

、

前記第1導電型の第4の半導体層に接続された第2の主電極と、

前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層を含む、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介して形成された少なくとも1つの制御電極と、

前記少なくとも1つの制御電極の下部であって、前記ゲート絶縁膜と前記第1導電型の第1の半導体層との間でそれぞれに接して設けられ、前記複数の第2導電型の第2の半導体層の一部にのみ接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する少なくとも1つの第2導電型の第5の半導体層と、

前記第1導電型の第1の半導体層および前記第1導電型の第4の半導体層の相互間に設 20

けられた、第1導電型の第9の半導体層と
を具備したことを特徴とする絶縁ゲート型半導体装置。

【請求項2】

第1導電型の第1の半導体層と、
前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、

前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、

前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、

前記第1導電型の第1の半導体層の裏面側に形成された第1導電型の第4の半導体層と

、
前記第1導電型の第4の半導体層に接続された第2の主電極と、

前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層を含む、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介して形成された少なくとも1つの制御電極と、

前記少なくとも1つの制御電極の下部であって、前記ゲート絶縁膜と前記第1導電型の第1の半導体層との間でそれぞれに接して設けられ、前記複数の第2導電型の第2の半導体層の一部にのみ接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する少なくとも1つの第2導電型の第5の半導体層と、

前記複数の第2導電型の第2の半導体層の底面にそれぞれ接して設けられた、第2導電型の第10の半導体層と

を具備したことを特徴とする絶縁ゲート型半導体装置。

【請求項3】

前記第1導電型の第1の半導体層は前記第1の主電極と接続され、その接続部にはショットキー接合が形成されていることを特徴とする請求項1または2に記載の絶縁ゲート型半導体装置。

【請求項4】

第1導電型の第1の半導体層と、

前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、

前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、

前記第1導電型の第1の半導体層、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、

前記第1導電型の第1の半導体層の裏面側に形成された第1導電型の第4の半導体層と

、
前記第1導電型の第4の半導体層に接続された第2の主電極と、

前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層を含む、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介して形成された少なくとも1つの制御電極と、

前記少なくとも1つの制御電極の下部であって、前記ゲート絶縁膜と前記第1導電型の第1の半導体層との間でそれぞれに接して設けられ、前記複数の第2導電型の第2の半導体層の一部にのみ接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する少なくとも1つの第2導電型の第5の半導体層と

を具備し、

前記第1導電型の第1の半導体層と前記第1の主電極との接続部にショットキー接合が形成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項5】

10

20

30

40

50

前記第1導電型の第1の半導体層は、その表面部に前記第1導電型の第1の半導体層よりも高不純物濃度を有する第1導電型の低抵抗層を備えることを特徴とする請求項1乃至4のいずれか1項に記載の絶縁ゲート型半導体装置。

【請求項6】

第1導電型の第1の半導体層と、

前記第1導電型の第1の半導体層の上面側に周期的に形成された複数の第1導電型の半導体ピラー層、および、前記複数の第1導電型の半導体ピラー層の間に形成された複数の第2導電型の半導体ピラー層と、

前記複数の第2導電型の半導体ピラー層の表面部にそれぞれ選択的に形成された、複数の第2導電型の第2の半導体層と、

前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、

前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、

前記第1導電型の第1の半導体層の裏面側に接続された第2の主電極と、

前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層を含む、前記複数の第1導電型の半導体ピラー層の表面部に、ゲート絶縁膜を介して形成された少なくとも1つの制御電極と、

前記少なくとも1つの制御電極の下部であって、前記ゲート絶縁膜と前記複数の第1導電型の半導体ピラー層との間でそれぞれに接して設けられ、前記複数の第2導電型の第2の半導体層の一部にのみ接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する少なくとも1つの第2導電型の第5の半導体層と

を具備したことを特徴とする絶縁ゲート型半導体装置。

【請求項7】

前記少なくとも1つの制御電極はプレナー型構造を有することを特徴とする請求項1乃至6のいずれか1項に記載の絶縁ゲート型半導体装置。

【請求項8】

前記少なくとも1つの制御電極はトレンチ型構造を有することを特徴とする請求項1に記載の絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電力制御に用いられる絶縁ゲート型半導体装置に関するもので、特に、スイッチング用パワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)やIGBT(Insulated Gate Bipolar Transistor)などのMOSゲート素子もしくはMIS(Metal Insulator Semiconductor)ゲート素子に関する。

【0002】

【従来の技術】

スイッチング電源などの電源回路の小型化には、スイッチング周波数を上げることが有効である。つまり、電源回路内のインダクタンスやキャパシタンスなどの受動素子を小さくすることが有効である。ところが、スイッチング周波数を上げると、MOSFETやIGBTなどのスイッチング素子のスイッチング損失が増加する。スイッチング損失の増加は、電源効率の低下を招く。このため、電源回路の小型化には、スイッチング素子の高速化によるスイッチング損失の低減が不可欠である。

【0003】

【発明が解決しようとする課題】

現在、スイッチング素子として用いられているMOSFETやIGBTなどのMOSゲート素子においては、ゲート長を短くすることなどが行われている。これにより、ゲート電

10

20

30

40

50

極とドレイン電極との対向面積を小さくする。こうして、ゲート・ドレイン間容量を低減することで、MOSゲート素子の高速化が図られている。

【0004】

しかしながら、高速化のためにゲート・ドレイン間容量を小さくすると、配線に含まれる寄生インダクタンスとスイッチング素子容量との間に共振が起こる。これは、スイッチング時に高周波ノイズ（スイッチングノイズ）を発生させる要因となる。このようなスイッチングノイズを抑制するためには、ソフトスイッチングを行わなければならない。もしくは、フィルタ回路を設けるか、ゲート駆動回路に工夫を凝らす必要がある。このように、スイッチングノイズの抑制は、コストの増加が伴うものとなっていた。

【0005】

上記したように、従来においては、ゲート・ドレイン間容量の低減により高速化が図れるものの、スイッチングノイズを抑制する必要がある、そのためには、ソフトスイッチングを行ったり、フィルタ回路などの外部回路を用いたりしなければならないといった問題があった。

【0006】

そこで、この発明は、高速で、しかも、外部回路を用いることなしにスイッチングノイズを抑制することが可能な絶縁ゲート型半導体装置を提供することを目的としている。

【0007】

【課題を解決するための手段】

本願発明の一態様によれば、第1導電型の第1の半導体層と、前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、前記第1導電型の第1の半導体層の裏面側に形成された第4の半導体層と、前記第4の半導体層に接続された第2の主電極と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ隣接する、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介して格子状に形成された、トレンチ型構造を有する制御電極と、前記制御電極の、第1の方向に沿って設けられた複数の第1の制御電極部にそれぞれ交差する、第2の方向に沿ってそれぞれ設けられた複数の第2の制御電極部と接する、前記第1導電型の第1の半導体層の界面にそれぞれ設けられ、前記複数の第2導電型の第2の半導体層の少なくとも1つに接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する複数の第2導電型の第5の半導体層とを具備したことを特徴とする絶縁ゲート型半導体装置が提供される。

【0008】

また、本願発明の一態様によれば、第1導電型の第1の半導体層と、前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、前記第1導電型の第1の半導体層の裏面側に形成された第4の半導体層と、前記第4の半導体層に接続された第2の主電極と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ隣接する、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介してストライプ状に形成された、トレンチ型構造を有する複数の制御電極と、前記複数の制御電極と接する、前記第1導電型の第1の半導体層の界面にそれぞれ分割して配置され、前記複数の第2導電型の第2の半導体層の少なくとも1つに接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する複数の第2導電型の第5の半導体層とを具備したことを特徴とする絶縁ゲート型半導体装置が提供される。

【0009】

また、本願発明の一態様によれば、第1導電型の第1の半導体層と、前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、前記第1導電型の第1の半導体層の裏面側に形成された第4の半導体層と、前記第4の半導体層に接続された第2の主電極と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ隣接する、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介してストライプ状に形成された、トレンチ型構造を有する複数の制御電極と、前記複数の制御電極の、少なくとも底面と接する、前記第1導電型の第1の半導体層の界面にそれぞれ設けられ、前記複数の第2導電型の第2の半導体層の少なくとも1つに接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する複数の第2導電型の第5の半導体層とを具備したことを特徴とする絶縁ゲート型半導体装置が提供される。

10

【0010】

また、本願発明の一態様によれば、第1導電型の第1の半導体層と、前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、前記第1導電型の第1の半導体層の裏面側に形成された第1導電型の第4の半導体層と、前記第1導電型の第4の半導体層に接続された第2の主電極と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層を含む、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介して形成された少なくとも1つの制御電極と、前記少なくとも1つの制御電極に接する、前記第1導電型の第1の半導体層の界面に設けられ、前記複数の第2導電型の第2の半導体層の少なくとも1つに接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する少なくとも1つの第2導電型の第5の半導体層と、前記第1導電型の第1の半導体層および前記第1導電型の第4の半導体層の相互間に設けられた、第1導電型の第9の半導体層とを具備したことを特徴とする絶縁ゲート型半導体装置が提供される。

20

30

【0011】

また、本願発明の一態様によれば、第1導電型の第1の半導体層と、前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくとも1つの第1導電型の第3の半導体層と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層にそれぞれ接続された複数の第1の主電極と、前記第1導電型の第1の半導体層の裏面側に形成された第1導電型の第4の半導体層と、前記第1導電型の第4の半導体層に接続された第2の主電極と、前記複数の第2導電型の第2の半導体層および前記少なくとも1つの第1導電型の第3の半導体層を含む、前記第1導電型の第1の半導体層の表面部に、ゲート絶縁膜を介して形成された少なくとも1つの制御電極と、前記少なくとも1つの制御電極に接する、前記第1導電型の第1の半導体層の界面に設けられ、前記複数の第2導電型の第2の半導体層の少なくとも1つに接続された、前記複数の第2導電型の第2の半導体層よりも低い不純物濃度を有する少なくとも1つの第2導電型の第5の半導体層と、前記複数の第2導電型の第2の半導体層の底面にそれぞれ接して設けられた、第2導電型の第10の半導体層とを具備したことを特徴とする絶縁ゲート型半導体装置が提供される。

40

【0012】

また、本願発明の一態様によれば、第1導電型の第1の半導体層と、前記第1導電型の第1の半導体層の表面部に選択的に形成された、複数の第2導電型の第2の半導体層と、前記複数の第2導電型の第2の半導体層の表面部にそれぞれ選択的に形成された、少なくと

50

も１つの第１導電型の第３の半導体層と、前記第１導電型の第１の半導体層、前記複数の第２導電型の第２の半導体層および前記少なくとも１つの第１導電型の第３の半導体層にそれぞれ接続された複数の第１の主電極と、前記第１導電型の第１の半導体層の裏面側に形成された第１導電型の第４の半導体層と、前記第１導電型の第４の半導体層に接続された第２の主電極と、前記複数の第２導電型の第２の半導体層および前記少なくとも１つの第１導電型の第３の半導体層を含む、前記第１導電型の第１の半導体層の表面部に、ゲート絶縁膜を介して形成された少なくとも１つの制御電極と、前記少なくとも１つの制御電極に接する、前記第１導電型の第１の半導体層の界面に設けられ、前記複数の第２導電型の第２の半導体層の少なくとも１つに接続された、前記複数の第２導電型の第２の半導体層よりも低い不純物濃度を有する少なくとも１つの第２導電型の第５の半導体層とを具備し、前記第１導電型の第１の半導体層と前記第１の主電極との接続部にショットキー接合が形成されていることを特徴とする絶縁ゲート型半導体装置が提供される。

10

【００１３】

さらに、本願発明の一態様によれば、第１導電型の第１の半導体層と、前記第１導電型の第１の半導体層の表面部に選択的に形成された、複数の第２導電型の第１の半導体層と、前記複数の第２導電型の第１の半導体層の表面部を含む、前記第１導電型の第１の半導体層の表面部にそれぞれ選択的に形成された、複数の第２導電型の第２の半導体層と、前記複数の第２導電型の第２の半導体層の表面部にそれぞれ選択的に形成された、少なくとも１つの第１導電型の第３の半導体層と、前記複数の第２導電型の第２の半導体層および前記少なくとも１つの第１導電型の第３の半導体層にそれぞれ接続された複数の第１の主電極と、前記第１導電型の第１の半導体層の裏面側に形成された第４の半導体層と、前記第４の半導体層に接続された第２の主電極と、前記複数の第２導電型の第２の半導体層および前記少なくとも１つの第１導電型の第３の半導体層を含む、前記第１導電型の第１の半導体層の表面部に、ゲート絶縁膜を介して形成された少なくとも１つの制御電極と、前記少なくとも１つの制御電極に接する、前記第１導電型の第１の半導体層の界面に設けられ、前記複数の第２導電型の第２の半導体層の少なくとも１つに接続された、前記複数の第２導電型の第２の半導体層よりも低い不純物濃度を有する少なくとも１つの第２導電型の第５の半導体層とを具備したことを特徴とする絶縁ゲート型半導体装置が提供される。

20

【００１４】

この発明の絶縁ゲート型半導体装置によれば、ある程度の高電圧の印加によって、ターンオフ時に、第２導電型の第５の半導体層を空乏化できるようになる。これにより、高速性を損うことなく、ターンオフ時の電圧のはね上がりを抑えることが可能となるものである。

30

【００１５】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。なお、各実施形態においては、第１導電型をｎ型、第２導電型をｐ型とした場合について説明する。また、ゲート下ｐ層を備えるＭＯＳゲート素子の基本構成については、たとえば特願２００２－２９８８３８に開示されている。したがって、ここでの詳細な説明は割愛する。

40

【００１６】

（第１の実施形態）

図１は、本発明の第１の実施形態にかかる縦型パワーＭＯＳＦＥＴの構成例を示すものである。ここでは、縦型パワーＭＯＳＦＥＴの、ｘ方向（第１の方向）に対する任意の断面およびｙ方向（第２の方向）に対する任意の断面をそれぞれ示している。また、本実施形態は、トレンチ型構造のゲート電極を格子状に形成するようにした場合の例である。

【００１７】

図１において、第１の半導体層としてのｎ－ドリフト層１１の、その一方の表面部には、選択的に、第２の半導体層としての複数のｐベース層１２ａが拡散により形成されている。各ｐベース層１２ａは矩形状を有し、それぞれ、マトリックス状（もしくは、千鳥状）

50

に配置されている。また、上記各 p ベース層 1 2 a の表面部には、選択的に、第 3 の半導体層としての n + ソース層 1 3 a が拡散により形成されている。各 n + ソース層 1 3 a は、たとえば上記各 p ベース層 1 2 a の周辺部に矩形のリング形状を有して設けられている。

【 0 0 1 8 】

上記 n - ドリフト層 1 1 の他方の表面（裏面）部には、第 4 の半導体層である n + ドレイン層 1 5 が形成されている。この n + ドレイン層 1 5 には、その全面に、第 2 の主電極としてのドレイン電極 2 1 が接続されている。

【 0 0 1 9 】

これに対し、上記 p ベース層 1 2 a および上記 n + ソース層 1 3 a の上部には、それぞれ、第 1 の主電極としての矩形状のソース電極（図示していない）が設けられている。制御電極としてのゲート電極 2 4 a は、上記 p ベース層 1 2 a の相互間に、ゲート絶縁膜（たとえば、シリコン（Si）酸化膜）2 3 a を介して埋め込まれている。つまり、ゲート電極 2 4 a はトレンチ型構造を有し、上記 p ベース層 1 2 a および上記 n + ソース層 1 3 a にそれぞれ隣接する、上記 n - ドリフト層 1 1 の表面部に沿って格子状に設けられている。

10

【 0 0 2 0 】

本実施形態の場合、ゲート電極 2 4 a はほぼ一定の幅を有するとともに、配置の間隔（ピッチ）もほぼ同一とされている。また、ゲート電極 2 4 a はほぼ一定の深さを有し、たとえば、上記各 p ベース層 1 2 a の底部よりも深くなるように形成されている。ゲート絶縁膜 2 3 a は、ほぼ一定の膜厚を有して形成されている。

20

【 0 0 2 1 】

そして、上記ゲート電極 2 4 a のうち、一方向に沿う複数の第 2 の電極部 2 4 a -2 にそれぞれ対応して、第 5 の半導体層としての複数の p 層（ゲート下 p 層）1 4 B が拡散により形成されている。つまり、上記各 p 層 1 4 B は、x 方向に沿って設けられた複数の第 1 の電極部 2 4 a -1 にそれぞれ交差する、y 方向に沿ってそれぞれ設けられた複数の第 2 の電極部 2 4 a -2 と接する、上記 n - ドリフト層 1 1 の界面（第 2 の電極部 2 4 a -2 の底面および両方の側面）に、それぞれストライプ状に設けられている。また、各 p 層 1 4 B は、上記第 2 の電極部 2 4 a -2 に隣接する、2 つの上記 p ベース層 1 2 a にそれぞれ接続されている。上記各 p 層 1 4 B は、上記 p ベース層 1 2 a よりも低い不純物濃度を有して形成されている。

30

【 0 0 2 2 】

上記したように、格子状に配置されたトレンチ型構造のゲート電極 2 4 a のうち、第 2 の電極部 2 4 a -2 のみに対応させて p 層 1 4 B を設けるようにしている。このような構造の MOSFET によっても、ドレイン電圧に応じて、ゲート・ドレイン間容量が増加するという特性を利用することにより、高速・低ノイズのスイッチング特性を実現できる。

【 0 0 2 3 】

すなわち、p 層 1 4 B が設けられた第 2 の電極部 2 4 a -2 と p 層 1 4 B が設けられていない第 1 の電極部 2 4 a -1 とを有して、ゲート電極 2 4 a を形成するようにした場合、p 層 1 4 B は高電圧印加時に容易に空乏化されるため、MOSFET における、高速で、かつ、低ノイズなスイッチング特性が実現される。したがって、本実施形態によれば、低電圧印加時のゲート・ドレイン間容量を小さくして、素子の高速化を実現したり、高電圧印加時のゲート・ドレイン間容量を大きくして、素子の低ノイズ化を実現したりすることが、容易に可能となるものである。

40

【 0 0 2 4 】

なお、上記した実施形態（図 1）においては、第 2 の電極部 2 4 a -2 の x 方向の幅と第 1 の電極部 2 4 a -1 の y 方向の幅とがほぼ一定になるように形成した場合を例に説明したが、これに限らず、たとえば図 2 に示すように、p 層 1 4 B が設けられる第 2 の電極部 2 4 a -2 の幅（ $Wg2$ ）が、第 1 の電極部 2 4 a -1 の幅（ $Wg1$ ）よりも広くなるように形成することも可能である（ $Wg2 > Wg1$ ）。この例の場合、高電圧印加時のゲート電極 2

50

4 a の面積が低電圧印加時よりも大きくなるため、高電圧印加時に増加するゲート・ドレイン間容量をさらに大きくすることが可能となり、より低ノイズな素子を実現できる。

【0025】

また、上記した実施形態（図1）においては、第2の電極部24a-2のx方向の間隔と第1の電極部24a-1のy方向の間隔とがほぼ一定になるように形成した場合を例に説明したが、これに限らず、たとえば図3に示すように、第2の電極部24a-2の間隔（ $Cp2$ ）と第1の電極部24a-1の間隔（ $Cp1$ ）とが異なるように形成することも可能である（ $Cp2 \neq Cp1$ ）。このような構成とした場合、図1のMOSFETと比して、素子のオン抵抗や高速性、低ノイズ性をそれぞれ独立に制御することが可能となる。

【0026】

すなわち、図1に示した構成において、たとえば、第2の電極部24a-2の間隔はそのままに、第1の電極部24a-1の間隔が狭くなるように形成した場合（ $Cp2 > Cp1$ ）、チャネル幅を大きくでき、オン抵抗を下げる事が可能である。この例の場合、ゲート電極24aの面積に対するp層14Bの割合はほとんど変化しないので、高電圧印加時にゲート・ドレイン間容量が増加する割合も変化せず、低ノイズ性を損うことはない。つまり、低ノイズ性を保ちつつ、低オン抵抗化を実現できる。逆に、第1の電極部24a-1の間隔が広くなるように形成した場合（ $Cp2 < Cp1$ ）、オン抵抗は大きくなるが、低電圧印加時のゲート・ドレイン間容量を小さくでき、高速性の向上が可能となる。

【0027】

なお、図1に示した構成において、第1の電極部24a-1の間隔はそのままに、第2の電極部24a-2の間隔を変化させるようにした場合（ $Cp2 > Cp1$ 、 $Cp2 < Cp1$ ）には、オン抵抗や高速性をほとんど変化させることなく、低ノイズ性を変化させることが可能である。

【0028】

また、上記した実施形態（図1）においては、ゲート絶縁膜23aの膜厚がほぼ一定になるように形成した場合を例に説明したが、これに限らず、たとえば図4に示すように、第1の電極部24a-1の底部のゲート絶縁膜23aの膜厚（ $tox1$ ）が、その他の部分（たとえば、第2の電極部24a-2の底部のゲート絶縁膜23aの膜厚（ $tox2$ ））よりも厚くなるように形成することも可能である（ $tox2 < tox1$ ）。このような構成とした場合、低電圧印加時のゲート・ドレイン間容量は第1の電極部24a-1の容量によって決まる、つまり、第1の電極部24a-1の底部のゲート絶縁膜23aを厚くすることにより、ゲート・ドレイン間容量を低下できる。したがって、低ノイズ性を損うことなく、高速化が可能である。

【0029】

また、上記した実施形態（図1）においては、ゲート電極24aの深さがほぼ一定になるように形成した場合を例に説明したが、これに限らず、たとえば図5に示すように、第2の電極部24a-2の底部までの長さ（深さ $Lg2$ ）が、第1の電極部24a-1の底部までの長さ（深さ $Lg1$ ）よりも長くなるように形成することも可能である（ $Lg2 > Lg1$ ）。このような構成とした場合、p層14Bをドレイン電極21に近づけることができるため、p層14Bにドレイン電極21からの電気力線を集中させやすくなる。その結果、ゲート・ドレイン間容量の変化を大きくすることが可能となる。しかも、低電圧印加時のゲート・ドレイン間容量を小さくできるため、低ノイズ性ととも、高速化を実現できる。

【0030】

また、上記した実施形態（図1）においては、p層14Bを第2の電極部24a-2の底面および両方の側面に沿って設けるようにした場合を例に説明したが、これに限らず、たとえば図6に示すように、第2の電極部24a-2の底面および少なくとも一方の側面に沿ってのみ、p層14B'を形成するようにすることも可能である。このような構成とした場合、p層14B'が覆わない部分のチャネル幅を大きくできるため、低ノイズ性・高速性を損うことなしに、オン抵抗を下げる事が可能である。

10

20

30

40

50

【0031】

また、上記した実施形態（図1）においては、 n +ソース層13aをリング状に形成する、つまり、第1の電極部24a-1および第2の電極部24a-2にそれぞれ沿って n +ソース層13aを設けるようにした場合を例に説明したが、これに限らず、たとえば図7に示すように、第1の電極部24a-1に沿ってのみ、 n +ソース層13を形成するようにすることも可能である。このような構成とした場合、寄生バイポーラトランジスタが動作し難くなる分、素子の破壊耐量を大きくできる。

【0032】

また、上記した各実施形態（図1～図7）においては、いくつかの実施形態を、適宜、組み合わせることも可能である。

10

【0033】

また、上記した各実施形態（図1～図7）においては、いずれも縦型パワーMOSFETに適用した場合を例に説明したが、これに限らず、たとえば図8に示すように、ノンパンチスルー型構造のIGBTにも同様に適用できる。ノンパンチスルー型構造のIGBTの場合、 n +ドレイン層に代えて、 p +ドレイン層31が設けられている。

【0034】

また、上記したノンパンチスルー型構造のIGBT（図8）に限らず、たとえば図9に示すように、パンチスルー型構造のIGBTにも同様に適用できる。パンチスルー型構造のIGBTの場合、 n -ドリフト層11と p +ドレイン層31との間に、さらに、第6の半導体層としての n +バッファ層32が設けられている。

20

【0035】

さらに、上記した各実施形態（図1～図9）においては、いずれの場合にも、 n -ドリフト層11の表面部に、この n -ドリフト層11よりも高不純物濃度を有する n 低抵抗層を形成するようにすることも可能である。

【0036】

（第2の実施形態）

図10は、本発明の第2の実施形態にかかる縦型パワーMOSFETの構成例を示すものである。ここでは、縦型パワーMOSFETの、 x 方向に対する任意の断面および y 方向に対する任意の断面をそれぞれ示している。また、本実施形態は、トレンチ型構造のゲート電極をストライプ状に形成するようにした場合の例である。

30

【0037】

図10において、第1の半導体層としての n -ドリフト層11の、その一方の表面部には、選択的に、第2の半導体層としての複数の p ベース層12が拡散により形成されている。各 p ベース層12は、たとえば x 方向に、それぞれ、一定の間隔（ピッチ）を有して、ストライプ状に配置されている。また、上記各 p ベース層12の表面部には、選択的に、第3の半導体層としての n +ソース層13が拡散により形成されている。各 n +ソース層13は、たとえば上記 x 方向に沿う、上記各 p ベース層12の端部にそれぞれストライプ状に設けられている。

【0038】

上記 n -ドリフト層11の他方の表面（裏面）部には、第4の半導体層である n +ドレイン層15が形成されている。この n +ドレイン層15には、その全面に、第2の主電極としてのドレイン電極21が接続されている。

40

【0039】

これに対し、上記 p ベース層12および上記 n +ソース層13の上部には、それぞれ、第1の主電極としてのストライプ状のソース電極（図示していない）が設けられている。制御電極としてのゲート電極24aは、それぞれ、上記 p ベース層12の相互間に、ゲート絶縁膜（たとえば、シリコン（Si）酸化膜）23aを介して埋め込まれている。つまり、各ゲート電極24aはトレンチ型構造を有し、上記 p ベース層12および上記 n +ソース層13にそれぞれ隣接する、上記 n -ドリフト層11の表面部に沿ってストライプ状に設けられている。また、ゲート電極24aはほぼ一定の深さを有し、たとえば、上記各 p

50

ベース層 1 2 の底部よりも深くなるように形成されている。ゲート絶縁膜 2 3 a は、ほぼ一定の膜厚を有して形成されている。

【 0 0 4 0 】

そして、上記各ゲート電極 2 4 a の局部にそれぞれ対応して、第 5 の半導体層としての複数の p 層（ゲート下 p 層） 1 4 B が拡散により形成されている。つまり、上記各 p 層 1 4 B は、上記ゲート電極 2 4 a と接する、上記 n - ドリフト層 1 1 の界面（ゲート電極 2 4 a の底面および両方の側面）に、それぞれ、分割して配置されている。また、各 p 層 1 4 B は、上記ゲート電極 2 4 a に隣接する、2 つの上記 p ベース層 1 2 にそれぞれ接続されている。上記各 p 層 1 4 B は、上記 p ベース層 1 2 よりも低い不純物濃度を有して形成されている。

10

【 0 0 4 1 】

このような構成とした場合、図 1 に示した構成の M O S F E T とほぼ同様な、高速・低ノイズのスイッチング特性を実現できるだけでなく、たとえば、位置合わせずれの影響なく、空乏化する p 層 1 4 B をほぼ一定の面積により形成することが容易に可能となる。

【 0 0 4 2 】

なお、上記した実施形態（図 1 0 ）においては、p 層 1 4 B をゲート電極 2 4 a の底面および両方の側面に沿って設けるようにした場合を例に説明したが、これに限らず、たとえば図 1 1 に示すように、ゲート電極 2 4 a の底面の一部を覆わないように、開口部 1 4 B -1 を設けて p 層 1 4 B ' を形成するようにすることも可能である。このような p 層 1 4 B ' は、たとえば、ゲート電極 2 4 a を作り込むためのトレンチ 2 4 -1 を形成した後に、角度を調整して、トレンチ 2 4 -1 の斜め方向からイオン注入を行うことにより、容易に形成できる。こうした構成によっても、高速で、かつ、低ノイズな素子を実現できる。しかも、ゲート電極 2 4 a の底部に電子の流れる経路が形成されることにより、オン抵抗が増加するのを抑制できる。ここで、図中に示す 2 2 は、上記 p ベース層 1 2 および上記 n + ソース層 1 3 の上部にそれぞれ設けられた、第 1 の主電極としてのストライプ状のソース電極である。

20

【 0 0 4 3 】

また、上記開口部 1 4 B -1 の幅が狭くなると、オン抵抗が大きくなる。そこで、製造過程での熱処理によって開口部 1 4 B -1 が狭くなるのを防ぐために、たとえば図 1 2 に示すように、開口部 1 4 B -1 に第 7 の半導体層としての n 低抵抗層 1 1 a ' を選択的に形成するようにしてもよい。この例の場合、上記 n 低抵抗層 1 1 a ' は、上記 n - ドリフト層 1 1 よりも高い不純物濃度を有して形成されている。

30

【 0 0 4 4 】

また、上記した実施形態（図 1 0 ）においては、p 層 1 4 B をゲート電極 2 4 a の底面および両方の側面に沿って設けるようにした場合を例に説明したが、これに限らず、たとえば図 1 3 に示すように、ゲート電極 2 4 a の底面および少なくとも一方の側面に沿ってのみ、p 層 1 4 B ' を形成するようにすることも可能である。このような構成とした場合、p 層 1 4 B ' が覆わない部分によりチャネル幅が大きくなるため、低ノイズ性・高速性を損うことなしに、オン抵抗を下げる事が可能である。

【 0 0 4 5 】

40

また、たとえば図 1 4 および図 1 5 に示すように、p 層 1 4 B ' は、ゲート電極 2 4 a の底面に沿ってのみ、それぞれ設けられるものであってもよい。その場合、各 p 層 1 4 B ' は、たとえば、y 方向に沿うゲート電極 2 4 a の端面にそれぞれ設けられる、第 8 の半導体層である p ベース接続層 1 2 b を介して、p ベース層 1 2 に接続されている。このような構成とした場合、ゲート電極 2 4 a の各側面には p 層 1 4 B ' が存在しない。そのため、p 層 1 4 B ' によるチャネル幅の減少がない分、オン抵抗の増加を抑えることができる。また、ゲート・ドレイン間容量は、ゲート電極 2 4 a の底部の面積によってほとんど決まる。このため、ゲート電極 2 4 a の底部を p 層 1 4 B ' によって完全に覆うことにより、低電圧印加時のゲート・ドレイン間容量を限りなくゼロに近づけることが可能となる。その結果、高速化を実現できる。

50

【 0 0 4 6 】

特に、pベース接続層12bを介して、p層14B'をpベース層12と接続させることにより、p層14B'は充放電が可能となっている。この場合、たとえば図15に示すように、pベース接続層12bの間隔が狭くなるように、各ゲート電極24aを配置することにより、p層14B'の充放電を速やかに行うことが可能となる。

【 0 0 4 7 】

また、上記した各実施形態（図10～図15）においては、いずれもMOSFETに適用した場合を例に説明したが、これに限らず、たとえば図16に示すようなノンパンチスルー型構造のIGBTにも適用できる。同様に、たとえば図17に示すようなパンチスルー型構造のIGBTにも適用できる。

10

【 0 0 4 8 】

さらには、いずれの実施形態（図10～図17）においても、n-ドリフト層11の表面部に、このn-ドリフト層11よりも高不純物濃度を有するn低抵抗層を形成するようにすることも可能である。

【 0 0 4 9 】

（第3の実施形態）

図18は、本発明の第3の実施形態にかかる縦型パワーMOSFETの構成例を示すものである。ここでは、n-ドリフト層11の表面部にn低抵抗層11aを形成するようにした場合を例に示している。

【 0 0 5 0 】

本実施形態にかかるMOSFETは、n-ドリフト層とpベース層とによって形成されるpnダイオード（内蔵ダイオード）が、オン状態からオフ状態へ切り替わる時（リカバリ時）の損失やノイズを改善できるようにしたものである。内蔵ダイオードのリカバリ時の損失やノイズは、たとえば、MOSFETを小型のインバータ回路（単相）やブリッジ回路などの電源回路に用いるようにした場合において、電源回路の損失やノイズに大きな影響を及ぼすことが知られている。

20

【 0 0 5 1 】

すなわち、図18において、第1の半導体層としてのn-ドリフト層11は、その一方の表面部に、拡散によりn低抵抗層11aが設けられている。n低抵抗層11aの表面部には、選択的に、第2の半導体層としての複数のpベース層12が拡散により形成されている。各pベース層12は、たとえば素子の正面に直交する方向に、それぞれ、一定の間隔（ピッチ）を有して、ストライプ状に配置されている。また、上記各pベース層12の表面部には、選択的に、第3の半導体層としてのn+ソース層13が拡散により形成されている。各n+ソース層13は、上記各pベース層12に沿って、それぞれストライプ状に設けられている。

30

【 0 0 5 2 】

また、隣り合う2つのpベース層12間の、上記n低抵抗層11aの表面部には、選択的に、第5の半導体層としてのp層（ゲート下p層）14が拡散により形成されている。この実施形態の場合、上記p層14は、上記pベース層12と接する上記n低抵抗層11aの表面部に、上記pベース層12との界面に沿ってストライプ状に設けられている。そして、このp層14は、隣接する2つの上記pベース層12のうちの、いずれか一方のpベース層12に接続されている。また、上記p層14は、上記pベース層12よりも低い不純物濃度を有して形成されている。

40

【 0 0 5 3 】

上記pベース層12および上記n+ソース層13の上部には、それぞれ、第1の主電極としてのストライプ状のソース電極22が設けられている。制御電極としてのゲート電極24は、上記ソース電極22の相互間に、それぞれ、ゲート絶縁膜（たとえば、シリコン（Si）酸化膜）23を介して、ストライプ状に設けられている。つまり、ブレナー型構造のゲート電極24は、一方の上記pベース層12内の上記n+ソース層13から、上記p層14および上記n低抵抗層11aを経て、他方の上記pベース層12内の上記n+ソー

50

ス層 13 に至る領域上に形成されている。上記ゲート絶縁膜 23 は、ほぼ一定の膜厚（たとえば、 $0.1\ \mu\text{m}$ 程度）を有して形成されている。

【0054】

上記 n - ドリフト層 11 の他方の表面（裏面）部には、第 9 の半導体層である n バッファ層 33 が設けられている。また、この n バッファ層 33 を介して、第 4 の半導体層である n + ドレイン層 15 が形成されている。この n + ドレイン層 15 には、その全面に、第 2 の主電極としてのドレイン電極 21 が接続されている。

【0055】

このような構成とした場合、リカバリー時の電流の変化をソフトなものとするのが可能となる結果、内蔵ダイオードによるノイズを低減できる。すなわち、リカバリー時には、p ベース層 12 からの空乏層が n + ドレイン層 15 に向かって延び、n バッファ層 33 に到達する。その際、挿入されている n バッファ層 33 が徐々に空乏化されることにより、n - ドリフト層 11 内での電界の増加が抑えられる。この結果、電流の急激な減少を防ぐことが可能となって、内蔵ダイオードのリカバリー時のノイズを低減できるものである。また、リカバリー時の電流の変化をソフトなものとするだけでなく、MOSFET のスイッチングをもソフトにすることが可能である。

【0056】

上記 n バッファ層 33 の不純物濃度としては、あまり高すぎず、高電圧の印加により容易に空乏化する程度の濃度（たとえば、n - ドリフト層 11 の濃度の 10 倍程度）とするのが望ましい。

【0057】

なお、上記した実施形態（図 18）においては、プレーナ型構造のゲート電極 24 を備える MOSFET に適用した場合を例に説明したが、これに限らず、たとえば図 19 に示すように、トレンチ型構造のゲート電極 24a を備える MOSFET にも同様に適用できる。同様に、トレンチ型構造のゲート電極 24a を備える MOSFET としては、n 低抵抗層を形成するようにした場合のものにも適用できる。

【0058】

また、たとえば図 20 に示すように、p ベース層 12 の底面側に、第 10 の半導体層としての p バッファ層 34 をそれぞれ挿入するようにした場合にも、同様の効果が得られる。つまり、リカバリー時に、この p バッファ層 34 が徐々に空乏化することにより、内蔵ダイオードによるノイズを低減できる。ここでは、n 低抵抗層 11a を形成するようにした場合を例に示したが、n 低抵抗層 11a の形成を省略した MOSFET にも適用できる。同様に、p バッファ層 34 を挿入するようにした MOSFET としては、トレンチ型構造のゲート電極を備える MOSFET にも適用することが可能である。

【0059】

また、上記した実施形態（図 18 ~ 図 20）においては、バッファ層 33, 34 を設けることによって、内蔵ダイオードのリカバリー時のノイズを低減するようにした場合を例に説明したが、これに限らず、たとえば図 21 に示すように、n - ドリフト層 11 とソース電極 22 との間にショットキー接合 35 を形成することにより、内蔵ダイオードのリカバリー時の損失を低減できるようにすることも可能である。すなわち、MOSFET の内蔵ダイオードとして、pn ダイオードとショットキーバリアダイオード（以下、SBD）とを含む構成とした場合、内蔵ダイオードのオン状態時における、n - ドリフト層 11 中に存在するキャリア濃度を小さくすることが可能となる。これにより、リカバリー時のキャリア数を抑えることが可能となる結果、リカバリー電流を小さくできる。したがって、リカバリー時の内蔵ダイオードによる損失を低減できるものである。しかも、SBD を設けることによってリカバリー時の損失を低減させるようにした場合、周知のライフタイムの制御によりリカバリー時の損失を低減させる方法に比べ、制御性に優れる。

【0060】

また、たとえば図 22 に示すように、ショットキー接合 35 を形成するとともに、上記 n バッファ層 33 を挿入するようにした場合、および、たとえば図 23 に示すように、シ

10

20

30

40

50

ショットキー接合 3 5 を形成するとともに、上記 p バッファ層 3 4 を挿入するようにした場合には、いずれも、リカバリー時の損失の低減とノイズの低減とが可能となる。同様に、ショットキー接合 3 5 を形成するとともに、上記 n バッファ層 3 3 または上記 p バッファ層 3 4 を挿入するようにした MOSFET としては、トレンチ型構造のゲート電極を備える MOSFET にも適用することが可能である。

【 0 0 6 1 】

また、上記した実施形態（図 2 1 ~ 図 2 3 ）においては、いずれも、n 低抵抗層 1 1 a を形成するようにした場合を例に示したが、n 低抵抗層 1 1 a の形成を省略した MOSFET にも適用できる。

【 0 0 6 2 】

（第 4 の実施形態）

図 2 4 は、本発明の第 4 の実施形態にかかる縦型パワー MOSFET の構成例を示すものである。ここでは、スーパージャンクション構造を形成するようにした場合を例に示している。

【 0 0 6 3 】

図 2 4 において、第 1 の半導体層としての n - ドリフト層 1 1 の、その一方の表面部には、選択的に、第 2 の半導体層としての複数の p ベース層 1 2 が拡散により形成されている。各 p ベース層 1 2 は、たとえば素子の正面に直交する方向に、それぞれ、一定の間隔（ピッチ）を有して、ストライプ状に配置されている。また、上記各 p ベース層 1 2 の表面部には、選択的に、第 3 の半導体層としての n + ソース層 1 3 が拡散により形成されている。各 n + ソース層 1 3 は、上記各 p ベース層 1 2 に沿って、それぞれストライプ状に設けられている。

【 0 0 6 4 】

また、隣り合う 2 つの p ベース層 1 2 間の、上記 n - ドリフト層 1 1 の表面部には、選択的に、第 5 の半導体層としての p 層（ゲート下 p 層）1 4 が拡散により形成されている。この実施形態の場合、上記 p 層 1 4 は、上記 p ベース層 1 2 と接する上記 n - ドリフト層 1 1 の表面部に、上記 p ベース層 1 2 との界面に沿ってストライプ状に設けられている。そして、この p 層 1 4 は、隣接する 2 つの上記 p ベース層 1 2 のうちの、いずれか一方の p ベース層 1 2 に接続されている。また、上記 p 層 1 4 は、上記 p ベース層 1 2 よりも低い不純物濃度を有して形成されている。

【 0 0 6 5 】

上記 p ベース層 1 2 および上記 n + ソース層 1 3 の上部には、それぞれ、第 1 の主電極としてのストライプ状のソース電極 2 2 が設けられている。制御電極としてのゲート電極 2 4 は、上記ソース電極 2 2 の相互間に、それぞれ、ゲート絶縁膜（たとえば、シリコン（Si）酸化膜）2 3 を介して、ストライプ状に設けられている。つまり、プレーナ型構造のゲート電極 2 4 は、一方の上記 p ベース層 1 2 内の上記 n + ソース層 1 3 から、上記 p 層 1 4 および上記 n 低抵抗層 1 1 a を経て、他方の上記 p ベース層 1 2 内の上記 n + ソース層 1 3 に至る領域上に形成されている。上記ゲート絶縁膜 2 3 は、ほぼ一定の膜厚（たとえば、0 . 1 μm 程度）を有して形成されている。

【 0 0 6 6 】

そして、上記 n - ドリフト層 1 1 中には、上記各 p ベース層 1 2 に接続されて複数の p ピラー層（第 1 1 の半導体層）6 1 が形成されている。すなわち、各 p ピラー層 6 1 は、たとえば素子の正面に直交する方向に、それぞれ、一定の間隔（ピッチ）を有してストライプ状に配置されている。

【 0 0 6 7 】

また、上記 n - ドリフト層 1 1 の他方の表面（裏面）部には、第 4 の半導体層である n + ドレイン層 1 5 が形成されている。この n + ドレイン層 1 5 には、その全面に、第 2 の主電極としてのドレイン電極 2 1 が接続されている。

【 0 0 6 8 】

このような、n - ドリフト層 1 1 中に p ピラー層 6 1 を設けることによってスーパージャ

10

20

30

40

50

ンクシオン構造を形成するようにしてなるMOSFETにおいては、n - ドリフト層 1 1 の不純物濃度を増加させることが可能であり、低オン抵抗化を実現できる。しかも、p 層 1 4 の形成により、スイッチングノイズを低減することが可能である。

【0069】

なお、スーパージャンクシオン構造のパワーMOSFETとしては、上記した構成に限らず、たとえば図25に示すように、上記n - ドリフト層 1 1 上に複数のpピラー層 6 1 と複数のnピラー層（第12の半導体層）6 2 とが周期的に配置された、リサーフ構造のパワーMOSFETにも適用できる。

【0070】

また、n - ドリフト層 1 1 のほぼ全体をスーパージャンクシオン構造とする場合に限り、部分的にスーパージャンクシオン構造を形成するようにしたMOSFETにも適用することが可能である。

10

【0071】

また、スーパージャンクシオン構造の周期とMOSセルの周期とが一致する構成とした場合を例に示したが、異なる構成とすることもできる。

【0072】

また、スーパージャンクシオン構造を、ゲート電極と直交する方向に形成することも可能である。

【0073】

また、ブレナー型構造のゲート電極をストライプ状に配置した構造に限らず、たとえば、格子状または千鳥状に配置することもできる。もしくは、トレンチ型構造のゲート電極をストライプ状、格子状または千鳥状に配置してもよい。

20

【0074】

なお、スーパージャンクシオン構造を有するMOSFETとしては、たとえば特願2003 - 001494や特表2001 - 501042に開示されており、これら特願2003 - 001494や特表2001 - 501042に開示されている各構成のMOSFETにも同様に適用することが可能である。

【0075】

上述したように、各実施形態においては、第1導電型をn型、第2導電型をp型とした場合について説明した。これに限らず、いずれの実施形態の場合も、第1導電型をp型、第2導電型をn型とすることが可能である。

30

【0076】

また、各実施形態においては、いずれも、Siを用いた場合について説明した。これに限らず、たとえばシリコンカーバイド(SiC)や窒化ガリウム(GaN)または窒化アルミニウム(AlN)などの化合物半導体や、ダイヤモンドを用いる素子にも適用可能である。

【0077】

さらに、各実施形態としては、スーパージャンクシオン構造を有するMOSFETや、縦型のスイッチング素子に適用する場合に限らない。たとえば、横型MOSFETやIGBTなど、MOSもしくはMISゲート素子であれば、同様に実施することが可能である。

40

【0078】

その他、本発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも1つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも1つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0079】

【発明の効果】

50

以上、詳述したようにこの発明によれば、高速で、しかも、外部回路を用いることなしにスイッチングノイズを抑制することが可能な絶縁ゲート型半導体装置を提供できる。

【図面の簡単な説明】

【図１】 本発明の第１の実施形態にかかる縦型パワーＭＯＳＦＥＴの基本構成を、その一部を断面にして示す斜視図。

【図２】 図１の縦型パワーＭＯＳＦＥＴにおいて、ｐ層が形成される第２の電極部の幅を、ｐ層が形成されない第１の電極部の幅よりも広くした場合を例に示す斜視図。

【図３】 図１の縦型パワーＭＯＳＦＥＴにおいて、ｐ層が形成される第２の電極部の間隔を、ｐ層が形成されない第１の電極部の間隔よりも広くした場合を例に示す斜視図。

【図４】 図１の縦型パワーＭＯＳＦＥＴにおいて、ｐ層が形成されない第１の電極部の底部のゲート絶縁膜の膜厚を、その他の部分よりも厚くした場合を例に示す斜視図。 10

【図５】 図１の縦型パワーＭＯＳＦＥＴにおいて、ｐ層が形成される第２の電極部の底部までの長さを、ｐ層が形成されない第１の電極部の底部までの長さよりも長くした場合を例に示す斜視図。

【図６】 図１の縦型パワーＭＯＳＦＥＴにおいて、第２の電極部の底面および少なくとも一方の側面に沿ってのみ、ｐ層を形成するようにした場合を例に示す斜視図。

【図７】 図１の縦型パワーＭＯＳＦＥＴにおいて、第１の電極部に沿ってのみ、ｎ＋ソース層を形成するようにした場合を例に示す斜視図。

【図８】 本発明の第１の実施形態にかかり、ノンパンチスルー型構造のＩＧＢＴの構成の一部を断面にして示す斜視図。 20

【図９】 本発明の第１の実施形態にかかり、パンチスルー型構造のＩＧＢＴの構成の一部を断面にして示す斜視図。

【図１０】 本発明の第２の実施形態にかかる縦型パワーＭＯＳＦＥＴの基本構成を、その一部を断面にして示す斜視図。

【図１１】 図１０の縦型パワーＭＯＳＦＥＴにおいて、ゲート電極の底面の一部が露出するように、開口部を設けてｐ層を形成するようにした場合を例に示す断面図。

【図１２】 図１１の縦型パワーＭＯＳＦＥＴにおいて、ｐ層に設けられた開口部にｎ低抵抗層を形成するようにした場合を例に示す断面図。

【図１３】 図１０の縦型パワーＭＯＳＦＥＴにおいて、ゲート電極の底面および少なくとも一方の側面にだけ、ｐ層を形成するようにした場合を例に示す斜視図。 30

【図１４】 本発明の第２の実施形態にかかり、ゲート電極の底面のみにｐ層を形成するようにした縦型パワーＭＯＳＦＥＴの構成の一部を断面にして示す斜視図。

【図１５】 図１４の縦型パワーＭＯＳＦＥＴにおいて、構成の概略を示す平面図。

【図１６】 本発明の第２の実施形態にかかり、ノンパンチスルー型構造のＩＧＢＴの構成の一部を断面にして示す斜視図。

【図１７】 本発明の第２の実施形態にかかり、パンチスルー型構造のＩＧＢＴの構成の一部を断面にして示す斜視図。

【図１８】 本発明の第３の実施形態にかかり、プレナー型構造のゲート電極を有する縦型パワーＭＯＳＦＥＴに適用した場合を例に示す断面図。

【図１９】 本発明の第３の実施形態にかかり、トレンチ型構造のゲート電極を有する縦型パワーＭＯＳＦＥＴに適用した場合を例に示す断面図。 40

【図２０】 本発明の第３の実施形態にかかり、プレナー型構造のゲート電極を有する縦型パワーＭＯＳＦＥＴに適用した場合の、他の一例を示す断面図。

【図２１】 本発明の第３の実施形態にかかり、ショットキー接合を形成するようにした場合を例に示す縦型パワーＭＯＳＦＥＴの断面図。

【図２２】 図１８の縦型パワーＭＯＳＦＥＴにおいて、ショットキー接合を形成するようにした場合を例に示す断面図。

【図２３】 図２０の縦型パワーＭＯＳＦＥＴにおいて、ショットキー接合を形成するようにした場合を例に示す断面図。

【図２４】 本発明の第４の実施形態にかかり、スーパージャンクション構造を有するパ 50

ワーマOSFETに適用した場合を例に示す断面図。

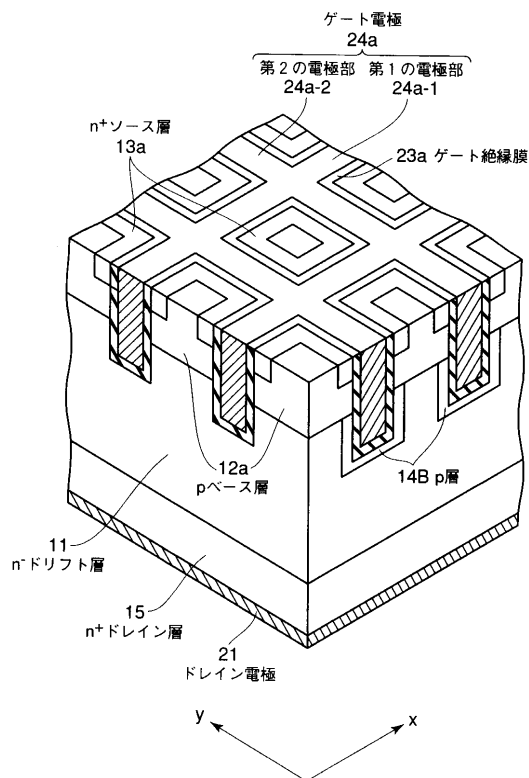
【図25】 本発明の第4の実施形態にかかり、スーパージャンクション構造（リサーフ構造）を有するワーマOSFETに適用した場合を例に示す断面図。

【符号の説明】

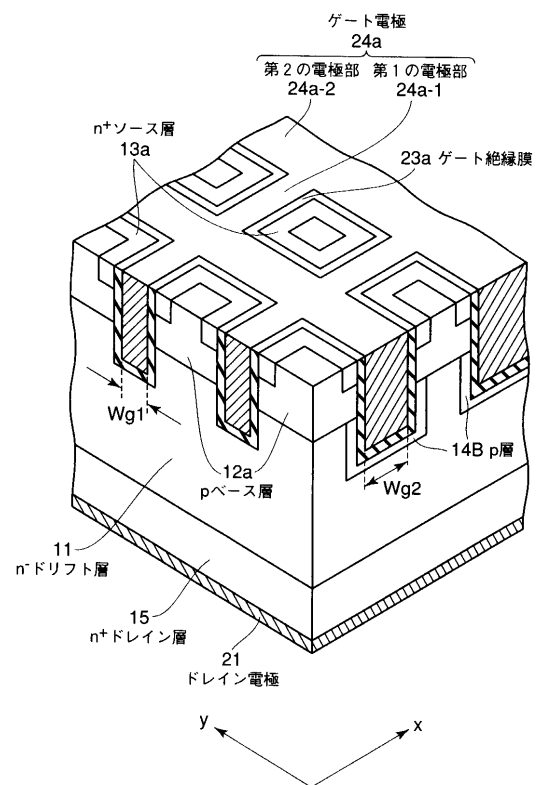
11...n-ドリフト層、11a, 11a'...n低抵抗層、12, 12a...pベース層、12b...pベース接続層、13, 13a...n+ソース層、14, 14B, 14B'...p層、14B-1...開口部、15...n+ドレイン層、21...ドレイン電極、22...ソース電極、23, 23a...ゲート絶縁膜、24...ゲート電極（プレーナ型構造）、24a...ゲート電極（トレンチ型構造）、24a-1...第1の電極部、24a-2...第2の電極部、24-1...トレンチ、31...p+ドレイン層、32...n+バッファ層、33...nバッファ層、34...pバッファ層、35...ショットキー接合、61...pピラー層、62...nピラー層。

10

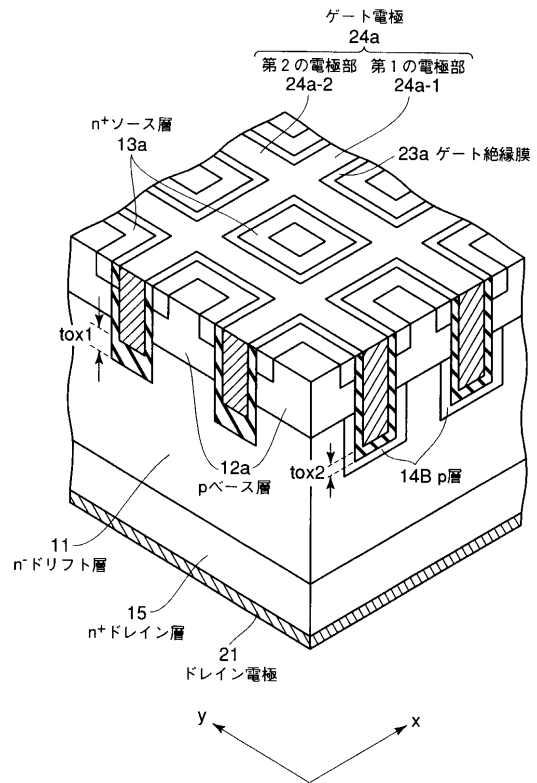
【図1】



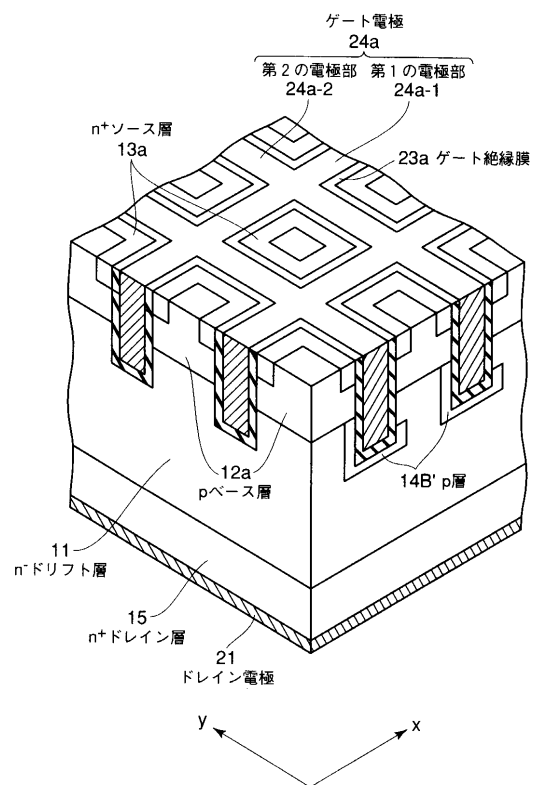
【図2】



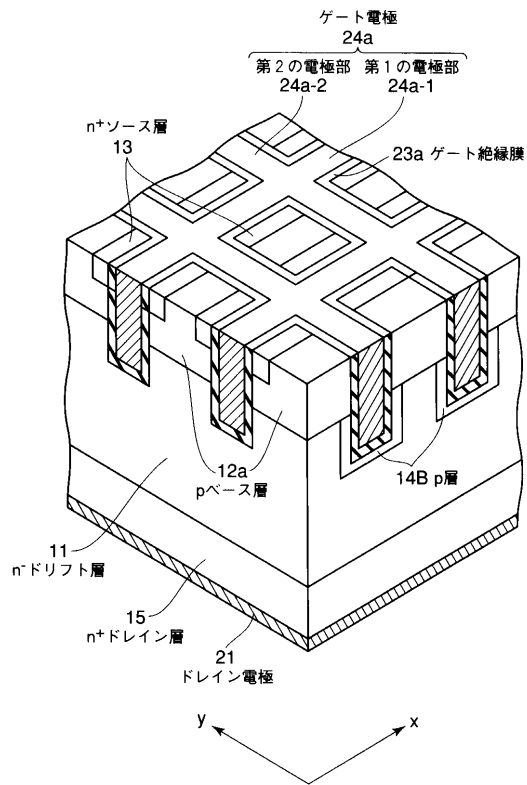
【 図 4 】



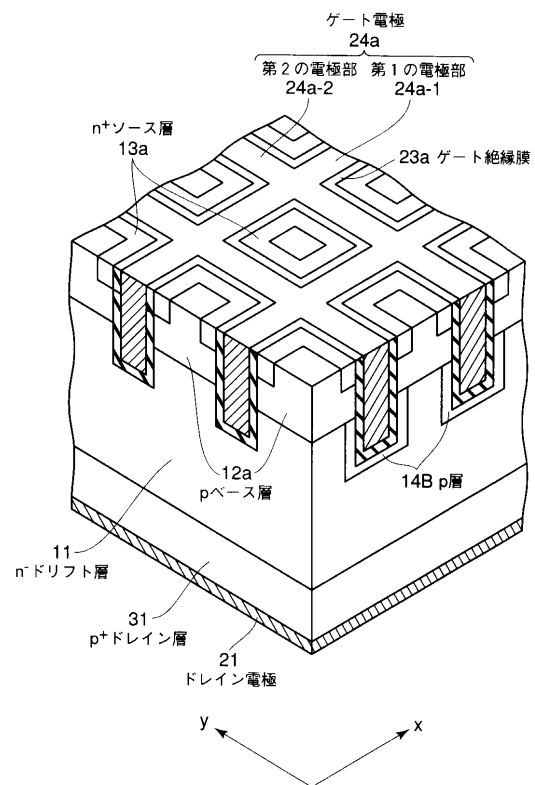
【 図 6 】



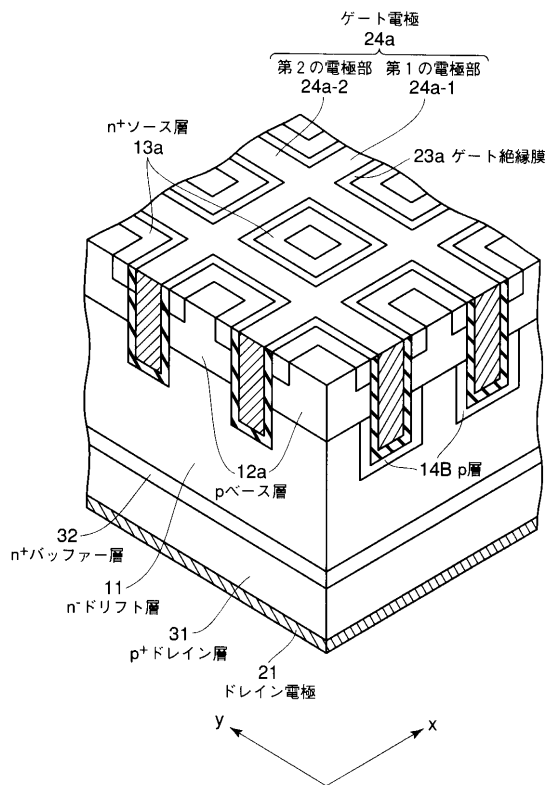
【図 7】



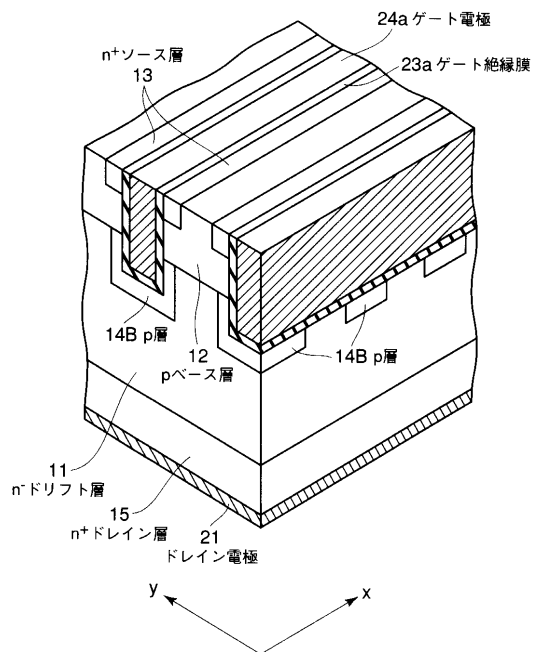
【図 8】



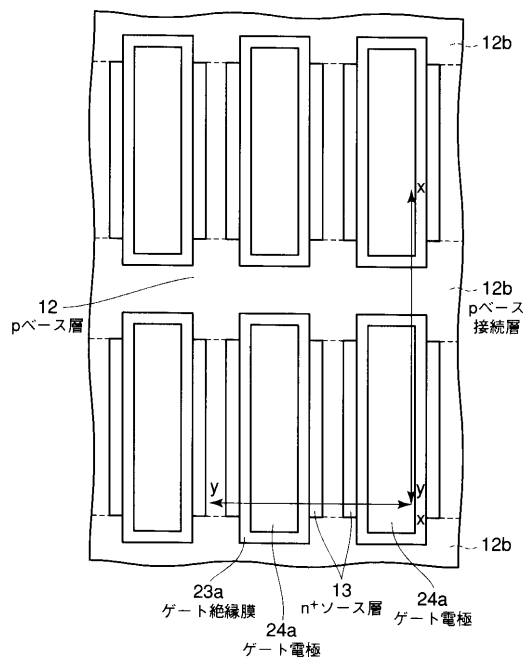
【図 9】



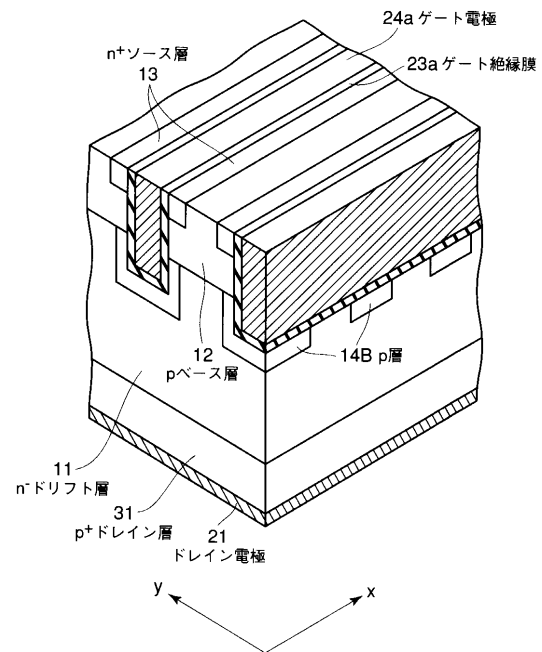
【図 10】



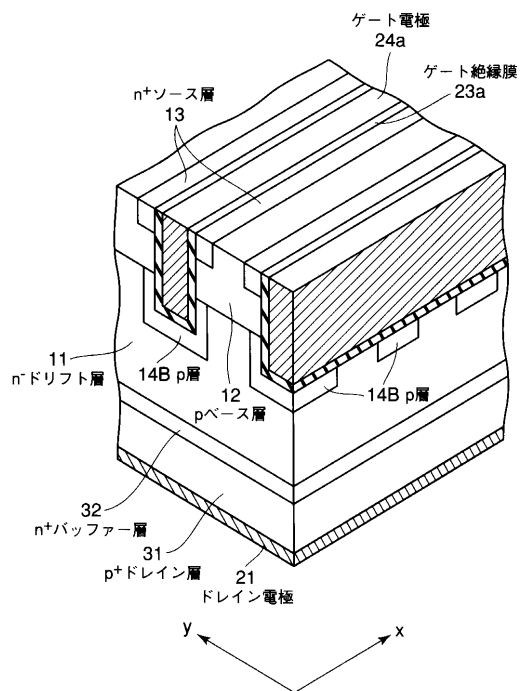
【図 15】



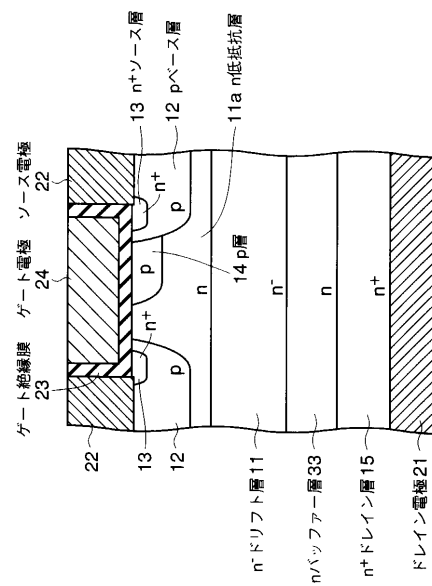
【図 16】



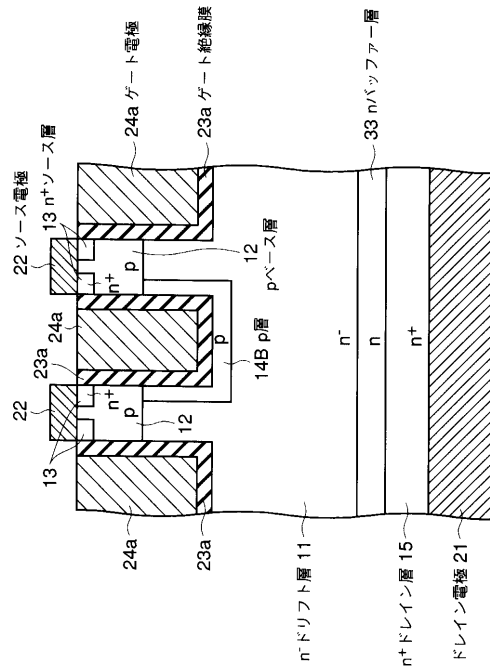
【図 17】



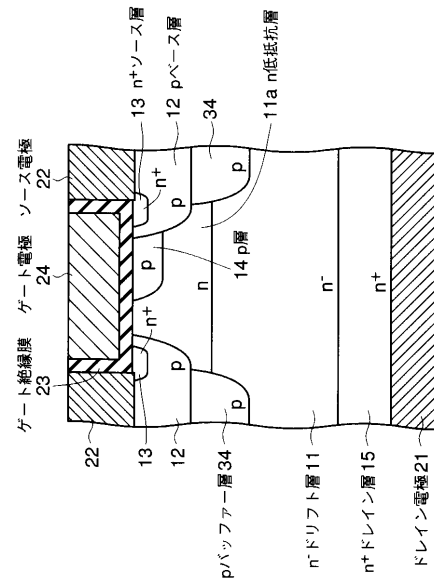
【図 18】



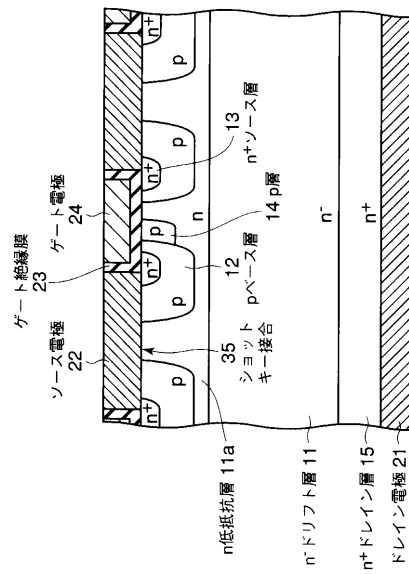
【図 19】



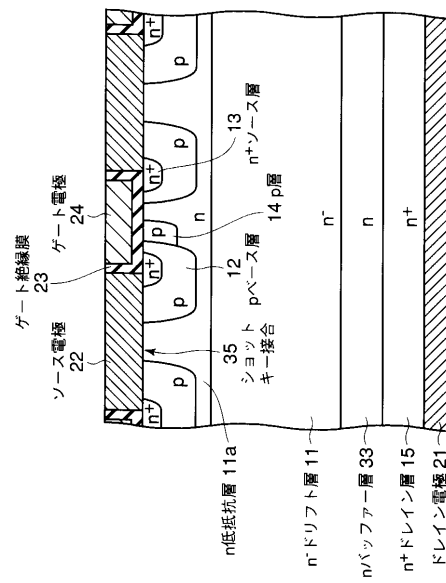
【図 20】



【図 21】



【図 22】



フロントページの続き

(51) Int.Cl.

F I

H 0 1 L 29/78 6 5 4 Z

H 0 1 L 29/78 6 5 5 A

(72)発明者 齋藤 渉

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 相田 聡

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 小野田 誠

(56)参考文献 特開2001-127285(JP,A)

特開昭64-082567(JP,A)

特開平09-213939(JP,A)

特開平01-220475(JP,A)

特開2002-280555(JP,A)

特開2000-299464(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 29/739