

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-16568

(P2009-16568A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.		F I		テーマコード (参考)
H 0 1 L 21/82 (2006.01)		H 0 1 L 21/82	F	5 B 0 1 5
G 1 1 C 29/04 (2006.01)		H 0 1 L 21/82	R	5 F 0 6 4
G 1 1 C 11/413 (2006.01)		G 1 1 C 29/00	6 0 3 J	5 L 1 0 6
		G 1 1 C 11/34	3 4 1 C	

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号	特願2007-176550 (P2007-176550)	(71) 出願人	000003078
(22) 出願日	平成19年7月4日(2007.7.4)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(71) 出願人	301063496
			東芝ソリューション株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

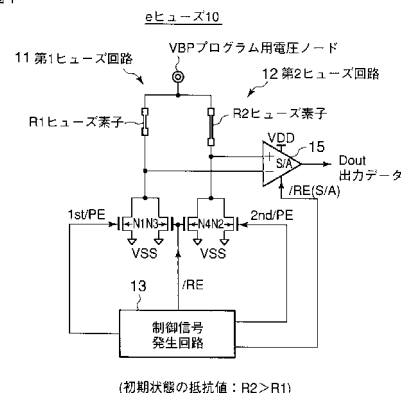
(57) 【要約】

【課題】同一ビットに対して再プログラムをすることができ、利便性を向上できる半導体集積回路装置を提供する。

【解決手段】半導体集積回路装置は、第1ヒューズ回路11と、第2ヒューズ回路12と、第1制御信号1st/PEを送信して前記第1ヒューズ回路11の抵抗値が前記第2ヒューズ回路12の抵抗値よりも大きくなるようにプログラムし、第2制御信号2nd/PEを送信して前記第2ヒューズ回路12の抵抗値が前記第1ヒューズ回路11の抵抗値よりも大きくなるように再プログラムする制御信号発生回路13とを具備する。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

第 1 ヒューズ素子と電流経路の一端が前記第 1 ヒューズ素子の一端に接続された第 1 書き込み用トランジスタとを備えた第 1 ヒューズ回路と、

第 2 ヒューズ素子と電流経路の一端が前記第 2 ヒューズ素子の一端に接続された第 2 書き込み用トランジスタとを備え、前記第 2 ヒューズ素子の抵抗値が前記第 1 ヒューズ素子の抵抗値よりも大きいことにより前記第 1 ヒューズ回路よりも抵抗値が大きい第 2 ヒューズ回路と、

前記第 1 書き込み用トランジスタの制御端子に第 1 制御信号を送信して前記第 1 ヒューズ回路の抵抗値が前記第 2 ヒューズ回路の抵抗値よりも大きくなるようにプログラムし、前記第 2 書き込み用トランジスタの制御端子に第 2 制御信号を送信して前記第 2 ヒューズ回路の抵抗値が前記第 1 ヒューズ回路の抵抗値よりも大きくなるように再プログラムする制御信号発生回路とを具備すること

を特徴とする半導体集積回路装置。

【請求項 2】

前記第 1 ヒューズ回路は、電流経路の一端が前記第 1 ヒューズ素子の一端に接続された第 1 読み出し用トランジスタを更に備え、

前記第 2 ヒューズ回路は、電流経路の一端が前記第 2 ヒューズ素子の一端に接続され制御端子が前記第 1 読み出し用トランジスタの制御端子に接続された第 2 読み出し用トランジスタを更に備え、

前記制御信号発生回路は、前記第 1、第 2 読み出し用トランジスタの制御端子に読み出し制御信号を送信すること

を特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

第 1 ヒューズ素子と電流経路の一端が前記第 1 ヒューズ素子の一端に接続された第 1 読み出し用トランジスタとを備えた第 1 ヒューズ回路と、

第 2 ヒューズ素子と電流経路の一端が前記第 2 ヒューズ素子の一端に接続された第 2 読み出し用トランジスタとを備え、前記第 2 読み出し用トランジスタのオン抵抗が前記第 1 読み出し用トランジスタのオン抵抗よりも大きいことにより前記第 1 ヒューズ回路よりも抵抗値が大きい第 2 ヒューズ回路と、

前記第 1 ヒューズ回路に第 1 制御信号を送信して前記第 1 ヒューズ回路の抵抗値が前記第 2 ヒューズ回路の抵抗値よりも大きくなるようにプログラムし、前記第 2 ヒューズ回路に第 2 制御信号を送信して前記第 2 ヒューズ回路の抵抗値が前記第 1 ヒューズ回路の抵抗値よりも大きくなるように再プログラムする制御信号発生回路とを具備すること

を特徴とする半導体集積回路装置。

【請求項 4】

前記第 1 ヒューズ回路は、電流経路の一端が前記第 1 ヒューズ素子の一端に接続された第 1 書き込み用トランジスタを更に備え、

前記第 2 ヒューズ回路は、電流経路の一端が前記第 2 ヒューズ素子の一端に接続された第 2 書き込み用トランジスタを更に備え、

前記制御信号発生回路は、

前記第 1 書き込み用トランジスタの制御端子に前記第 1 制御信号を送信して電流経路を導通させ、前記第 1 ヒューズ素子にプログラム電圧を印加して、前記プログラムを行い、

前記第 2 書き込み用トランジスタの制御端子に前記第 2 制御信号を送信して電流経路を導通させ、前記第 2 ヒューズ素子にプログラム電圧を印加して、前記再プログラムを行うこと

を特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】

前記第 1、第 2 ヒューズ素子は、溶断型ヒューズ素子であって、ポリシリコン、または金属を含んで形成されること

10

20

30

40

50

を特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体集積回路装置に関し、例えば、ヒューズボックスを備えた S R A M 等に適用されるものである。

【背景技術】

【0002】

従来より、例えば、e ヒューズ等の溶断型ヒューズ素子を用い、上記ヒューズ素子に電流を流してヒューズ素子を破壊し、データをプログラムする半導体集積回路装置がある（例えば、特許文献 1 乃至 3 参照）。例えば、ヒューズ素子を溶断することにより、プログラム後のヒューズ素子の抵抗値が、プログラム前のヒューズ素子よりも 1 桁程度増加させる。

10

【0003】

しかし、上記溶断型ヒューズ素子を用いた場合、1 度プログラムを行うとヒューズ素子が破壊されるため、そのビットを書き直すことができない。そのため、書き直しが必要となる場合には、異なるビットであるヒューズ素子を別途用意し、その異なるヒューズ素子に書き込む必要があった。

【0004】

上記のように、従来の半導体集積回路装置は、同一ビットに対して再プログラムをすることができず、利便性が低減するという問題があった。

20

【特許文献 1】特開平 9-7385 号公報

【特許文献 2】特開 2003-318275 号公報

【特許文献 3】特開 2001-118996 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

この発明は、同一ビットに対して再プログラムをすることができ、利便性を向上できる半導体集積回路装置を提供する。

【課題を解決するための手段】

30

【0006】

この発明の一態様によれば、第 1 ヒューズ素子と電流経路の一端が前記第 1 ヒューズ素子の一端に接続された第 1 書き込み用トランジスタとを備えた第 1 ヒューズ回路と、第 2 ヒューズ素子と電流経路の一端が前記第 2 ヒューズ素子の一端に接続された第 2 書き込み用トランジスタとを備え、前記第 2 ヒューズ素子の抵抗値が前記第 1 ヒューズ素子の抵抗値よりも大きいことにより前記第 1 ヒューズ回路よりも抵抗値が大きい第 2 ヒューズ回路と、前記第 1 書き込み用トランジスタの制御端子に第 1 制御信号を送信して前記第 1 ヒューズ回路の抵抗値が前記第 2 ヒューズ回路の抵抗値よりも大きくなるようにプログラムし、前記第 2 書き込み用トランジスタの制御端子に第 2 制御信号を送信して前記第 2 ヒューズ回路の抵抗値が前記第 1 ヒューズ回路の抵抗値よりも大きくなるように再プログラムする制御信号発生回路とを具備する半導体集積回路装置を提供できる。

40

【0007】

この発明の一態様によれば、第 1 ヒューズ素子と電流経路の一端が前記第 1 ヒューズ素子の一端に接続された第 1 読み出し用トランジスタとを備えた第 1 ヒューズ回路と、第 2 ヒューズ素子と電流経路の一端が前記第 2 ヒューズ素子の一端に接続された第 2 読み出し用トランジスタとを備え、前記第 2 読み出し用トランジスタのオン抵抗が前記第 1 読み出し用トランジスタのオン抵抗よりも大きいことにより前記第 1 ヒューズ回路よりも抵抗値が大きい第 2 ヒューズ回路と、前記第 1 ヒューズ回路に第 1 制御信号を送信して前記第 1 ヒューズ回路の抵抗値が前記第 2 ヒューズ回路の抵抗値よりも大きくなるようにプログラムし、前記第 2 ヒューズ回路に第 2 制御信号を送信して前記第 2 ヒューズ回路の抵抗値が

50

前記第1ヒューズ回路の抵抗値よりも大きくなるように再プログラムする制御信号発生回路とを具備する半導体集積回路装置を提供できる。

【発明の効果】

【0008】

この発明によれば、同一ビットに対して再プログラムをすることができ、利便性を向上できる半導体集積回路装置が得られる。

【発明を実施するための最良の形態】

【0009】

以下、この発明の実施形態について図面を参照して説明する。尚、この説明においては、全図にわたり共通の部分には共通の参照符号を付す。

【0010】

[第1の実施形態（ヒューズ素子の抵抗値に大小関係がある一例）]

まず、図1および図2を用いて、この発明の第1の実施形態に係る半導体集積回路装置の構成について説明する。この実施形態は、2つのヒューズ素子の抵抗値に大小関係がある一例に関するものである。本例では、ヒューズ素子の一例として、ヒューズ素子を溶断することにより、電氣的にプログラムが可能なeヒューズ（eFuse）を挙げて以下説明する。

【0011】

<1. 構成例>

図示するように、本例に係るeヒューズ10は、第1ヒューズ回路11、第2ヒューズ回路12、センスアンプ15、および制御信号発生回路13により構成されている。

【0012】

第1ヒューズ回路11は、第1ヒューズ素子R1、第1書き込み用トランジスタN1、第1読み出し用トランジスタN3を備えている。第1ヒューズ素子R1は、一端がプログラム用電圧ノードVBPに接続されている。第1書き込み用トランジスタN1のソースは内部電源電圧VSSに接続され、ドレインは第1ヒューズ素子R1の他端に接続され、ゲートには第1制御信号1st/PEが入力される。第1読み出し用トランジスタN3のソースは内部電源電圧VSSに接続され、ドレインは第1ヒューズ素子R1の他端に接続され、ゲートには読み出し制御信号/REが入力される。

【0013】

第2ヒューズ回路12は、第2ヒューズ素子R2、第2書き込み用トランジスタN2、第2読み出し用トランジスタN4を備えている。第2ヒューズ素子R2は、一端がプログラム用電圧ノードVBPに接続されている。第2書き込み用トランジスタN2のソースは内部電源電圧VSSに接続され、ドレインは第2ヒューズ素子R2の他端に接続され、ゲートには第2制御信号2nd/PEが入力される。第2読み出し用トランジスタN4のソースは内部電源電圧VSSに接続され、ドレインは第2ヒューズ素子R2の他端に接続され、ゲートには読み出し制御信号/REが入力される。

【0014】

また、本例の場合、第2ヒューズ素子R2の長さが、第1ヒューズ素子R1の長さよりも長くなるように設けられている。一方、読み出しトランジスタN3、N4のWサイズ（ゲート幅のサイズ）比は、同程度である（Wサイズ比＝1：1）。そのため、初期状態において、第2ヒューズ素子R2の抵抗値が第1ヒューズ素子R1の抵抗値よりも大きいこと（初期状態の抵抗値： $R1 > R2$ ）により、第2ヒューズ回路12の抵抗値は、第1ヒューズ回路11の抵抗値よりも大きい。また、上記第1、第2ヒューズ素子R1、R2は、その両端に高電圧を印加することにより溶断してプログラム可能な溶断型ヒューズ素子であって、例えば、ポリシリコン、または銅（Cu）やアルミニウム（Al）等の金属により形成されている。

【0015】

センスアンプ15は、第1入力（正側入力）が第1ヒューズ素子R1の他端に接続され、第2入力（負側入力）が第2ヒューズ素子R2の他端に接続され、制御端子に内部

10

20

30

40

50

電源電圧VCCに接続され、“0”または“1”データの出力データDoutを出力する。
上記回路構成により、センスアンプ15は、ヒューズ素子R1、R2の電圧差を読み出し、“1”、“0”の判定を行う。

【0016】

制御信号発生回路13は、第1、第2制御信号1st/PE、2nd/PE、読み出し制御信号/RE、およびセンスアンプ用読み出し制御信号/RE(S/A)を発生するように構成されている。ここで、本例の場合、第1、第2制御信号はプログラムイネーブル信号/PE（“/”は否定の意）であり、読み出し制御信号はリードイネーブル信号/REである。

【0017】

後述するように、制御信号発生回路13は、第1書き込み用トランジスタN1のゲートに第1制御信号1st/PEを送信して、第1ヒューズ素子R1を溶断し、第1ヒューズ回路11の抵抗値が第2ヒューズ回路12の抵抗値よりも大きくなるようにプログラムするように制御する。さらに、制御信号発生回路13は、第2書き込み用トランジスタN2のゲートに第2制御信号2nd/PEを送信して、第2ヒューズR2を溶断し、第2ヒューズ回路12の抵抗値が第1ヒューズ回路11の抵抗値よりも大きくなるように再プログラムするように制御する。

【0018】

そのため、図2に示すように、第1ヒューズ素子R1をプログラム（1stプログラム）した後であっても、プログラム電圧を第2ヒューズ素子R2に再度印加することで、第2ヒューズ素子R2を再プログラム（2ndプログラム）することができる。従って、第1、第2ヒューズ回路11、12の抵抗値の大小関係を2回反転することにより、出力データDoutを再反転（“0”→“1”、“1”→“0”）することができる。換言すれば、2本の電氣的にプログラムできる第1、第2ヒューズ素子R1、R2を用い、プログラムモード（中抵抗（1stプログラム）、高抵抗（2ndプログラム））を使い分け、2回までデータを書き込むことができる。このように、上記構成によれば、同一ビットであるeヒューズ10に対して再プログラムをすることができる。

【0019】

<2. 読み出し動作（初期状態）>

次に、図3を用いて、本例に係る初期状態におけるeヒューズ10の読み出し動作について説明する。図示するように、初期状態において、第2ヒューズ素子R2の抵抗値は、第1ヒューズ素子R1の抵抗値よりも大きくなるように設けられている（抵抗値：R2>R1）。例えば、初期状態において、第1ヒューズ素子R1の抵抗値は100Ω程度であり、第2ヒューズ素子R2の抵抗値は200Ω程度である。一方、読み出しトランジスタN3、N4のWサイズ比は、同程度である（Wサイズ比=1:1）。そのため、初期状態において、第2ヒューズ回路12の抵抗値は、第1ヒューズ回路11の抵抗値よりも大きい。

【0020】

まず、制御信号発生回路13は、読み出し用トランジスタN3、N4のゲートに、読み出し制御信号/REを出力し、読み出し用トランジスタN3、N4をオンさせる。

【0021】

続いて、第1、第2ヒューズ素子R1、R2の両端に読み出し電流IR1、IR2を流し、この読み出し電流IR1、IR2をセンスアンプ15に入力させる。

【0022】

続いて、センスアンプ15は、入力された読み出し電流IR1、IR2から、ヒューズ素子R1、R2の電圧差を読み出し、例えば、“0”データの出力データDoutを出力する。

【0023】

<3. プログラム動作>

次に、図4および図5を用いて、本例に係る初期状態におけるeヒューズ10のプログラム動作について説明する。

【0024】

< 3-1. 第1プログラム (1stプログラム) 動作 >

まず、第1プログラム (1stプログラム) 動作について、図4を用いて説明する。

図示するように、まず、制御信号発生回路13は、第1書き込み用トランジスタN1のゲートに第1制御信号1st/PEを送信して、第1書き込み用トランジスタN1をオンとする。

【0025】

続いて、プログラム用電圧ノードVBPにプログラム電圧を印加し、第1ヒューズ素子R1の両端にプログラム電圧を印加してプログラム電流Ipgm1を流すことにより、第1ヒューズ素子R1を溶断する。そのため、この1stプログラム時において、第2ヒューズ素子R2の抵抗値は、第1ヒューズ素子R1の抵抗値よりも小さくなる (抵抗値: $R2 < R1$)。例えば、この1stプログラム時において、プログラムされた第1ヒューズ素子R1の抵抗値は、数kΩ程度である。このように、制御回路13は、1stプログラム時において、第1ヒューズ回路11の抵抗値が、第2ヒューズ回路12の抵抗値よりも大きくなるようにプログラムする。

10

【0026】

続いて、センスアンプ15は、上記読み出し動作と同様に、読み出し電流IR1, IR2から、ヒューズ素子R1, R2の電圧差を読み出し、初期状態から反転された“1”データの出力データDoutを出力する。

【0027】

< 3-2. 第2プログラム (2ndプログラム) 動作 >

20

続いて、第2プログラム (2ndプログラム) 動作について、図5を用いて説明する。

図示するように、まず、制御信号発生回路13は、第2書き込み用トランジスタN2のゲートに第2制御信号2nd/PEを送信して、第2書き込み用トランジスタN2をオンとする。

【0028】

続いて、プログラム用電圧ノードVBPにプログラム電圧を印加し、第2ヒューズ素子R2の両端にプログラム電圧を印加してプログラム電流Ipgm2を流すことにより、第2ヒューズ素子R2を溶断する。そのため、この2ndプログラム時において、第2ヒューズ素子R2の抵抗値は、第1ヒューズ素子R1の抵抗値よりも再び大きくなる (抵抗値: $R2 > R1$)。例えば、この2ndプログラム時において、プログラムされた第2ヒューズ素子R2の抵抗値は、数十kΩ程度である。このように、制御回路13は、2ndプログラム時において、第2ヒューズ回路12の抵抗値が、第1ヒューズ回路11の抵抗値よりも大きくなるように再プログラムすることができる。

30

【0029】

続いて、センスアンプ15は、上記読み出し動作と同様に、読み出し電流IR1, IR2から、ヒューズ素子R1, R2の電圧差を読み出し、1stプログラム時から反転された“0”データの出力データDoutを出力する。

【0030】

< 4. この実施形態に係る効果 >

この実施形態に係る半導体集積回路装置によれば、少なくとも下記(1)乃至(2)の効果を得られる。

40

(1) 同一ビットに対して再プログラムをすることができ、利便性を向上できる。

上記のように、制御信号発生回路13は、第1書き込み用トランジスタN1のゲートに第1制御信号1st/PEを送信して、第1ヒューズ素子R1を溶断し、第1ヒューズ回路11の抵抗値が第2ヒューズ回路12の抵抗値よりも大きくなるようにプログラムするように制御する。さらに、制御信号発生回路13は、第2書き込み用トランジスタN2のゲートに第2制御信号2nd/PEを送信して、第2ヒューズR2を溶断し、第2ヒューズ回路12の抵抗値が第1ヒューズ回路11の抵抗値よりも大きくなるように再プログラムするよう制御することができる。

【0031】

50

そのため、図2に示すように、第1ヒューズ素子R1をプログラム(1stプログラム)した後であっても、プログラム電圧を第2ヒューズ素子R2に印加することで第2ヒューズ素子R2を再プログラム(2ndプログラム)することができる。従って、第1、第2ヒューズ素子R1、R2の抵抗値の大小関係を2回反転することにより、出力データDoutを再反転(“0”→“1”, “1”→“0”)することができる。換言すれば、2本の電氣的にプログラムできる第1、第2ヒューズ素子R1、R2を用い、プログラムモード(中抵抗(1stプログラム)、高抵抗(2ndプログラム))を使い分け、2回までデータを書き込むことができる。

【0032】

このように、上記構成によれば、同一ビットであるeヒューズ10に対して再プログラムをすることができ、利便性を向上することができる。

10

【0033】

例えば、後述する第3の実施形態のように、本例に係るeヒューズ10が、SRAM(Static Random Access Memory)の冗長メモリとして適用された場合を想定する。この場合、ウェハテストにおいて1度リダンダンシを行った(eヒューズ10に対し1度プログラムを行った)場合であっても、最終テストにおいて発見された不良セルに対して再びリダンダンシを行う(同一のeヒューズ10(同一のビット)に対し再プログラムを行う)ことが可能であるため、SRAMの歩留りを向上できる。

【0034】

(2) 製造コストの低減に対して有利である。

20

【0035】

上記のように、第1、第2ヒューズ回路11、12は、ヒューズ素子R1、R2の長さを除き、プログラム用電圧ノードVBPと読み出し制御信号/REが入力されるノードを結ぶ結線において、鏡対象構造である。そのため、トランジスタN1~N4を製造する際のフォトリソマスクの枚数を低減でき、第1、第2ヒューズ回路11、12の製造コストを低減できる。このように、本例によれば、製造コストの低減に対して有利である。

【0036】

[第2の実施形態(読み出し用トランジスタのオン抵抗値に大小関係がある一例)]

次に、第2の実施形態に係る半導体記憶装置について、図6乃至図10を用いて説明する。この実施形態は、読み出し用トランジスタN3、N4のオン抵抗値に大小関係がある場合の一例に関するものである。この説明において、上記第1の実施形態と重複する部分の詳細な説明を省略する。

30

【0037】

<構成例>

本例の構成について、図6および図7を用いて説明する。図示するように、本例に係るeヒューズ10は、以下の点で上記第1の実施形態と相違している。

【0038】

まず、本例の場合、読み出しトランジスタN3、N4のWサイズ比が、2:1(Wサイズ比)となるように設けられている。そのため、第2読み出しトランジスタN4のオン抵抗は、第1読み出しトランジスタN3のオン抵抗よりも大きくなるように設けられている。一方、第1、第2ヒューズ素子R1、R2の長さはほぼ同程度であるため、初期状態のヒューズ素子R1、R2の抵抗値はほぼ等しい(抵抗値:R1~R2)。

40

【0039】

そのため、初期状態において、第2読み出しトランジスタN4のオン抵抗が第1読み出しトランジスタN3のオン抵抗よりも大きいことにより、第2ヒューズ回路12の抵抗値が、第1ヒューズ回路11の抵抗値よりも大きくなるように設けられている。

【0040】

このように、本例の構成は、第1、第2ヒューズ素子R1、R2のヒューズサイズは同程度のサイズである一方、読み出しトランジスタN3、N4のディメンジョン(Wサイズ比)をアンバランスとすることによって、センスアンプ15に入力する電圧差を発生させ

50

る点で、上記第 1 の実施形態と相違している。

【0041】

＜読み出し動作（初期状態）＞

次に、図 8 を用いて、本例に係る初期状態における e ヒューズ 10 の読み出し動作について説明する。図示するように、初期状態において、読み出しトランジスタ N 3、N 4 の W サイズ比が、2 : 1（W サイズ比）となるように設けられている。一方、第 1、第 2 ヒューズ素子 R 1、R 2 の長さはほぼ同程度であるため、初期状態のヒューズ素子 R 1、R 2 の抵抗値はほぼ等しい（抵抗値：R 1 ~ R 2）。そのため、初期状態において、第 2 ヒューズ回路 1 2 の抵抗値は、第 1 ヒューズ回路 1 1 の抵抗値よりも大きい。

【0042】

まず、制御信号発生回路 1 3 は、読み出し用トランジスタ N 3、N 4 のゲートに、読み出し制御信号/RE を出力し、読み出し用トランジスタ N 3、N 4 をオンさせる。

【0043】

続いて、第 1、第 2 ヒューズ素子 R 1、R 2 の両端に読み出し電流 I R1、I R2 を流し、この読み出し電流 I R1、I R2 をセンスアンプ 1 5 に入力させる。

【0044】

続いて、センスアンプ 1 5 は、入力された読み出し電流 I R1、I R2 から、第 1、第 2 ヒューズ回路 1 1、1 2 の電圧差を読み出し、例えば、“1” データの出力データ Dout を出力する。

【0045】

＜プログラム動作＞

次に、図 9 および図 10 を用いて、本例に係る初期状態における e ヒューズ 10 のプログラム動作について説明する。

【0046】

＜第 1 プログラム（1st プログラム）動作＞

まず、第 1 プログラム（1st プログラム）動作について、図 9 を用いて説明する。

図示するように、まず、制御信号発生回路 1 3 は、第 1 書き込み用トランジスタ N 1 のゲートに第 1 制御信号 1st/PE を送信して、第 1 書き込み用トランジスタ N 1 をオンとする。

【0047】

続いて、プログラム用電圧ノード VBP にプログラム電圧を印加し、第 1 ヒューズ素子 R 1 の両端にプログラム電圧を印加してプログラム電流 I pgm1 を流し、第 1 ヒューズ素子 R 1 を溶断する。そのため、この 1st プログラム時において、第 2 ヒューズ素子 R 2 の抵抗値は、第 1 ヒューズ素子 R 1 の抵抗値よりも小さくなる（抵抗値：R 2 < R 1）。例えば、この 1st プログラム時において、プログラムされた第 1 ヒューズ素子 R 1 の抵抗値は、数 k Ω 程度である。一方、読み出しトランジスタ N 3、N 4 の W サイズ比は、上記初期状態と同様の 2 : 1 である。そのため、制御回路 1 3 は、1st プログラム時において、第 1 ヒューズ回路 1 1 の抵抗値が、第 2 ヒューズ回路 1 2 の抵抗値よりも大きくなるようにプログラムすることができる。

【0048】

続いて、センスアンプ 1 5 は、上記と同様に、読み出し電流 I R1、I R2 から、ヒューズ素子 R 1、R 2 の電圧差を読み出し、初期状態から反転された“0”データの出力データ Dout を出力する。

【0049】

＜第 2 プログラム（2nd プログラム）動作＞

続いて、第 2 プログラム（2nd プログラム）動作について、図 10 を用いて説明する。

図示するように、まず、制御信号発生回路 1 3 は、第 2 書き込み用トランジスタ N 2 のゲートに第 2 制御信号 2nd/PE を送信して、第 2 書き込み用トランジスタ N 2 をオンとする。

10

20

30

40

50

【0050】

続いて、プログラム用電圧ノードVBPにプログラム電圧を印加し、第2ヒューズ素子R2の両端にプログラム電圧を印加してプログラム電流Ipgm2を流し、第2ヒューズ素子R2を溶断する。そのため、この2ndプログラム時において、第2ヒューズ素子R2の抵抗値は、第1ヒューズ素子R1の抵抗値よりも再び大きくなる（抵抗値： $R2 > R1$ ）。例えば、この2ndプログラム時において、プログラムされた第2ヒューズ素子R2の抵抗値は、数十kΩ程度である。一方、読み出しトランジスタN3、N4のWサイズ比は、上記初期状態と同様の2：1である。そのため、制御回路13は、2ndプログラム時において、第2ヒューズ回路12の抵抗値が、第1ヒューズ回路11の抵抗値よりも大きくなるように再プログラムすることができる。

10

【0051】

続いて、センスアンプ15は、上記読み出し動作と同様に、読み出し電流IR1、IR2から、第1、第2ヒューズ回路11、12の電圧差を読み出し、1stプログラム時から反転された“1”データの出力データDoutを出力する。

【0052】

＜この実施形態に係る効果＞

この実施形態に係る半導体集積回路装置によれば、少なくとも上記（1）乃至（2）の効果が得られる。さらに、必要に応じ、本例のような構成を適用することが可能である。

【0053】

〔第3の実施形態（SRAMの冗長メモリに適用した一例）〕

20

次に、第3の実施形態に係る半導体記憶装置について、図11乃至図15を用いて説明する。この実施形態は、上記第1の実施形態において説明したeヒューズ10をSRAM（Static Random Access Memory）の冗長メモリに適用し、リダンダンシシステムとして構成した一例に関するものである。この説明において、上記第1の実施形態と重複する部分の詳細な説明を省略する。

【0054】

＜リダンダンシシステム全体構成例＞

リダンダンシシステム全体構成例について、図11を用いて説明する。図示するように、本例に係るSRAMは、メモリセルアレイ27、ヒューズボックス（Fuse Box）21、ヒューズ（Fuse）データ展開回路22、およびロウデコーダ25により構成されている。

30

【0055】

メモリセルアレイ27は、マトリクス状に配置された複数のSRAMセル1～SRAMセルnを備えている。

【0056】

ヒューズボックス21は、冗長メモリとして複数のeヒューズ<1>～eヒューズ<n>を備えている。図12に示すように、本例では、eヒューズ<1>～eヒューズ<n>のそれぞれは、上記第1の実施形態において説明したeヒューズ10である。

【0057】

eヒューズ<1>～eヒューズ<n>のそれぞれは、SRAMセル1～SRAMセルnの不良アドレスとして“0”または“1”を保持している。これらの保持されたデータ（Dout）は、ヒューズボックス21の出力シリアルデータSOとして、Fuseデータ展開回路22に出力される。

40

【0058】

Fuseデータ展開回路22は、入力されたヒューズボックスの出力シリアルデータSOに所定のデータ展開を行い、ロウデコーダ25にデータをシリアルに出力する。所定のデータ展開とは、次のようなことをいう。即ち、Fuseデータ展開回路22は、入力されたシリアルデータSOが“0”データの場合は、“0”データを4ビット（bit）（“0000”）ロウデコーダ25にデータを出力する。例えば、eヒューズ<1>に保持された“0”データがシリアルデータSOとしてFuseデータ展開回路22に入力された場合を一例に挙げる。この場合、Fuseデータ展開回路22は、入力されたシリアルデータSOが“0”

50

データであるため、“0”データを4ビット（“0000”）ロウデコーダ25に出力する。

【0059】

一方、Fuseデータ展開回路22は、入力されたシリアルデータSOが“1”データの場合は、この“1”データ後のアドレスのヒューズボックスの4ビットをロウデコーダ25にデータを出力する。例えば、eヒューズ<3>に保持された“1”データがシリアルデータSOとしてFuseデータ展開回路22に入力された場合を一例に挙げる。この場合、Fuseデータ展開回路22は、入力されたシリアルデータSOが“1”データであるため、この“1”データ後のヒューズボックスの4ビット（“1001”）をロウデコーダ25に出力する。

10

【0060】

ロウデコーダ25は、Fuseデータ展開回路22の出力を、4ビット構成の所定のR/Dシフトアドレス<1>～R/Dシフトアドレス<n>に格納する。R/Dシフトアドレス<1>～R/Dシフトアドレス<n>は、SRAMセル1～SRAMセルnのR/Dシフトアドレスに対応するものである。

【0061】

ここで、4ビットのR/Dシフトアドレス<1>～R/Dシフトアドレス<n>の全て“0”である（“0000”）SRAMセルは、正常なセルとして判断される。例えば、R/Dシフトアドレス<n>の全てが“0”である（“0000”）SRAMセルnは、正常なセルとして判断される。一方、4ビットのR/Dシフトアドレス<1>～R/Dシフトアドレス<n>のうち1つでも“1”であるSRAMセルは、不良セルとして判断される。例えば、R/Dシフトアドレス<3>の“1001”であるSRAMセル3は、不良セルとして判断される。

20

【0062】

<リダンダンシ動作>

次に、本例に係る半導体集積回路装置のリダンダンシ動作について説明する。この説明では、図13のフロー図に則して以下説明する。

【0063】

（ステップST1（ウェハテスト1））

まず、シリコンウェハ上に製造したSRAMのSRAMセル1～SRAMセルn等に対して、正常に機能するか否かのウェハテストを行う。このウェハテストにおいて、正常に機能しないと判断されたSRAMセルは、不良セルと判断される。本例の場合、このテストにおいてR/Dシフトアドレス<3>のSRAMセル3が不良セルと判断された場合を一例に挙げる。

30

【0064】

（ステップST2（リダンダンシ1））

続いて、上記ウェハテスト1の際に発見された不良セルを、図示しないSRAM中の冗長セルと置換するリダンダンシを行う。例えば、本例の場合、上記テストにおいて発見された不良セルであるR/Dシフトアドレス<3>のSRAMセル3のリダンダンシを行う。

40

【0065】

そのため、図14に示すように、例えば、ヒューズボックス21中のR/Dシフトアドレス<3>に対応するeヒューズ<3>の出力データを“0”→“1”と反転するプログラム動作を行う。より具体的には、上記第1の実施形態で説明したように、eヒューズ<3>のプログラム用電圧ノードVBPにプログラム電圧を印加し、第1ヒューズ素子R1の両端にプログラム電圧を印加して、第1ヒューズ素子R1を溶断する。そのため、第2ヒューズ素子R2の抵抗値は、第1ヒューズ素子R1の抵抗値よりも小さくなる（抵抗値：R2<R1）。結果、制御回路13が、このステップST2の際（1stプログラムの際）において、第1ヒューズ回路11の抵抗値が、第2ヒューズ回路12の抵抗値よりも大きくなるようにプログラムする。

50

【0066】

続いて、SRAMセル3を不良セルと識別するために、eヒューズ<3>の後のアドレスの4ビットのeヒューズにつき、所定のデータ反転による上記と同様のプログラム（1stプログラム）を行う。例えば、ヒューズボックス21中のR/Dシフトアドレス<4>およびR/Dシフトアドレス<7>に対応するeヒューズ<4>およびeヒューズ<7>の出力データを、同様のプログラム動作を行い、“0”→“1”と反転する。

【0067】

（ステップST3（ウェハテスト2））

続いて、上記ステップST1と同様のウェハテストをSRAMのSRAMセル1～SRAMセルn等に対して行う。

10

【0068】

（ステップST4（アセンブリ））

続いて、上記テスト後のSRAMをシリコンウェハからダイシングにより切り離す。続いて、ボード上に切り離したSRAMを実装する。

【0069】

（ステップST5（最終テスト1））

続いて、実装したSRAMのSRAMセル1～SRAMセルn等に対して、正常に機能するか否かの最終テストを行う。この最終テストにおいて、さらに正常に機能しないと判断されたSRAMセルは、不良セルと判断される。例えば、本例の場合、このテストにおいてR/Dシフトアドレス<1>のSRAMセル1が不良セルと判断されたとする。

20

【0070】

このように、上記ウェハテストが終了しているにもかかわらず、実装後において不良セルが発生するのは、上記ステップST4の際の実装工程において何らかの不具合生じ、動作不良が発生する場合があるからである。例えば、信号用ボンディングワイヤの接続不良等による動作不良が考えられる。

【0071】

（ステップST6（リダンダンシ2））

続いて、上記最終テスト1の際に発見された不良セルのリダンダンシを行う。例えば、本例の場合、上記テストにおいて発見された不良セルであるR/Dシフトアドレス<1>のSRAMセル1のリダンダンシを行う。

30

【0072】

そのため、図15に示すように、例えば、ヒューズボックス21中のR/Dシフトアドレス<1>に対応するeヒューズ<3>の出力データを“0”→“1”と反転する上記と同様のプログラムを行う。

【0073】

さらに、SRAMセル1を不良セルと識別するために、eヒューズ<1>の後のアドレスの4ビットのeヒューズにつき、データ反転によるプログラム（1stプログラム）またはデータ再反転による再プログラム（2ndプログラム）を行う。例えば、ヒューズボックス21中のR/Dシフトアドレス<3>に対応するeヒューズ<3>出力データを“1”→“0”と反転する再プログラム動作を行う。

40

【0074】

より具体的には、プログラム用電圧ノードVBPにプログラム電圧を印加し、第2ヒューズ素子R2の両端にプログラム電圧を印加して、第2ヒューズ素子R2を溶断する。そのため、このステップST6（2ndプログラム）の際において、第2ヒューズ素子R2の抵抗値は、第1ヒューズ素子R1の抵抗値よりも再び大きくなる（抵抗値：R2>R1）。このように、制御回路13は、このステップST6の際において、第2ヒューズ回路12の抵抗値が、第1ヒューズ回路11の抵抗値よりも大きくなるように再プログラムする。

【0075】

以後、上記最終テスト1（ST5）の結果に基づいて、ヒューズボックス21中のeヒ

50

ューズに対して、同様のプログラムまたは再プログラムを行う。

【0076】

（ステップST7（最終テスト2））

続いて、SRAMのSRAMセル1～SRAMセルn等に対して、さらに正常に機能するか否かの最終テストを行う。

【0077】

＜この実施形態に係る効果＞

この実施形態に係る半導体集積回路装置によれば、少なくとも上記（1）および（2）の効果が得られる。さらに、本例によれば、少なくとも下記（3）の効果が得られる。

【0078】

（3）歩留りを向上できる。

上記のように、本例に係る構成および動作によれば、ウェハテスト1において発見された不良セルに対して1度リダンダンシを行った後（ST2の後）であっても、最終テスト1において発見された不良セルに対して再びリダンダンシ（ST6）を行う（同一のeヒューズ10（同一のビット）に対し再プログラムを行う）ことができる。

【0079】

例えば、図15に示すように、SRAMセル1を不良セルと識別するために、eヒューズ<1>の後のアドレスのR/Dシフトアドレス<3>に対応するeヒューズ<3>出力データを“1”→“0”と反転する再プログラム動作を行う。より具体的には、プログラム用電圧ノードVBPにプログラム電圧を印加し、第2ヒューズ素子R2の両端にプログラム電圧を印加して、第2ヒューズ素子R2を溶断する。そのため、このステップST6（2ndプログラム）の際において、第2ヒューズ素子R2の抵抗値は、第1ヒューズ素子R1の抵抗値よりも再び大きくなる（抵抗値：R2>R1）。このように、制御回路13は、このステップST6の際において、第2ヒューズ回路12の抵抗値が、第1ヒューズ回路11の抵抗値よりも大きくなるように再プログラムする。

【0080】

ここで、上記ウェハテストが終了しているにもかかわらず、実装後において不良セルが発生するのは、上記ステップST4の際の実装工程において、例えば、信号用ボンディングワイヤの接続不良等による何らかの不具合生じ、動作不良が発生する場合があるからである。

【0081】

このように、本例によれば、実装後において不良セルが発生した場合であっても、その不良セルを救済することができるため、SRAMの歩留りを向上することができる点でさらに有利である。

【0082】

以上、第1乃至第3の実施形態を用いて本発明の説明を行ったが、この発明は上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0083】

【図1】この発明の第1の実施形態に係る半導体集積回路装置を示す回路図。

【図2】第1の実施形態に係る半導体集積回路装置の出力データを説明するための図。

【図3】第1の実施形態に係る半導体集積回路装置の初期状態における読み出し動作を示す図。

【図4】第1の実施形態に係る半導体集積回路装置の第1プログラム時を説明するための

10

20

30

40

50

図。

【図 5】第 1 の実施形態に係る半導体集積回路装置の第 2 プログラム時を説明するための図。

【図 6】この発明の第 2 の実施形態に係る半導体集積回路装置を示す回路図。

【図 7】第 2 の実施形態に係る半導体集積回路装置の出力データを説明するための図。

【図 8】第 2 の実施形態に係る半導体集積回路装置の初期状態における読み出し動作を示す図。

【図 9】第 2 の実施形態に係る半導体集積回路装置の第 1 プログラム時を説明するための図。

【図 10】第 2 の実施形態に係る半導体集積回路装置の第 2 プログラム時を説明するための図。

10

【図 11】この発明の第 3 の実施形態に係る半導体集積回路装置を示す回路図。

【図 12】第 3 の実施形態に係る半導体集積回路装置のヒューズボックスを説明するための回路図。

【図 13】第 3 の実施形態に係る半導体集積回路装置のリダンダンシ動作を示すフロー図。

【図 14】第 3 の実施形態に係る半導体集積回路装置のリダンダンシ動作の一ステップ（S T 2）を説明するための回路図。

【図 15】第 3 の実施形態に係る半導体集積回路装置のリダンダンシ動作の一ステップ（S T 6）を説明するための回路図。

20

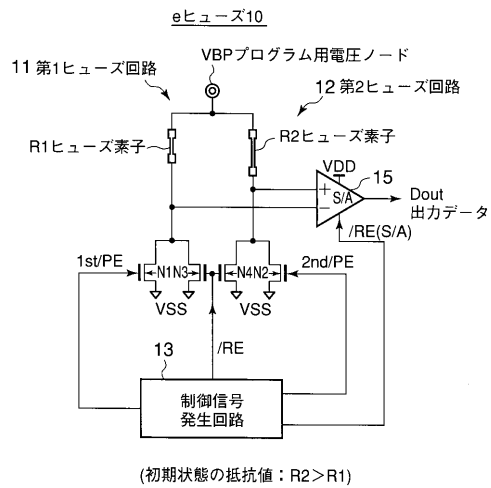
【符号の説明】

【0084】

10…e ヒューズ、11…第 1 ヒューズ回路、12…第 2 ヒューズ回路、13…制御信号発生回路、R1, R2…第 1, 第 2 ヒューズ素子、N1, N2…第 1, 第 2 書き込み用トランジスタ、N3、N4…第 1, 第 2 読み出し用トランジスタ、15…センスアンプ、VBP…プログラム用電圧ノード、1st/PE…第 1 制御信号、2nd/PE…第 2 制御信号、/RE…読み出し制御信号、/RE(S/A)…センスアンプ用読み出し制御信号、Dout…出力データ。

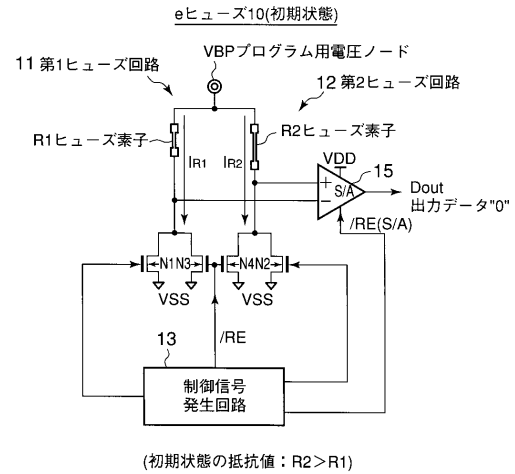
【図 1】

図 1



【図 3】

図 3



【図 2】

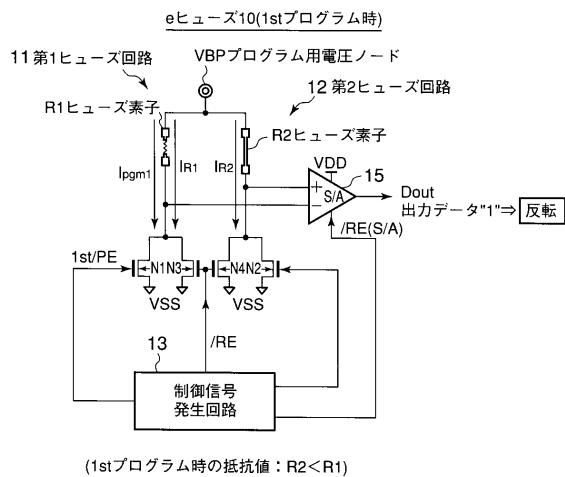
図 2

第1の実施形態

	抵抗比($R1:R2$)	Wサイズ比($N3:N4$)	出力データ
初期状態	1 : 3	1 : 1	"0"
1stプログラム時	6 : 3	1 : 1	"1"⇒反転
2ndプログラム時	6 : 12	1 : 1	"0"⇒再反転

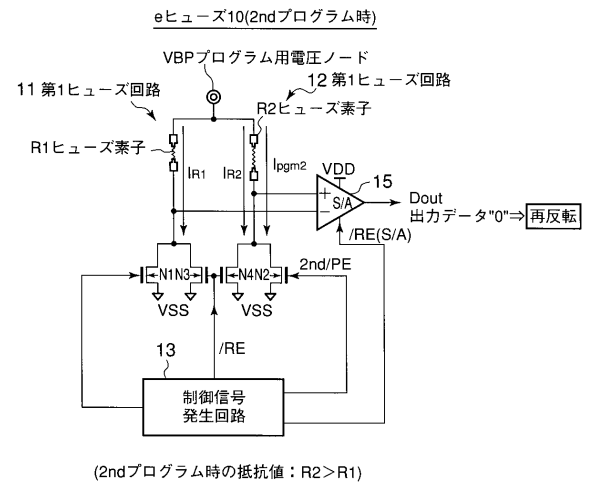
【図 4】

図 4



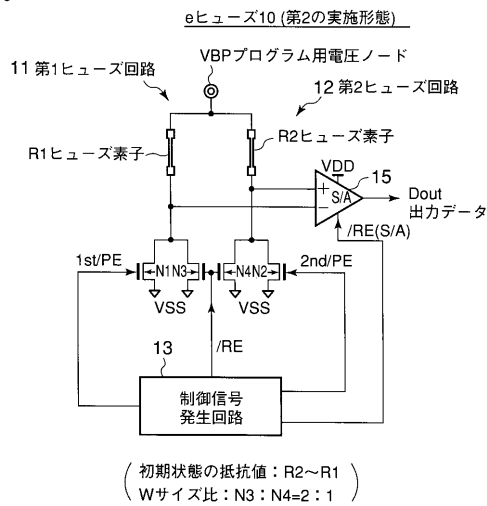
【図 5】

図 5



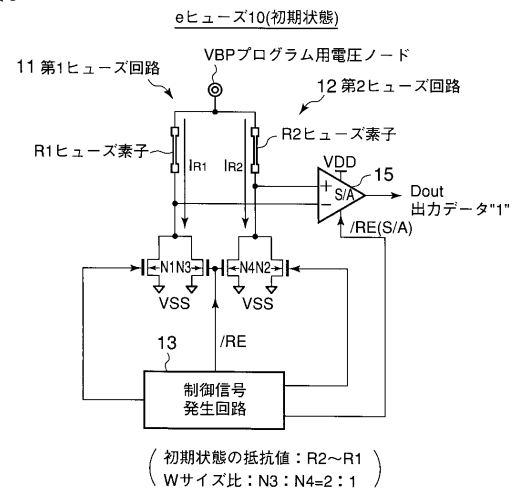
【図 6】

図 6



【図 8】

図 8



【図 7】

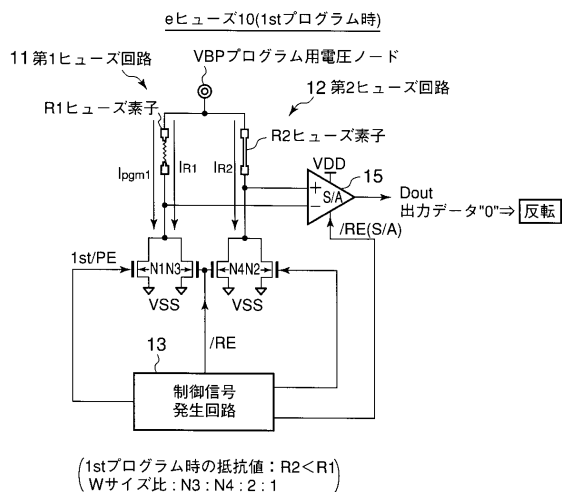
図 7

第2の実施形態

	抵抗比(R1:R2)	Wサイズ比(N3:N4)	出力データ
初期状態	1 : 1	2 : 1	"1"
1stプログラム時	6 : 1	2 : 1	"0"⇒反転
2ndプログラム時	6 : 12	2 : 1	"1"⇒再反転

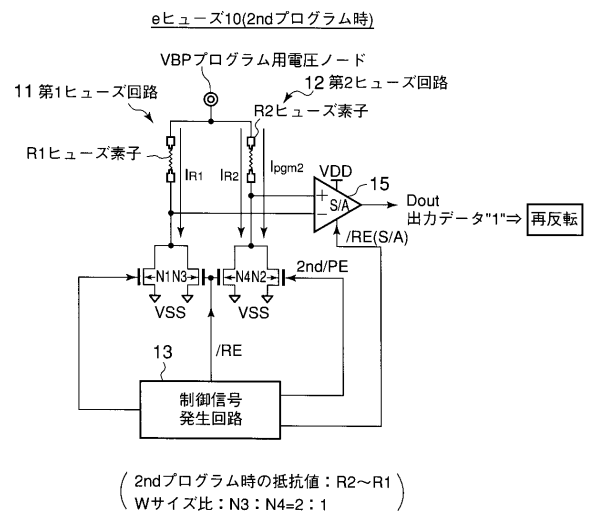
【図 9】

図 9



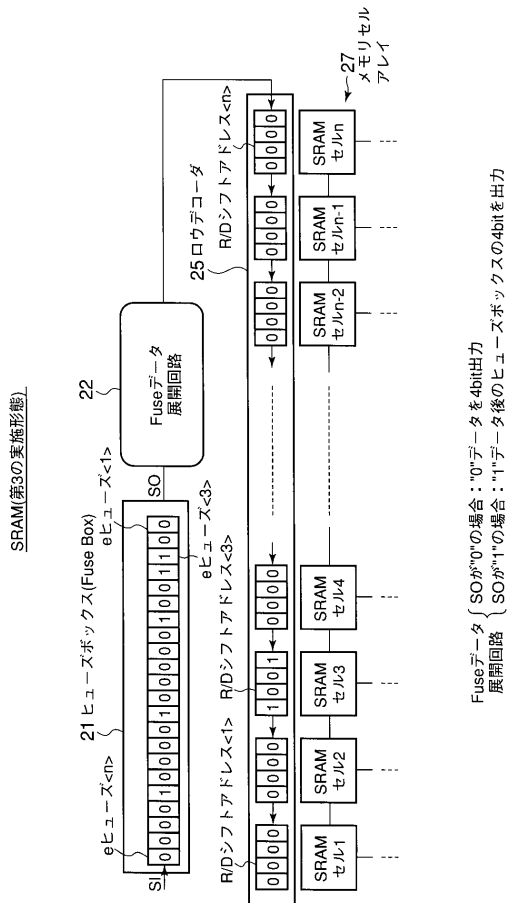
【図 10】

図 10



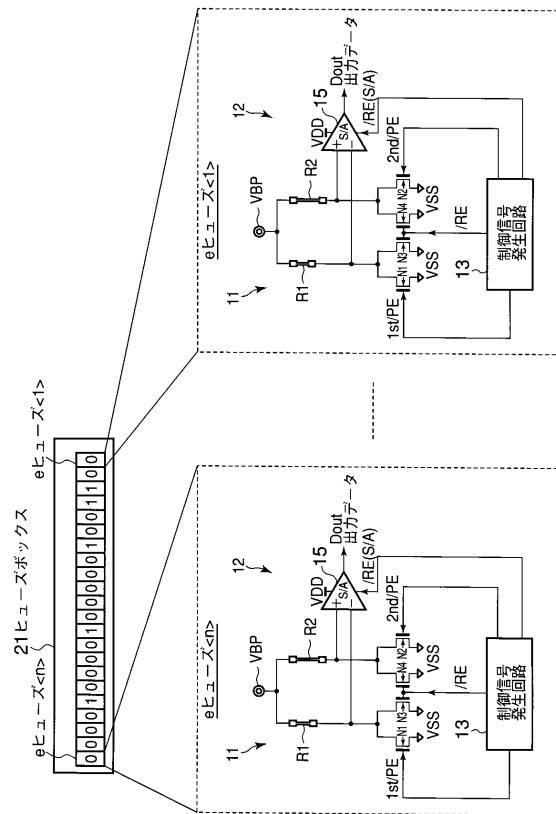
【 図 1 1 】

图 11



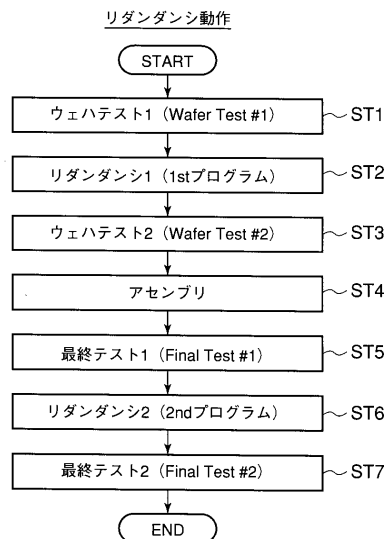
【図 1 2】

图 12



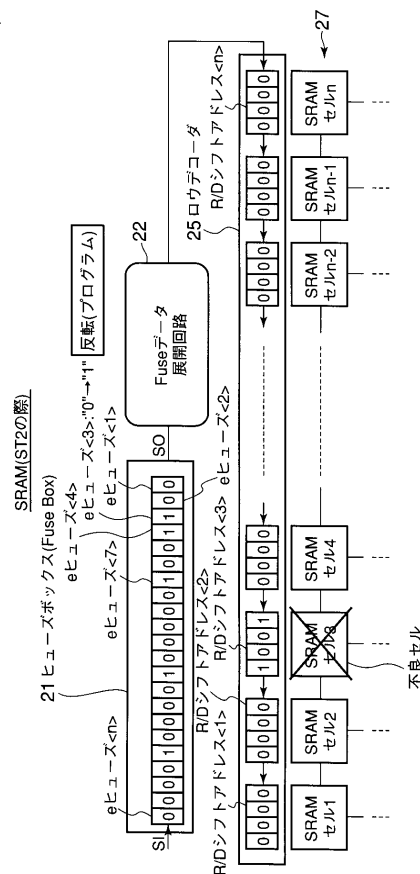
【图 1 3】

图 13



【 図 1 4 】

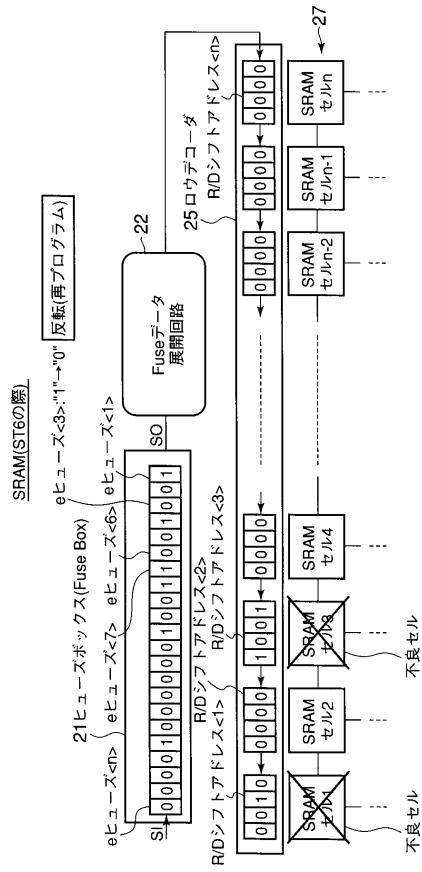
图 14



不良少儿

【図 15】

図 15



フロントページの続き

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 北城 岳彦

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小林 智浩

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 天野 哲哉

東京都港区芝浦一丁目1番1号 東芝ソリューション株式会社内

Fターム(参考) 5B015 JJ11 NN09 QQ15

5F064 BB13 BB18 BB23 CC09 FF02 FF27 FF30 FF32 FF34 FF45

5L106 AA02 CC04 DD11 FF01 GG07