

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5305712号  
(P5305712)

(45) 発行日 平成25年10月2日(2013.10.2)

(24) 登録日 平成25年7月5日(2013.7.5)

(51) Int.Cl.	F 1
HO 1 L 21/02	(2006.01) HO 1 L 27/12 B
HO 1 L 27/12	(2006.01) HO 1 L 21/76 D
HO 1 L 21/762	(2006.01) HO 1 L 29/78 627D
HO 1 L 21/336	(2006.01)
HO 1 L 29/786	(2006.01)

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2008-95680 (P2008-95680)
(22) 出願日	平成20年4月2日(2008.4.2)
(65) 公開番号	特開2008-288569 (P2008-288569A)
(43) 公開日	平成20年11月27日(2008.11.27)
審査請求日	平成23年3月2日(2011.3.2)
(31) 優先権主張番号	特願2007-101181 (P2007-101181)
(32) 優先日	平成19年4月6日(2007.4.6)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2007-109943 (P2007-109943)
(32) 優先日	平成19年4月19日(2007.4.19)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体基板の作製方法

## (57) 【特許請求の範囲】

## 【請求項1】

質量分離したハロゲン原子のイオンを単結晶半導体基板に照射して、該単結晶半導体基板の表面から所定の深さの領域に脆化層を形成し、

前記脆化層を形成後に、前記単結晶半導体基板上に、化学気相成長法により酸化シリコン膜を形成し、

前記単結晶半導体基板と絶縁表面を有する基板とを、前記酸化シリコン膜を挟んで重ね合わせて接合し、

熱処理により前記脆化層を劈開面として前記絶縁表面を有する基板から前記単結晶半導体基板を分離して、前記絶縁表面を有する基板上に単結晶半導体層を形成することを特徴とする半導体基板の作製方法。

## 【請求項2】

請求項1において、前記質量分離したハロゲン原子のイオンを前記単結晶半導体基板に照射した後、さらに質量分離した水素イオンを前記単結晶半導体基板に照射して、前記脆化層を形成することを特徴とする半導体基板の作製方法。

## 【請求項3】

水素原子を質量分離して得られるH<sub>3</sub><sup>+</sup>イオンを単結晶半導体基板に照射して、該単結晶半導体基板の表面から所定の深さの領域に脆化層を形成し、

前記脆化層を形成後に、前記単結晶半導体基板上に、化学気相成長法により酸化シリコン膜を形成し、

前記単結晶半導体基板と絶縁表面を有する基板とを、前記酸化シリコン膜を挟んで重ね合わせて接合し、

熱処理により前記脆化層を劈開面として前記絶縁表面を有する基板から前記単結晶半導体基板を分離して、前記絶縁表面を有する基板上に単結晶半導体層を形成することを特徴とする半導体基板の作製方法。

#### 【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記単結晶半導体基板に前記イオンを照射する前に、前記単結晶半導体基板の表面に窒素含有絶縁層を形成し、

前記窒素含有絶縁層形成後に、前記イオンを照射して前記脆化層を形成し、

前記脆化層を形成後に、前記酸化シリコン膜を前記窒素含有絶縁層上に形成することを特徴とする半導体基板の作製方法。 10

#### 【請求項 5】

請求項 4 において、前記窒素含有絶縁層を、窒化シリコン膜、窒化酸化シリコン膜若しくは酸化窒化シリコン膜から選ばれた一の層、又は複数の膜の積層で形成することを特徴とする半導体基板の作製方法。

#### 【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記酸化シリコン膜を、珪酸エチル (TEOS : 化学式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、トリメチルシラン (TMS :  $(\text{CH}_3)_3\text{SiH}$ )、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、またはトリスジメチルアミノシラン ( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) から選ばれた有機シランガスを用いて形成することを特徴とする半導体基板の作製方法。 20

#### 【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記酸化シリコン膜を形成する温度を 350 以下とし、前記熱処理の温度を 400 乃至 600 とすることを特徴とする半導体基板の作製方法。

### 【発明の詳細な説明】

#### 【技術分野】

30

#### 【0001】

本発明は、半導体基板の作製方法に関する。特に、ガラス等の絶縁表面を有する基板に単結晶若しくは多結晶の半導体層を接合させた半導体基板及び半導体装置に関する。

#### 【背景技術】

#### 【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウェハーに代わり、絶縁表面に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ (Silicon on Insulator : SOI) と呼ばれる半導体基板を使った集積回路が開発されている。SOI 基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。 40

#### 【0003】

SOI 基板を製造する方法としては、水素イオン注入剥離法が知られている（例えば、特許文献 1 参照）。水素イオン注入剥離法は、シリコンウェハーに水素イオンを照射することによって表面から所定の深さに微小気泡層を形成し、該微小気泡層を劈開面として、別のシリコンウェハーに薄いシリコン層 (SOI 層) を接合する。さらに SOI 層を分離する熱処理を行うことに加え、酸化性雰囲気下での熱処理により SOI 層に酸化膜を形成した後に該酸化膜を除去し、次に 1000 乃至 1300 の還元性雰囲気下で熱処理を行って接合強度を高める必要があるとされている。

#### 【0004】

SOI 基板を用いた半導体装置の一例として、本出願人によるものが知られている（特許 50

文献2参照)。この場合にも、SOI層において応力に起因する準位や欠陥を除去するために1050乃至1150の熱処理が必要であることが開示されている。

#### 【0005】

また、ガラス基板上にSOI層を形成したSOI基板の一例として、水素イオン注入剥離法を用いて、コーティング膜を有するガラス基板上に、被覆膜を有する単結晶シリコン薄膜を形成したものが知られている(特許文献3参照)。この場合にも、単結晶シリコン片に水素イオンを照射することによって表面から所定の深さに微小気泡層を形成し、ガラス基板と単結晶シリコン片を張り合わせ後に、微小気泡層を劈開面としてシリコン片を分離することで、ガラス基板上に薄いシリコン層(SOI層)を形成している。

【特許文献1】米国特許第6372609号

10

【特許文献2】特開2000-12864号公報

【特許文献3】特開2004-134675号公報

#### 【発明の開示】

##### 【発明が解決しようとする課題】

#### 【0006】

上記のように水素イオン注入剥離法では、シリコンウエハー表面から所定の深さに照射された水素イオンの層(脆化層)を劈開面として分離することにより薄いシリコン層を形成するので、シリコン層の膜厚はイオン照射の深さに依存する。よって、イオン照射の深さにはらつきがあると所望の膜厚のシリコン層を得ることは困難である。なお、本発明では、単結晶半導体基板へイオンを照射し、イオンにより微小な空洞を有するように脆弱化された領域を脆化層という。

20

#### 【0007】

本発明は上記課題に鑑み、脆化層の深さを制御して、所望の膜厚のシリコン層を有するSOI基板を得ることを目的の一とする。

#### 【0008】

また、ガラス基板など耐熱温度が低い基板を、SOI基板の形成に用いた場合にも、SOI層の接着力が強固な単結晶半導体層を備えた半導体基板を提供することを目的の一とする。

#### 【課題を解決するための手段】

#### 【0009】

30

上記課題を解決するために本発明は、不活性ガスイオン又はハロゲンイオン又はH<sub>3</sub><sup>+</sup>イオンから選ばれた一の均一の質量のイオンを単結晶半導体基板に照射して、前記単結晶半導体基板の表面から所定の深さの領域に脆化層を形成することを特徴の一とする。

#### 【0010】

絶縁表面を有する基板若しくは絶縁基板に、単結晶半導体層を接合するに際し、接合を形成する面の一方若しくは双方に、好ましくは有機シランを原材料として成膜した酸化シリコン膜を用いる。有機シランガスとしては、珪酸エチル(TEOS:化学式Si(OCH<sub>3</sub>)<sub>4</sub>)、トリメチルシラン(TMS:(CH<sub>3</sub>)<sub>3</sub>SiH)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン(SiH(OCH<sub>3</sub>)<sub>3</sub>)<sub>3</sub>、トリスジメチルアミノシラン(SiH(N(CH<sub>3</sub>)<sub>2</sub>)<sub>3</sub>)等のシリコン含有化合物が適用される。すなわち、絶縁表面を有する基板若しくは絶縁基板に低温で接合した単結晶半導体(Low Temperature Single crystal Semiconductor:LTSS)の構造において、平滑面を有し親水性表面を形成する層を接合面として設ける。

40

#### 【0011】

絶縁表面を有する基板若しくは絶縁基板に接合される単結晶半導体層は、単結晶半導体基板に形成された脆化層にて劈開し分離することにより得られる。脆化層は水素、ヘリウム若しくはフッ素に代表されるハロゲンの均一の質量のイオンを照射することで形成される。

50

## 【0012】

SOI層を接合する絶縁表面を有する基板若しくは絶縁基板にはバリア層を設けることが好ましい。バリア層により単結晶半導体層の汚染を防止することが可能となる。

## 【発明の効果】

## 【0013】

不活性ガスイオン又はハロゲンイオン又は $H_3^+$ イオンから選ばれた一の均一の質量のイオンを単結晶半導体基板に照射することにより、イオン照射の深さにはらつきが少なくなり、所望の厚さのシリコン層を有するSOI基板を得ることが可能になる。

## 【0014】

単結晶半導体基板から分離した単結晶半導体層とベースとなる基板とを接合する際に、親水性表面を有し、平坦性が高く、水素を含有する酸化シリコン膜を用いることにより700以下の温度で接合を形成することができる。本構成によれば、ガラス基板等の耐熱温度が700以下の基板であっても接合部の接着力が強固な単結晶半導体層を得ることができる。

10

## 【0015】

単結晶半導体層を固定する基板として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。すなわち、一辺が1メートルを超える基板上に単結晶半導体層を形成することができる。このような大面積基板を使って液晶ディスプレイのような表示装置のみならず、半導体集積回路を製造することができる。

20

## 【発明を実施するための最良の形態】

## 【0016】

## (実施の形態1)

本発明に係る半導体基板を図1(A)(B)に示す。図1(A)においてベース基板100は絶縁表面を有する基板若しくは絶縁基板であり、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板を適用される。その他に石英ガラス、シリコンウェハーのような半導体基板も適用可能である。単結晶半導体層102は単結晶半導体であり、代表的には単結晶シリコンが適用される。その他に、水素イオン注入剥離法のようにして単結晶半導体基板若しくは多結晶半導体基板から分離可能であるシリコン、ゲルマニウム、その他、ガリウムヒ素、インジウムリンなどの化合物半導体による結晶性半導体層を適用することもできる。

30

## 【0017】

このようなベース基板100と単結晶半導体層102の間には、平滑面を有し親水性表面を形成する接合層104を設ける。この接合層104として酸化シリコン膜が適している。特に有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。有機シランガスとしては、珪酸エチル(TEOS: 化学式 $Si(OCH_3)_4$ )、トリメチルシラン(TMS:  $(CH_3)_3SiH$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン( $SiH(OCH_3)_3$ )、トリスジメチルアミノシラン( $SiH(N(CH_3)_2)_3$ )等のシリコン含有化合物を用いることができる。

40

## 【0018】

上記平滑面を有し親水性表面を形成する接合層104は5nm乃至500nmの厚さで設けられる。この厚さであれば、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。また、接合する基板との歪みを緩和することができる。ベース基板100にも同様の酸化シリコン膜を設けておいても良い。すなわち、絶縁表面を有する基板若しくは絶縁性のベース基板100に単結晶半導体層102を接合するに際し、接合を形成する面の一方若しくは双方に、好ましくは有機シランを原材料として成膜した酸化シリコン膜でなる接合層104を設けることで強固な接合を形成することができる。

50

## 【0019】

接合層104は単結晶半導体層102側に設けられ、ベース基板100の表面と密接することで、室温であっても接合をすることが可能である。より強固に接合を形成するには、ベース基板100と単結晶半導体層102を押圧すれば良い。さらに熱処理を加えることが好ましい。加圧状態で熱処理をしてても良い。

## 【0020】

異種材料であるベース基板100と接合層104を低温で接合するには表面を清浄化する。このような状態でベース基板100と接合層104を密接させると、表面間引力により接合が形成される。さらにベース基板100と接合層104の少なくとも一方の表面上に複数の水酸基を付着させる処理を加えると好ましい。例えば、ベース基板100の表面を酸素プラズマ処理若しくはオゾン処理して親水性にすることが好ましい。このように表面を親水性にする処理を加えた場合には、表面の水酸基が作用して水素結合により接合が形成される。室温で形成された接合強度を高めるためには熱処理をすることが好ましい。10

## 【0021】

異種材料であるベース基板100と接合層104を低温で接合するための処理として、接合を形成する表面にアルゴンなどの不活性ガスによるイオンビームを照射して清浄化しても良い。イオンビームの照射により、ベース基板100と接合層104の少なくとも一方の表面に未結合手が露呈して非常に活性な表面が形成される。このように少なくとも一方の面が活性化されたベース基板100の表面と接合層104の表面を密接させると低温でも接合を形成することが可能である。表面を活性化して接合を形成する方法は、当該表面を高度に清浄化しておくことが要求されるので、真空中で行うことが好ましい。20

## 【0022】

単結晶半導体層102は単結晶半導体基板を薄片化して形成されるものである。例えば、単結晶半導体基板の所定の深さに均一な質量の、 $H_3^+$ イオン、フッ素等のハロゲンイオン又は不活性ガスイオンを照射し、その後熱処理を行って表層の単結晶シリコン層を分離するイオン注入剥離法で形成することができる。また、ポーラスシリコン上に単結晶シリコンをエピタキシャル成長させた後、ポーラスシリコン層をウォータージェットで劈開して分離する方法を適用しても良い。単結晶半導体層102の厚さは5nm乃至500nm、好ましくは10nm乃至200nmの厚さである。

## 【0023】

図1(B)はベース基板100にバリア層105と接合層104を設けた構成を示す。単結晶半導体層102をベース基板100に接合した場合に、ベース基板100として用いられるガラス基板からアルカリ金属若しくはアルカリ土類金属のような可動イオン等の不純物が拡散して単結晶半導体層102が汚染されることを防ぐことができる。また、ベース基板100側の接合層104は適宜設ければ良い。30

## 【0024】

図2(A)は単結晶半導体層102と接合層104の間に窒素含有絶縁層120を設けた構成を示す。窒素含有絶縁層120は窒化シリコン膜、窒化酸化シリコン膜若しくは酸化窒化シリコン膜から選ばれた一の層、又は複数の膜の積層で形成する。例えば、単結晶半導体層102側から酸化窒化シリコン膜、窒化酸化シリコン膜を積層して窒素含有絶縁層120とすることができる。なお、窒素含有絶縁層120は、イオン照射を行う前に、単結晶半導体層102となる単結晶半導体基板の表面に形成する。接合層104がベース基板100と接合を形成するために設けるのに対し、窒素含有絶縁層120は、可動イオンや水分等の不純物が単結晶半導体層102に拡散して汚染されることを防ぐために設けることが好ましい。40

## 【0025】

なお、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として

10

20

30

40

50

酸素が50～70原子%、窒素が0.5～15原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものという。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5～30原子%、窒素が20～55原子%、Siが25～35原子%、水素が10～30原子%の範囲で含まれるものという。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、Si及び水素の含有比率が上記の範囲内に含まれるものとする。

#### 【0026】

図2(B)はベース基板100に接合層104を設けた構成である。ベース基板100と接合層104との間にはバリア層105が設けられていることが好ましい。10  
接合層104として用いられるガラス基板からアルカリ金属若しくはアルカリ土類金属のような可動イオン等の不純物が拡散して単結晶半導体層102が汚染されることを防ぐためである。また、単結晶半導体層102には酸化シリコン膜121が形成されている。この酸化シリコン膜121が接合層104と接合を形成し、ベース基板100上に単結晶半導体層を固定する。酸化シリコン膜121は熱酸化により形成されたものが好ましい。

#### 【0027】

##### (実施の形態2)

本実施の形態では、実施の形態1で示した半導体基板の製造方法について図3(A)乃至(C)と図4を参照して説明する。

#### 【0028】

図3(A)に示す半導体基板101は清浄化されており、その表面から電界で加速された均一な質量のイオンを照射し、所定の深さに脆化層103を形成する。本実施の形態では、質量分離されたハロゲン原子のイオン(ハロゲンイオンともよぶ)を用いる。質量分離されたハロゲンイオンは、ハロゲン原子を含む物質(主にガス)を質量分離することにより得られる。イオンの照射はベース基板に転置する単結晶半導体層の厚さを考慮して行われる。当該単結晶半導体層の厚さは5nm乃至500nm、好ましくは10nm乃至200nmの厚さとする。イオンを照射する際の加速電圧はこのような厚さを考慮して、半導体基板101に照射されるようにする。脆化層は、フッ素に代表されるハロゲンのイオンを質量分離して均一な質量のイオンとして照射することで形成される。ハロゲンとしてフッ素イオンを照射する場合にはソースガスとしてBF<sub>3</sub>を用いれば良い。30

#### 【0029】

単結晶シリコン基板にフッ素イオンのようなハロゲンイオンをイオン注入法で照射した場合、照射されたフッ素が、シリコン結晶格子内のシリコン原子をノックアウトする(追い出す)ことによって空白部分を効果的に作り出し、脆化層に微小な空洞を作る。この場合、比較的低温の熱処理によって脆化層に形成された微小な空洞の体積変化が起こり、脆化層に沿って劈開することにより上記のような薄い単結晶半導体層を形成することができる。質量分離したフッ素イオンを照射した後に、質量分離した水素イオン(H<sub>3</sub><sup>+</sup>イオン)を照射して空洞内に水素を含ませるようにしても良い。半導体基板から薄い半導体層を分離するために形成する脆化層は、脆化層に形成された微小な空洞の体積変化を利用して劈開をするので、このようにハロゲンイオンや水素イオンの作用を有効利用することが好ましい。40

#### 【0030】

脆化層の形成に当たっては質量分離したイオンを高ドーズ条件で照射する必要があり、半導体基板101の表面が粗くなってしまう場合がある。そのため質量分離したイオンが照射される表面に窒化シリコン膜若しくは窒化酸化シリコン膜などによりイオン照射に対する保護膜を50nm乃至200nmの厚さで設けておいても良い。

#### 【0031】

次に、図3(B)で示すようにベース基板と接合を形成する面に接合層104として酸化シリコン膜を形成する。酸化シリコン膜としては上述のように有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。その他に、シランガスを用い50

て化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法による成膜では、単結晶半導体基板に形成した脆化層 103 から該脆化層 103 が含む原子の離脱が起こらない温度として、例えば 350 以下の成膜温度が適用される。なお、上記の脆化層 103 が含む原子とは、脆化層 103 を形成するために照射されたイオンの原子である。例えば、本実施の形態では、脆化層 103 を形成するためにハロゲンイオンが照射されているため、脆化層 103 が含む原子とはハロゲン原子である。また、単結晶若しくは多結晶半導体基板から単結晶半導体層を分離する熱処理は、酸化シリコン膜の成膜温度よりも高い熱処理温度が適用される。

#### 【0032】

図 3 (C) はベース基板 100 と半導体基板 101 の接合層 104 の表面とを密接させ、この両者を接合させる態様を示す。接合を形成する面は、十分に清浄化しておく。そして、ベース基板 100 と接合層 104 を密着させることにより接合が形成される。この接合はファン・デル・ワールス力が作用しており、ベース基板 100 と半導体基板 101 とを圧接することで水素結合により強固な接合を形成することが可能である。

10

#### 【0033】

良好な接合を形成するために、表面を活性化しておいても良い。例えば、接合を形成する面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行う。このような表面処理により 200 乃至 400 の温度であっても異種材料間の接合を形成することが容易となる。

20

#### 【0034】

ベース基板 100 と半導体基板 101 を、接合層 104 を介して貼り合わせた後は、加熱処理又は加圧処理を行うことが好ましい。加熱処理又は加圧処理を行うことで接合強度を向上させることができるとなる。加熱処理の温度は、ベース基板 100 の耐熱温度以下であることが好ましい。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、ベース基板 100 及び半導体基板 101 の耐圧性を考慮して行う。

#### 【0035】

図 4 において、ベース基板 100 と半導体基板 101 を貼り合わせた後、熱処理を行い、脆化層 103 を劈開面として半導体基板 101 をベース基板 100 から分離する。熱処理の温度は、脆化層 103 が含む原子が離脱する温度である。なお、上記の脆化層 103 が含む原子とは、脆化層 103 を形成するために照射されたイオンの原子である。また、熱処理の温度は接合層 104 の成膜温度以上、ベース基板 100 の耐熱温度以下で行うことが好ましい。例えば、400 乃至 600 の熱処理を行うことにより、脆化層 103 に形成された微小な空洞の体積変化が起こり、脆化層 103 に沿って劈開することが可能となる。接合層 104 はベース基板 100 と接合しているので、ベース基板 100 上には半導体基板 101 と同じ結晶性の単結晶半導体層 102 が残存することとなる。

30

#### 【0036】

図 5 はベース基板側に接合層を設けて単結晶半導体層を形成する工程を示す。図 5 (A) は酸化シリコン膜 121 が形成された半導体基板 101 に電界で加速された均一な質量のイオンを照射し、所定の深さに脆化層 103 を形成する工程を示している。フッ素に代表されるハロゲンのイオン照射は図 3 (A) の場合と同様である。半導体基板 101 の表面に酸化シリコン膜 121 を形成しておくことでイオン照射によって表面がダメージを受け、平坦性が損なわれるのを防ぐことができる。

40

#### 【0037】

図 5 (B) は、バリア層 105 及び接合層 104 が形成されたベース基板 100 と半導体基板 101 の酸化シリコン膜 121 の表面を密着させて接合を形成する工程を示している。ベース基板 100 上の接合層 104 と半導体基板 101 の酸化シリコン膜 121 を密着させることにより接合が形成される。

#### 【0038】

50

その後、図 5 ( C ) で示すように半導体基板 101 を分離する。半導体基板 101 を分離する熱処理は図 4 の場合と同様にして行う。このようにして図 2 ( B ) で示す半導体基板を得ることができる。

#### 【 0039 】

このように、本実施の形態によれば、ガラス基板等の耐熱温度が 700 以下のベース基板 100 であっても接合部の接着力が強固な単結晶半導体層 102 を得ることができる。ベース基板 100 として、アルミニノシリケートガラス、アルミニノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。すなわち、一边が 1 メートルを超える基板上に単結晶半導体層を形成することができる。このような大面積基板を使って液晶ディスプレイの 10 ような表示装置のみならず、半導体集積回路を製造することができる。

#### 【 0040 】

また、本実施の形態によれば、脆化層を、ハロゲンイオンを照射することにより形成できるので、比較的低温の熱処理で、薄い単結晶半導体層を形成することができる。

#### 【 0041 】

##### ( 実施の形態 3 )

本実施の形態では、実施の形態 2 で示した半導体基板の製造方法の別の形態について説明する。

#### 【 0042 】

本実施の形態においては、実施の形態 2 のハロゲンイオンとは異なり、不活性ガスイオンを電界で加速して、図 3 ( A ) のように半導体基板 101 の表面から照射して、所定の深さに脆化層 103 を形成する。なお不活性ガスイオンは、不活性原子を含むガスを用いて得られ、不活性イオン、不活性原子イオンともよぶ。イオンの照射はベース基板に転置する LTSS 層の厚さを考慮して行う。当該 LTSS 層の厚さは 5 nm 乃至 500 nm、好みしくは 10 nm 乃至 200 nm の厚さとする。不活性ガスイオンを照射する際の加速電圧はこのような厚さを考慮して、半導体基板 101 に照射されるようにする。 20

#### 【 0043 】

脆化層 103 を形成するためのイオン種として不活性ガスイオン ( He、Ne、Ar、Kr または Xe 等 ) を用いると、質量分離しなくても、均一の質量のイオン種が得られるため、イオン照射の深さにはらつきが少なく、所望の厚さのシリコン層を有する SOI 基板を得ることができる。 30

#### 【 0044 】

また、脆化層 103 を形成する際に、不活性ガスイオン ( He、Ne、Ar、Kr または Xe 等 ) を半導体基板 101 に照射した後に、さらに  $H_3^+$  イオン等の質量分離した水素イオンを照射しても良い。その場合、不活性ガスイオンの照射により脆化層に微小な空洞を効果的に作ることができ、その後の質量分離した水素イオン ( $H_3^+$  イオン) の照射により、その空洞内に水素を含ませることができる。半導体基板から薄い半導体層を分離するために形成する脆化層は、脆化層に形成された微小な空洞の体積変化を利用して劈開をするので、このように不活性ガスイオンや水素イオンの作用を有効利用することができる。 40

#### 【 0045 】

他の工程は、実施の形態 1 の図 3 乃至図 5 で表される工程と同様である。

#### 【 0046 】

##### ( 実施の形態 4 )

本実施の形態では、実施の形態 2 又は実施の形態 3 で示した半導体基板の製造方法の別の形態について説明する。

#### 【 0047 】

本実施の形態においては、実施の形態 2 及び実施の形態 3 とは異なり、質量分離した  $H_3^+$  イオンを電界で加速して、図 3 ( A ) のように半導体基板 101 の表面から所定の深さに照射して、脆化層 103 を形成する。質量分離された  $H_3^+$  イオンは、水素原子を含む 50

物質（主にガス）を質量分離することにより得られる。イオンの照射はベース基板に転置するLTSS層の厚さを考慮して行う。当該LTSS層の厚さは5nm乃至500nm、好ましくは10nm乃至200nmの厚さとする。質量分離したH<sub>3</sub><sup>+</sup>イオンを照射する際の加速電圧はこのような厚さを考慮して、半導体基板101に照射されるようとする。

#### 【0048】

水素イオンを質量分離して、H<sub>3</sub><sup>+</sup>イオンのみをイオン照射すると、H<sup>+</sup>、H<sub>2</sub><sup>+</sup>及びH<sub>3</sub><sup>+</sup>を含む水素イオンを照射する場合に比べて、イオン照射の深さにはらつきが少なくなる。また、H<sub>3</sub><sup>+</sup>イオンはH<sup>+</sup>、H<sub>2</sub><sup>+</sup>イオンに比べて質量が重いため、脆化層103の形成効率を高めることができる。

#### 【0049】

他の工程は、実施の形態1の図3乃至図5で表される工程と同様である。

10

#### 【0050】

##### (実施の形態5)

本実施の形態では、実施の形態1及び実施の形態2で示した半導体基板を用いた半導体装置について図6乃至図11を参照して説明する。

#### 【0051】

図6(A)は、実施の形態2乃至実施の形態4に示す方法で作製された半導体基板である。

半導体基板は、ベース基板100に接合層104を介して単結晶半導体層102が設けられている。単結晶半導体層102の膜厚は5nm乃至500nm、好ましくは10nm乃至200nmである。単結晶半導体層102の厚さは、図3で説明した脆化層103の深さを制御することにより適宜設定できる。単結晶半導体層102にはしきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物を添加する。例えば、p型不純物として硼素を5×10<sup>17</sup>cm<sup>-3</sup>以上1×10<sup>18</sup>cm<sup>-3</sup>以下の濃度で添加されても良い。ベース基板100にはバリア層105として窒化シリコン層と酸化シリコン層が積層形成されている。ベース基板100にバリア層を設けることで、単結晶半導体層102の汚染を防ぐことができる。なお、窒化シリコン層に換えて、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層を適用しても良い。

20

#### 【0052】

図6(B)は、単結晶半導体層102をエッチングして、半導体素子の配置に合わせて島状に分離した単結晶半導体層102を形成する。

30

#### 【0053】

図6(C)において、単結晶半導体層102が露出した後、ゲート絶縁層109、ゲート電極110a、110b、サイドウォール絶縁層111を形成し、第1不純物領域112、第2不純物領域113を形成する。絶縁層114は窒化シリコンで形成し、ゲート電極110a、110bをエッチングするときのハードマスクとして用いる。

#### 【0054】

図6(D)において、層間絶縁層115を形成する。層間絶縁層115はBPSG(Baron Phosphorus Silicon Glass)膜を成膜するか、ポリイミドに代表される有機樹脂を塗布して形成する。層間絶縁層115にはコンタクトホール116を形成する。コンタクトホール116は、サイドウォール絶縁層111を利用してセルファラインコンタクトの構成となっている。

40

#### 【0055】

その後、図7で示すように、コンタクトホール116に合わせて配線119を形成する。配線119はアルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメタルとしてモリブデン、クロム、チタンなどの金属膜で形成する。その後、配線119上に絶縁層118を形成する。

#### 【0056】

このように、ベース基板100に接合された単結晶半導体層102を用いて電界効果トランジスタを作製することができる。本実施の形態に係る単結晶半導体層102は、結晶方

50

位が一定の単結晶半導体であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。

#### 【0057】

図8は半導体装置の一例として、マイクロプロセッサ200の一例を示す。このマイクロプロセッサ200は、上記したように実施の形態2乃至実施の形態4に示す方法で作製された半導体基板により製造されるものである。このマイクロプロセッサ200は、演算回路201(Arithmetic logic unit。ALUともいう。)、演算回路制御部202(ALU Controller)、命令解析部203(Instruction Decoder)、割り込み制御部204(Interrupt Controller)、タイミング制御部205(Timing Controller)、レジスタ206(Register)、レジスタ制御部207(Register Controller)、バスインターフェース208(Bus I/F)、読み出し専用メモリ209、及びメモリインターフェース210(ROM I/F)を有している。10

#### 【0058】

バスインターフェース208を介してマイクロプロセッサ200に入力された命令は、命令解析部203に入力され、デコードされた後、演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205に入力される。演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205は、デコードされた命令に基づき各種制御を行う。具体的に演算回路制御部202は、演算回路201の動作を制御するための信号を生成する。また、割り込み制御部204は、マイクロプロセッサ200のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度やマスク状態から判断して処理する。レジスタ制御部207は、レジスタ206のアドレスを生成し、マイクロプロセッサ200の状態に応じてレジスタ206の読み出しや書き込みを行う。タイミング制御部205は、演算回路201、演算回路制御部202、命令解析部203、割り込み制御部204、レジスタ制御部207の動作のタイミングを制御する信号を生成する。例えばタイミング制御部205は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。なお、図8に示すマイクロプロセッサ200は、その構成を簡略化して示した一例にすぎず、実際にはその用途によって多種多様な構成を備えることができる。2030

#### 【0059】

本実施の形態のマイクロプロセッサ200は、絶縁表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の単結晶半導体層によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。

#### 【0060】

次に、非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の一例について図9を参照して説明する。図9は無線通信により外部装置と信号の送受信を行って動作するコンピュータ(以下、「RFCPU」という)の一例を示す。RFCPU211は、アナログ回路部212とデジタル回路部213を有している。また、アナログ回路部212として、共振容量を有する共振回路214、整流回路215、定電圧回路216、リセット回路217、発振回路218、復調回路219、変調回路220と、電源管理回路230を有している。デジタル回路部213は、RFインターフェース221、制御レジスタ222、クロックコントローラ223、CPUインターフェース224、中央処理ユニット225、ランダムアクセスメモリ226、読み出し専用メモリ227を有している。40

#### 【0061】

このような構成のRFCPU211の動作は以下の通りである。アンテナ228が受信した信号は共振回路214により誘導起電力を生じる。誘導起電力は、整流回路215を経て容量部229に充電される。この容量部229はセラミックコンデンサーや電気二重層

1020304050

コンデンサーなどのキャパシタで形成されていることが好ましい。容量部 229 は R F C P U 211 と一体形成されている必要はなく、別部品として R F C P U 211 を構成する絶縁表面を有する基板に取り付けられていれば良い。

#### 【 0062 】

リセット回路 217 は、デジタル回路部 213 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 218 は、定電圧回路 216 により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。ローパスフィルタで形成される復調回路 219 は、例えば振幅変調 (A S K) 方式の受信信号の振幅の変動を二値化する。変調回路 220 は、送信データを振幅変調 (A S K) 方式の送信信号の振幅を変動させて送信する。変調回路 220 は、共振回路 214 の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ 223 は、電源電圧又は中央処理ユニット 225 における消費電流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 230 が行っている。10

#### 【 0063 】

アンテナ 228 から R F C P U 211 に入力された信号は復調回路 219 で復調された後、R F インターフェース 221 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 222 に格納される。制御コマンドには、読み出し専用メモリ 227 に記憶されているデータの読み出し、ランダムアクセスメモリ 226 へのデータの書き込み、中央処理ユニット 225 への演算命令などが含まれている。中央処理ユニット 225 は、C P U インターフェース 224 を介して読み出し専用メモリ 227、ランダムアクセスメモリ 226、制御レジスタ 222 にアクセスする。C P U インターフェース 224 は、中央処理ユニット 225 が要求するアドレスより、読み出し専用メモリ 227、ランダムアクセスメモリ 226、制御レジスタ 222 のいずれかに対するアクセス信号を生成する機能を有している。20

#### 【 0064 】

中央処理ユニット 225 の演算方式は、読み出し専用メモリ 227 に O S (オペレーティングシステム) を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算をプログラムを使って中央処理ユニット 225 が実行する方式を適用することができる。30

#### 【 0065 】

本実施の形態の R F C P U 211 は、絶縁表面を有する基板若しくは絶縁基板上に接合された結晶方位が一定の単結晶半導体層によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部 229 を小型化しても長時間の動作を保証することができる。

#### 【 0066 】

図 1 及び図 2 で例示する単結晶半導体層 102 は、表示パネルを製造するマザーガラスと呼ばれる大型のガラス基板に接合することもできる。図 10 はベース基板 100 としてマザーガラスに単結晶半導体層 102 を接合する場合を示す。マザーガラスからは複数の表示パネルを切り出しが、単結晶半導体層 102 は、表示パネル 231 の形成領域に合わせて接合することが好ましい。半導体基板に比べて、マザーガラス基板は面積が大きいので、単結晶半導体層 102 は図 10 のように分割して配置することが好ましい。表示パネル 231 には、走査線駆動回路領域 232、信号線駆動回路領域 233、画素形成領域 234 があり、これらの領域が含まれるように単結晶半導体層 102 をベース基板 100 (マザーガラス) に接合する。40

#### 【 0067 】

図 11 は単結晶半導体層 102 により画素トランジスタが形成される表示パネルの画素の一例を示す。図 11 (A) は画素の平面図を示し、単結晶半導体層 102 にゲート配線 2

3 5 が交差し、ソース配線 2 3 6、画素電極 2 3 7 が接続する画素を示す。図 1 1 ( A ) に示す J - K 切断線に対応する断面図が図 1 1 ( B ) に示されている。

#### 【 0 0 6 8 】

図 1 1 ( B ) において、ベース基板 1 0 0 にはバリア層 1 0 5 として窒化シリコン層と酸化シリコン層が積層されている。単結晶半導体層 1 0 2 は接合層 1 0 4 によってバリア層 1 0 5 が固定されている。絶縁層 1 1 8 上に画素電極 2 3 7 が設けられている。単結晶半導体層 1 0 2 とソース配線 2 3 6 を接続するコンタクトホールには絶縁層 1 1 8 をエッチングして凹段差が生じるのでそこを埋めるように柱状スペーサ 2 4 0 が設けられている。対向基板 2 3 8 には対向電極 2 3 9 が形成され、柱状スペーサ 2 4 0 によって形成される空隙に液晶層 2 4 1 が形成されている。

10

#### 【 0 0 6 9 】

このように、表示パネルを製造するマザーガラスにも単結晶半導体層を形成しトランジスタを形成することが可能である。単結晶半導体層で形成されるトランジスタは、アモルファスシリコントランジスタよりも電流駆動能力など全ての動作特性が優れているので、トランジスタのサイズを小型化することができる。それにより、表示パネルにおける画素部の開口率を向上させることができ。また、図 8 及び図 9 で説明したようなマイクロプロセッサも形成することができるので、表示パネル内にコンピュータの機能搭載することもできる。

20

#### 【 図面の簡単な説明 】

#### 【 0 0 7 0 】

【 図 1 】 半導体基板の構成を示す断面図。

【 図 2 】 半導体基板の構成を示す断面図。

【 図 3 】 半導体基板の製造方法を説明する断面図。

【 図 4 】 半導体基板の製造方法を説明する断面図。

【 図 5 】 半導体基板の製造方法を説明する断面図。

【 図 6 】 半導体基板を用いた半導体装置の製造方法を説明する断面図。

【 図 7 】 半導体基板を用いた半導体装置の製造方法を説明する断面図。

【 図 8 】 半導体基板により得られるマイクロプロセッサの構成を示すブロック図。

【 図 9 】 半導体基板により得られる R F C P U の構成を示すブロック図。

30

【 図 1 0 】 表示パネル製造用のマザーガラスに単結晶半導体層を接合する場合を例示する平面図。

【 図 1 1 】 単結晶半導体層により画素トランジスタが構成されている表示パネルの一例を示す図。

#### 【 符号の説明 】

#### 【 0 0 7 1 】

1 0 0 ベース基板

1 0 1 半導体基板

1 0 2 単結晶半導体層

1 0 3 脆化層

40

1 0 4 接合層

1 0 5 バリア層

1 0 9 ゲート絶縁層

1 1 0 ゲート電極

1 1 1 サイドウォール絶縁層

1 1 2 第 1 不純物領域

1 1 3 第 2 不純物領域

1 1 4 絶縁層

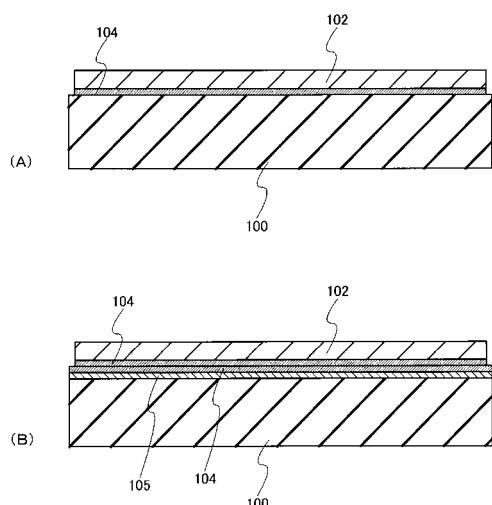
1 1 5 層間絶縁層

1 1 6 コンタクトホール

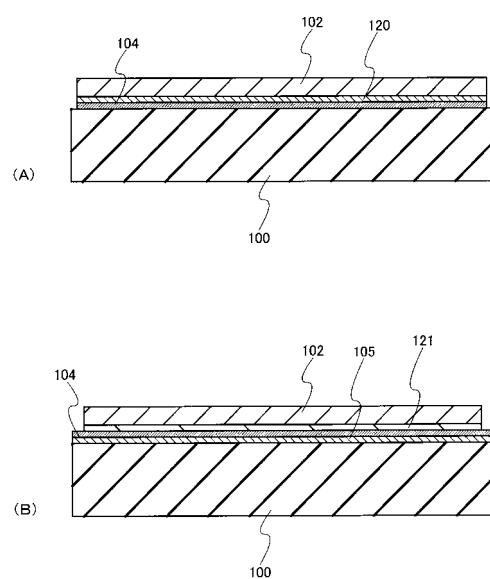
50

- 1 1 8 絶縁層  
 1 1 9 配線  
 1 2 0 窒素含有絶縁層  
 1 2 1 酸化シリコン膜

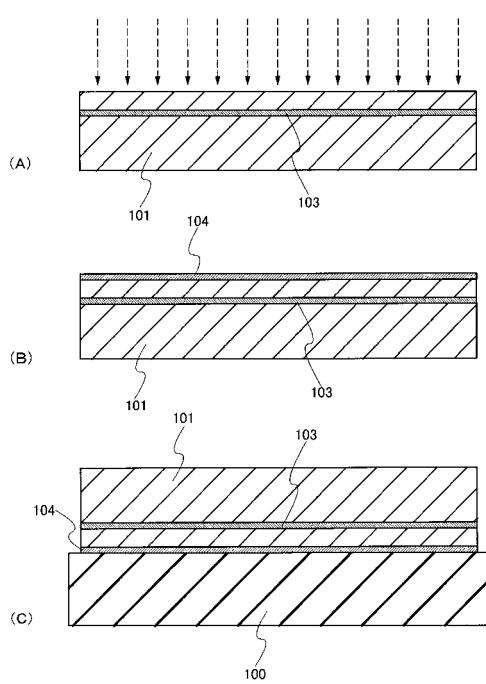
【図 1】



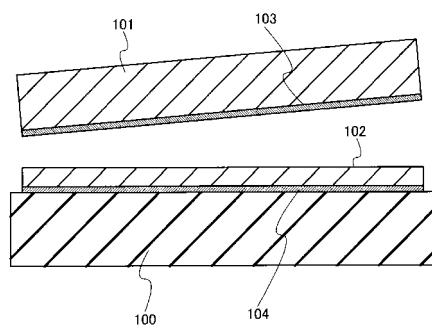
【図 2】



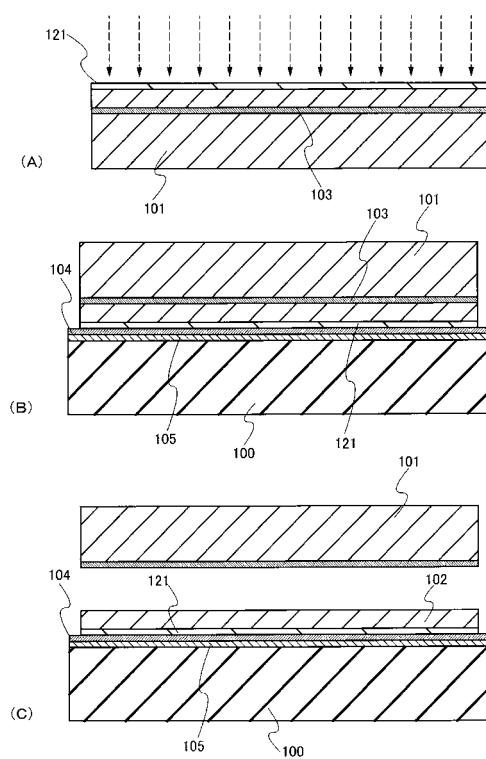
【図3】



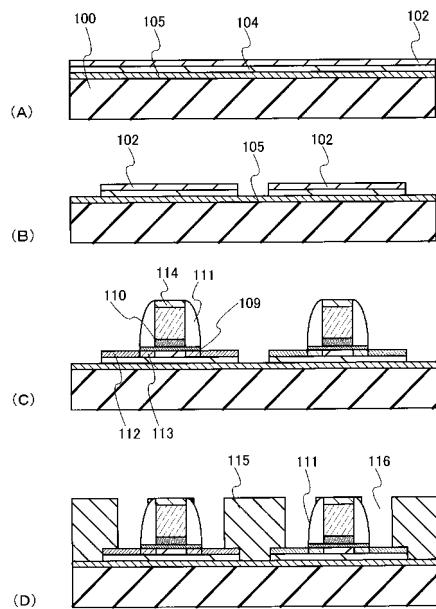
【図4】



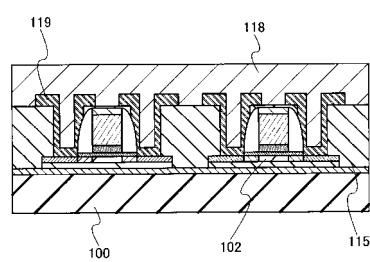
【図5】



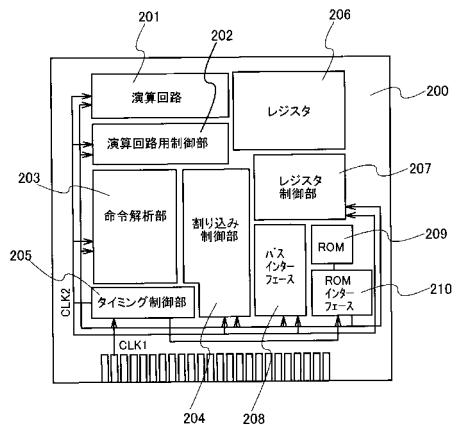
【図6】



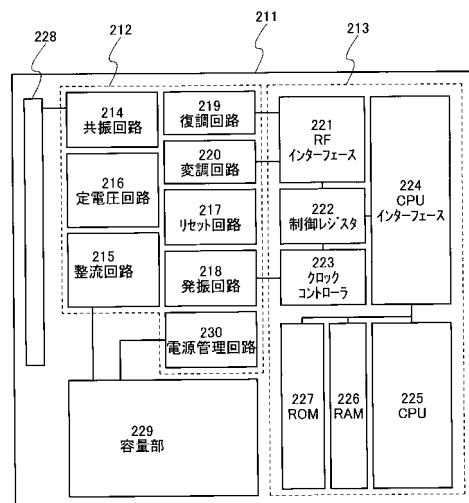
【図7】



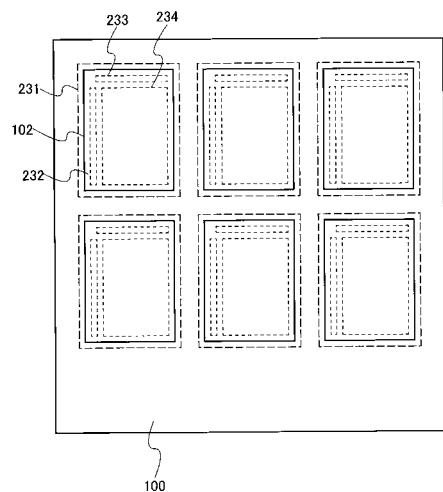
【図 8】



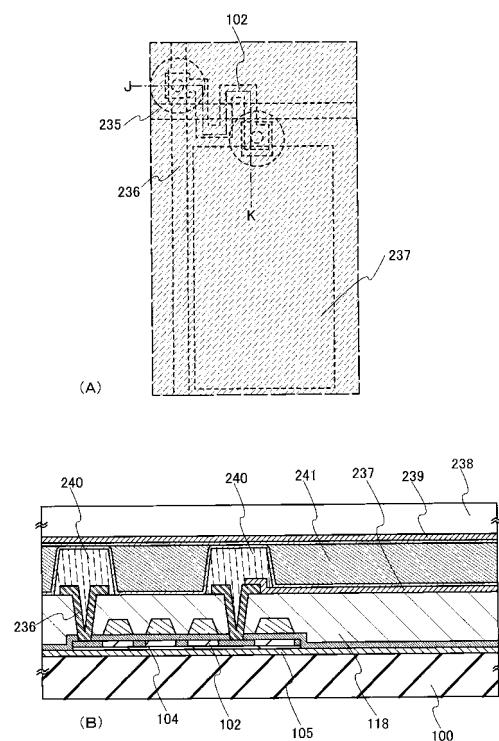
【図 9】



【図 10】



【図 11】



---

フロントページの続き

(56)参考文献 国際公開第2006/029651(WO,A1)  
特開平11-121310(JP,A)  
国際公開第2007/014320(WO,A1)  
特開2002-170942(JP,A)  
特表2008-513600(JP,A)  
特表2009-507363(JP,A)  
特開平10-308354(JP,A)  
特開平11-233449(JP,A)  
特開平08-255762(JP,A)  
特開2004-134675(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/12