(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0059370
(43) 공개일자 2025년05월02일

(51) 국제특허분류(Int. Cl.)
H10D 1/68 (2025.01) *H10B 12/00* (2023.01)
H10D 1/00 (2025.01)
(52) CPC특허분류
H10D 1/696 (2025.01)
H10B 12/033 (2023.02)
(21) 출원번호 10-2025-0048023
(22) 출원일자 2025년04월14일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
신창환
서울특별시 서초구 서초중앙로 206, 106동 2304호 (반포동, 디에이치 반포 라클라스)
최예주
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)
(74) 대리인
특허법인가산

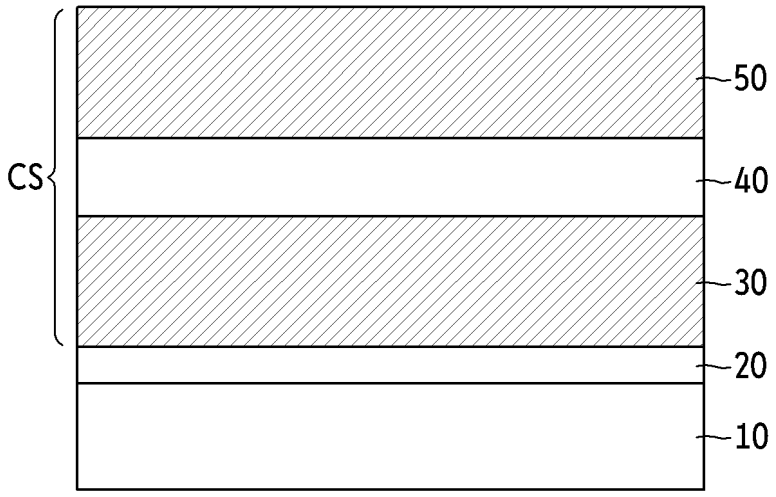
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체 장치 및 이의 제조 방법**

(57) 요 약

본 발명은 전기적 특성 및 신뢰성을 향상시킬 수 있는 반도체 장치를 제공하는 것이다. 반도체 장치는 제1 금속을 포함하는 제1 전극막, 상기 제1 전극막 상에, 제2 금속을 포함하는 제2 전극막, 및 상기 제1 전극막 및 상기 제2 전극막 사이에 배치되고, 제3 금속원소가 도핑된 하프늄 산화물을 포함하는 커패시터 유전막을 포함하고, 상기 제1 금속 원소 및 상기 제2 금속원소는 각각 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함하고, 상기 제1 전극막은 상기 제1 금속 원소의 산화물의 결정립(crystal grain)을 포함하는 반도체 장치이다.

대 표 도 - 도1



(52) CPC특허분류
H10B 12/315 (2023.02)
H10D 1/042 (2025.01)

명 세 서

청구범위

청구항 1

제1 금속 원소를 포함하는 제1 전극막;

상기 제1 전극막 상에, 제2 금속 원소를 포함하는 제2 전극막; 및

상기 제1 전극막 및 상기 제2 전극막 사이에 배치되고, 제3 금속 원소가 도핑된 하프늄 산화물을 포함하는 커패시터 유전막을 포함하고,

상기 제1 금속 원소 및 상기 제2 금속 원소는 각각 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함하고,

상기 제1 전극막은 상기 제1 금속 원소의 산화물의 결정립(crystal grain)을 포함하는 반도체 장치.

청구항 2

제1 항에 있어서,

상기 제2 전극막은 상기 제2 금속 원소의 산화물의 결정립(crystal grain)을 포함하는 반도체 장치.

청구항 3

제1 항에 있어서,

상기 제1 금속 원소 및 상기 제2 금속 원소는 텅스텐(W)인 반도체 장치.

청구항 4

제1 항에 있어서,

상기 제3 금속 원소는 지르코늄(Zr), 실리콘(Si), 가돌륨(Gd), 란타늄(La), 이트륨(Y) 또는 알루미늄(Al) 중 하나를 포함하는 반도체 장치.

청구항 5

제1 항에 있어서,

상기 제1 전극막 내의 산소 원자의 분율은 45 at% 이상 55 at% 이하인 반도체 장치.

청구항 6

제1 스퍼터링 공정을 이용하여, 제1 금속 원소를 포함하는 하부 전극을 형성하고,

상기 하부 전극 상에, 제2 금속 원소가 도핑된 하프늄 산화물을 포함하는 커패시터 유전막을 형성하고,

제2 스퍼터링 공정을 이용하여, 상기 커패시터 유전막 상에 제3 금속 원소를 포함하는 상부 전극을 형성하고,

400℃ 이상 750℃ 이하의 온도에서, 상기 하부 전극, 상기 커패시터 유전막 및 상기 상부 전극을 열처리하는 것을 포함하고,

상기 제1 금속 원소 및 상기 제3 금속 원소는 각각 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함하고,

상기 제1 스퍼터링 공정 또는 상기 제2 스퍼터링 공정은 비활성 가스 및 산소가 혼합된 분위기에서 수행되는 반도체 장치 제조 방법.

청구항 7

제6 항에 있어서,

상기 하부 전극 및 상기 상부 전극은 각각 상기 제1 금속 원소의 산화물의 결정립(crystal grain) 및 상기 제3 금속 원소의 산화물의 결정립(crystal grain)을 포함하는 반도체 장치 제조 방법.

청구항 8

제6 항에 있어서,

상기 제1 금속 원소 및 상기 제3 금속 원소는 텅스텐(W)인 반도체 장치 제조 방법.

청구항 9

제6 항에 있어서,

상기 제2 금속 원소는 지르코늄(Zr), 실리콘(Si), 가돌륨(Gd), 란타늄(La), 이트륨(Y) 또는 알루미늄(Al) 중 하나를 포함하는 반도체 장치 제조 방법.

청구항 10

제6 항에 있어서,

상기 하부 전극 또는 상기 상부 전극 내의 산소 원자의 분율은 45 at% 이상 55 at% 이하인 반도체 장치 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치 및 이의 제조 방법에 관한 것으로, 좀 더 구체적으로 데이터 저장 소자로 커패시터를 이용하는 반도체 장치 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근 반도체 소자는 대용량화 및 고집적화되면서, 디자인 룰(design rule)도 지속적으로 감소하고 있다. 이와 같은 경향은 메모리 반도체 소자 중의 하나인 DRAM에서도 나타나고 있다. DRAM 장치가 동작하기 위해서는 하나의 셀마다 일정한 수준 이상의 커패시턴스(정정 용량, capacitance)가 필요하다.

[0003] 커패시턴스의 증가는 커패시터에 저장되는 전하의 양을 증가시켜, 반도체 장치의 리프레시(refresh) 특성을 개선시킨다. 개선된 반도체 장치의 리프레쉬 특성은 반도체 장치의 수율을 향상시킬 수 있다.

[0004] 커패시턴스를 증가시키기 위해, 높은 유전 상수를 갖는 유전막을 커패시터에 활용하는 방법이 연구되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하려는 과제는, 전기적 특성 및 신뢰성을 향상시킬 수 있는 반도체 장치를 제공하는 것이다.

[0006] 본 발명이 해결하려는 다른 과제는, 전기적 특성 및 신뢰성을 향상시킬 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

[0007] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 일 태양(aspect)은 제1 금속 원소를 포함하는 제1 전극막, 상기 제1 전극막 상에, 제2 금속 원소를 포함하는 제2 전극막, 및 상기 제1 전극막 및 상기 제2 전극막 사이에 배치되고, 제3 금속 원소가 도핑된 하프늄 산화물을 포함하는 커패시터 유전막을 포함하고, 상기 제1 금속 원소 및 상기 제2 금속 원소는 각각 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포

함하고, 상기 제1 전극막은 상기 제1 금속 원소의 산화물의 결정립(crystal grain)을 포함한다.

[0009] 상기 과제를 해결하기 위한 본 발명의 반도체 장치 제조 방법의 일 태양은 제1 스퍼터링 공정을 이용하여, 제1 금속 원소를 포함하는 하부 전극을 형성하고, 상기 하부 전극 상에, 제2 금속 원소가 도핑된 하프늄 산화물을 포함하는 커패시터 유전막을 형성하고, 제2 스퍼터링 공정을 이용하여, 상기 커패시터 유전막 상에 제3 금속 원소를 포함하는 상부 전극을 형성하고, 400℃ 이상 750℃ 이하의 온도에서, 상기 하부 전극, 상기 커패시터 유전막 및 상기 상부 전극을 열처리하는 것을 포함하고, 상기 제1 금속 원소 및 상기 제3 금속 원소는 각각 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함하고, 상기 제1 스퍼터링 공정 또는 상기 제2 스퍼터링 공정은 비활성 가스 및 산소가 혼합된 분위기에서 수행되는 것을 포함한다.

[0010] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0011] 도 1은 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 예시적인 도면이다.

도 2는 도 1의 하부 전극 또는 상부 전극의 금속 원소와 금속 산화물의 결정성을 설명하기 위한 XRD 그래프이다.

도 3은 도 1의 하부 전극, 커패시터 유전막 및 상부 전극의 원소 분율을 설명하기 위한 그래프이다.

도 4 및 도 5는 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 예시적인 도면들이다.

도 6은 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 예시적인 도면이다.

도 7은 몇몇 실시예들에 따른 반도체 장치의 개략적인 레이아웃도이다.

도 8은 도 7의 워드 라인 및 셀 활성 영역만을 나타낸 레이아웃도이다.

도 9는 도 7의 A-A를 따라 절단한 예시적인 단면도이다.

도 10은 도 9의 P 부분을 확대하여 도시한 도면이다.

도 11은 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.

도 12는 도 11의 반도체 장치를 설명하기 위한 사시도이다.

도 13은 도 11의 B-B 및 C-C를 따라 절단한 예시적인 단면도이다.

도 14는 도 13의 Q 부분을 확대하여 도시한 도면이다.

도 15는 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 레이아웃도이다.

도 16은 도 15의 반도체 장치를 설명하기 위한 사시도이다.

도 17은 몇몇 실시예들에 따른 반도체 장치 제조 방법을 설명하기 위한 순서도이다.

도 18은 몇몇 실시예들에 따른 하부 전극 및 상부 전극을 제조하는 반도체 제조 장치의 구성을 개략적으로 나타낸 도면이다.

도 19 내지 도 22는 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서에서, 비록 제1, 제2 등이 다양한 소자나 구성요소들을 서술하기 위해서 사용되나, 이들 소자나 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자나 구성요소를 다른 소자나 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자나 구성요소는 본 발명의 기술적 사상 내에서 제2 소자나 구성요소일 수도 있음은 물론이다.

[0013] 도 1 내지 도 3을 참조하여, 몇몇 실시예들에 따른 반도체 장치에 대해 설명한다.

[0014] 도 1은 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 예시적인 도면이다. 도 2는 도 1의 하부 전극 또는 상부 전극의 금속 원소와 금속 산화물의 결정성을 설명하기 위한 XRD 그래프이다. 도 3은 도 1의 하부 전극, 커패시터 유전막 및 상부 전극의 원소 분율을 설명하기 위한 그래프이다.

[0015] 도 1 내지 도 3을 참고하면, 몇몇 실시예들에 따른 반도체 장치는 커패시터 구조체(CS)를 포함할 수 있다.

[0016] 제1 기판(10)은 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리 제1 기판(10)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘 게르마늄, SGOI(silicon germanium on insulator), 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소, 또는 안티몬화 갈륨을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0017] 하부 절연막(20)은 제1 기판(10) 상에 배치될 수 있다. 하부 절연막(20)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 및 실리콘 산화물보다 유전 상수가 작은 저유전율(low-k) 물질 중 적어도 하나를 포함할 수 있다. 상기 저유전물 물질은, 예를 들어, FOX(Flowable Oxide), TOSZ(Torene SilaZene), USG(Undoped Silica Glass), BSG(BoroSilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), CDO(Carbon Doped silicon Oxide), Xerogel, Aerogel, Amorphous Fluorinated Carbon, OSG(Organo Silicate Glass), Parylene, BCB(bis-benzocylclobutenes), SiLK, polyimide, porous polymeric material 및 이들의 조합 중 적어도 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0018] 커패시터 구조체(CS)는 제1 기판(10) 상에 배치될 수 있다. 커패시터 구조체(CS)는 하부 전극(30), 커패시터 유전막(40) 및 상부 전극(50)을 포함할 수 있다. 커패시터 구조체(CS)는 하부 전극(30)과 상부 전극(50) 사이에 발생하는 전위차를 이용하여 커패시터 유전막(40) 내에 전하를 저장할 수 있다.

[0019] 하부 전극(30)은 제1 기판(10) 상에 배치될 수 있다. 하부 전극(30)은 하부 절연막(20) 상에 배치될 수 있다. 하부 전극(30)은 하부 절연막(20)과 접촉할 수 있다.

[0020] 하부 전극(30)은 물리적 증착법(PVD)에 의해 증착될 수 있지만, 이에 제한되는 것은 아니다. 예를 들어, 하부 전극(30)은 스퍼터링 공정을 이용하여 증착될 수 있다.

[0021] 예를 들어, 하부 전극(30)은 제1 금속 원소(M1) 및 제1 금속 원소(M1)의 산화물을 포함할 수 있다.

[0022] 제1 금속 원소(M1)는 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0023] 하부 전극(30)은 제1 금속 원소(M1)의 산화물의 결정립(crystal grain)을 포함할 수 있다. 하부 전극(30)은 결정질의 제1 금속 원소(M1)의 산화물을 포함할 수 있다.

[0024] 하부 전극(30)에 포함된 결정질의 제1 금속 원소(M1)의 산화물은 커패시터 유전막(40)의 강유전체 물질의 잔류분극(remnant polarization)을 높이고 산소 공공(oxygen vacancy, V_O)을 줄여 커패시터 구조체(CS)의 내구성을 높일 수 있다.

[0025] 도 1 및 도 2(a)에서, 제1 금속 원소(M1)는 예를 들어, 텅스텐(W)일 수 있다. 텅스텐(W) 타겟을 이용하여 하부 전극(30)이 형성될 경우, 하부 전극(30)은 결정성을 갖는 텅스텐(W)을 포함할 수 있다.

[0026] 도 1 및 도 2(b)에서, 하부 전극(30)은 텅스텐(W)과 텅스텐 산화물(WO_x)을 포함할 수 있다. 텅스텐(W) 타겟을 이용하여 하부 전극(30)을 형성하는 동안 산소를 공급할 경우, 하부 전극(30)은 텅스텐 산화물(WO_x)의 결정립과 텅스텐(W) 결정립을 포함할 수 있다. 하부 전극(30)은 결정질의 텅스텐 산화물(WO_x)을 포함할 수 있다.

[0027] 하부 전극(30)에 포함된 텅스텐 산화물(WO_x)은 (110) 방향, (111) 방향, (221) 방향 등으로 성장되는 결정립을 포함할 수 있다. 하부 전극(30)에 포함된 텅스텐 산화물(WO_x)은 결정성을 가질 수 있다.

[0028] 도 1 및 도 3에서, 하부 전극(30)은 제1 금속 원소(M1)와 제1 금속 원소(M1)의 산화물을 모두 포함할 수 있다. 예를 들어, 제1 금속 원소(M1)는 텅스텐(W)일 수 있다. 하부 전극(30)은 45% 내지 55%의 원자 분율의 산소를 포함할 수 있다. 이 경우, 하부 전극(30)은 x가 3 이하인 텅스텐 산화물(WO_x)을 포함할 수 있다. 이를 통해, 하부 전극(30)은 전극의 전기 전도성과 내구성을 모두 높일 수 있다.

[0029] 상부 전극(50)은 하부 전극(30) 상에 배치될 수 있다. 상부 전극(50)은 커패시터 유전막(40) 상에 배치될 수 있다. 상부 전극(50)은 커패시터 유전막(40) 과 접촉할 수 있다.

[0030] 상부 전극(50)은 물리적 증착법(PVD)에 의해 증착될 수 있지만, 이에 제한되는 것은 아니다. 상부 전극(50)은

예를 들어, 스퍼터링 공정을 이용하여 증착될 수 있다.

[0031] 예를 들어, 상부 전극(50)은 제2 금속 원소(M2) 및 제2 금속 원소(M2)의 산화물을 포함할 수 있다.

[0032] 제2 금속 원소(M2)는 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0033] 상부 전극(50)은 제2 금속 원소(M2)의 산화물의 결정립(crystal grain)을 포함할 수 있다. 상부 전극(50)은 결정질의 제2 금속 원소(M2)의 산화물을 포함할 수 있다.

[0034] 상부 전극(50)에 포함된 결정질의 제2 금속 원소(M2)의 산화물은 커패시터 유전막(40)의 강유전체 물질의 잔류 분극(remnant polarization)을 높이고 산소 공공(oxygen vacancy, V_O)을 줄여 커패시터 구조체(CS)의 내구성을 높일 수 있다.

[0035] 도 1 및 도 2(a)에서, 제2 금속 원소(M2)는 예를 들어, 텅스텐(W)일 수 있다. 텅스텐(W) 타겟을 이용하여 상부 전극(50)이 형성될 경우, 상부 전극(50)은 결정성을 갖는 텅스텐(W)을 포함할 수 있다.

[0036] 도 1 및 도 2(b)에서, 상부 전극(50)은 텅스텐(W)과 텅스텐 산화물(WO_x)을 포함할 수 있다. 텅스텐(W) 타겟을 이용하여 상부 전극(50)을 형성하는 동안 산소를 공급할 경우, 상부 전극(50)은 텅스텐 산화물(WO_x)의 결정립과 텅스텐(W) 결정립을 포함할 수 있다. 상부 전극(50)은 결정질의 텅스텐 산화물(WO_x)을 포함할 수 있다.

[0037] 상부 전극(50)에 포함된 텅스텐 산화물(WO_x)은 (110) 방향, (111) 방향, (221) 방향 등으로 성장되는 결정립을 포함할 수 있다. 상부 전극(50)에 포함된 텅스텐 산화물(WO_x)은 결정성을 가질 수 있다.

[0038] 도 1 및 도 3에서, 상부 전극(50)은 제2 금속 원소(M2)와 제2 금속 원소(M2)의 산화물을 모두 포함할 수 있다. 예를 들어, 제2 금속 원소(M2)는 텅스텐(W)일 수 있다. 상부 전극(50)은 45% 내지 55%의 원자 분율의 산소를 포함할 수 있다. 이 경우, 상부 전극(50)은 x가 3 이하인 텅스텐 산화물(WO_x)을 포함할 수 있다. 상부 전극(50)은 전극의 전기 전도성과 내구성을 모두 높일 수 있다.

[0039] 커패시터 유전막(40)은 하부 전극(30) 상에 배치될 수 있다. 커패시터 유전막(40)은 하부 전극(30) 및 상부 전극(50) 사이에 배치될 수 있다.

[0040] 커패시터 유전막(40)은 강유전체 물질을 포함할 수 있다. 커패시터 유전막(40)은 하프늄 산화물을 포함할 수 있다. 커패시터 유전막(40)은 제3 금속 원소(M3)가 도핑된 하프늄 산화물을 포함할 수 있다.

[0041] 제3 금속 원소(M3)는 예를 들어, 지르코늄(Zr), 실리콘(Si), 가돌륨(Gd), 란타늄(La), 이트륨(Y) 또는 알루미늄(Al) 중 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다. 커패시터 유전막(40)은 결정성을 갖는 제3 금속 원소(M3)가 도핑된 하프늄 산화물을 포함할 수 있다.

[0042] 커패시터 유전막(40)은 단일막인 것으로 도시되었지만, 이는 설명의 편의를 위해서일 뿐, 이에 제한되는 것은 아니다. 다른 예로, 커패시터 유전막(40)은 다중막 구조일 수 있다.

[0043] 도 4 및 도 5는 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 예시적인 도면들이다. 설명의 편의를 위해, 도 1 내지 도 3을 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.

[0044] 도 4를 참고하면, 커패시터 구조체(CS)는 상부 전극(52)을 포함할 수 있다.

[0045] 상부 전극(52)은 제2 금속 원소(M2)를 포함할 수 있다. 예를 들어, 상부 전극(52)은 제2 금속 원소(M2)로 형성될 수 있다. 제2 금속 원소(M2)는 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0046] 도 5를 참고하면, 커패시터 구조체(CS)는 제1 하부 전극(32), 제2 하부 전극(34), 제1 상부 전극(52) 및 제2 상부 전극(54)을 포함할 수 있다.

[0047] 제1 하부 전극(32)은 제1 기판(10) 상에 배치될 수 있다. 제1 하부 전극(32)은 제1 금속 원소(M1)를 포함할 수 있다. 제1 하부 전극(32)은 제1 금속 원소(M1)로 형성될 수 있다. 제1 금속 원소(M1)는 텅스텐(W), 루테늄(Ru), 이리듐(Ir), 백금(Pt) 또는 몰리브덴(Mo) 중 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0048] 제2 하부 전극(34)은 제1 하부 전극(32) 상에 배치될 수 있다. 제2 하부 전극(34)은 제1 하부 전극(32)와 커패

시터 유전막(40) 사이에 배치될 수 있다. 제2 하부 전극(34)은 제1 하부 전극(32)과 접촉할 수 있다.

[0049] 제2 하부 전극(34)은 제1 금속 원소(M1)의 산화물을 포함할 수 있다. 제2 하부 전극(34)은 제1 금속 원소(M1)의 산화물의 결정립(crystal grain)을 포함할 수 있다. 제2 하부 전극(34)은 결정질의 제1 금속 원소(M1)의 산화물을 포함할 수 있다.

[0050] 제1 상부 전극(52)은 제1 기판(10) 상에 배치될 수 있다. 제1 상부 전극(52)은 제2 금속 원소(M2)를 포함할 수 있다.

[0051] 제2 상부 전극(54)은 커패시터 유전막(40)과 제1 상부 전극(52) 사이에 배치될 수 있다. 제2 상부 전극(54)은 제1 상부 전극(52)과 접촉할 수 있다.

[0052] 제2 상부 전극(54)은 제2 금속 원소(M2)의 산화물을 포함할 수 있다. 제2 상부 전극(54)은 제2 금속 원소(M2)의 산화물의 결정립(crystal grain)을 포함할 수 있다. 제2 하부 전극(54)은 결정질의 제2 금속 원소(M2)의 산화물을 포함할 수 있다.

[0053] 도 6은 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 예시적인 도면이다. 설명의 편의를 위해, 도 4 및 도 5를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.

[0054] 도 6을 참고하면, 커패시터 구조체(CS)는 제1 하부 전극(32), 제2 하부 전극(34), 커패시터 유전막(40) 및 상부 전극(52)를 포함할 수 있다.

[0055] 제2 하부 전극(34)은 제1 하부 전극(32) 상에 배치될 수 있다. 제2 하부 전극(34)은 커패시터 유전막(40)과 제1 하부 전극(32) 사이에 배치될 수 있다.

[0056] 커패시터 유전막(40)은 제2 하부 전극(34) 상에 배치될 수 있다. 커패시터 유전막(40)은 제2 하부 전극(34)과 상부 전극(52) 사이에 배치될 수 있다.

[0057] 상부 전극(52)은 커패시터 유전막(40) 상에 배치될 수 있다.

[0058] 도 7은 몇몇 실시예들에 따른 반도체 장치의 개략적인 레이아웃도이다. 도 8은 도 7의 워드 라인 및 셀 활성 영역만을 나타낸 레이아웃도이다. 도 9는 도 7의 A-A를 따라 절단한 예시적인 단면도이다. 도 10은 도 9의 P 부분을 확대하여 도시한 도면이다. 설명의 편의를 위해, 도 1 내지 도 3을 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.

[0059] 몇몇 실시예들에 따른 반도체 장치에 관한 도면에서, 예시적으로 DRAM(Dynamic Random Access Memory)이 도시되었지만, 이에 제한되는 것은 아니다.

[0060] 도 7 및 도 8을 참고하면, 몇몇 실시예들에 따른 반도체 장치는 복수의 셀 활성 영역(ACT)을 포함할 수 있다.

[0061] 셀 활성 영역(ACT)은 제2 기판(도 9의 100) 내에 형성된 셀 소자 분리막(105)에 의해 정의될 수 있다. 반도체 장치의 디자인 룰 감소에 따라, 도시된 바와 같이 셀 활성 영역(ACT)은 사선(diagonal line or oblique line)의 바(bar) 형태로 배치될 수 있다. 예를 들어, 셀 활성 영역(ACT)은 제3 방향(DR3)으로 연장될 수 있다.

[0062] 셀 활성 영역(ACT)을 가로질러 제1 방향(DR1)으로 연장된 복수의 게이트 전극이 배치될 수 있다. 복수의 게이트 전극은 서로 간에 평행하게 연장될 수 있다. 복수의 게이트 전극은 예를 들어, 복수의 워드 라인(word line: WL)일 수 있다. 워드 라인(WL)은 등 간격으로 배치될 수 있다. 워드 라인(WL)의 폭이나 워드 라인(WL) 사이의 간격은 디자인 룰에 따라 결정될 수 있다.

[0063] 제1 방향(DR1)으로 연장되는 2개의 워드 라인(WL)에 의해, 각각의 셀 활성 영역(ACT)은 3 부분으로 나뉠 수 있다. 셀 활성 영역(ACT)은 스토리지 연결 영역(103b) 및 비트 라인 연결 영역(103a)을 포함할 수 있다. 비트 라인 연결 영역(103a)은 셀 활성 영역(ACT)의 가운데 부분에 위치하고, 스토리지 연결 영역(103b)은 셀 활성 영역(ACT)의 단부에 위치할 수 있다.

[0064] 예를 들어, 비트 라인 연결 영역(103a)은 비트 라인(BL)과 연결되는 영역이고, 스토리지 연결 영역(103b)은 제1 커패시터 구조체(도 9의 190)와 연결되는 영역일 수 있다. 다르게 설명하면, 비트 라인 연결 영역(103a)은 공통 드레인 영역에 해당되고, 스토리지 연결 영역(103b)은 소오스 영역에 해당될 수 있다. 각 워드 라인(WL)과, 이에 인접한 비트 라인 연결 영역(103a) 및 스토리지 연결 영역(103b)은 트랜지스터를 구성할 수 있다.

[0065] 워드 라인(WL) 상에는 워드 라인(WL)과 직교하는 제2 방향(DR2)으로 연장되는 복수의 비트 라인(Bit Line: BL)이 배치될 수 있다. 복수의 비트 라인(BL)은 서로 간에 평행하게 연장될 수 있다. 비트 라인(BL)은 등 간격으로

배치될 수 있다. 비트 라인(BL)의 폭이나 비트 라인(BL) 사이의 간격은 디자인 룰에 따라 결정될 수 있다.

[0066] 제4 방향(DR4)은 제1 방향(DR1), 제2 방향(DR2) 및 제3 방향(DR3)과 직교할 수 있다. 제4 방향(DR4)은 제2 기판(100)의 두께 방향일 수 있다.

[0067] 몇몇 실시예들에 따른 반도체 메모리 장치는 셀 활성 영역(ACT) 상에 형성된 다양한 컨택 배열들을 포함할 수 있다. 다양한 컨택은 예를 들어, 다이렉트 컨택(Direct Contact: DC), 매몰 컨택(Buried Contact: BC) 및 랜딩 패드(Landing Pad: LP) 등을 포함할 수 있다.

[0068] 여기서 다이렉트 컨택(DC)은 셀 활성 영역(ACT)을 비트 라인(BL)에 전기적으로 연결시키는 컨택을 의미할 수 있다. 매몰 컨택(BC)은 셀 활성 영역(ACT)을 제1 커패시터 구조체의 제1 하부 전극(도 9의 301)에 연결시키는 접속 패드일 수 있다. 배치 구조상, 매몰 컨택(BC)과 셀 활성 영역(ACT)의 접촉 면적이 작을 수 있다. 그에 따라, 셀 활성 영역(ACT)과 접촉 면적을 확대하는 것과 함께 제1 커패시터 구조체의 제1 하부 전극(301)과의 접촉 면적 확대를 위해, 도전성의 랜딩 패드(LP)가 도입될 수 있다.

[0069] 몇몇 실시예들에 따른 반도체 장치에서, 랜딩 패드(LP)는 매몰 컨택(BC)과 제1 커패시터 구조체의 제1 하부 전극(301) 사이에 배치될 수 있다. 랜딩 패드(LP)의 도입을 통해 접촉 면적을 확대함으로써, 셀 활성 영역(ACT)과 제1 커패시터 구조체의 제1 하부 전극(301) 사이의 컨택 저항이 감소될 수 있다.

[0070] 다이렉트 컨택(DC)은 비트 라인 연결 영역(103a)과 연결될 수 있다. 매몰 컨택(BC)은 스토리지 연결 부분(103b)과 연결될 수 있다.

[0071] 매몰 컨택(BC)이 셀 활성 영역(ACT)의 양 끝단 부분으로 배치됨에 따라, 랜딩 패드(LP)는 셀 활성 영역(ACT)의 양 끝단에 인접하여 매몰 컨택(BC)과 일부 오버랩되게 배치될 수 있다. 다르게 설명하면, 매몰 컨택(BC)은 인접하는 워드 라인(WL) 사이와, 인접하는 비트 라인(BL) 사이에 있는 셀 활성 영역(ACT) 및 셀 소자 분리막(도 9의 105)과 중첩되도록 형성될 수 있다.

[0072] 워드 라인(WL)은 제2 기판(도 9의 100) 내에 매몰된 구조로 형성될 수 있다. 워드 라인(WL)은 다이렉트 컨택(DC)이나 매몰 컨택(BC) 사이의 셀 활성 영역(ACT)을 가로질러 배치될 수 있다. 도시된 것과 같이, 2개의 워드 라인(WL)이 하나의 셀 활성 영역(ACT)을 가로지르도록 배치될 수 있다. 셀 활성 영역(ACT)이 제3 방향(DR3)을 따라 연장됨으로써, 워드 라인(WL)은 셀 활성 영역(ACT)과 90도 미만의 각도를 가질 수 있다.

[0073] 다이렉트 컨택(DC) 및 매몰 컨택(BC)은 대칭적으로 배치될 수 있다. 이로 인해, 다이렉트 컨택(DC) 및 매몰 컨택(BC)은 제1 방향(DR1) 및 제2 방향(DR2)을 따라 일직선 상에 배치될 수 있다.

[0074] 한편, 다이렉트 컨택(DC) 및 매몰 컨택(BC)과 달리, 랜딩 패드(LP)는 비트 라인(BL)이 연장되는 제2 방향(DR2)으로 지그재그 형태로 배치될 수 있다. 또한, 랜딩 패드(LP)는 워드 라인(WL)이 연장되는 제1 방향(DR1)으로는 각 비트 라인(BL)의 동일한 측면 부분과 오버랩되게 배치될 수 있다.

[0075] 예를 들어, 첫 번째 라인의 랜딩 패드(LP) 각각은 대응하는 비트 라인(BL)의 왼쪽 측면과 오버랩되고, 두 번째 라인의 랜딩 패드(LP) 각각은 대응하는 비트 라인(BL)의 오른쪽 측면과 오버랩될 수 있다.

[0076] 도 7 내지 도 9를 참고하면, 몇몇 실시예들에 따른 반도체 장치는 복수의 비트 라인 구조체(140ST)와, 복수의 스토리지 컨택(120)와, 복수의 비트 라인 컨택(146)과 제1 커패시터 구조체(190)를 포함할 수 있다.

[0077] 제2 기판(100)은 실리콘 기판 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 제2 기판(100)은 실리콘 게르마늄, SGOI(silicon germanium on insulator), 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0078] 셀 소자 분리막(105)은 제2 기판(100) 내에 형성될 수 있다. 셀 소자 분리막(105)은 우수한 소자 분리 특성을 갖는 STI(shallow trench isolation) 구조를 가질 수 있다. 셀 소자 분리막(105)은 메모리 셀 영역 내에 셀 활성 영역(ACT)을 정의할 수 있다.

[0079] 셀 소자 분리막(105)에 의해 정의된 셀 활성 영역(ACT)은 도 7 및 도 8에서 도시된 것과 같이 단축과 장축을 포함하는 긴 아일랜드 형상을 가질 수 있다. 셀 활성 영역(ACT)은 셀 소자 분리막(105) 내에 형성되는 워드 라인(WL)에 대하여 90도 미만의 각도를 갖도록 사선 형태를 가질 수 있다. 또한, 셀 활성 영역(ACT)은 셀 소자 분리막(105) 상에 형성되는 비트 라인(BL)에 대하여 90도 미만의 각도를 갖도록 사선 형태를 가질 수 있다.

[0080] 셀 소자 분리막(105)은 예를 들어, 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막 중 적어도 하나를 포함할

수 있지만, 이에 제한되는 것은 아니다.

[0081] 셀 소자 분리막(105)은 하나의 절연막으로 형성되는 것으로 도시되었지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다. 인접하는 셀 활성 영역(ACT)이 이격된 거리에 따라, 셀 소자 분리막(105)은 하나의 절연막으로 형성될 수도 있고, 복수의 절연막으로 형성될 수도 있다.

[0082] 비트 라인 구조체(140ST)는 셀 도전 라인(140)과, 셀 라인 캡핑막(144)과, 비트 라인 스페이서(150)를 포함할 수 있다.

[0083] 셀 도전 라인(140)은 워드 라인(WL)이 형성된 제2 기판(100) 및 셀 소자 분리막(105) 상에 배치될 수 있다. 셀 도전 라인(140)은 셀 소자 분리막(105) 및 셀 소자 분리막(105)에 의해 정의된 셀 활성 영역(ACT)과 교차할 수 있다. 셀 도전 라인(140)은 워드 라인(WL)과 교차되도록 형성될 수 있다. 여기에서, 셀 도전 라인(140)은 비트 라인(BL)에 대응될 수 있다. 예를 들어, 셀 도전 라인(140)은 도 7의 비트 라인(BL)일 수 있다.

[0084] 셀 도전 라인(140)은 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 금속 실리사이드, 도전성 금속 질화물, 도전성 금속 산화물, 2차원 물질(Two dimensional(2D) material) 또는 금속 중 적어도 하나를 포함할 수 있다. 몇몇 실시예들에 따른 반도체 장치에서, 2차원 물질은 금속성 물질 및/또는 반도체 물질일 수 있다. 2차원 물질(2D material)은 2차원 동소체(allotrope) 또는 2차원 화합물(compound)을 포함할 수 있고, 예를 들어, 그래핀(graphene), 몰리브덴 이황화물 (MoS_2), 몰리브덴 디셀레나이드 ($MoSe_2$), 텅스텐 디셀레나이드 (WSe_2), 또는 텅스텐 이황화물 (WS_2) 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다. 즉, 상술한 2차원 물질은 예시적으로 열거되었을 뿐이므로, 본 발명의 반도체 장치에 포함될 수 있는 2차원 물질은 상술한 물질에 의해 제한되지 않는다.

[0085] 셀 도전 라인(140)은 단일막인 것으로 도시되었지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다. 즉, 도시된 것과 달리, 셀 도전 라인(140)은 도전 물질이 적층된 복수의 도전막을 포함할 수 있다.

[0086] 셀 라인 캡핑막(144)은 셀 도전 라인(140) 상에 배치될 수 있다. 셀 라인 캡핑막(144)은 셀 도전 라인(140)의 상면을 따라 제2 방향(DR2)으로 연장될 수 있다. 셀 라인 캡핑막(144)은 예를 들어, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물 또는 실리콘 산탄질화물 중 적어도 하나를 포함할 수 있다.

[0087] 몇몇 실시예들에 따른 반도체 장치에서, 셀 라인 캡핑막(144)은 실리콘 질화물을 포함할 수 있다. 셀 라인 캡핑막(144)은 단일막인 것으로 도시되었지만, 이에 제한되는 것은 아니다.

[0088] 비트 라인 스페이서(150)는 셀 도전 라인(140) 및 셀 라인 캡핑막(144)의 측벽 상에 배치될 수 있다. 비트 라인 스페이서(150)는 제2 방향(DR2)으로 길게 연장된다.

[0089] 비트 라인 스페이서(150)는 단일막인 것으로 도시되었지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다. 비트 라인 스페이서(150)는 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막(SiON), 실리콘 산탄질화막(SiOCN), 에어(air) 또는 이들의 조합을 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0090] 셀 절연막(130)은 제2 기판(100) 및 셀 소자 분리막(105) 상에 배치될 수 있다. 좀 더 구체적으로, 셀 절연막(130)은 비트 라인 컨택(146) 및 스토리지 컨택(120)이 형성되지 않은 제2 기판(100) 및 셀 소자 분리막(105)의 상면 상에 배치될 수 있다. 셀 절연막(130)은 제2 기판(100) 및 셀 도전 라인(140) 사이와, 셀 소자 분리막(105) 및 셀 도전 라인(140) 사이에 형성될 수 있다.

[0091] 셀 절연막(130)은 단일막일 수 있으나, 도시된 것처럼, 셀 절연막(130)은 제1 셀 절연막(131) 및 제2 셀 절연막(132)을 포함하는 다중막일 수도 있다. 예를 들어, 제1 셀 절연막(131)은 실리콘 산화막을 포함할 수 있고, 제2 셀 절연막(132)은 실리콘 질화막을 포함할 수 있지만, 이에 제한되는 것은 아니다. 도시된 것과 달리, 셀 절연막(130)은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막을 포함하는 삼중막일 수 있지만, 이에 제한되는 것은 아니다.

[0092] 비트 라인 컨택(146)은 셀 도전 라인(140)과 제2 기판(100) 사이에 배치될 수 있다. 셀 도전 라인(140)은 비트 라인 컨택(146) 상에 배치될 수 있다.

[0093] 비트 라인 컨택(146)은 셀 활성 영역(ACT)의 비트 라인 연결 영역(103a)과, 셀 도전 라인(140) 사이에 배치될 수 있다. 비트 라인 컨택(146)은 비트 라인 연결 영역(103a)과 연결될 수 있다.

[0094] 비트 라인 컨택(146)은 셀 도전 라인(140)과 연결된 상면(146US)을 포함할 수 있다. 비트 라인 컨택의 상면

(146US)에서 멀어짐에 따라, 비트 라인 컨택(146)의 제1 방향(DR1)으로의 폭이 일정한 것으로 도시하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.

[0095] 비트 라인 컨택(146)은 셀 도전 라인(140)과 제2 기판(100)을 전기적으로 연결할 수 있다. 여기에서, 비트 라인 컨택(146)은 다이렉트 컨택(DC)에 대응될 수 있다. 비트 라인 컨택(146)은 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 금속 실리사이드, 도전성 금속 질화물, 도전성 금속 산화물 또는 금속 중 적어도 하나를 포함할 수 있다.

[0096] 비트 라인 컨택(146)이 형성된 셀 도전 라인(140) 부분에서, 비트 라인 스페이서(150)는 제2 기판(100) 및 셀 소자 분리막(105) 상에 배치될 수 있다. 비트 라인 스페이서(150)는 셀 도전 라인(140), 셀 라인 캡핑막(144) 및 비트 라인 컨택(146)의 측벽 상에서 배치될 수 있다.

[0097] 비트 라인 컨택(146)이 형성되지 않은 셀 도전 라인(140)의 나머지 부분에서, 비트 라인 스페이서(150)는 셀 절연막(130) 상에 배치될 수 있다. 비트 라인 스페이서(150)는 셀 도전 라인(140) 및 셀 라인 캡핑막(144)의 측벽 상에서 배치될 수 있다.

[0098] 스토리지 컨택(120)은 제1 방향(DR1)으로 인접하는 셀 도전 라인(140) 사이에 배치될 수 있다. 스토리지 컨택(120)은 셀 도전 라인(140)의 양측에 배치될 수 있다. 좀 더 구체적으로, 스토리지 컨택(120)은 비트 라인 구조체(140ST) 사이에 배치될 수 있다.

[0099] 스토리지 컨택(120)은 인접하는 셀 도전 라인(140) 사이의 제2 기판(100) 및 셀 소자 분리막(105)과 중첩될 수 있다. 스토리지 컨택(120)은 셀 활성 영역(ACT)과 연결될 수 있다. 좀 더 구체적으로, 스토리지 컨택(120)은 스토리지 연결 부분(103b)과 연결될 수 있다. 여기에서, 스토리지 컨택(120)은 도 7의 매몰 컨택(BC)에 대응될 수 있다.

[0100] 스토리지 컨택(120)은 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 실리사이드 화합물, 도전성 금속 질화물, 도전성 금속 탄화물, 도전성 금속 탄질화물, 도전성 금속 산화물 및 금속 중 적어도 하나를 포함할 수 있다.

[0101] 스토리지 패드(160)는 스토리지 컨택(120) 상에 배치될 수 있다. 스토리지 패드(160)는 스토리지 컨택(120)과 전기적으로 연결될 수 있다. 스토리지 패드(160)는 셀 활성 영역(ACT)의 스토리지 연결 부분(103b)과 연결될 수 있다. 여기에서, 스토리지 패드(160)는 도 7의 랜딩 패드(LP)에 대응될 수 있다.

[0102] 스토리지 패드(160)는 비트 라인 구조체(140ST)의 상면의 일부와 중첩될 수 있다. 스토리지 패드(160)는 예를 들어, 불순물이 도핑된 반도체 물질, 도전성 금속 실리사이드, 도전성 금속 질화물, 도전성 금속 탄화물, 도전성 금속 산화물 또는 금속 중 적어도 하나를 포함할 수 있다.

[0103] 패드 분리 절연막(180)은 스토리지 패드(160) 및 비트 라인 구조체(140ST) 상에 배치될 수 있다. 예를 들어, 패드 분리 절연막(180)은 셀 라인 캡핑막(144) 상에 배치될 수 있다. 패드 분리 절연막(180)은 복수의 고립 영역을 형성하는 스토리지 패드(160)를 정의할 수 있다.

[0104] 패드 분리 절연막(180)은 스토리지 패드의 상면(160US)을 덮지 않는다. 패드 분리 절연막(180)은 패드 분리 리세스를 채울 수 있다. 패드 분리 리세스는 인접하는 스토리지 패드(160)를 분리할 수 있다. 예를 들어, 스토리지 패드의 상면(160US)은 패드 분리 절연막의 상면(180US)과 동일 평면에 놓일 수 있지만, 이에 제한되는 것은 아니다.

[0105] 패드 분리 절연막(180)은 절연성 물질을 포함하고, 복수의 스토리지 패드(160)를 서로 전기적으로 분리할 수 있다. 예를 들어, 패드 분리 절연막(180)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄질화물 또는 실리콘 탄질화물 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.

[0106] 제1 식각 정지막(170)은 스토리지 패드의 상면(160US) 및 패드 분리 절연막의 상면(180US) 상에 배치될 수 있다. 제1 식각 정지막(170)은 예를 들어, 실리콘 질화물, 실리콘 탄질화물, 실리콘 산탄질화물, 실리콘 산탄화물 또는 실리콘 붕소 질화물 중 적어도 하나를 포함할 수 있다.

[0107] 제1 커패시터 구조체(190)는 스토리지 패드(160) 상에 배치될 수 있다. 제1 커패시터 구조체(190)는 스토리지 패드(160)와 전기적으로 연결될 수 있다. 제1 커패시터 구조체(190)의 일부는 제1 식각 정지막(170) 내에 배치될 수 있다.

[0108] 제1 커패시터 구조체(190)는 예를 들어, 커패시터를 포함할 수 있다. 제1 커패시터 구조체(190)는 제1 하부 전

극(301), 제1 커패시터 유전막(401) 및 제1 상부 전극(501)을 포함할 있다.

[0109] 제1 하부 전극(301)은 스토리지 패드(160)와 연결될 수 있다. 예를 들어, 제1 하부 전극(301)은 제1 식각 정지막(170)에 의해 노출된 스토리지 패드의 상면(160US)의 적어도 일부와 접촉할 수 있다. 도 9에서, 제1 하부 전극(301)은 스토리지 패드의 상면(160US)으로부터 제4 방향(DR4)으로 연장되는 필라(pillar) 형태인 것으로 도시되었으나, 이는 예시적일 뿐이다. 다른 예로, 제1 하부 전극(301)은 스토리지 패드의 상면(160US)으로부터 제4 방향(DR4)으로 연장되는 실린더(cylinder) 형태일 수도 있다.

[0110] 제1 커패시터 유전막(401)은 제1 하부 전극(301) 및 제1 상부 전극(501) 사이에 배치된다. 제1 커패시터 유전막(401)은 제1 하부 전극(301)의 프로파일을 따라 연장될 수 있다.

[0111] 제1 상부 전극(501)은 제1 커패시터 유전막(401) 상에 배치될 수 있다. 제1 상부 전극(501)은 인접하는 제1 하부 전극(301) 사이를 채울 수 있다.

[0112] 제1 커패시터 구조체(190)는 도 1 내지 도 3을 이용하여 상술한 커패시터 구조체(CS)에 대응될 수 있다. 제1 하부 전극(301), 제1 커패시터 유전막(401) 및 제1 상부 전극(501)에 포함되는 물질 및 구조는 상술한 하부 전극(30), 커패시터 유전막(40) 및 상부 전극(50)과 실질적으로 동일할 수 있다.

[0113] 도 10은 도 1의 커패시터 구조체(CS)일 수 있다. 다른 예로, 도 10은 도 4 내지 도 6에서 설명한 커패시터 구조체(CS) 중 하나일 수 있다.

[0114] 도 11은 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 레이아웃도이다. 도 12는 도 11의 반도체 장치를 설명하기 위한 사시도이다. 도 13은 도 11의 B-B 및 C-C를 따라 절단한 예시적인 단면도이다. 도 14는 도 13의 Q 부분을 확대하여 도시한 도면이다.

[0115] 도 11 내지 도 14를 참고하면, 몇몇 실시예들에 따른 반도체 장치는 제2 기판(100), 복수의 제1 도전 라인(220), 채널층(230), 게이트 전극(240), 게이트 절연막(250) 및 제2 커패시터 구조체(290)를 포함한다.

[0116] 몇몇 실시예들에 따른 반도체 장치는 수직 채널 트랜지스터(vertical channel transistor, VCT)를 포함하는 장치일 수 있다. 상기 수직 채널 트랜지스터는, 채널층(230)의 채널 길이가 제2 기판(100)으로부터 수직 방향(제4 방향(DR4))으로 연장되는 구조를 가리킬 수 있다.

[0117] 제2 기판(100) 상에는 제1 하부 절연막(212)이 배치될 수 있다. 제1 하부 절연막(212) 상에 복수의 제1 도전 라인(220)이 제1 방향(DR1)으로 서로 이격되고 제2 방향(DR2)으로 연장될 수 있다. 제1 하부 절연막(212) 상에는 복수의 제1 절연막 패턴(222)이 복수의 제1 도전 라인(220) 사이의 공간을 채우도록 배치될 수 있다. 복수의 제1 절연막 패턴(222)은 제2 방향(DR2)으로 연장될 수 있다. 복수의 제1 절연막 패턴(222)의 상면은 복수의 제1 도전 라인(220)의 상면과 동일 레벨에 배치될 수 있다. 복수의 제1 도전 라인(220)은 비트 라인(bit line, BL)으로 기능할 수 있다.

[0118] 복수의 제1 도전 라인(220)은 도핑된 반도체 물질, 금속, 도전성 금속 질화물, 도전성 금속 실리사이드, 도전성 금속 산화물, 또는 이들의 조합을 포함할 수 있다. 예를 들면, 복수의 제1 도전 라인(220)은 도핑된 폴리 실리콘, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈륨(Ta), 루테늄(Ru), 텅스텐(W), 몰리브덴(Mo), 백금(Pt), 니켈(Ni), 코발트(Co), 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 니오븀 질화물(NbN), 티타늄 알루미늄(TiAl), 티타늄 알루미늄 질화물(TiAlN), 티타늄 실리콘(TiSi), 티타늄 실리콘 질화물(TiSiN), 탄탈륨 실리콘(TaSi), 탄탄륨 실리콘 질화물(TaSiN), 루테늄 실리콘 질화물(RuTiN), 니켈 실리콘(NiSi), 코발트 실리콘(CoSi), 이리듐 산화물(IrO), 루테늄 산화물(RuO), 또는 이들의 조합으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 복수의 제1 도전 라인(220)은 전술한 물질들의 단일층 또는 다중층을 포함할 수 있다. 예시적인 실시예들에서, 복수의 제1 도전 라인(220)은 그래핀(graphene), 탄소 나노 튜브(carbon nanotube) 또는 이들의 조합을 포함할 수 있다.

[0119] 채널층(230)은 복수의 제1 도전 라인(220) 상에서 제1 방향(DR1) 및 제2 방향(DR2)으로 이격되어 배치되는 매트릭스 형태로 배열될 수 있다. 채널층(230)은 제1 방향(DR1)에 따른 제1 폭과 제4 방향(DR4)에 따른 제1 높이를 가질 수 있고, 제1 높이가 제1 폭보다 더 클 수 있다. 여기에서 제4 방향(DR4)은 예를 들어, 제2 기판(100)의 상면과 수직인 방향일 수 있다. 예를 들어, 상기 제1 높이는 상기 제1 폭의 약 2배 내지 10배일 수 있으나, 이에 한정되는 것은 아니다. 도시되지 않았지만, 채널층(230)의 바닥부는 제1 소오스/드레인 영역으로 기능하고, 채널층(230)의 상부(upper portion)는 제2 소오스/드레인 영역으로 기능하며, 상기 제1 및 제2 소오스/드레인 영역 사이의 채널층(230)의 일부분은 채널 영역으로 기능할 수 있다.

[0120] 일 예로, 채널층(230)은 산화물 반도체를 포함할 수 있고, 예를 들어, 상기 산화물 반도체는 $In_xGa_yZn_zO$, $In_xGa_ySi_zO$, $In_xSn_yZn_zO$, In_xZn_yO, Zn_xO, Zn_xSn_yO, Zn_xO_yN, $Zr_xZn_ySn_zO$, Sn_xO, $Hf_xIn_yZn_zO$, $Ga_xZn_ySn_zO$, $Al_xZn_ySn_zO$, $Yb_xGa_yZn_zO$, In_xGa_yO 또는 이들의 조합을 포함할 수 있다. 채널층(230)은 상기 산화물 반도체의 단일층 또는 다중층을 포함할 수 있다. 일부 예시들에서, 채널층(230)은 실리콘의 밴드갭 에너지보다 더 큰 밴드갭 에너지를 가질 수 있다. 예를 들어, 채널층(230)은 약 1.5 eV 내지 5.6 eV의 밴드갭 에너지를 가질 수 있다. 예를 들어, 채널층(230)은 약 2.0 eV 내지 4.0 eV의 밴드갭 에너지를 가질 때 최적의 채널 성능을 가질 수 있다. 예를 들어, 채널층(230)은 다결정 또는 비정질일 수 있으나, 이에 한정되는 것은 아니다. 다른 예로, 채널층(230)은 그래핀(graphene), 탄소 나노 튜브(carbon nanotube) 또는 이들의 조합을 포함할 수 있다. 또 다른 예로, 채널층(230)은 실리콘 계열의 반도체 물질을 포함할 수 있다. 채널층(230)은 단결정 반도체 물질을 포함할 수 있고, 예를 들어, 단결정 실리콘 또는 단결정 실리콘-게르마늄을 포함할 수 있지만, 이에 제한되는 것은 아니다.

[0121] 게이트 전극(240)은 채널층(230)의 양 측벽 상에서 제1 방향(DR1)으로 연장될 수 있다. 게이트 전극(240)은 채널층(230)의 제1 측벽과 마주보는 제1 서브 게이트 전극(240P1)과, 채널층(230)의 제1 측벽에 반대되는 제2 측벽과 마주보는 제2 서브 게이트 전극(240P2)을 포함할 수 있다. 제1 서브 게이트 전극(240P1)과 제2 서브 게이트 전극(240P2) 사이에 하나의 채널층(230)이 배치됨에 따라 반도체 장치는 듀얼 게이트 트랜지스터 구조를 가질 수 있다. 그러나, 본 발명의 기술적 사상이 이에 한정되는 것은 아니며, 제2 서브 게이트 전극(240P2)이 생략되고 채널층(230)의 제1 측벽과 마주보는 제1 서브 게이트 전극(240P1)만이 형성되어 싱글 게이트 트랜지스터 구조가 구현될 수도 있다. 게이트 전극은 메모리 셀의 워드 라인(word line, WL)으로 기능할 수 있다.

[0122] 게이트 전극(240)은 금속, 도전성 금속 질화물, 도전성 금속 탄질화물, 도전성 금속 탄화물, 도전성 금속 실리사이드, 도핑된 반도체 물질, 도전성 금속 산질화물 및 도전성 금속 산화물 중 적어도 하나를 포함할 수 있다. 게이트 전극(240)은 예를 들어, TiN, TaC, TaN, TiSiN, TaSiN, TaTiN, TiAlN, TaAlN, WN, Ru, TiAl, TiAlC-N, TiAlC, TiC, TaCN, W, Al, Cu, Co, Ti, Ta, Ni, Pt, Ni-Pt, Nb, NbN, NbC, Mo, MoN, MoC, WC, Rh, Pd, Ir, Ag, Au, Zn, V, RuTiN, TiSi, TaSi, NiSi, CoSi, IrO, RuO 또는 이들의 조합을 포함할 수 있지만, 이에 제한되는 것은 아니다.

[0123] 게이트 절연막(250)은 채널층(230)의 측벽을 둘러싸며, 채널층(230)과 게이트 전극(240) 사이에 개재될 수 있다. 예를 들어, 도 11에 도시된 것과 같이, 채널층(230)의 전체 측벽이 게이트 절연막(250)에 의해 둘러싸일 수 있고, 게이트 전극(240)의 측벽 일부분이 게이트 절연막(250)과 접촉할 수 있다. 다른 실시예들에서, 게이트 절연막(250)은 게이트 전극(240)의 연장 방향(즉, 제1 방향(DR1))으로 연장되고, 채널층(230)의 측벽들 중 게이트 전극(240)과 마주보는 두 측벽들만이 게이트 절연막(250)과 접촉할 수 있다. 예시적인 실시예들에서, 게이트 절연막(250)은 실리콘 산화물, 실리콘 산질화물, 실리콘 산화물보다 높은 유전 상수를 가지는 고유전율 물질, 또는 이들의 조합으로 이루어질 수 있다.

[0124] 복수의 제1 절연 패턴(222) 상에는 복수의 제2 절연 패턴(232)이 제2 방향(DR2)을 따라 연장될 수 있다. 복수의 제2 절연 패턴(232) 중 인접한 2개의 제2 절연 패턴(232) 사이에 채널층(230)이 배치될 수 있다. 또한, 인접한 2개의 제2 절연 패턴(232) 사이에서, 2개의 인접한 채널층(230) 사이의 공간에 제1 매립층(234) 및 제2 매립층(236)이 배치될 수 있다. 제1 매립층(234)은 2개의 인접한 채널층(230) 사이의 공간의 바닥부에 배치될 수 있다. 제2 매립층(236)은 제1 매립층(234) 상에서 2개의 인접한 채널층(230) 사이의 공간의 나머지를 채우도록 형성될 수 있다. 제2 매립층(236)의 상면은 채널층(230)의 상면과 동일한 레벨에 배치되며, 제2 매립층(236)은 게이트 전극(240)의 상면을 덮을 수 있다. 이와 달리, 복수의 제2 절연 패턴(232)이 복수의 제1 절연 패턴(222)과 연속적인 물질층으로 형성되거나, 제2 매립층(236)이 제1 매립층(234)과 연속적인 물질층으로 형성될 수도 있다.

[0125] 채널층(230) 상에는 커패시터 컨택(260)이 배치될 수 있다. 커패시터 컨택(260)은 채널층(230)과 수직 오버랩되도록 배치되고, 제1 방향(DR1) 및 제2 방향(DR2)으로 이격되어 배치되는 매트릭스 형태로 배열될 수 있다. 커패시터 컨택(260)은 도핑된 폴리 실리콘, Al, Cu, Ti, Ta, Ru, W, Mo, Pt, Ni, Co, TiN, TaN, WN, NbN, TiAl, TiAlN, TiSi, TiSiN, TaSi, TaSiN, RuTiN, NiSi, CoSi, IrO, RuO, 또는 이들의 조합으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 상부 절연막(262)은 복수의 제2 절연 패턴(232)과 제2 매립층(236) 상에서 커패시터 컨택(260)의 측벽을 둘러쌀 수 있다.

[0126] 제2 식각 정지막(270)은 상부 절연막(262) 상에 배치될 수 있다. 제2 식각 정지막 상에 제2 커패시터 구조체(290)가 배치될 수 있다.

[0127] 제2 커패시터 구조체(290)는 제2 하부 전극(302), 제2 커패시터 유전막(402) 및 제2 상부 전극(502)을 포함할 수 있다.

[0128] 제2 하부 전극(302)은 제2 식각 정지막(270)을 관통하여 커패시터 컨택(260)의 상면에 전기적으로 연결될 수 있다. 제2 하부 전극(302)은 제4 방향(DR4)으로 연장되는 필라 타입으로 형성될 수 있으나, 이에 한정되는 것은 아니다. 예시적인 실시예들에서, 제2 하부 전극(302)은 커패시터 컨택(260)과 수직 오버랩되도록 배치되고, 제1 방향(DR1) 및 제2 방향(DR2)으로 이격되어 배치되는 매트릭스 형태로 배열될 수 있다. 이와는 달리, 커패시터 컨택(260)과 제2 하부 전극(302) 사이에 랜딩 패드가 더 배치되어, 제2 하부 전극(302)은 육각형 형상으로 배열될 수도 있다.

[0129] 제2 커패시터 유전막(402)은 제2 하부 전극(302) 상에 배치될 수 있다. 제2 커패시터 유전막(402)은 제2 하부 전극(302)의 프로파일을 따라 연장될 수 있다.

[0130] 제2 상부 전극(502)은 제2 커패시터 유전막(402) 상에 배치될 수 있다.

[0131] 제2 커패시터 구조체(290)은 도 1 내지 도 3을 이용하여 상술한 커패시터 구조체(CS)에 대응될 수 있다. 제2 하부 전극(302), 제2 커패시터 유전막(402) 및 제2 상부 전극(502)은 각각 하부 전극(30), 커패시터 유전막(40) 및 상부 전극(50)에 대응될 수 있다.

[0132] 도 14은 도 1의 커패시터 구조체(CS)일 수 있다. 다른 예로, 도 14은 도 4 내지 도 6에서 설명한 커패시터 구조체(CS) 중 하나일 수 있다.

[0133] 도 15는 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 레이아웃도이다. 도 16은 도 15의 반도체 장치를 설명하기 위한 사시도이다.

[0134] 도 15에 도시된 제2 커패시터 구조체(290)는 도 1의 커패시터 구조체(CS)에 대응될 수 있다. 다른 예로, 제2 커패시터 구조체(290)는 도 4 내지 도 6의 커패시터 구조체(CS) 중 하나에 대응될 수 있다.

[0135] 도 15 및 도 16을 참고하면, 몇몇 실시예들에 따른 반도체 장치는 제2 기판(100), 복수의 제1 도전 라인(220A), 채널 구조물(230A), 컨택 게이트 전극(240A), 복수의 제2 도전 라인(242A) 및 제2 커패시터 구조체(290)을 포함할 수 있다. 몇몇 실시예들에 따른 반도체 장치는 수직 채널 트랜지스터(VCT)를 포함하는 메모리 장치일 수 있다.

[0136] 제2 기판(100)에는 제1 소자 분리 패턴(212A) 및 제2 소자 분리 패턴(214A)에 의해 복수의 활성 영역(AC)이 정의될 수 있다. 채널 구조물(230A)은 각각의 활성 영역(AC) 내에 배치될 수 있다. 채널 구조물(230A)은 각각 수직 방향으로 연장되는 제1 활성 필라(230A1) 및 제2 활성 필라(230A2)와, 제1 활성 필라(230A1)의 바닥부와 제2 활성 필라(230A2)의 바닥부에 연결되는 연결부(230L)를 포함할 수 있다. 연결부(230L) 내에 제3 소오스/드레인 영역(SD1)이 배치될 수 있다. 제1 활성 필라(230A1) 및 제2 활성 필라(230A2)의 상측에 제4 소오스/드레인 영역(SD2)이 배치될 수 있다. 제1 활성 필라(230A1) 및 제2 활성 필라(230A2)는 각각 독립적인 단위 메모리 셀을 구성할 수 있다.

[0137] 복수의 제1 도전 라인(220A)은 복수의 활성 영역(AC) 각각과 교차하는 방향으로 연장될 수 있고, 예를 들어, 제2 방향(DR2)으로 연장될 수 있다. 복수의 제1 도전 라인(220A) 중 하나의 제1 도전 라인(220A)은 제1 활성 필라(230A1) 및 제2 활성 필라(230A2) 사이에서 연결부(230L) 상에 배치될 수 있다. 하나의 제1 도전 라인(220A)은 제3 소오스/드레인 영역(SD1) 상에 배치될 수 있다. 하나의 제1 도전 라인(220A)에 인접한 다른 하나의 제1 도전 라인(220A)은 두 개의 채널 구조물(230A) 사이에 배치될 수 있다. 복수의 제1 도전 라인(220A) 중 하나의 제1 도전 라인(220A)은, 하나의 제1 도전 라인(220A) 양 측에 배치되는 제1 활성 필라(230A1)와 제2 활성 필라(230A2)가 구성하는 2개의 단위 메모리 셀들에 포함되는 공통 비트 라인으로 기능할 수 있다.

[0138] 제2 방향(DR2)으로 인접한 2개의 채널 구조물(230A) 사이에는 하나의 컨택 게이트 전극(240A)이 배치될 수 있다. 예를 들어, 하나의 채널 구조물(230A)에 포함되는 제1 활성 필라(230A1)와 이에 인접한 채널 구조물(230A)의 제2 활성 필라(230A2) 사이에는 컨택 게이트 전극(240A)이 배치될 수 있다. 하나의 컨택 게이트 전극(240A)은 그 양 측벽 상에 배치되는 제1 활성 필라(230A1)와 제2 활성 필라(230A2)에 의해 공유될 수 있다. 컨택 게이트 전극(240A)과 제1 활성 필라(230A1) 사이 및 컨택 게이트 전극(240A)과 제2 활성 필라(230A2) 사이에는 게이트 절연막 구조(250A)가 배치될 수 있다. 복수의 제2 도전 라인(242A)은 컨택 게이트 전극(240A)의 상면 상에서 제1 방향(DR1)으로 연장될 수 있다. 복수의 제2 도전 라인(242A)은 메모리 셀의 워드 라인으로 기능할 수 있다.

[0139] 채널 구조물(230A) 상에는 커패시터 컨택(260A)이 배치될 수 있다. 커패시터 컨택(260A)은 제4 소오스/드레인 영역(SD2) 상에 배치될 수 있고, 커패시터 컨택(260A) 상에 제2 커패시터 구조체(290)가 배치될 수 있다.

[0140] 도 17은 몇몇 실시예들에 따른 반도체 장치 제조 방법을 설명하기 위한 순서도이다. 도 18은 몇몇 실시예들에 따른 하부 전극 및 상부 전극을 제조하는 반도체 제조 장치의 구성을 개략적으로 나타낸 도면이다. 도 19 내지 도 22는 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다. 설명의 편의상, 도 1 내지 도 3을 이용하여 설명한 것과 중복된 부분은 생략하거나 간략히 설명한다.

[0141] 먼저, 도 18을 참조하여, 하부 전극(도 1의 30) 및 상부 전극(도 1의 50)을 증착하는데 사용되는 반도체 제조 장치에 대해 설명한다. 이하에서 설명되는 반도체 제조 장치는 스퍼터링 건을 이용한 스퍼터링 장비일 수 있지만, 이에 제한되는 것은 아니다.

[0142] 도 18에서, 반도체 제조 장치는 기판(600), 기판 지지부(610), 스퍼터링 타겟(620), 타겟 지지부(630), DC 전원부(640), RF 전원부(650), 진공 펌프(660) 및 가스 공급부(670)를 포함할 수 있다.

[0143] 기판(600)은 기판 지지부(610) 상에 배치될 수 있다. 기판(600)은 스퍼터링 타겟(620)에서 스퍼터링된 물질이 증착된다. 기판(600)은 도 1의 제1 기판(10)에 대응될 수 있다.

[0144] 기판 지지부(610)는 기판(600)을 안착시키며 안착된 기판(600)을 고정시킨다. 기판 지지부(610)는 접지되어 있을 수 있다. 도시되지 않았지만, 기판 지지부(610) 내부에는 기판(600)의 온도를 증가시키기 위해 히터가 매립될 수 있다.

[0145] 스퍼터링 타겟(620)은 기판(600) 상에 배치된다. 스퍼터링 타겟(620)은 하부 전극(도 1의 30) 또는 상부 전극(도 1의 50)이 증착될 수 있는 증착 물질을 제공한다. 스퍼터링 타겟(620)은 제1 금속 원소(M1) 또는 제2 금속 원소(M2)를 포함할 수 있다.

[0146] 타겟 지지부(630)는 스퍼터링 타겟(620)을 지지한다. 타겟 지지부(630)는 DC 전원부(640) 및 RF 전원부(650)에 연결된다. 도시되지 않았지만, 타겟 지지부(630)는 마그네트론 스퍼터링을 위해 마그넷이 배치될 수 있다.

[0147] DC 전원부(640)와 RF 전원부(650)는 스퍼터링 장치에 전원을 공급한다. DC 전원부(640) 또는 RF 전원부(650)에서 공급되는 전원은 스퍼터링 장치 내에 플라즈마를 생성시킨다. DC 전원부(640)와 RF 전원부(650) 중 하나의 전원부가 스퍼터링 장치에 전원을 공급할 수 있다.

[0148] 진공 펌프(660)는 스퍼터링 공정 시 소비된 가스 및 부산물을 스퍼터링 장치 외부로 배기시킨다.

[0149] 가스 공급부(670)는 스퍼터링 장치 내로 가스를 공급한다. 가스 공급부(670)는 가스를 공급하여 플라즈마를 생성시킨다. 가스는 아르곤(Ar)과 같은 비활성 가스일 수 있고 비활성 가스에 산소가 혼합된 가스일 수 있지만, 이에 제한되는 것은 아니다.

[0150] 도 17 내지 도 19를 참고하면, 하부 전극(30)은 제1 기판(10) 상에 증착될 수 있다(S10).

[0151] 하부 전극(30)은 도 18의 반도체 제조 장치를 이용하여 제1 기판(10) 상에 증착될 수 있다. 하부 전극(30)은 제1 기판(10) 상에서, 비활성 가스 또는 비활성 가스와 산소가 혼합된 분위기에서 수행되는 스퍼터링 공정을 이용하여 증착될 수 있다.

[0152] 도 17 및 도 20을 참고하면, 커패시터 유전막(40)은 하부 전극(30) 상에 증착될 수 있다(S20).

[0153] 커패시터 유전막(40)은 강유전체 물질막일 수 있다. 커패시터 유전막(40)은 원자층 증착법(ALD)을 이용하여 증착될 수 있지만, 이에 제한되는 것은 아니다.

[0154] 도 17, 18 및 도 21을 참고하면, 상부 전극(50)은 커패시터 유전막(40) 상에 증착될 수 있다(S30).

[0155] 상부 전극(50)은 도 18의 제조 장치를 이용하여 커패시터 유전막(40) 상에 증착될 수 있다. 상부 전극(50)은 커패시터 유전막(40) 상에서, 비활성 가스 또는 비활성 가스와 산소가 혼합된 분위기에서 수행되는 스퍼터링 공정을 이용하여 증착될 수 있다.

[0156] 도 17 및 도 22를 참고하면, 하부 전극(30), 커패시터 유전막(40) 및 상부 전극(50)은 어닐링 공정(60)을 통해 열처리될 수 있다(S40).

[0157] 어닐링 공정(60)은 예를 들어, 400℃ 이상 750℃ 이하의 온도에서 수행될 수 있다. 어닐링 공정(60)은 급속 열 어닐링(RTA) 공정일 수 있지만, 이에 제한되는 것은 아니다. 어닐링 공정(60)은 질소 가스를 이용하여 수행될

수 있다. 다만, 본 발명의 다른 실시예들은 이에 제한되지 않는다.

[0158] 이어서, 도 1을 참고하면, 하부 전극(30), 커패시터 유전막(40) 및 상부 전극(50)을 포함하는 커패시터 구조체(CS)가 형성될 수 있다.

[0159] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

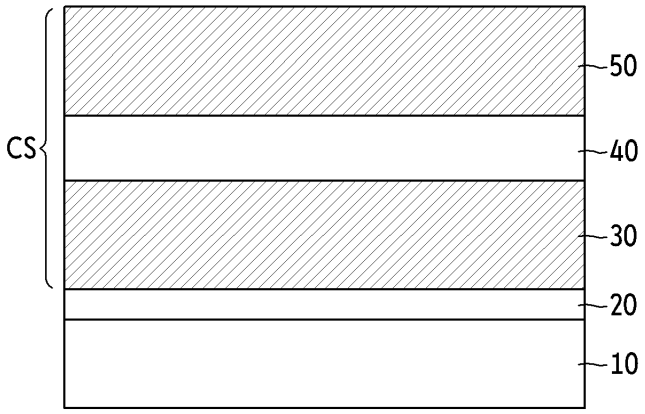
[0160] 10, 100: 기판 20: 하부 절연막

30,32,34,301,302: 하부 전극 40,401,402: 커패시터 유전막

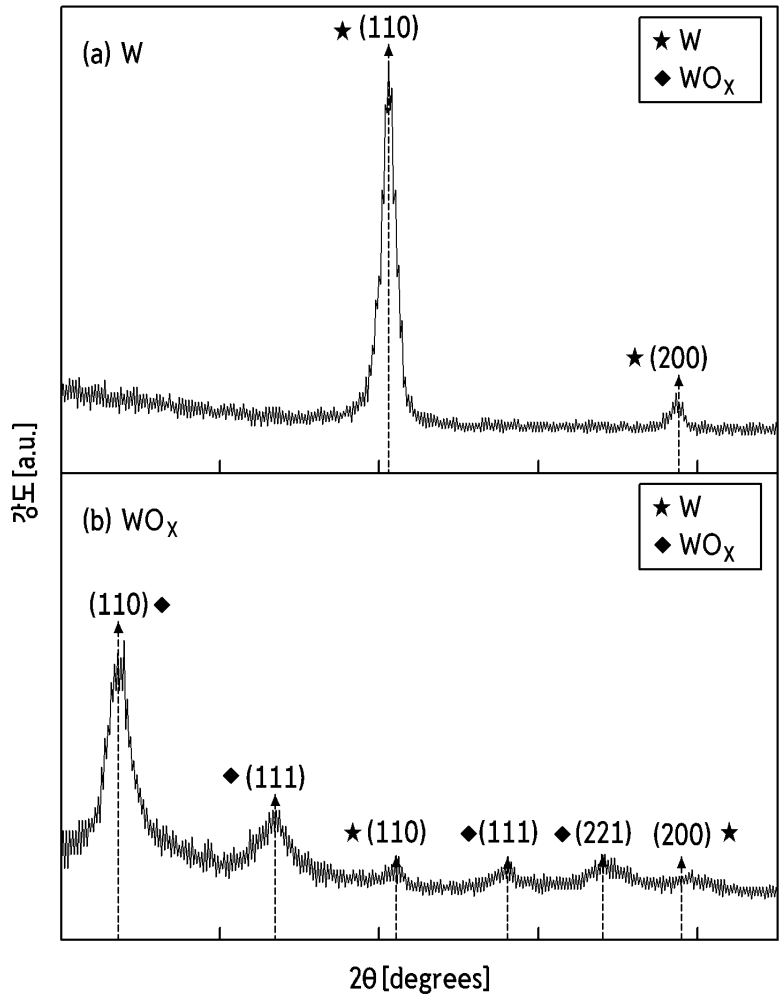
50,52,54,501,502: 상부 전극 CS,190,290: 커패시터 구조체

도면

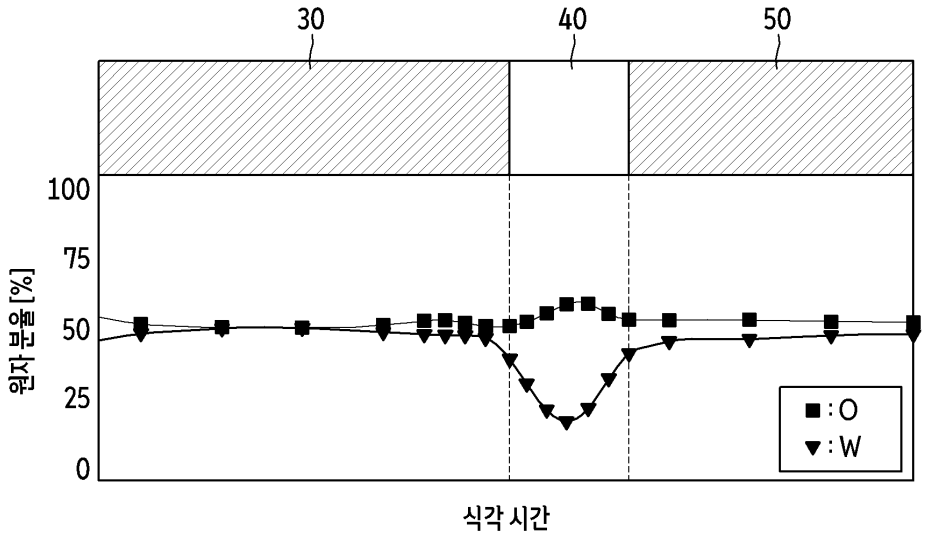
도면1



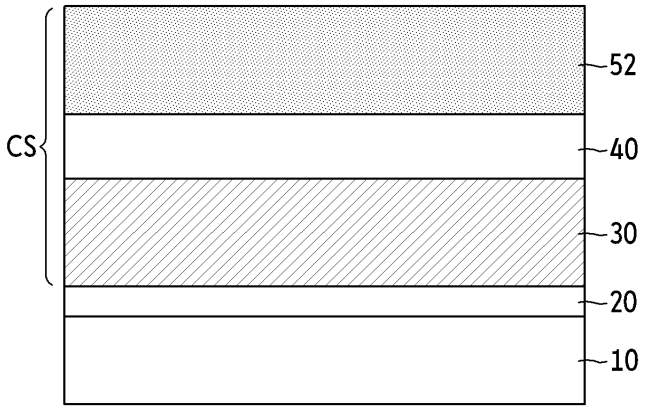
도면2


(a) W
★(110)
★W
◆WOX
★(200)
(b) WOX
★W
◆WOX
(110)◆
◆(111)
★(110)
◆(111)
◆(221)
(200)★
강도[a.u.]
2θ[degrees]

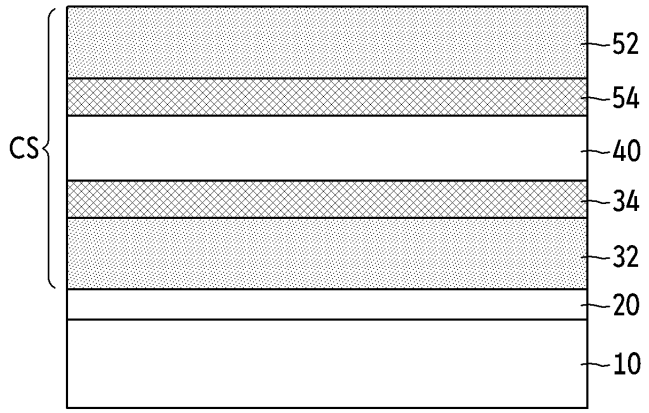
도면3


30
40
50
100
75
50
25
0
원자 분율[%]
■:O
▼:W
식각 시간

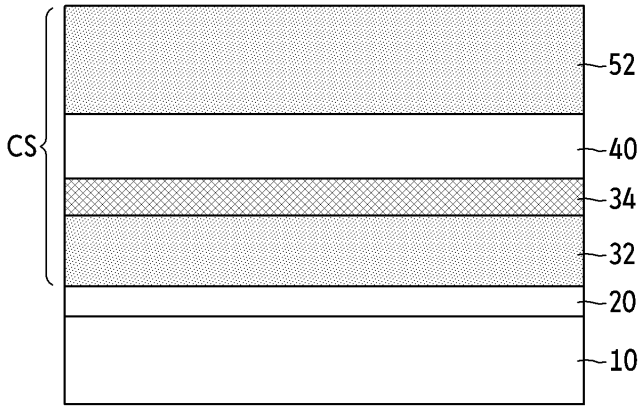
도면4



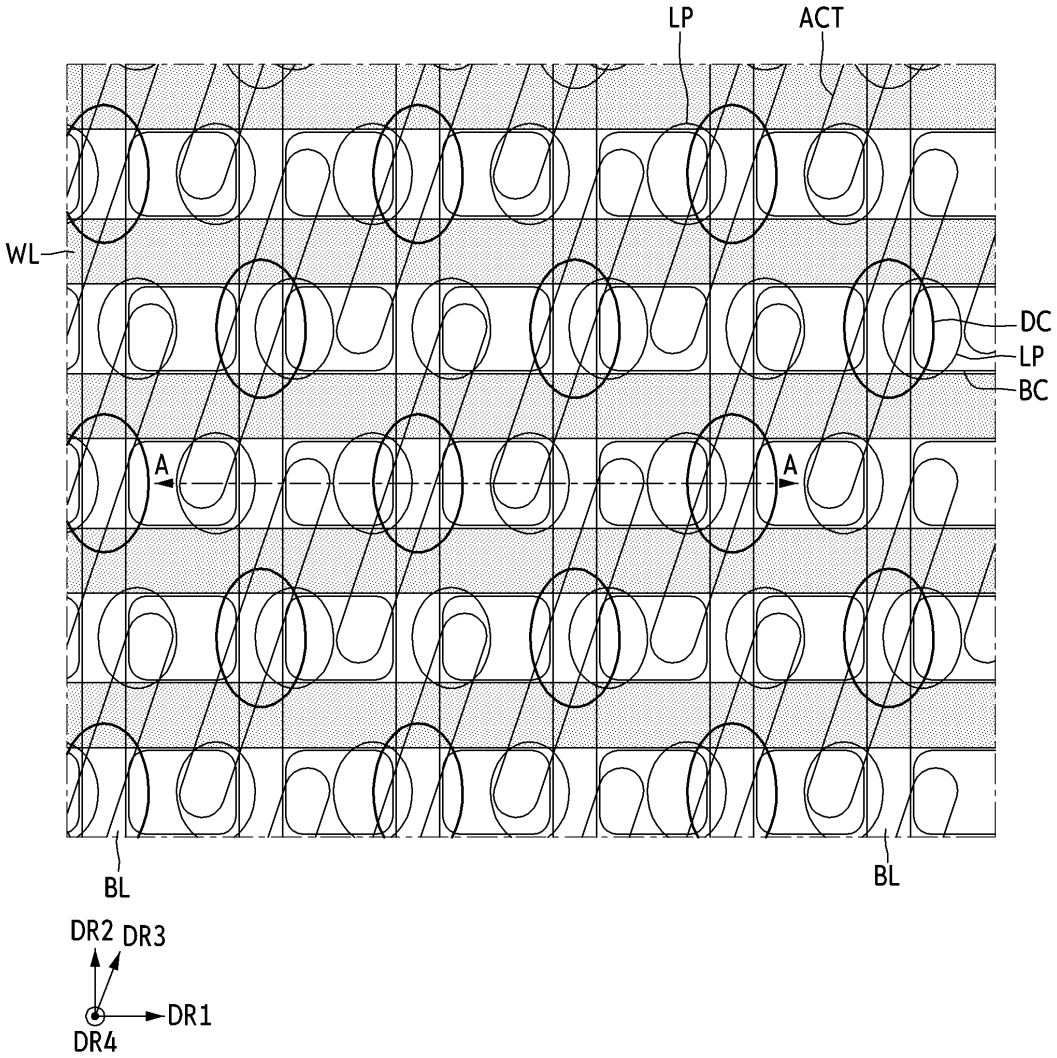
도면5



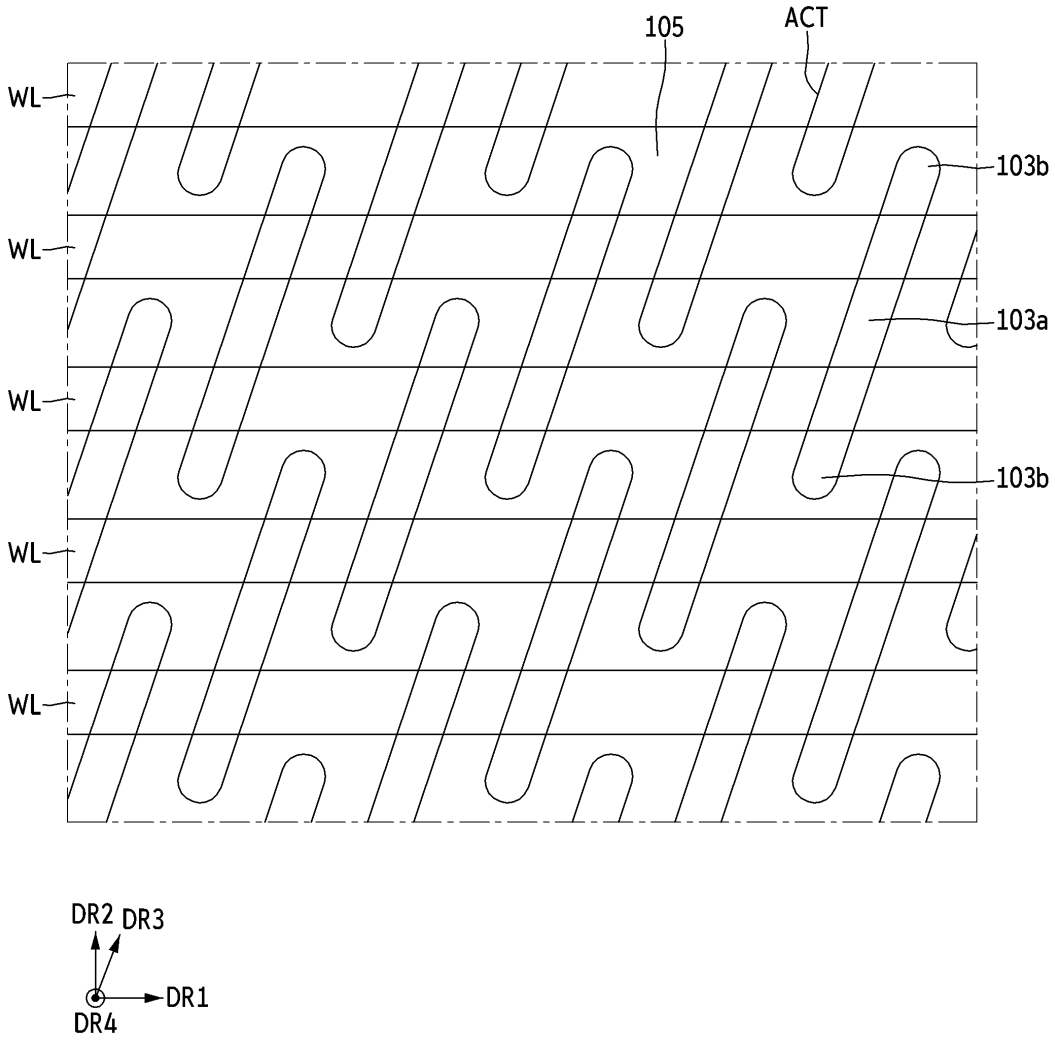
도면6



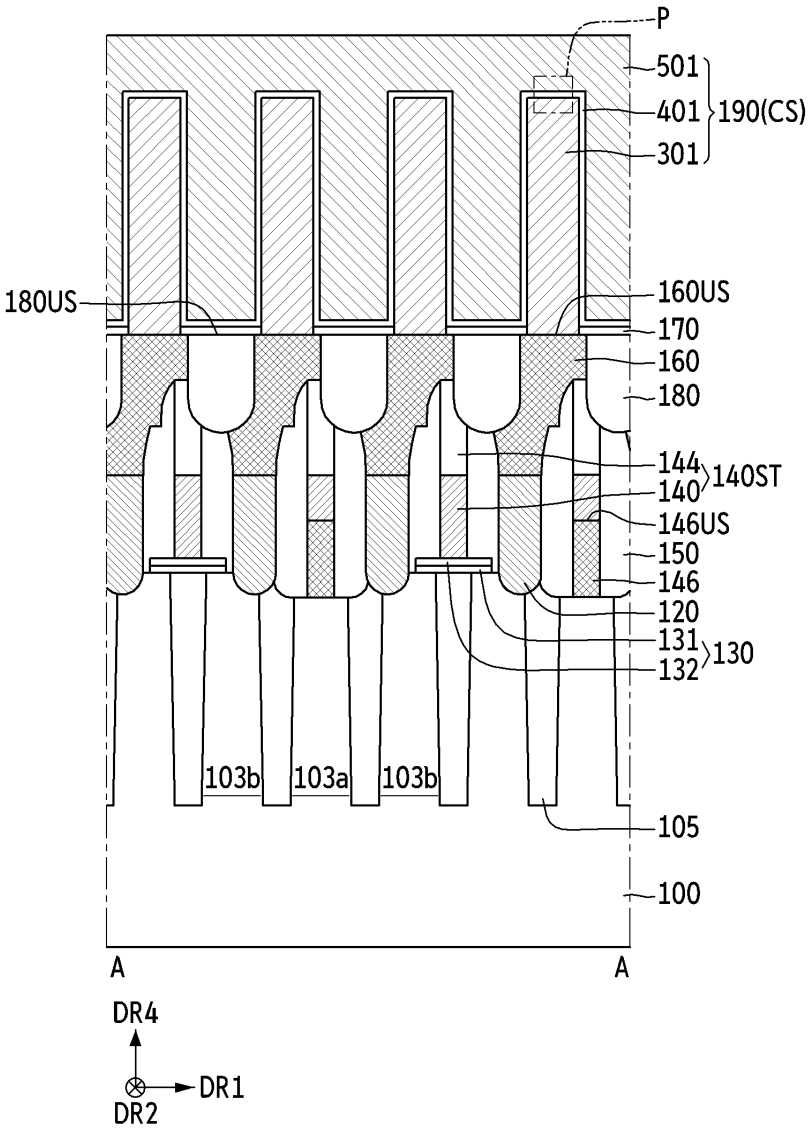
도면7



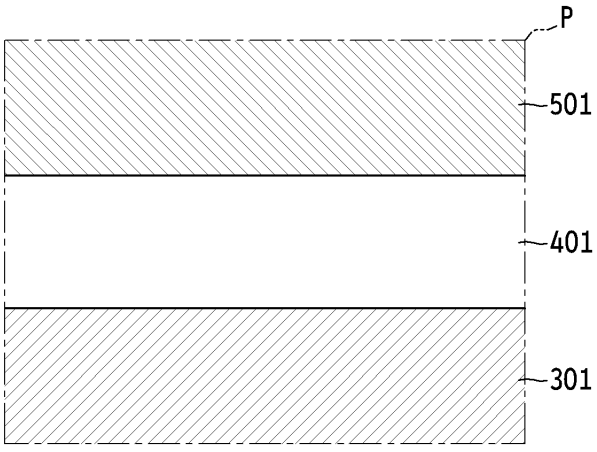
도면8



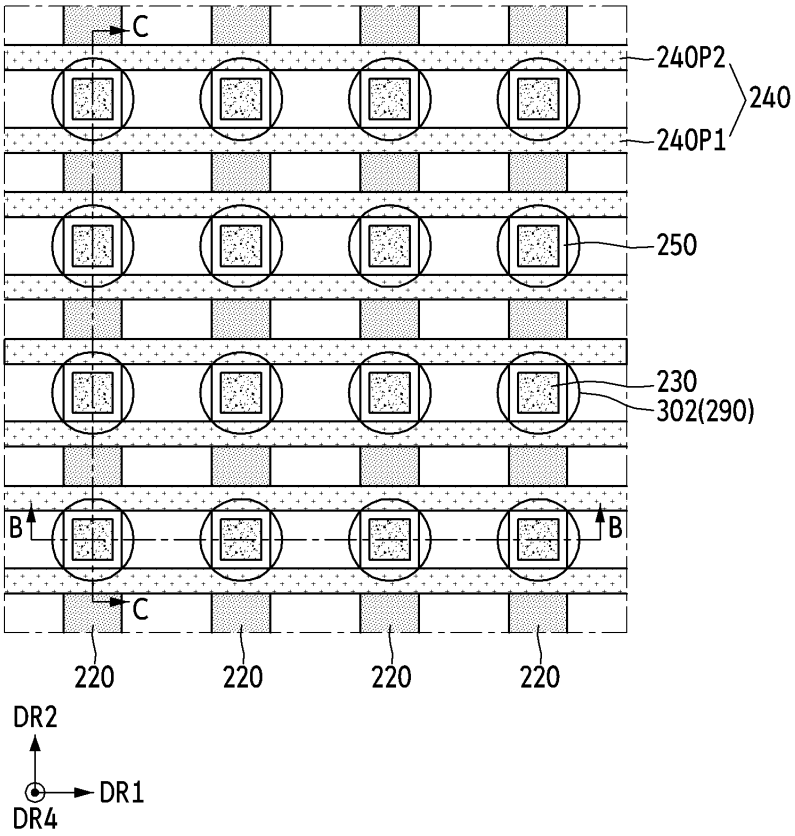
도면9


P
501
401
301
190(CS)
180US
160US
170
160
180
144
140
140ST
146US
150
146
120
131
132
130
103b
103a
103b
105
100
A
A
DR4
DR1
DR2

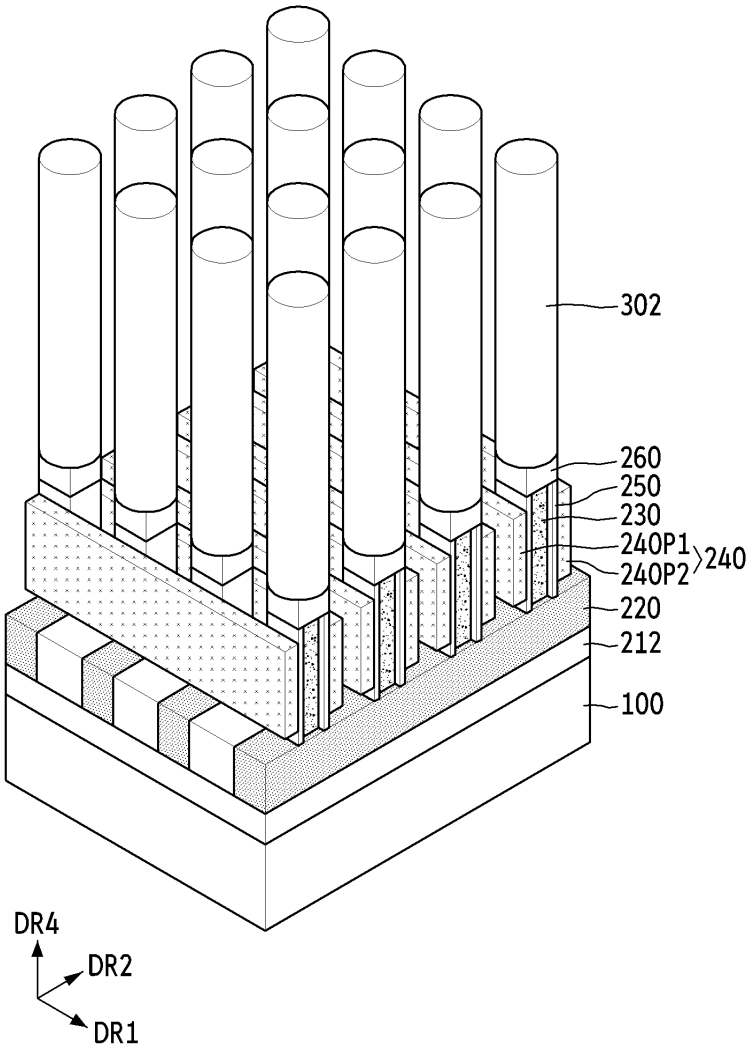
도면10


P
501
401
301

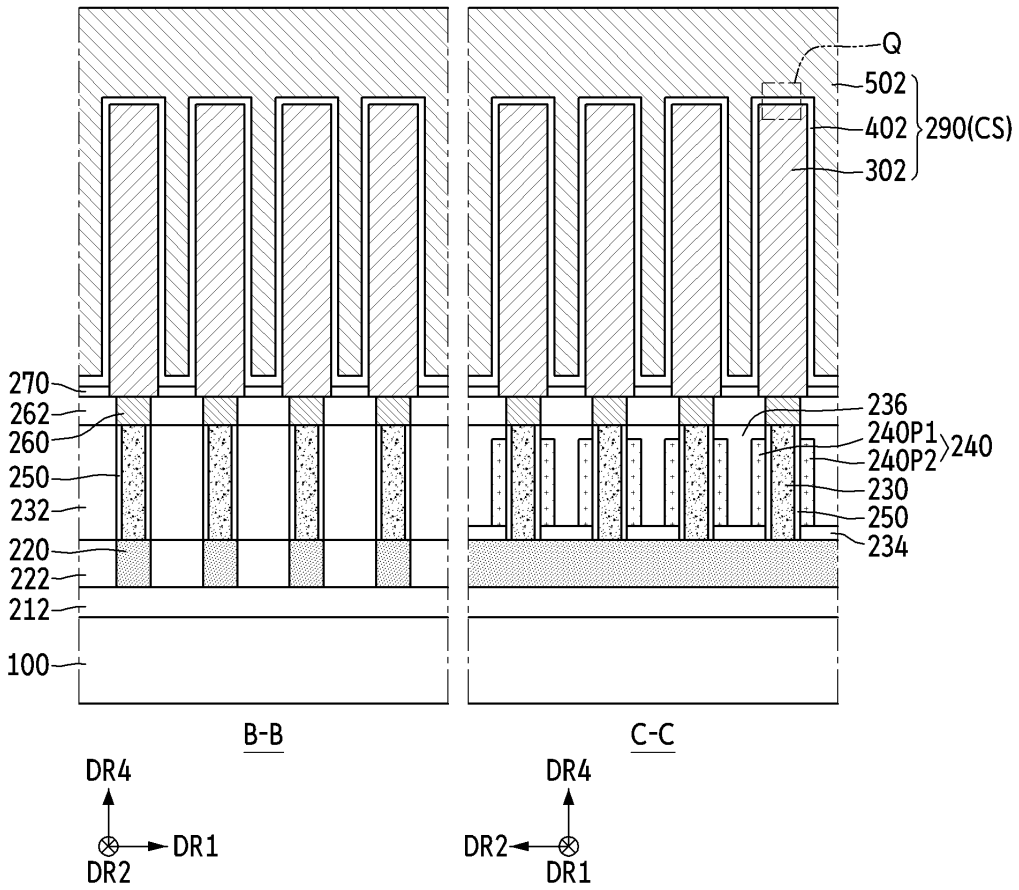
도면11


C
240P2
240
240P1
250
230
302(290)
B
B
C
220
220
220
220
DR2
DR1
DR4

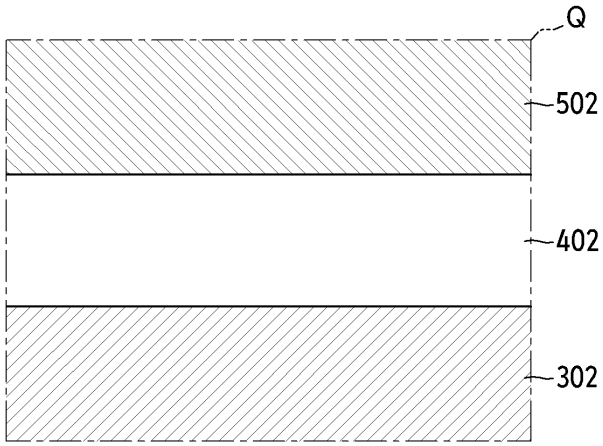
도면12



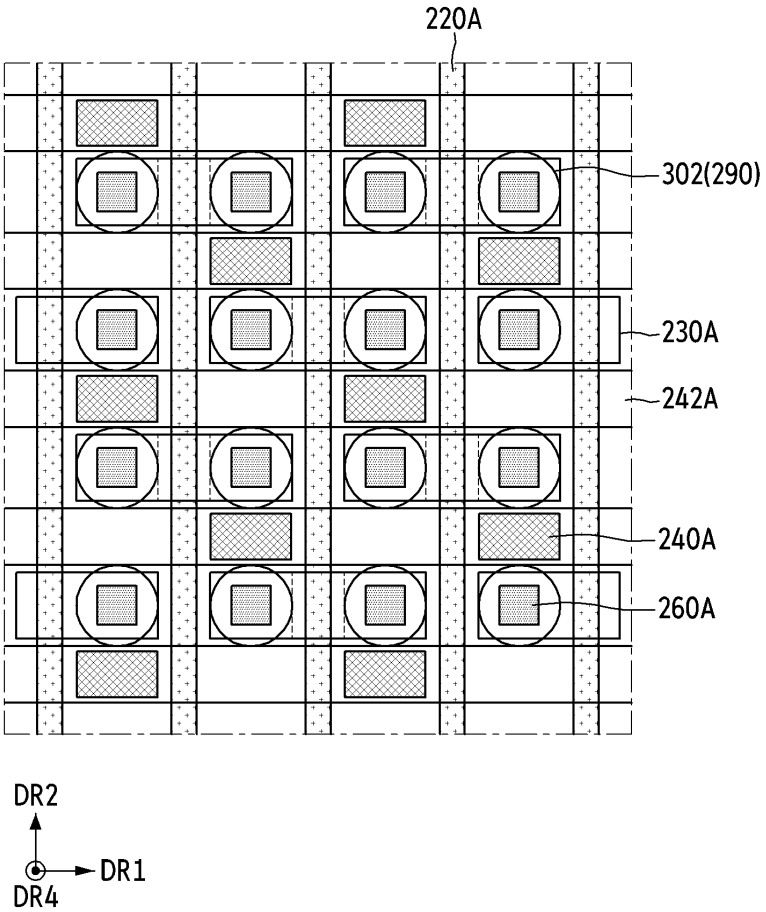
도면13


Q
502
402
302
290(CS)
270
262
260
250
232
220
222
212
100
236
240P1
240P2
240
230
250
234
B-B
C-C
DR4
DR1
DR2
DR4
DR2
DR1

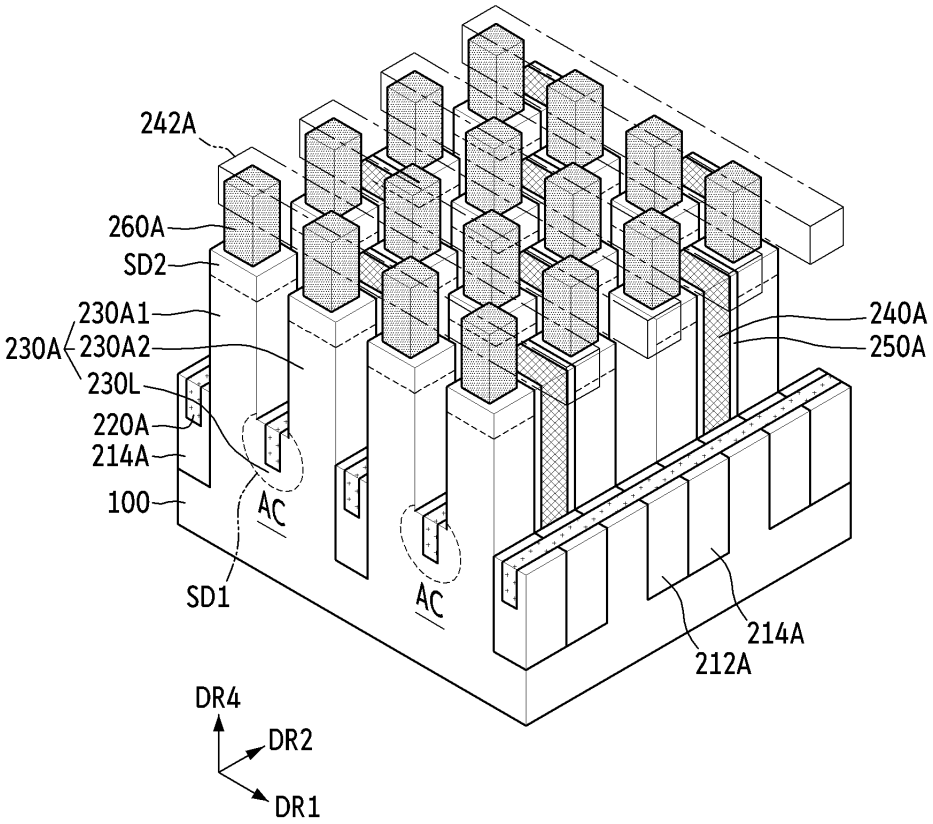
도면14


Q
502
402
302

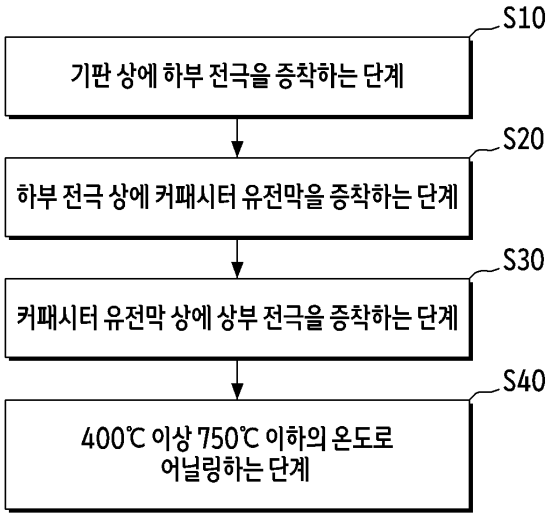
도면15



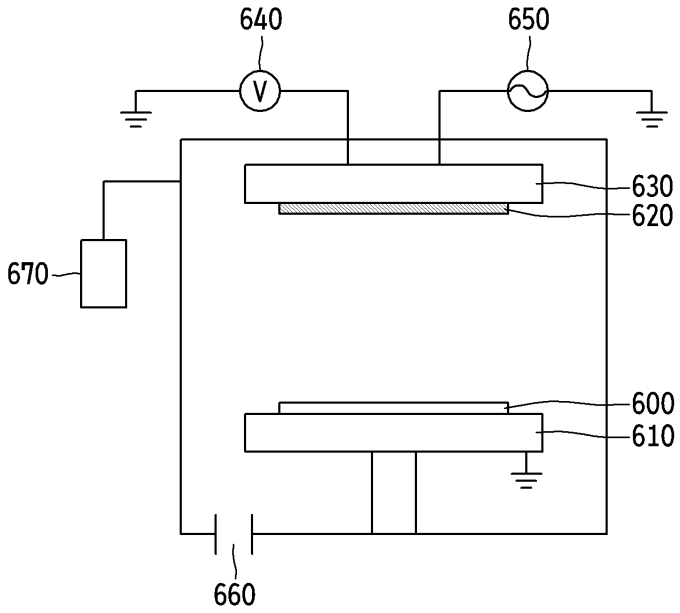
도면16


242A
260A
SD2
230A1
230A
230A2
230L
220A
214A
100
AC
SD1
AC
240A
250A
214A
212A
DR4
DR2
DR1

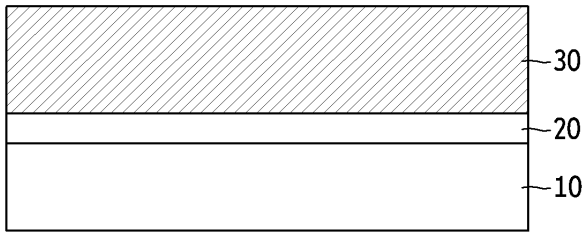
도면17


S10
기판 상에 하부 전극을 증착하는 단계
S20
하부 전극 상에 커패시터 유전막을 증착하는 단계
S30
커패시터 유전막 상에 상부 전극을 증착하는 단계
S40
400℃ 이상 750℃ 이하의 온도로
어닐링하는 단계

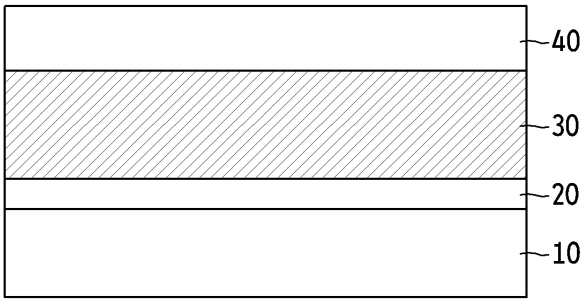
도면18



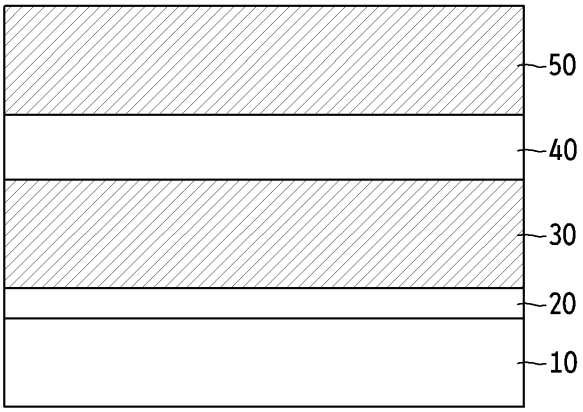
도면19



도면20



도면21



도면22

