

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-40635

(P2010-40635A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8247 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 4 8
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 0 8 3
H O 1 L 29/792 (2006.01)	H O 1 L 27/08 1 0 2 B	5 F 1 0 1
H O 1 L 27/115 (2006.01)	H O 1 L 27/08 1 0 2 C	
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 0 2 H	
審査請求 未請求 請求項の数 16 O L (全 37 頁) 最終頁に続く		

(21) 出願番号	特願2008-199487 (P2008-199487)	(71) 出願人	503121103
(22) 出願日	平成20年8月1日(2008.8.1)		株式会社ルネサステクノロジ
			東京都千代田区大手町二丁目6番2号
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	志波 和佳
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		Fターム(参考)	5F048 AB01 AB03 AC01 AC03 BB06
			BB07 BB10 BB11 BB13 BB16
			BB17 BC06 BD01 BD04 BE03
			BG13 DA25 DA27 DA30
			5F083 EP17 EP18 EP22 EP36 ER03
			ER11 ER30 JA02 NA01 PR36
			PR41
			最終頁に続く

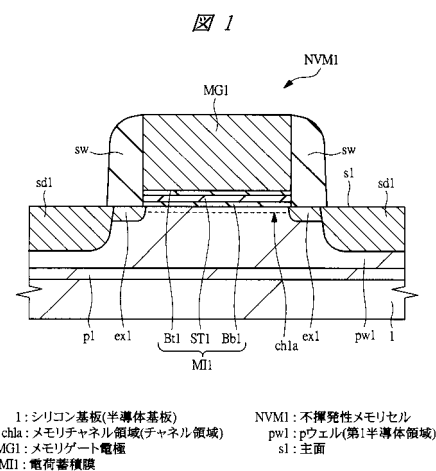
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】不揮発性メモリを有する半導体装置の特性を向上させる。

【解決手段】電荷蓄積膜M I 1に対して電荷を授受することで記憶動作を行う不揮発性メモリセルN V M 1を有する半導体装置であって、不揮発性メモリセルN V M 1は、シリコン基板1の主面s 1に形成されたpウェルp w 1と、主面s 1上に電荷蓄積膜M I 1を隔てて形成されたメモリゲート電極M G 1とを有し、更に、シリコン基板1の主面s 1のうち、電荷蓄積膜M I 1下に位置するメモリチャネル領域c h 1 aにフッ素を含んでいる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

半導体基板の主面に複数の不揮発性メモリセルを形成する工程を有する半導体装置の製造方法であって、

前記不揮発性メモリセルを形成する工程は、

(a) 前記半導体基板の主面に、第 1 導電型の第 1 半導体領域を形成する工程と、

(b) 前記半導体基板の主面上のうち、前記第 1 半導体領域に平面的に含まれる位置に、電荷蓄積膜を隔ててメモリゲート電極を形成する工程と、

(c) 前記半導体基板の主面のうちチャネル領域に、第 1 イオン注入によってフッ素を注入した後、第 1 熱処理によって前記フッ素を活性化する工程とを有し、

前記チャネル領域は、前記半導体基板の主面のうち、前記 (b) 工程で形成する前記電荷蓄積膜下に位置する領域であり、

前記 (c) 工程は、少なくとも前記 (a) 工程を終えた後に施し、

前記不揮発性メモリセルは、前記電荷蓄積膜に対して電荷を授受して記憶動作を行うことを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、

前記 (c) 工程の前記第 1 イオン注入では、前記チャネル領域に対し、 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でフッ素を注入することを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 2 記載の半導体装置の製造方法において、

前記 (b) 工程では、前記電荷蓄積膜として、第 1 絶縁膜、第 2 絶縁膜、および、第 3 絶縁膜を順に形成し、

前記第 2 絶縁膜は、電荷を捕獲する機能を有する絶縁膜であり、

前記第 2 絶縁膜を挟む前記第 1 および第 3 絶縁膜は、前記第 2 絶縁膜に捕獲された電荷の外部への漏出を防ぐ機能を有する絶縁膜であり、

前記第 1 および第 3 絶縁膜として、酸化シリコンを主体とする絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 3 記載の半導体装置の製造方法において、

前記 (c) 工程の前記第 1 イオン注入は、前記 (a) 工程を終えた後、前記 (b) 工程の前に施すことを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 4 記載の半導体装置の製造方法において、

前記 (b) 工程では、前記半導体基板を熱酸化することで前記第 1 絶縁膜を形成し、

前記 (c) 工程の前記第 1 熱処理は、前記 (b) 工程で前記第 1 絶縁膜を形成するための熱酸化と同一の工程で施すことを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 3 記載の半導体装置の製造方法において、

前記 (b) 工程は、

(b1) 前記半導体基板の主面上に、前記電荷蓄積膜を隔ててメモリゲート導体膜を形成する工程と、

(b2) 前記メモリゲート導体膜を加工して、前記メモリゲート電極を形成する工程とを有し、

前記 (c) 工程の第 1 イオン注入は、前記 (b1) 工程の後、前記 (b2) 工程の前に施すことを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 3 記載の半導体装置の製造方法において、

前記不揮発性メモリセルを形成する工程は、更に、

(d) 前記メモリゲート電極の側方下部のうち、前記第1半導体領域内の前記半導体基板の主面に、前記第1導電型と逆導電型である第2導電型の第2半導体領域を形成する工程を有し、

前記(d)工程では、該当の前記半導体基板の主面に第2導電型となる不純物をイオン注入し、熱処理を施すことで前記第2半導体領域を形成し、

前記(c)工程の第1イオン注入は、前記(d)工程における前記第2半導体領域を形成するためのイオン注入の直前または直後に施すことを特徴とする半導体装置の製造方法。

【請求項8】

請求項7記載の半導体装置の製造方法において、

前記(c)工程の前記第1熱処理は、前記(d)工程における前記第2半導体領域を形成するための熱処理と同一の工程で施すことを特徴とする半導体装置の製造方法。

【請求項9】

請求項3記載の半導体装置の製造方法において、

前記不揮発性メモリセルを形成する工程は、更に、

(d) 前記メモリゲート電極の側方下部のうち、前記第1半導体領域内の前記半導体基板の主面に、前記第1導電型と逆導電型である第2導電型の第2半導体領域を形成する工程と、

(e) 前記メモリゲート電極の側方下部のうち、前記第1半導体領域内の前記半導体基板の主面であって、かつ、平面的に見て、前記第2半導体領域の外側に、第2導電型の第3半導体領域を形成する工程とを有し、

前記(d)および(e)工程では、前記第3半導体領域の第2導電型不純物濃度は前記第2半導体領域の第2導電型不純物濃度よりも高くなるようにして、それぞれ、前記第2および第3半導体領域を形成し、

前記(e)工程では、該当の前記半導体基板の主面に第2導電型となる不純物イオンを注入し、熱処理を施すことで前記第3半導体領域を形成し、

前記(c)工程の第1イオン注入は、前記(e)工程における前記第2半導体領域を形成するためのイオン注入の直前または直後に施すことを特徴とする半導体装置の製造方法。

【請求項10】

請求項9記載の半導体装置の製造方法において、

前記(c)工程の前記第1熱処理は、前記(e)工程における前記第3半導体領域を形成するための熱処理と同一の工程で施すことを特徴とする半導体装置の製造方法。

【請求項11】

請求項3記載の半導体装置の製造方法において、

前記不揮発性メモリセルを形成する工程は、前記(a)工程の後、前記(b)工程の前に、更に、

(d) 前記半導体基板の主面上のうち、前記第1半導体領域に平面的に含まれる位置に、制御ゲート絶縁膜を隔てて制御ゲート電極を形成する工程を有し、

前記(d)工程では、前記制御ゲート絶縁膜として、酸化シリコンを主体とする絶縁膜を形成し、

前記(b)工程では、前記(d)工程で形成した前記制御ゲート電極に隣り合うようにして、前記電荷蓄積膜を隔てて前記メモリゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項12】

請求項11記載の半導体装置の製造方法において、

前記(c)工程の前記第1イオン注入は、前記(a)工程を終えた後、前記(d)工程の前に施すことを特徴とする半導体装置の製造方法。

【請求項13】

請求項12記載の半導体装置の製造方法において、

10

20

30

40

50

前記（ｄ）工程では、前記半導体基板を熱酸化することで前記制御ゲート絶縁膜を形成し、

前記（ｃ）工程の前記第１熱処理は、前記（ｄ）工程で前記制御ゲート絶縁膜を形成するための熱酸化と同一の工程で施すことを特徴とする半導体装置の製造方法。

【請求項１４】

半導体基板に形成された複数の不揮発性メモリセルを有する半導体装置であって、前記不揮発性メモリセルは、

（ａ）前記半導体基板の主面に形成された、第１導電型の第１半導体領域と、

（ｂ）前記半導体基板の主面上のうち、前記第１半導体領域に平面的に含まれる位置に、電荷蓄積膜を隔てて配置されたメモリゲート電極とを有し、

前記半導体基板の主面上のうち、前記電荷蓄積膜下に位置するチャンネル領域はフッ素を含み、

前記不揮発性メモリセルは、前記電荷蓄積膜に対して電荷を授受して記憶動作を行うことを特徴とする半導体装置。

【請求項１５】

請求項１４記載の半導体装置において、

前記電荷蓄積膜は、前記半導体基板に近い方から順に配置された、第１絶縁膜、第２絶縁膜、および、第３絶縁膜を有し、

前記第２絶縁膜は、電荷を捕獲する機能を有する絶縁膜であり、

前記第２絶縁膜を挟む前記第１および第３絶縁膜は、前記第２絶縁膜に捕獲された電荷の外部への漏出を防ぐ機能を有する絶縁膜であり、

前記第１および第３絶縁膜は、酸化シリコンを主体とする絶縁膜であることを特徴とする半導体装置。

【請求項１６】

請求項１５記載の半導体装置において、

前記不揮発性メモリセルは、更に、

（ｃ）前記半導体基板の主面上のうち、前記第１半導体領域に平面的に含まれる位置に、制御ゲート絶縁膜を隔てて配置された制御ゲート電極を有し、

前記メモリゲート電極は、前記電荷蓄積膜を隔てて、前記制御ゲート電極に隣り合うようにして配置されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置技術に関し、特に、不揮発性メモリを有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【０００２】

電氣的に書き込み・消去が可能な不揮発性半導体記憶素子（不揮発性メモリセル）として、ＥＥＰＲＯＭ（Electrically Erasable and Programmable Read Only Memory）が広く使用されている。これらの不揮発性メモリセルは、ＭＩＳ（Metal Insulator Semiconductor）型電界効果トランジスタ（Field Effect Transistor：ＦＥＴともいう）（以下、単にＭＩＳトランジスタ）のゲート電極下に浮遊状態（フローティング状態）の導体部を備えた構造（浮遊ゲート電極構造）や、電荷担体（キャリア）を蓄積する機能を有する絶縁膜を備えた構造となっている。これら浮遊ゲート電極や電荷蓄積膜に電荷を蓄積させ、ＭＩＳ構造によって電荷蓄積領域への電荷の注入または放出を制御することで、データ書き込みおよびデータ消去を実現している。

【０００３】

上記のように、電荷蓄積領域に電荷が注入（または放出）されると、ＭＩＳトランジスタの閾値電圧が変化する。ＭＩＳトランジスタにおいて、閾値電圧の変化は、印加するゲート電圧に応じて流れるドレイン電流の違いとして現れる。この、ＭＩＳトランジスタの

10

20

30

40

50

ドレイン電流量によって、電荷の蓄積状態、即ち、データ保持状態を読み出すことができる。以上のような、データ書き込み、消去、読み出し機能によって、メモリ動作を実現している。

【0004】

電荷蓄積機能を有する絶縁膜として、窒化シリコンを主体とする絶縁膜（以下、単に窒化シリコン膜）が知られている。半導体基板上に形成した窒化シリコン膜は、形成条件によって内部に欠陥を多く含む膜となる。このような膜中の欠陥は、キャリアの捕獲準位（トラップ準位）として機能する。このような窒化シリコン膜のトラップ準位に捕獲された電荷は漏出し難い。そのため、窒化シリコン膜を電荷蓄積膜として利用した不揮発性メモリは長時間のデータ保持に優れている。

10

【0005】

更に、窒化シリコン膜に捕獲されたキャリアが上部の電極や、下部の基板に容易に漏出しないように、窒化シリコン膜の両側を、他の絶縁膜で挟み込む構造が有用である。例えば、窒化シリコン膜の両側を、酸化シリコンを主体とする絶縁膜（以下、単に酸化シリコン膜）などで挟みこんだ、所謂ONO（oxide/Nitride/oxide）絶縁膜が用いられている。この、ONO絶縁膜をMISトランジスタのゲート絶縁膜と見立てて、読み出し動作を実現する不揮発性メモリセルがある。これは、ゲート電極（Metal）/ONO絶縁膜/半導体基板（Semiconductor）を基本構成としており、所謂MONOS型の不揮発性メモリセル（以下、単にMONOS型メモリセル）と称される。

【0006】

20

例えば、特開2007-48882号公報（特許文献1）には、MOS（Metal Oxide Semiconductor）型FET（Field Effect Transistor）を製作する工程で、ゲート電極形成後にフッ素をイオン注入することで、半導体界面もしくは表面にフッ素を存在させる技術が開示されている。これにより、半導体デバイスの動作速度の向上や、雑音特性の向上、更に、特性不良率の向上等を実現することができる。

【0007】

また、例えば、特開2000-236074号公報（特許文献2）には、DRAM（Dynamic Random Access Memory）を構成するMISFETの形成工程で、ゲート絶縁膜形成後、または、ゲート電極形成後にフッ素イオンを注入することで、ゲート絶縁膜と半導体基板との界面にフッ素を導入する技術が開示されている。

30

【0008】

また、例えば、特開2005-197547号公報（特許文献3）には、DRAMやSRAM（Static Random Access Memory）を構成するMOSトランジスタの形成工程において、ソース・ドレイン拡散層内に、ハロゲン元素をイオン注入し、拡散する技術が開示されている。

【特許文献1】特開2007-48882号公報

【特許文献2】特開2000-236074号公報

【特許文献3】特開2005-197547号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0009】

MONOS型メモリセルでは、ゲート電極下の電荷蓄積膜に電荷を授受することで情報を記憶する。以下では、一例として、nチャネル型のMISトランジスタ（以下、単にn型MISトランジスタ）のゲート絶縁膜をONO構造の電荷蓄積膜としたMONOS型メモリセルを説明する。

【0010】

通常のn型MISトランジスタでは、ゲート電極に正電圧を印加していくと、ゲート絶縁膜下のp型半導体層にn型反転層が形成される。このときのゲート電圧値を閾値電圧と呼称する。ゲート電圧値が閾値電圧以上であれば、ソース・ドレイン間のバイアスにより、n型反転層ではキャリア（電子）のドリフトが起こる。言い換えれば、ゲート電圧が閾

50

値電圧以上であれば、 n 型反転層をチャネルとしてソース・ドレイン間にドリフト電流を流すことができる。そして、ソース・ドレイン間のバイアスが一定であれば、ゲート電圧値が高いほど n 型反転層のキャリア濃度は上昇し、ソース・ドレイン間電流が上昇する。

【0011】

このような特性の n 型MISトランジスタにおいて、ゲート絶縁膜に電荷蓄積膜を適用したMONOS型メモリセルでは、電荷蓄積膜の帯電状態によって閾値電圧が変化する。例えば、ゲート絶縁膜である電荷蓄積膜が負の電荷である電子を捕獲した場合、ゲート絶縁膜下の p 型半導体層への、正のゲート電圧の電界効果は弱められる。従って、当該 p 型半導体層に n 型反転層を形成するには、より高い正のゲート電圧を印加する必要がある。これは、閾値電圧が上昇したことを意味する。

10

【0012】

一方、ゲート絶縁膜である電荷蓄積膜が正の電荷である正孔を捕獲した場合、ゲート絶縁膜下の p 型半導体層には、予め正の電界効果が作用していることになる。従って、当該 p 型半導体層には、より低い正のゲート電圧で n 型反転層を形成できる。これは、閾値電圧が低下したことを意味する。

【0013】

このように、MONOS型メモリセルでは、電荷蓄積膜の帯電状態により閾値電圧が変化する。即ち、電荷蓄積膜に電子を注入すれば閾値電圧は上昇し、正孔を注入すれば閾値電圧は低下する。例えば、閾値電圧が上昇した状態（電子を注入した状態）を書き込み状態に対応させ、閾値電圧が低下した状態（正孔を注入した状態）を消去状態に対応させる。そして、このような閾値電圧の変化はソース・ドレイン間電流の大きさによって検出できる。このようにして、MONOS型メモリセルは、1ビットの情報を記憶する機能を有する。

20

【0014】

ここで、不揮発性メモリセルにおけるデータ保持特性（リテンション特性）は、当該不揮発性メモリセルが記憶状態をどの程度維持できるかを示す重要な特性パラメータの一つである。MONOS型メモリセルでは、電荷蓄積膜の帯電状態を記憶状態に対応させるから、電荷蓄積膜が強固に電荷を捕獲し得るほど、リテンション特性は良好と言える。

【0015】

しかしながら、MONOS型メモリセルのリテンション特性を向上させる技術に関して、本発明者が更に検討したところ、以下のような課題が明らかになった。

30

【0016】

電荷蓄積膜を構成するONO膜のうち、電荷を捕獲するのは窒化膜（N膜）である。そして、窒化膜に捕獲された電荷が上部の電極や下部の基板に漏出し難くするために、窒化膜を酸化膜（O膜）で挟んでいる。従って、この酸化膜を厚くすることで、電荷がより漏出し難くなり、リテンション特性は向上する。しかしながら、酸化膜を厚くすると、窒化膜に電荷を注入するためには、より高い電圧を印加しなければならない。これは、素子の耐圧の低下、周辺回路の大規模化、または、動作速度の低下など、不揮発性メモリの特性の向上を妨げる一要因となる。

【0017】

40

一方、酸化膜が薄い状態では、窒化膜に捕獲された電荷が漏出し易くなる。特に、下部のシリコン基板の表面には、未結合手（ダングリングボンド）やその他の結晶欠陥などが存在し、これらを介して、より電荷が漏出し易くなっている。このように、窒化膜に捕獲された電荷が漏出し易い構造を用いることは、不揮発性メモリのリテンション特性を低下させる一要因となる。

【0018】

以上のように、本発明者が検討したMONOS型メモリセルを備えた半導体装置では、リテンション特性の更なる向上が困難であることが分かった。

【0019】

そこで、本発明の目的は、不揮発性メモリを有する半導体装置の特性を向上させる技術

50

を提供することにある。

【 0 0 2 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 2 1 】

本願においては、複数の発明が開示されるが、そのうちの一実施例の概要を簡単に説明すれば以下の通りである。

【 0 0 2 2 】

半導体基板に形成された不揮発性メモリセルを有する半導体装置であって、不揮発性メモリセルは、半導体基板の主面に形成された第 1 導電型の第 1 半導体領域と、半導体基板の主面上のうち、第 1 半導体領域に平面的に含まれる位置に電荷蓄積膜を隔てて配置されたメモリゲート電極とを有し、電荷蓄積膜に対して電荷を受受することで、記憶動作を行う。更に、この不揮発性メモリセルは、半導体基板の主面のうち、電荷蓄積膜下に位置するチャンネル領域にフッ素を含んでいる。

10

【発明の効果】

【 0 0 2 3 】

本願において開示される複数の発明のうち、上記一実施例により得られる効果を代表して簡単に説明すれば以下のとおりである。

【 0 0 2 4 】

20

即ち、不揮発性メモリを有する半導体装置の特性を向上させることができる。

【発明を実施するための最良の形態】

【 0 0 2 5 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

30

【 0 0 2 6 】

（実施の形態 1）

40

本実施の形態 1 の半導体装置が有する不揮発性メモリセルの構造を、図 1 を用いて詳しく説明する。図 1 は、本実施の形態 1 の不揮発性メモリセル N V M 1 の要部断面図である。本実施の形態 1 の半導体装置は、シリコン基板（半導体基板）1 に形成された複数の不揮発性メモリセル N V M 1 を有する。

【 0 0 2 7 】

シリコン基板 1 は、単結晶のシリコン（S i）からなる薄板状の半導体材料 p 型導電型であっても n 型導電型であっても良い。本実施の形態 1 では、シリコン基板 1 の導電型は p 型とする。シリコン基板 1 や以下で説明する種々の半導体領域において、p 型導電型とは、ドナー不純物よりもアクセプタ不純物を多く含み、多数キャリアが正孔（ホール）であるような半導体材料の導電型を表す。一方、n 型導電型とは、アクセプタ不純物よりも

50

ドナー不純物を多く含み、多数キャリアが電子であるような半導体材料の導電型を表す。このように、p型導電型とn型導電型とは互いに逆の極性（互いに逆の導電型）である。以下では、第1導電型をp型導電型と表し、第1導電型とは逆導電型の第2導電型をn型導電型と表す。ただし、以下の説明において、これらの関係は逆であっても良い。

【0028】

本実施の形態1の不揮発性メモリセルNVM1は、以下で詳しく説明する構成要素を有する。シリコン基板1の主面s1には、p型の半導体領域p1が形成されている。更に、シリコン基板1の主面s1であり、半導体領域p1よりも浅く、pウェル（第1半導体領域）pw1が形成されている。pウェルpw1はp型の半導体領域であり、不揮発性メモリセルNVM1を形成するための素子形成領域である。

10

【0029】

また、シリコン基板1の主面s1上には、電荷蓄積膜MI1を隔てて、メモリゲート電極MG1が形成されている。電荷蓄積膜MI1およびメモリゲート電極MG1は、シリコン基板1の主面s1上において、pウェルpw1に平面的に含まれる位置に配置されている。

【0030】

電荷蓄積膜MI1は、電子や正孔などの電荷を蓄積する機能を有する膜である。例えば、絶縁膜に囲まれた導体膜（フローティング状態の導体膜）であっても良いし、ONO構造の絶縁膜であっても良い。ただし、本実施の形態1の不揮発性メモリNVM1においては、電荷蓄積膜MI1はONO構造の絶縁膜である方が、より好ましい。なぜなら、ON

20

【0031】

電荷蓄積膜MI1は、シリコン基板1に近い方から順に配置された、下部バリア膜（第1絶縁膜）Bb1、電荷ストレージ膜（第2絶縁膜）ST1、および、上部バリア膜（第3絶縁膜）Bt1を有している。即ち、電荷蓄積膜MI1は、電荷ストレージ膜（第2絶縁膜）ST1の上下を両バリア膜Bb1、Bt1で挟んだ構造となっている。

【0032】

電荷ストレージ膜ST1は、電荷を捕獲する機能を有する絶縁膜である。このような絶縁膜としては、膜中に多数の電荷捕獲中心（単にトラップとも言う）を有する絶縁膜が適している。例えば、窒化シリコン（SiN）、ハフニウムシリケート（HfSiO）、ハフニウムアルミネート（HfAlO）、酸化ハフニウム（HfO₂）、または、酸化アルミニウム（Al₂O₃）などを主体とする絶縁膜などがある。この中でも、本実施の形態1の電荷ストレージ膜ST1としては、窒化シリコンを主体とする絶縁膜（以下、単に窒化シリコン膜）を適用する。

30

【0033】

また、電荷ストレージ膜ST1を挟む上下部バリア膜Bb1、Bt1は、電荷ストレージ膜ST1に捕獲された電荷が外部へ漏出するのを防ぐ機能を有する絶縁膜である。このような絶縁膜としては、電荷ストレージ膜ST1中のトラップに捕獲された電荷から見て、十分エネルギー障壁（バリア）が高い絶縁膜が適している。言い換えれば、窒化シリコン膜よりもバンドギャップが広く、窒化シリコン膜との間で、導電帯側にも価電子帯側にも十分高いバンドオフセットを有する絶縁膜が適している。このような絶縁膜として、本実施の形態1の上下部バリア膜Bb1、Bt1は、酸化シリコン（SiO₂）を主体とする絶縁膜（以下、単に酸化シリコン膜）を適用する。

40

【0034】

以上のように、本実施の形態1の電荷蓄積膜MI1は、トラップ性の窒化シリコン膜をバリア性の酸化シリコン膜で挟んだONO構造となっている。

【0035】

50

また、メモリゲート電極 M G 1 は、多結晶シリコン（または、ポリシリコンとも言う）を主体とする導体膜からなる。

【 0 0 3 6 】

以上の構成により、本実施の形態 1 の不揮発性メモリセル N V M 1 は、導体領域であるメモリゲート電極 M G 1、O N O 構造の絶縁体領域である電荷蓄積膜 M I 1、および、半導体領域である p ウェル p w 1 からなる、M O N O S 構造を有している。これは、O N O 構造を一つの絶縁体領域と見れば、M I S 構造を有しているとも言える。更に、本実施の形態 1 の不揮発性メモリセル N V M 1 は、以下のような電荷供給機構を有している。

【 0 0 3 7 】

本実施の形態 1 の不揮発性メモリセル N V M 1 は、メモリゲート電極 M G 1 の側方下部のシリコン基板 1 の主面 s 1 に、メモリエクステンション領域（第 2 半導体領域）e x 1 およびメモリソース・ドレイン領域（第 3 半導体領域）s d 1 からなる電荷供給機構を有している。メモリエクステンション領域 e x 1 およびメモリソース・ドレイン領域 s d 1 は、p ウェル p w 1 内のシリコン基板 1 の主面 s 1 に形成されている。特に、メモリエクステンション領域 e x 1 はメモリゲート電極 M G 1 の側方下部に配置され、平面的に見て、その外側に、メモリソース・ドレイン領域 s d 1 が配置されている。メモリエクステンション領域 e x 1 とメモリソース・ドレイン領域 s d 1 とは同じ導電型であり、電氣的に接続している。

【 0 0 3 8 】

メモリエクステンション領域 e x 1 は、上記の M O N O S 構造に電荷を供給するための n 型半導体領域である。従って、メモリエクステンション領域 e x 1 は、不揮発性メモリセル N V M 1 の M I S トランジスタとしての特性（メモリ動作時の電流）によって、その不純物濃度や深さなどの構造パラメータが決められる。

【 0 0 3 9 】

また、メモリソース・ドレイン領域 s d 1 は、上記のメモリエクステンション領域 e x 1 に対して、外部との電荷の授受を円滑に行うための n 型半導体領域である。従って、メモリソース・ドレイン領域 s d 1 の抵抗率は低いほど望ましい。この理由から、メモリソース・ドレイン領域 s d 1 の不純物濃度はメモリエクステンション領域 e x 1 よりも高く、その深さはメモリエクステンション領域 e x 1 よりも深い。

【 0 0 4 0 】

本実施の形態 1 の不揮発性メモリセル N V M 1 は、上記のようなメモリエクステンション領域 e x 1 およびメモリソース・ドレイン領域 s d 1 からなる電荷供給機構を有することで、p ウェル p w 1 などに電荷を供給する。

【 0 0 4 1 】

また、メモリゲート電極 M G 1 の側壁を覆うようにして、例えば酸化シリコン膜からなるサイドウォールスペーサ s w が形成されている。これは、例えばコンタクトプラグ（図示しない）など、他の導電部とメモリゲート電極とを隔離するための構成要素である。サイドウォールスペーサ s w は、メモリゲート電極 M G 1 の側壁から、その側方下部のシリコン基板 1 の主面 s 1 のうち、少なくともメモリエクステンション領域 e x 1 の表面に渡るまでを覆うようにして形成されている。

【 0 0 4 2 】

ここで、基板（特にチャネル領域など）に対して応力を作用させることで、M I S トランジスタとしての特性を向上させる技術がある。これを目的として、シリコン基板 1 に対する応力作用の大きい材料を用いて、サイドウォールスペーサ s w を形成しても良い。この場合、例えば、シリコン基板 1 に近い方から順に、酸化シリコン膜、窒化シリコン膜、および、酸化シリコン膜の 3 層構造を、サイドウォールスペーサ s w として適用して効果的である。以下では、サイドウォールスペーサ s w は、酸化シリコン膜のみからなるとして説明する。

【 0 0 4 3 】

以上が本実施の形態 1 の不揮発性メモリセル N V M 1 の基本的な構造である。本実施の

10

20

30

40

50

形態 1 の不揮発性メモリセル N V M 1 は、上記の構成の他に、以下のような構成を有する。即ち、本実施の形態 1 の不揮発性メモリセル N V M 1 は、シリコン基板 1 の主面 s 1 のうち、メモリチャネル領域（チャネル領域）c h 1 a において、フッ素（F）を含んでいる。

【 0 0 4 4 】

一般的に、チャネル領域とは、M I S トランジスタにおいて、半導体領域の表面のうち、ゲート絶縁膜下に位置する領域であり、ゲート電極からの電界効果によって反転層が形成される領域である。同様に、本実施の形態 1 の不揮発性メモリセル N V M 1 においても、メモリチャネル領域 c h 1 a とは、p ウェル p w の表面のうち、M O N O S 構造を M I S 構造と見たときのゲート絶縁膜に該当する電荷蓄積膜 M I 1 下に位置する領域である。

10

【 0 0 4 5 】

本実施の形態 1 の不揮発性メモリセル N V M 1 では、上記のようにメモリチャネル領域 c h 1 a にフッ素を含むことで、以下のような効果を有する。

【 0 0 4 6 】

通常、p 型シリコンの p ウェル p w 1 の一部であるメモリチャネル領域 c h 1 a には、多数のダングリングボンドや他の欠陥が含まれている。このようなダングリングボンドや欠陥は電荷を捕獲し易く、通常の不揮発性メモリセルにおいて、電荷蓄積膜に捕獲された電荷のシリコン基板への漏出をアシストする一原因となっている。これに対し、本実施の形態 1 のメモリチャネル領域 c h 1 a においては、フッ素の導入によってこれらのダングリングボンドや他の欠陥を不活性化することができる。この観点から、本実施の形態 1 のメモリチャネル領域 c h 1 a にはハロゲン元素のフッ素を導入することで、ダングリングボンドや欠陥を不活性化し、電荷蓄積膜 M I 1 に捕獲された電荷を漏出し難くすることができる。これにより、本実施の形態 1 の不揮発性メモリセル N V M 1 によれば、リテンション特性を向上できる。結果として、不揮発性メモリを有する半導体装置の特性を向上させることができる。

20

【 0 0 4 7 】

その効果をより詳しく説明するために、以下では、本実施の形態 1 の不揮発性メモリセル N V M 1 の動作方式を説明する。

【 0 0 4 8 】

図 2 には、本実施の形態 1 の不揮発性メモリセル N V M 1 の書き込み動作を説明するための要部断面図を示している。書き込み動作では、メモリゲート電極 M G 1 に印加するメモリゲート電圧 V g m として、正の電圧を印加する。正のメモリゲート電圧 V g m を高くしていくと、メモリチャネル領域 c h 1 a には反転層が形成され、電子 e が生じる。更に正のメモリゲート電圧 V g m を高くしていくと、メモリチャネル領域 c h 1 a の反転層内の電子 e、または、p ウェル p w 内の少数キャリアとしての電子 e が正のメモリゲート電圧 V g m に引かれ、下部バリア膜 B b 1 を透過して、電荷ストレージ膜 S T 1 に注入される。このように、所謂 F N（Fowler-Nordheim）トンネル効果によって、電荷蓄積膜 M I 1 に電子 e を注入する。

30

【 0 0 4 9 】

電荷蓄積膜 M I 1 に電子 e を注入することで、M I S トランジスタとしての M O N O S 型不揮発性メモリセル N V M 1 の閾値電圧は上昇する。このようにして、本実施の形態 1 の不揮発性メモリセル N V M 1 を書き込み状態とすることができる。

40

【 0 0 5 0 】

図 3 には、本実施の形態 1 の不揮発性メモリセル N V M 1 の消去動作を説明するための要部断面図を示している。消去動作では、メモリゲート電圧 V g m として、負の電圧を印加する。負のメモリゲート電圧 V g m を高くしていくと、書き込み動作によって電荷蓄積膜 M I 1 に注入された電子 e が、F N トンネル効果によって下部バリア膜 B b 1 を透過して、p ウェル p w 1 に放出される。また、この状況では、p ウェル p w 1 内の多数キャリアである正孔（ホール）h が、F N トンネル効果によって下部バリア膜 B b 1 を透過して、電荷蓄積膜 p w 1 に注入される。

50

【0051】

これら電子 e と正孔 h とはそれぞれの挙動は異なるものの、電荷蓄積膜 $MI1$ が帯電する極性は同じである。即ち、上記のような電荷蓄積膜 $MI1$ への電荷の授受によって、電子 e が放出され、または、正孔 h が注入され、電荷蓄積膜 $MI1$ は正に帯電する。電荷蓄積膜 $MI1$ が正に帯電することで、 MI ストラジスタとしての $MONOS$ 型不揮発性メモリセル $NVM1$ の閾値電圧は低下する。このようにして、本実施の形態1の不揮発性メモリセル $NVM1$ を消去状態とすることができる。

【0052】

上記のようにして不揮発性メモリセル $NVM1$ に設定した書き込み状態と消去状態とは、以下のようにして読み出す。

10

【0053】

図4には、本実施の形態1の不揮発性メモリセル $NVM1$ の読み出し動作を説明するための要部断面図を示している。読み出し動作では、2つのメモリソース・ドレイン領域 $sd1$ に異なる電圧を印加する。例えば、低電圧側をソース電圧 V_s とし、高電圧側をドレイン電圧 V_d とする。このとき、通常の MI ストラジスタであれば、ゲート電圧に応じたソース・ドレイン電流 I_{ds} が流れる。特に、閾値電圧以上のゲート電圧を印加することで、十分なソース・ドレイン電流 I_{ds} が流れ、オン状態となる。

【0054】

ここで、本実施の形態1の不揮発性メモリセル $NVM1$ では、電荷蓄積膜 $MI1$ の帯電状態によって閾値電圧が変化する。従って、所定のメモリゲート電圧 V_{gm} を印加していても、当該メモリセルが書き込み状態であるか、消去状態であるかによって、ソース・ドレイン電流 I_{ds} の大きさは異なる。例えば、書き込み状態に比べて消去状態では閾値電圧が下がっているから、同じメモリゲート電圧 V_{gm} を印加した場合でも、より大きいソース・ドレイン電流 I_{ds} が流れる。このようなソース・ドレイン電流 I_{ds} の大小を検出することで、不揮発性メモリセル $NVM1$ の記憶状態を読み出すことができる。

20

【0055】

以上のように、本実施の形態1の不揮発性メモリセル $NVM1$ は、電荷蓄積膜 $MI1$ に対して電荷を授受することで、書き込み、消去、読み出し動作といった、記憶動作を実現する。

【0056】

30

ここで、図5には、上記の書き込み状態、または、消去状態における閾値電圧の時間変化を表すグラフ図を示している。即ち、本発明者が検討したメモリセルにおいて、書き込みまたは消去動作によって閾値電圧を変化させ、その状態で放置した場合の閾値電圧の時間変化を表したグラフである。図中では、書き込み状態における閾値電圧の変化を書き込み特性 $wr1$ と表し、消去状態における閾値電圧の変化を消去特性 $er1$ と表す。なお、これらの特性は、説明のため、通常の不揮発性メモリセルの特性を示しており、本実施の形態1の不揮発性メモリセル $NVM1$ の特性ではない。

【0057】

上述のように、書き込み動作を受けたメモリセルの閾値電圧は正の値に上昇する。これは、電荷蓄積膜 $MI1$ に負電荷である電子 e が注入されたことによる（上記図2参照）。また、消去動作を受けたメモリセルの閾値電圧は負の値に低下する。これは、電荷蓄積膜 $MI1$ に正電荷である正孔 h が注入（または、電荷蓄積膜 $MI1$ から負電荷である電子 e が放出）されたことによる（上記図3参照）。

40

【0058】

そして、これらの書き込みまたは消去状態の閾値電圧は、時間経過とともに、元の値に戻ろうとする。これは、上記のように閾値電圧を変化させる元になっていた電荷蓄積膜 $MI1$ 中の電荷が、時間経過とともに、メモリゲート電極 $MG1$ や p ウェル p_w1 に抜けていくからである。

【0059】

ここで、上述のように、本実施の形態1の不揮発性メモリセル $NVM1$ の読み出し動作

50

では、所定のメモリゲート電圧 V_{gm} を印加したときのソース・ドレイン電流 I_{ds} の大きさによって、記憶状態を判別する（上記図 4 参照）。このとき、メモリゲート電圧 V_{gm} は、図 5 における消去特性 e_{r1} と書き込み特性 w_{r1} との間の電圧値に設定する。これにより、消去状態にあるメモリセルでは、閾値電圧は消去特性 e_{r1} の値であるから、読み出し動作でそれよりも高いメモリゲート電圧 V_{gm} が印加された場合、ソース・ドレイン電流 I_{ds} としてオン電流が検出される。一方、書き込み状態にあるメモリセルでは、閾値電圧は書き込み特性 w_{r1} の値であるから、読み出し動作でそれよりも低いメモリゲート電圧 V_{gm} が印加された場合、ソース・ドレイン電流 I_{ds} としてオフ電流が検出される。このようなメモリゲート電圧 V_{gm} の印加条件とすることで、不揮発性メモリセル $NVM1$ のオン/オフ電流によって、記憶状態を読み出すことができる。一般的に MIS トランジスタのオン/オフ電流の差は大きく、記憶状態の判別には好適である。

【0060】

上記の観点から、不揮発性メモリセル $NVM1$ の記憶状態を正常に読み出すには、書き込み状態と消去状態とで、閾値電圧の差（ウィンドウ）が大きいほど望ましい。即ち、図 5 において、書き込み特性 w_{r1} と消去特性 e_{r1} とは、より離れている（ウィンドウが広い）方が望ましい。なぜなら、書き込み状態と消去状態とで閾値電圧の差が小さい（ウィンドウが狭い）ことは、メモリゲート電圧 V_{gm} の揺らぎやばらつきに対して、記憶状態を正常に読み出せる許容範囲が小さいことと同義であり、誤動作を引き起こす一原因となるからである。このような問題は、特に、書き込みまたは消去動作時から時間が経過するに従って顕著になる。従って、不揮発性メモリセル $NVM1$ の記憶状態を、時間経過後も正常に読み出すには、書き込み、消去特性 w_{r1} , e_{r1} の傾きが小さい方が、より好ましい特性であると言える。

【0061】

本実施の形態 1 の不揮発性メモリセル $NVM1$ は、上記図 1 を用いて説明したように、メモリチャネル領域 $ch1a$ にフッ素を含んでいる。これにより、 p ウェル p_{w1} のダングリングボンドや欠陥がフッ素により不活性化され、電荷蓄積膜 $MI1$ の電荷（電子 e や正孔 h ）が漏出し難くなることを上述した。その効果を本発明者が検証したところ、図 5 の書き込み特性 w_{r2} が得られた。即ち、本実施の形態 1 の不揮発性メモリセル $NVM1$ の書き込み状態における閾値電圧の時間変化を測定したところ、書き込み特性 w_{r2} のようになった。

【0062】

通常の不揮発性メモリセルの書き込み特性 w_{r1} と比較して、本実施の形態 1 の不揮発性メモリセル $NVM1$ の書き込み特性 w_{r1} は傾きがより小さく、時間経過に対しての閾値電圧の低下率がより小さい。これは、不揮発性メモリセル $NVM1$ の閾値電圧の時間変化において、ウィンドウをより広く取れることを意味する。即ち、メモリチャネル領域 $ch1a$ にフッ素を含ませ、電荷蓄積膜 $MI1$ がより漏出し難くなる効果が検証された。これにより、本実施の形態 1 の不揮発性メモリセル $NVM1$ によれば、リテンション特性を向上できる。結果として、不揮発性メモリを有する半導体装置の特性を向上させることができる。

【0063】

以下では、本実施の形態 1 の不揮発性メモリセル $NVM1$ を有する半導体装置の製造方法について、詳しく説明する。特に、シリコン基板 1 上に、本実施の形態 1 の不揮発性メモリセル $NVM1$ と、周辺回路を構成する n , p 両型の MIS トランジスタとを形成する工程を図 6 ~ 図 19 を用いて説明する。各図は、本実施の形態 1 の不揮発性メモリセル $NVM1$ を有する半導体装置の製造工程中を示す、要部断面図である。シリコン基板 1 のメモリ領域 R_m に不揮発性メモリ $NVM1$ を形成し、周辺領域 R_p に MIS トランジスタを形成する。なお、以下で説明する各工程によって形成する構成要素において、その構造、用途および機能について上記で説明したものに関しては、その重複した説明は省略する。

【0064】

図 6 に示すように、シリコン基板 1 の主面 $s1$ 側に、 p 型の半導体領域 $p1$ を形成する

。半導体領域 p 1 は、例えば、エピタキシャル成長などによってシリコン基板 1 上に単結晶成長させることで形成する。通常、シリコン基板 1 上の半導体領域 p 1 を含めてシリコン基板 1 として扱う。従って、以下では、p 型の半導体領域 p 1 の表面をシリコン基板 1 の主面 s 1 と記述する。

【0065】

続いて、シリコン基板 1 の主面 s 1 上に素子を形成する領域を規定するために、分離部 2 を形成する。分離部 2 としては、浅い溝型の絶縁膜である、所謂 S T I (Shallow Trench Isolation) 構造の分離部 2 を適用する。これには、一連のフォトリソグラフィ法および異方性エッチング法によって浅い溝を形成し、その中に、例えば酸化シリコンを主体とする絶縁膜を埋め込むことで、S T I 構造の分離部 2 を形成する。なお、分離部 2 は、L O C O S (Local Oxidation of Silicon) 法で形成したものであっても良い。

10

【0066】

次に、図 7 に示すように、シリコン基板 1 のうち、メモリ領域 R m の主面 s 1 に p ウェル p w 1 を形成する。ここでは、まず、シリコン基板 1 のメモリ領域 R m の主面 s 1 に、イオン注入法などによって p 型となる不純物を注入する。その後、熱処理 (アニール) を施すことで、注入した不純物を所望の深さまで拡散させると同時に活性化させ、p ウェル p w 1 を形成する。

【0067】

ここで、p ウェル p w 1 は素子を形成するための半導体領域であり、素子特性によって不純物の導電型や不純物濃度は異なる。従って、p ウェル p w 1 を形成するためのイオン注入を施す際には、周辺領域 R p は、フォトリソグラフィ法によってパターンニングしたフォトレジスト膜 3 によって覆っておく。そして、フォトレジスト膜 3 をイオン注入マスクとして、上記のイオン注入を施す。これにより、周辺領域 R p に影響を及ぼすことなく、メモリ領域 R m の p ウェル p w 1 を形成するためのイオン注入を施すことができる。

20

【0068】

続いて、メモリチャネル領域 c h 1 a を所望の不純物濃度とするために、イオン注入を施す。メモリチャネル領域 c h 1 a とは、上記図 1 で説明したように、シリコン基板 1 の主面 s 1 のうち、後に形成する電荷蓄積膜 M I 1 の下に位置し、反転層が形成される領域である。本工程の段階では、まだ電荷蓄積膜 M I 1 は形成しておらず、他のシリコン基板 1 の主面 s 1 付近の領域との区別が無い。即ち、本工程では、後にメモリチャネル領域 c h 1 a となる部分以外の領域にも、チャネル濃度調整用のイオン注入を施すことになる。図中には、メモリ領域 R m のシリコン基板 1 の主面 s 1 付近の領域を、メモリチャネル領域 c h 1 a として表記している。

30

【0069】

メモリチャネル領域 c h 1 a の不純物濃度は、M I S 型素子の閾値電圧を決める一要素となり、要求される素子特性によって濃度が設定される。また、メモリチャネル領域 c h 1 a の不純物濃度を調整するために注入する不純物種と濃度とは、対象となる p ウェル p w 1 の不純物濃度によって異なる。例えば、ホウ素 (B)、リン (P)、または、ヒ素 (As) などをイオン注入する。このとき、p ウェル p w 1 を形成する際に用いたフォトレジスト膜 3 を同様に用いれば、工程数を削減できる。

40

【0070】

ここで、本実施の形態 1 の製造方法では、続く工程として、メモリチャネル領域 c h 1 a にフッ素を導入する工程を有する。メモリ領域 R m のシリコン基板 1 の主面 s 1 のうちのメモリチャネル領域 c h 1 a に、第 1 イオン注入 d p 1 a によってフッ素を注入する。その後、800 ~ 1100 程度の熱処理 (第 1 熱処理) を施すことで、チャネル領域に注入したフッ素を活性化する。これにより、メモリチャネル領域 c h 1 a に含まれ、電荷トラップとなるダングリングボンドや他の欠陥などを、フッ素により不活性化させることができる。このようにして、上記図 1 ~ 図 5 を用いて説明したような効果を発現する不揮発性メモリセル N V M 1 の構成を形成することができる。

【0071】

50

本発明者の検証によれば、本工程では、第1イオン注入d p 1 aとして $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量でフッ素を導入することが、より効果的である。また、注入したフッ素の濃度分布のピークが、シリコン基板1の主面s 1から50 nm以内の位置にくるような加速エネルギーで第1イオン注入d p 1 aを施すことが、より効果的である。

【0072】

次に、図8に示すように、周辺領域R pのうち、後にn型M I Sトランジスタを形成するn型周辺領域R p nのシリコン基板1の主面s 1に、周辺pウェルp w 2を形成する。周辺pウェルp w 2はp型の半導体領域であり、半導体領域p 1よりも高い不純物濃度を有する。これには、例えば、n型周辺領域R p nに対して、イオン注入d p 2によってp

10

【0073】

なお、周辺領域R pのうち、後にp型M I Sトランジスタを形成するp型周辺領域R p pや、異なる特性のM I Sトランジスタを形成する領域、および、メモリ領域R mには、このイオン注入d p 2は施さない。そのために、イオン注入d p 2を施す際には、メモリ領域R mおよびp型周辺領域R p pなどのシリコン基板1の主面s 1を、フォトリソグラフィ法によってパターニングしたフォトレジスト膜4で覆い、これをイオン注入マスクとしてイオン注入d p 2を施す。

【0074】

また、本工程によって、n型周辺領域R p nの周辺チャネル領域c h 2に、チャネル濃度を調整するためのイオン注入を施しても良い。その場合、上記のイオン注入d p 2と同様に、フォトレジスト膜4をイオン注入マスクとして用いることで、新たにイオン注入マスクを形成する必要が無く、工程数を削減できる。

20

【0075】

次に、図9に示すように、p型周辺領域R p pのシリコン基板1の主面s 1に、周辺nウェルn w 1を形成する。周辺nウェルn w 1はn型の半導体領域である。これには、例えば、p型周辺領域R p pに対して、イオン注入d p 3によってn型となる不純物を導入し、熱処理を施すことで、周辺nウェルn w 1を形成する。

【0076】

なお、周辺領域R pのうちの周辺n型領域R p nおよびメモリ領域R mには、このイオン注入d p 3は施さない。そのために、イオン注入d p 3を施す際には、メモリ領域R mおよびn型周辺領域R p nなどのシリコン基板1の主面s 1を、フォトリソグラフィ法によってパターニングしたフォトレジスト膜5で覆い、これをイオン注入マスクとしてイオン注入d p 3を施す。

30

【0077】

また、本工程によって、p型周辺領域R p pの周辺チャネル領域c h 3に、チャネル濃度を調整するためのイオン注入を施しても良い。その場合、上記のイオン注入d p 3と同様に、フォトレジスト膜5をイオン注入マスクとして用いることで、新たにイオン注入マスクを形成する必要が無く、工程数を削減できる。

【0078】

次に、図10に示すように、シリコン基板1の主面s 1を覆うようにして、順に、酸化シリコン膜6および多結晶シリコン膜7を形成する。酸化シリコン膜6は、酸化シリコンを主体とする絶縁膜であり、例えば、熱酸化法によって形成する。また、多結晶シリコン膜7は、多結晶シリコンを主体とする導体膜であり、例えば、化学気相成長（Chemical Vapor Deposition：C V D）法によって形成する。これらの酸化シリコン膜6および多結晶シリコン膜7は、後の工程で加工して、周辺回路としてのM I Sトランジスタのゲート絶縁膜およびゲート電極となる（後に詳しく説明する）。従って、続く工程では、メモリ領域R mの酸化シリコン膜6および多結晶シリコン膜7を除去する。

40

【0079】

図11に示すように、周辺領域R p n，R p pの多結晶シリコン膜7を覆うようにして

50

、フォトレジスト膜 8 を形成する。フォトレジスト膜 8 は、フォトリソグラフィ法などによって、上記のようにパターンニングする。そして、このフォトレジスト膜 8 をエッチングマスクとして、多結晶シリコン膜 7 および酸化シリコン膜 6 に対して、順に異方性エッチングを施す。このようにして、メモリ領域 R m の多結晶シリコン膜 7 および酸化シリコン膜 6 を除去する。その後、フォトレジスト膜 8 を除去する。

【 0 0 8 0 】

次に、図 1 2 に示すように、メモリ領域 R m のシリコン基板 1 の主面 s 1 に、電荷蓄積膜 M I 1 として、下部バリア膜 B b 1、電荷ストレージ膜 S T 1、および、上部バリア膜 B t 1 を形成し、その上に、メモリゲート導体膜 E m 1 を形成する。即ち、電荷蓄積膜 M I 1 を隔てて、メモリゲート導体膜 E m 1 を形成する。

10

【 0 0 8 1 】

下部バリア膜 B b 1 および上部バリア膜 B t 1 は、電荷の漏出を防ぐ機能を有する絶縁膜であり、例えば、上述のように、酸化シリコンを主体とする絶縁膜を形成する。これらは、熱酸化法によって形成する。また、電荷ストレージ膜 S T 1 は、電荷を捕獲する機能を有する絶縁膜であり、例えば、上述のように、窒化シリコン、ハフニウムシリケート、ハフニウムアルミネート、酸化ハフニウム、または、酸化アルミニウムなどを主体とする絶縁膜などを形成する。ここでは、電荷ストレージ膜 S T 1 として、窒化シリコンを主体とする絶縁膜を、C V D 法によって形成する。

【 0 0 8 2 】

また、メモリゲート導体膜 E m 1 として、多結晶シリコンからなる導体膜を、C V D 法によって形成する。メモリゲート導体膜 E m 1 は、後の加工でメモリゲート電極 M G 1 となる導体膜である。メモリゲート電極 M G 1 は、所望の電気特性となるように、所定の不純物濃度の不純物を含んでいる。そこで、本工程では、当該不純物を予め含む多結晶シリコン膜をメモリゲート導体膜 E m 1 として堆積しても良いし、堆積後、イオン注入を施して所定の不純物を導入しても良い。

20

【 0 0 8 3 】

本工程では、周辺回路領域 R p n , R p p にはマスク等を形成せずに、上記の電荷蓄積膜 M I 1 およびメモリゲート導体膜 E m 1 を形成する。従って、同様の膜は、周辺領域 R p n , R p p の多結晶シリコン膜 7 上にも形成されるが、これは、後の工程で除去するので差し支え無い。

30

【 0 0 8 4 】

続く工程では、上記のメモリゲート導体膜 E m 1 を加工することで、メモリゲート電極を形成する。図 1 3 に示すように、メモリ領域 R m のメモリゲート導体膜 E m 1 のうち、メモリゲート電極 M G 1 として残す部分を覆うようにして、フォトレジスト膜 9 を形成する。そして、このフォトレジスト膜 9 をエッチングマスクとして、メモリゲート導体膜 E m 1 に対して異方性エッチングを施す。これにより、メモリゲート導体膜 E m 1 からなるメモリゲート電極 M G 1 が形成される。続けて、電荷蓄積膜 M I 1 に対しても異方性エッチングを施す。これにより、メモリゲート電極 M G 1 とシリコン基板 1 との間に配置するように、電荷蓄積膜 M I 1 が加工される。本工程では、シリコン基板 1 の主面 s 1 のうち、p ウェル p w 1 に平面的に含まれる位置に、電荷蓄積膜 M I 1 を隔てて、メモリゲート電極 M G 1 を形成したことになる。

40

【 0 0 8 5 】

なお、本工程では、周辺領域 R p n , R p p にはフォトレジと膜 9 を形成しないため、周辺領域 R p n , R p p のメモリゲート導体膜 E m 1 および電荷蓄積膜 M I 1 は、全面的に除去される。

【 0 0 8 6 】

また、本実施の形態 1 の製造方法では、電荷蓄積膜 M I 1 として、O N O 構造の絶縁膜を形成した。このほか、絶縁膜で挟んでフローティング状にした導体膜も、電荷を捕獲する機能を有し、これを電荷蓄積膜 M I 1 として形成しても良い。ただし、本実施の形態 1 の製造方法では、上記のような O N O 構造の電荷蓄積膜 M I 1 とした方が、より好ましい

50

。その理由は、上記図 1 を用いて説明した通りである。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【0087】

次に、図 1 4 に示すように、多結晶シリコン膜 7 が所望の電気特性となるように、周辺領域 R_{pn} 、 R_{pp} の多結晶シリコン膜 7 に対して、イオン注入 d_{p4} によって不純物を注入する。例えば、 n 型周辺領域 R_{pn} の多結晶シリコン膜 7 には n 型となる不純物を注入し、 p 型周辺領域 R_{pp} の多結晶シリコン膜 7 には p 型となる不純物を注入する。

【0088】

これには、まず、メモリ領域 R_m および p 型周辺領域 R_{pp} をフォトレジスト膜 10 で覆い、これをイオン注入マスクとしてイオン注入 d_{p4} を施す。これにより、 n 型周辺領域 R_{pn} の多結晶シリコン膜 7 に n 型の不純物を導入することで、 n 型多結晶シリコン膜 7 n を形成する。また、同様にして、メモリ領域 R_m および n 型周辺領域 R_{pn} にフォトレジスト膜を形成し、これをイオン注入マスクとしてイオン注入を施す（図示しない）。これにより、 p 型周辺領域 R_{pp} の多結晶シリコン膜 7 に p 型の不純物を導入することで、 p 型多結晶シリコン膜 7 p を形成する。その後、熱処理を施すことで、導入した各不純物を拡散および活性化させる。なお、 n 型多結晶シリコン膜 7 n と p 型シリコン膜 7 p とは、どちらを先に形成しても良い。

【0089】

次に、図 1 5 に示すように、メモリ領域 R_m 全体と、周辺領域 R_{pn} 、 R_{pp} のうち、ゲート電極として残したい部分の多結晶シリコン膜 7 n 、7 p とを覆うようにして、フォトレジスト膜 11 を形成する。ここでは、フォトリソグラフィ法によってパターニングすることで、上記のような形状のフォトレジスト膜 11 を形成する。

【0090】

その後、上記のフォトレジスト膜 11 をエッチングマスクとして、多結晶シリコン膜 7 n 、7 p に対して異方性エッチングを施す。これにより、露出した部分の多結晶シリコン膜 7 n 、7 p を除去することで、 n 型周辺領域 R_n には、 n 型多結晶シリコン膜 7 n からなる n 型周辺ゲート電極 G_n を形成する。また、 p 型周辺領域 R_p には、 p 型多結晶シリコン膜 7 p からなる p 型周辺ゲート電極 G_p を形成する。 n 型および p 型周辺ゲート電極 G_n 、 G_p は、酸化シリコン膜 6 を隔てて、シリコン基板 1 の主面 s_1 上に配置されるようにして形成する。

【0091】

続いて、同様のフォトレジスト膜 11 をエッチングマスクとして、酸化シリコン膜 6 に対して異方性エッチングを施すことで、露出した部分の酸化シリコン膜 6 を除去する。これにより、 n 型および p 型周辺ゲート電極 G_n 、 G_p とシリコン基板 1 との間に配置するような、酸化シリコン膜 6 からなる周辺ゲート絶縁膜 I_G を形成する。

【0092】

次に、図 1 6 に示すように、メモリ領域 R_m において、メモリゲート電極 M_G1 の側方下部のうち、 p ウェル p_w1 内のシリコン基板 1 の主面 s_1 に、 n 型のメモリエクステンション領域 e_x1 を形成する。ここでは、シリコン基板 1 上のうち、周辺領域 R_p はフォトレジスト膜 12 で覆っておく。そして、フォトレジスト膜 12 をイオン注入マスクとして、イオン注入 d_{p5} を施す。

【0093】

このとき、メモリ領域 R_m においては、メモリゲート電極 M_G1 が、イオン注入 d_{p5} に対するイオン注入マスクとなる。従って、シリコン基板 1 の主面 s_1 のうち、メモリゲート電極 M_G1 の側方下部の領域に、イオン注入 d_{p5} によって不純物を導入することができる。その後、熱処理を施すことで、導入した不純物を拡散および活性化させ、メモリエクステンション領域 e_x1 を形成する。

【0094】

次に、図 1 7 に示すように、周辺領域 R_{pn} 、 R_{pp} のシリコン基板 1 の主面 s_1 において、 n 型周辺ゲート電極 G_n の側方下部には n 型周辺エクステンション領域 e_x2 を形

10

20

30

40

50

成し、p型周辺ゲート電極G_pの側方下部にはp型周辺エクステンション領域e_{p3}を形成する。n型周辺エクステンション領域e_{x2}はn型の半導体領域であり、p型周辺エクステンション領域e_{x3}はp型の半導体領域である。

【0095】

これらは、メモリ領域R_mにメモリエクステンション領域e_{x1}を形成した方法と同様に形成する。即ち、フォトリジスト膜13をイオン注入マスクとして、イオン注入d_{p6}を施し、その後、拡散および活性化を目的とした熱処理を施すことで、両周辺エクステンション領域e_{x2}、e_{x3}を形成する。図には、一例として、p型周辺領域R_{pp}にp型周辺エクステンション領域e_{x3}を形成している様子を示している。

【0096】

次に、図18に示すように、シリコン基板1の主面s₁上のうち、メモリ領域R_mにおけるメモリゲート電極M_{G1}の側壁を覆う位置、および、周辺領域R_{pn}、R_{pp}におけるn型およびp型周辺ゲート電極G_n、G_pの側壁を覆う位置に、サイドウォールスペーサs_wを形成する。サイドウォールスペーサs_wは、酸化シリコンを主体とする絶縁膜を用いて形成する。例えば、CVD法によってシリコン基板1上に酸化シリコン膜を堆積し、全面的に異方性エッチングを施す（エッチバックを施す）ことで、上記のようなサイドウォールスペーサs_wが形成できる。

【0097】

なお、上記図1を用いて説明したように、サイドウォールスペーサs_wに応力作用を持たせるためには、酸化シリコン膜、窒化シリコン膜、および、酸化シリコン膜の3層構造からなるサイドウォールスペーサs_wとしても良い。この場合、上記の3層をCVD法などによって形成した後に、エッチバックを施すことで、上記3層構造のサイドウォールスペーサs_wを形成できる。本工程では、酸化シリコン膜のみからなるサイドウォールスペーサs_wを形成したとして、続く工程を説明する。

【0098】

続いて、メモリ領域R_mにおいて、メモリゲート電極M_{G1}の側方下部のうち、pウェルp_{w1}内のシリコン基板1の主面s₁であって、かつ、平面的に見て、メモリエクステンション領域e_{x1}の外側の位置に、n型のメモリソース・ドレイン領域s_{d1}を形成する。ここでは、シリコン基板1上のうち、周辺領域R_pはフォトリジスト膜14で覆っておく。そして、フォトリジスト膜14をイオン注入マスクとして、イオン注入d_{p7}を施す。

【0099】

このとき、メモリ領域R_mにおいては、メモリゲート電極M_{G1}およびサイドウォールスペーサs_wが、イオン注入d_{p7}に対するイオン注入マスクとなる。従って、シリコン基板1の主面s₁のうち、サイドウォールスペーサs_wの側方下部の領域に、イオン注入d_{p7}によって不純物を導入することができる。結果的に、この領域は、平面的に見て、メモリエクステンション領域e_{x1}の外側となる。その後、熱処理を施すことで、導入した不純物を拡散および活性化させ、メモリソース・ドレイン領域s_{d1}を形成する。ここでは、メモリソース・ドレイン領域s_{d1}は、メモリエクステンション領域e_{x1}よりもn型不純物濃度が高く、かつ、メモリエクステンション領域e_{x1}の深さよりも深くなるようにして形成する。

【0100】

次に、図19に示すように、n型周辺領域R_{pn}のシリコン基板1の主面s₁において、n型周辺ゲート電極G_nの側方下部であって、かつ、平面的に見て、n型周辺エクステンション領域e_{x2}の外側の位置に、n型周辺ソース・ドレイン領域s_{d2}を形成する。また、p型周辺領域R_{pp}のシリコン基板1の主面s₁において、p型周辺ゲート電極G_pの側方下部であって、かつ、平面的に見て、p型周辺エクステンション領域e_{x3}の外側の位置に、p型周辺ソース・ドレイン領域s_{d3}を形成する。n型周辺ソース・ドレイン領域s_{d2}はn型の半導体領域であり、p型周辺ソース・ドレイン領域s_{d3}はp型の半導体領域である。

10

20

30

40

50

【0101】

これらは、メモリ領域 R_m にメモリソース・ドレイン領域 s_d1 を形成した方法と同様に、イオン注入法および熱処理によって形成する。ここでは、 n 型周辺ソース・ドレイン領域 s_d2 は、 n 型周辺エクステンション領域 e_x2 よりも n 型不純物濃度が高く、かつ、 n 型周辺エクステンション領域 e_x2 の深さよりも深くなるようにして形成する。また、 p 型周辺ソース・ドレイン領域 s_d3 は、 p 型周辺エクステンション領域 e_x3 よりも p 型不純物濃度が高く、かつ、 p 型周辺エクステンション領域 e_x3 の深さよりも深くなるようにして形成する。

【0102】

以上のようにして、シリコン基板 1 のメモリ領域 R_m に本実施の形態 1 の不揮発性メモリセル $NVM1$ を形成することができる。また、シリコン基板 1 の n 型周辺領域 R_{pn} に n 型 MIS トランジスタ Q_n を形成し、 p 型周辺領域 R_{pp} に p 型 MIS トランジスタ Q_p を形成することができる。

10

【0103】

特に、上記図 7 を用いて説明した工程では、第 1 イオン注入 $dp1a$ によってメモリチャネル領域 $ch1a$ にフッ素を注入し、第 1 熱処理によってそのフッ素を活性化することで、メモリチャネル領域 $ch1a$ にフッ素を導入している。このようにして、メモリチャネル領域 $ch1a$ のダングリングボンドや欠陥を不活性化することができる。これにより、本実施の形態 1 の不揮発性メモリセル $NVM1$ では、電荷蓄積膜 $MI1$ に蓄積された電荷がより漏出し難くなり、リテンション特性が向上する。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

20

【0104】

本実施の形態 1 の製造方法において、メモリチャネル領域 $ch1a$ にフッ素を導入するための第 1 イオン注入 $dp1a$ および第 1 熱処理は、少なくとも、メモリ領域 R_m のシリコン基板 1 の主面 $s1$ に p ウェル $pw1$ を形成した後に施せば、そのタイミングによらず、上記と同様の効果が得られる。

【0105】

また、 p 型周辺領域 R_{pp} に形成した p 型 MIS トランジスタ Q_p の閾値電圧を調整することなどを目的として、周辺チャネル領域 $ch3$ にフッ素を導入しても良い。この場合、上記の製造方法は、更に、周辺チャネル領域 $ch3$ に対してフッ素をイオン注入する工程と、拡散および活性化のための熱処理を施す工程とを有する。周辺チャネル領域 $ch3$ に対してフッ素をイオン注入するタイミングは、例えば、上記図 9 のイオン注入 $dp3$ のように、 p 型周辺領域 R_{pp} にイオン注入する工程の前後が好適である。これにより、 p 型周辺領域 R_{pp} を開口するフォトレジスト膜 5 などをイオン注入マスクとして併用することで、工程数を削減できる。この場合のフッ素のドーズ量は、 $1 \times 10^{15} \text{ cm}^{-2}$ 程度である。また、拡散および活性化のための熱処理は、他の工程で施す熱処理（例えば、周辺ゲート絶縁膜 IG を形成するための熱酸化工程）と共有させても良い。これにより、工程数を削減できる。

30

【0106】

（実施の形態 2）

40

本実施の形態 2 では、上記実施の形態 1 の半導体装置が有する不揮発性メモリセル $NVM1$ において、メモリチャネル領域 $ch1a$ にフッ素を導入する方法に関して、種々の方法を説明する。以下では、不揮発性メモリセル $NVM1$ を形成する工程の途中の工程として、本実施の形態 2 の製造方法を説明するが、それ以外の工程は、上記実施の形態 1 で説明したものと同様であり、重複した説明は省略する。

【0107】

まず、上記実施の形態 1 の製造方法で説明したフッ素の導入方法に関して、別の観点からより詳しく説明する。上記実施の形態 1 の製造方法で説明したように、第 1 イオン注入 $dp1a$ および第 1 熱処理は、少なくとも、 p ウェル $pw1$ を形成した後に施せば、メモリチャネル領域 $ch1a$ のダングリングボンドを不活性化させ、リテンション特性を向上

50

させるという点で効果的である。

【0108】

ただし、上記実施の形態1で説明したように、メモリチャネル領域c h 1 aにフッ素を注入するための第1イオン注入d p 1 aは、pウェルp w 1を形成した後、電荷蓄積膜M I 1およびメモリゲート電極M G 1を形成する前に施した方が、より好ましい。なぜなら、電荷蓄積膜M I 1などに第1イオン注入d p 1 aのダメージを与えることなく、メモリチャネル領域c h 1 aにフッ素を注入できるからである。これにより、より高品質な電荷蓄積膜M I 1を、不揮発性メモリセルN V M 1に適用できる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【0109】

更に、電荷蓄積膜M I 1などにダメージを与えることがないから、より大きいドーズ量で第1イオン注入d p 1 aを施すことができる。これにより、より効率的にメモリチャネル領域c h 1 aにフッ素を導入することができ、不揮発性メモリセルN V M 1のリテンション特性をより向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【0110】

また、この場合、メモリチャネル領域c h 1 aに注入したフッ素を活性化するための第1熱処理は、その後のいずれかの工程で必要となる熱処理を併用して施す方が、より好ましい。その理由を以下で説明する。

【0111】

上記実施の形態1では、上記図7の工程で第1イオン注入d p 1 aを施した後に、酸化シリコン膜6（上記図10）、下部バリア膜B b 1（上記図12）、または、上部バリア膜B t 1（上記図12）を形成するために、熱酸化工程を施す。これらの熱酸化工程では、上記で説明した、メモリチャネル領域c h 1 aのフッ素を活性化するための第1熱処理の温度（800～1100 程度）と同様の温度での加熱を要する。従って、本実施の形態1の第1熱処理は、上記の各酸化シリコン膜を形成するための熱酸化工程と同一の工程で施すことができる。これにより、本実施の形態1でメモリチャネル領域c h 1 aにフッ素を導入する構成とした場合でも、特別な熱処理を追加することなく同様の効果が得られ、結果として工程数をより削減できる。

【0112】

なお、上記実施の形態1のように、メモリ領域R mにpウェルp w 1を形成した後に、メモリチャネル領域c h 1 aに第1イオン注入c h 1 aを施した場合、第1熱処理として作用し得る既存の熱処理は、上記に限られない。例えば、上記図16のメモリエクステンション領域e x 1を形成する工程や、上記図18のメモリソース・ドレイン領域s d 1を形成する工程においても、導入した不純物の拡散および活性化のための熱処理工程を要する。これらの熱処理工程においても、第1熱処理と同様の作用を有する。

【0113】

次に、メモリチャネル領域c h 1 aにフッ素を導入する他の方法として、図20を用いて説明する。ただし、この方法では、上記図7の工程では、第1イオン注入d p 1 aおよび第1熱処理は施していない。

【0114】

図20は、上記図12に続く工程を示している。ここでは、上記図12の工程でメモリゲート導体膜E m 1を形成した後、上記図13の工程でメモリゲート電極M G 1として加工する前に、第1イオン注入d p 1 bを施す。これにより、メモリチャネル領域c h 1 aにフッ素を注入する。これには、まず、周辺領域R pのメモリゲート導体膜E m 1を覆い、メモリ領域R mを開口するようにパターニングしたフォトレジスト膜15を形成する。その後、フォトレジスト膜15をイオン注入マスクとして、第1イオン注入d p 1 bを施す。ここでは、メモリゲート導体膜E m 1および電荷蓄積膜M I 1を透過させるようにして、第1イオン注入d p 1 bを施すことで、メモリチャネル領域c h 1 aにフッ素を注入できる。その後、上記実施の形態1の第1熱処理と同様の第1熱処理を施して、導入した

10

20

30

40

50

フッ素を活性化する。

【0115】

以上のような方法によっても、上記実施の形態1で説明したような、メモリチャネル領域ch1aにフッ素を導入することの効果を同様に得られる。

【0116】

本発明者の検証によれば、本工程では、第1イオン注入dp1bとして $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量でフッ素を導入することが、より効果的である。また、注入したフッ素の濃度分布のピークが、シリコン基板1の主面s1から50nm以内の位置にくるような加速エネルギーで第1イオン注入dp1bを施すことが、より効果的である。

10

【0117】

以下では、本実施の形態2の製造方法において、上記実施の形態1の製造方法とは異なる上記のタイミングで第1イオン注入dp1bを施して、メモリチャネル領域ch1aにフッ素を注入することの効果を説明する。

【0118】

メモリチャネル領域ch1aのダングリングボンドを不活性化させるという目的から、注入したフッ素が、電荷蓄積膜MI1直下のシリコン基板1の主面s1付近から離れてしまうのは望ましくない。ただし、メモリチャネル領域ch1aに注入されたフッ素は、種々の熱処理によって拡散されてしまう。従って、メモリチャネル領域ch1aにフッ素イオンを注入した後は、それを活性化するために十分な第1熱処理を施し、他の過度の熱処理は施さない方が、より好ましい。

20

【0119】

ここで、下部バリア膜Bb1や上部バリア膜Bt1などの酸化シリコン膜を形成するための熱酸化工程は、より高い温度での熱処理を要する。この観点から、上記図20の工程によれば、少なくとも、電荷蓄積膜MI1を形成した後に、第1イオン注入dp1bを施すことができる。即ち、上記の酸化シリコン膜を形成するための熱酸化工程を回避して、フッ素の第1イオン注入dp1bを施すことができる。従って、メモリチャネル領域ch1aに注入したフッ素における、所望の領域を越えた拡散を抑制できる。これにより、より効率的に、メモリチャネル領域ch1aのダングリングボンド等を不活性化でき、不揮発性メモリセルNVM1のリテンション特性をより向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

30

【0120】

次に、メモリチャネル領域ch1aにフッ素を導入する更に他の方法として、図21を用いて説明する。ただし、この方法では、上記図7または上記図20の工程では、第1イオン注入dp1a, dp1bおよび第1熱処理は施していない。

【0121】

図21は、上記図16に続く工程を示している。ここでは、上記図16の工程でメモリエクステンション領域ex1を形成するためのイオン注入dp5を施した直後に、第1イオン注入dp1cを施す。これにより、メモリチャネル領域ch1aにフッ素を導入する。ここでは、メモリゲート電極MG1および電荷蓄積膜MI1を透過させるようにして、第1イオン注入dp1cを施すことで、メモリチャネル領域ch1aにフッ素を導入できる。その後、上記実施の形態1の第1熱処理と同様の第1熱処理を施して、導入したフッ素を活性化する。

40

【0122】

以上のような方法によっても、上記実施の形態1で説明したような、メモリチャネル領域ch1aにフッ素を導入することの効果を同様に得られる。

【0123】

本発明者の検証によれば、本工程では、第1イオン注入dp1cとして $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量でフッ素を導入することが、より効果的である。また、注入したフッ素の濃度分布のピークが、シリコン基板1の主面s1から50nm以内

50

の位置にくるような加速エネルギーで第 1 イオン注入 d p 1 c を施すことが、より効果的である。

【 0 1 2 4 】

以下では、本実施の形態 2 の製造方法において、上記実施の形態 1 の製造方法、および、上記図 2 0 を用いて説明した方法とは異なる上記のタイミングで第 1 イオン注入 d p 1 c を施して、メモリチャネル領域 c h 1 a にフッ素を注入することの効果の説明する。

【 0 1 2 5 】

上述のように、メモリチャネル領域 c h 1 a にフッ素を導入した後は、過度の熱処理を施さない方が、より好ましい。この観点から、本工程によれば、上記実施の形態 1 および上記図 2 0 の第 1 イオン注入 d p 1 a , d p 1 b と比較して、より後の工程によって第 1 イオン注入 d p 1 c を施すことができる。これにより、高温を要する熱酸化工程に加え、多結晶シリコン膜 7 に注入した不純物の活性化および拡散のための熱処理工程（上記図 1 4 ）などをも回避することができる。従って、メモリチャネル領域 c h 1 a に注入したフッ素における、所望の領域を越えた拡散を、より抑制できる。これにより、より効率的に、メモリチャネル領域 c h 1 a のダングリングボンド等を不活性化でき、不揮発性メモリセル N V M 1 のリテンション特性をより向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【 0 1 2 6 】

また、本工程でフッ素を注入する第 1 イオン注入 d p 1 c は、メモリエクステンション領域 e x 1 を形成するためのイオン注入 d p 5 と同様の領域に対してイオン注入を施す。従って、イオン注入マスクとして既に形成しているフォトレジスト膜 1 2 を併用できる。これにより、工程数を削減できる。この観点から、上記では、イオン注入 d p 5 の直後に第 1 イオン注入 d p 1 c を施すと説明したが、フォトレジスト膜 1 2 を形成した後、イオン注入 d p 5 の直前に第 1 イオン注入 d p 1 c を施しても良い。

【 0 1 2 7 】

また、本工程の第 1 イオン注入 d p 1 c によって注入したフッ素を活性化するための第 1 熱処理は、メモリエクステンション領域 e x 1 を形成するための熱処理と同一の工程で施す方が、より好ましい。なぜなら、これにより、フッ素を活性化することに特化した第 1 熱処理を新たに追加する必要が無く、工程数を削減できるからである。なお、本発明者の検証によれば、メモリエクステンション領域 e x 1 を形成するための熱処理は、メモリチャネル領域 c h 1 a に注入したフッ素を活性化させる第 1 熱処理と同様の温度帯で施すため、これらは問題なく併用できる。

【 0 1 2 8 】

次に、メモリチャネル領域 c h 1 a にフッ素を導入する更に他の方法として、図 2 2 を用いて説明する。ただし、この方法では、上記図 7、上記図 2 0 または上記図 2 1 の工程では、第 1 イオン注入 d p 1 a , d p 1 b , d p 1 c および第 1 熱処理は施していない。

【 0 1 2 9 】

図 2 2 は、上記図 1 8 に続く工程を示している。ここでは、上記図 1 8 の工程でメモリソース・ドレイン領域 s d 1 を形成するためのイオン注入 d p 7 を施した直後に、第 1 イオン注入 d p 1 d を施す。これにより、メモリチャネル領域 c h 1 a にフッ素を注入する。ここでは、メモリゲート電極 M G 1 および電荷蓄積膜 M I 1 を透過させるようにして、第 1 イオン注入 d p 1 d を施すことで、メモリチャネル領域 c h 1 a にフッ素を注入できる。その後、上記実施の形態 1 の第 1 熱処理と同様の第 1 熱処理を施して、導入したフッ素を活性化する。

【 0 1 3 0 】

以上のような方法によっても、上記実施の形態 1 で説明したような、メモリチャネル領域 c h 1 a にフッ素を導入することの効果と同様に得られる。

【 0 1 3 1 】

本発明者の検証によれば、本工程では、第 1 イオン注入 d p 1 d として $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量でフッ素を導入することが、より効果的である。ま

10

20

30

40

50

た、注入したフッ素の濃度分布のピークが、シリコン基板 1 の主面 s 1 から 50 nm 以内の位置にくるような加速エネルギーで第 1 イオン注入 d p 1 d を施すことが、より効果的である。

【0132】

以下では、本実施の形態 2 の製造方法において、上記実施の形態 1 の製造方法、上記図 20 を用いて説明した方法、および、上記図 21 を用いて説明した方法とは異なる上記のタイミングで第 1 イオン注入 d p 1 d を施して、メモリチャネル領域 c h 1 a にフッ素を注入することの効果の説明する。

【0133】

上述のように、メモリチャネル領域 c h 1 a にフッ素を導入した後は、過度の熱処理を施さない方が、より好ましい。この観点から、本工程によれば、上記実施の形態 1、上記図 20、および、上記図 21 の第 1 イオン注入 d p 1 a, d p 1 b, d p 1 c と比較して、より後の工程によって第 1 イオン注入 d p 1 c を施すことができる。これにより、高温を要する熱酸化工程に加え、メモリエクステンション領域 e x 1 として注入した不純物の拡散および活性化のための熱処理工程（上記図 16）などをも回避することができる。従って、メモリチャネル領域 c h 1 a に注入したフッ素における、所望の領域を越えた拡散を、より抑制できる。これにより、より効率的に、メモリチャネル領域 c h 1 a のダングリングボンド等を不活性化でき、不揮発性メモリセル N V M 1 のリテンション特性をより向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

10

20

【0134】

また、本工程でフッ素を注入する第 1 イオン注入 d p 1 d は、メモリソース・ドレイン領域 s d 1 を形成するためのイオン注入 d p 7 と同様の領域に対してイオン注入を施す。従って、イオン注入マスクとして既に形成しているフォトレジスト膜 14 を併用できる。これにより、工程数を削減できる。この観点から、上記では、イオン注入 d p 7 の直後に第 1 イオン注入 d p 1 d を施すと説明したが、フォトレジスト膜 14 を形成した後、イオン注入 d p 7 の直前に第 1 イオン注入 d p 1 d を施しても良い。

【0135】

また、本工程の第 1 イオン注入 d p 1 d によって注入したフッ素を活性化するための第 1 熱処理は、メモリソース・ドレイン領域 s d 1 を形成するための熱処理と同一の工程で施す方が、より好ましい。なぜなら、これにより、フッ素を活性化することに特化した第 1 熱処理を新たに追加する必要が無く、工程数を削減できるからである。なお、本発明者の検証によれば、メモリソース・ドレイン領域 s d 1 を形成するための熱処理は、メモリチャネル領域 c h 1 a に注入したフッ素を活性化させる第 1 熱処理と同様の温度帯で施すため、これらは問題なく併用できる。

30

【0136】

（実施の形態 3）

本実施の形態 3 の半導体装置が有する不揮発性メモリセルの構造を、図 23 を用いて詳しく説明する。図 23 は、本実施の形態 3 の不揮発性メモリセル N V M 2 の要部断面図である。本実施の形態 3 の不揮発性メモリセル N V M 2 は、上記実施の形態 1 の不揮発性メモリセル N V M 1 と比較して、以下の異なる構成を有する。

40

【0137】

本実施の形態 3 の不揮発性メモリセル N V M 2 は、シリコン基板 1 の主面上のうち、p ウェル p w 1 に平面的に含まれる位置に、制御ゲート絶縁膜 C I 1 を隔てて配置された制御ゲート電極 C G 1 を有している。制御ゲート絶縁膜 C I 1 は酸化シリコンを主体とする絶縁膜からなり、制御ゲート電極 C G 1 は多結晶シリコンを主体とする導体膜からなる。

【0138】

そして、メモリゲート電極 M G 1 は、電荷蓄積膜 M I 1 を隔てて、制御ゲート電極 C G 1 に隣り合うようにして配置されている。言い換えれば、メモリゲート電極 M G 1 と制御ゲート電極 C G 1 とは互いに隣り合い、電荷蓄積膜 M I 1 は、シリコン基板 1 とメモリゲ

50

ート電極 M G 1 との間から、制御ゲート電極 C G 1 とメモリゲート電極 M G 1 との間に渡って、一体的に配置されている。

【 0 1 3 9 】

また、メモリエクステンション領域 e x 1 およびメモリソース・ドレイン領域 s d 1 は、メモリゲート電極 M G 1 と制御ゲート電極 C G 1 との側方下部のシリコン基板 1 の主面 s 1 のうち、互いに隣接しない方の側方下部に配置されている。言い換えれば、互いに隣り合うメモリゲート電極 M G 1 と制御ゲート電極 C G 1 とは、平面的に見て、p ウェル p w 1 内において、メモリエクステンション領域 e x 1 およびメモリソース・ドレイン領域 s d 1 に挟まれるようにして配置されている。

【 0 1 4 0 】

また、サイドウォールスペーサ s w は、シリコン基板 1 の主面 s 1 上において、メモリゲート電極 M G 1 と制御ゲート電極 C G 1 との側壁のうち、互いに隣接しない方の側壁を覆うようにして配置されている。

【 0 1 4 1 】

以上が、本実施の形態 3 の不揮発性メモリセル N V M 2 の構成において、上記実施の形態 1 の不揮発性メモリセル N V M 1 と相違する構成である。上記で言及しなかった構成およびそれらの機能に関しては、上記実施の形態 1 の不揮発性メモリセル N V M 1 と同様である。

【 0 1 4 2 】

以上のような構造の不揮発性メモリセル N V M 2 では、メモリゲート電極 M G 1 と制御ゲート電極 C G 1 とを一つのゲート電極と見れば、通常の M I S トランジスタと見なせる。言い換えれば、本実施の形態 3 の不揮発性メモリセル N V M 2 は、M I S トランジスタのゲート電極が 2 つに分裂され（スプリットゲート）、それぞれ独立して電圧を印加できるような構成である。更に、一方のゲート（メモリゲート電極 M G 1 および電荷蓄積膜 M I 1 ）は電荷を蓄積してメモリ動作を行えるようになっており、もう一方のゲート電極はその電荷の授受をより複雑に制御できるようになっている。

【 0 1 4 3 】

特に、本実施の形態 3 の不揮発性メモリセル N V M 2 は、書き込み、消去動作に関しては、上記図 2、図 3 を用いて説明した F N トンネリング方式による動作と異なり、ホットキャリアを用いた動作が可能となる。これらに関しては、スプリットゲートタイプの M O N O S 型メモリにおいて、S S I（Source Side Injection）方式の書き込み動作、および、B T B T（Band To Band Tunneling）方式の消去動作として知られている。ここでの詳細な説明は省略する。本実施の形態 3 の不揮発性メモリセル N V M 2 では、これらの方式によるメモリ動作が可能になることで、より高速で、より消費電力の低い M O N O S 型メモリを構成することができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【 0 1 4 4 】

このような効果を有する本実施の形態 2 の不揮発性メモリセル N V M 2 に関して、更に、以下のような構成を有する。即ち、電荷蓄積膜 M I 1 の直下のシリコン基板 1 の主面 s 1 の領域であるメモリチャネル領域 c h 1 b において、フッ素を含んでいる。これは、上記実施の形態 1 の不揮発性メモリセル N V M 1 のメモリチャネル領域 c h 1 a の構成と同様であり、その特徴、効果も同様である。即ち、電荷蓄積膜 M I 1 に捕獲されている電荷が、シリコン基板 1 により漏出し難い構造とすることができる。これにより、本実施の形態 2 の不揮発性メモリセル N V M 2 のリテンション特性を向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【 0 1 4 5 】

なお、制御ゲート絶縁膜 C I 1 の直下のシリコン基板 1 の主面 s 1 の領域である、制御チャネル領域 c h 4 においても、同様にフッ素を含んでも良い。ただし、上記の効果をj得るためには、メモリチャネル領域 c h 1 b がフッ素を含んでいれば十分である。

【 0 1 4 6 】

10

20

30

40

50

以下では、本実施の形態 3 の不揮発性メモリセル N V M 2 を有する半導体装置の製造方法を説明する。ここでは、シリコン基板 1 上に 2 セル分の不揮発性メモリセル N V M 2 を形成する工程を説明する。なお、同一シリコン基板 1 上においては、周辺回路を構成する M I S トランジスタを形成することになるが、その方法は上記実施の形態 1 で説明した方法と同様であるので、ここでの重複した説明は省略する。

【 0 1 4 7 】

まず、図 2 4 に示すように、シリコン基板 1 の主面 s 1 上に p 型の半導体領域 p 1 を形成し、更に、不揮発性メモリセル N V M 2 を形成するための p ウェル p w 1 を形成する。これらは、上記実施の形態 1 の上記図 6、図 7 で説明した工程と同様にして形成する。

【 0 1 4 8 】

次に、図 2 5 に示すように、制御チャネル領域 c h 4 を所望の不純物濃度とするために、イオン注入を施す。制御チャネル領域 c h 4 とは、上記図 2 3 で説明したように、シリコン基板 1 の主面 s 1 のうち、後に形成する制御ゲート絶縁膜 C I 1 の下に位置し、反転層が形成される領域である。本工程の段階では、まだ制御ゲート絶縁膜 C I 1 は形成しておらず、他のシリコン基板 1 の主面 s 1 との区別が無い。即ち、本工程では、後に制御チャネル領域 c h 4 となる部分だけでなく、例えば、後にメモリチャネル領域 c h 1 b となる部分にも、チャネル濃度調整用のイオン注入を施すことになる。図中は、シリコン基板 1 の主面 s 1 付近の領域を、制御チャネル領域 c h 4 またはメモリチャネル領域 c h 1 b として表記している。ここでは、上記実施の形態 1 の上記図 7 で説明した工程と同様にして、チャネル濃度を調整する。

【 0 1 4 9 】

ここで、本実施の形態 3 の製造方法では、続く工程として、メモリチャネル領域 c h 1 b にフッ素を導入する工程を有する。これには、シリコン基板 1 の主面 s 1 のメモリチャネル領域 c h 1 b に対して、第 1 イオン注入 d p 1 e によってフッ素を注入する。その後、800 ~ 1100 程度の熱処理（第 1 熱処理）を施すことで、チャネル領域に注入したフッ素を活性化する。これにより、メモリチャネル領域 c h 1 b に含まれ、電荷とラップとなるダングリングボンドや他の欠陥などを、フッ素により不活性化させることができる。このようにして、上記図 2 3 を用いて説明したような効果を発現する不揮発性メモリセル N V M 2 の構成を形成することができる。なお、本工程では、後にメモリチャネル領域 c h 1 b となる領域のほかに、制御チャネル領域 c h 4 に対してもフッ素を導入したことになる。

【 0 1 5 0 】

本発明者の検証によれば、本工程では、第 1 イオン注入 d p 1 e として $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量でフッ素を導入することが、より効果的である。また、注入したフッ素の濃度分布のピークが、シリコン基板 1 の主面 s 1 から 50 nm 以内の位置にくるような加速エネルギーで第 1 イオン注入 d p 1 e を施すことが、より効果的である。

【 0 1 5 1 】

このような効果を有するフッ素の導入工程（第 1 イオン注入 d p 1 e および第 1 熱処理）は、少なくとも、p ウェル p w 1 を形成した後に施せば、同様の効果が得られる。ただし、上記のように、第 1 イオン注入 d p 1 e は、電荷蓄積膜 M I 1 やメモリゲート電極 M G 1 を形成する前に施す方が、より好ましい。これは、上記実施の形態 2 の説明と同様の効果を有する。即ち、電荷蓄積膜 M I 1 にダメージを与えることなく、第 1 イオン注入 d p 1 e を施すことができる。これにより、より高品質な電荷蓄積膜 M I 1 を、不揮発性メモリセル N V M 2 に適用できる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【 0 1 5 2 】

次に、図 2 6 に示すように、シリコン基板 1 の主面 s 1 上に、順に、制御ゲート絶縁膜 C I 1 および制御ゲート導体膜 E c 1 を形成する。制御ゲート導体膜 E c 1 は、後の工程で加工して、制御ゲート電極 C G 1 となる要素である。ここでは、熱酸化法によってシリ

10

20

30

40

50

コン基板 1 の主面 s 1 を表面酸化することで、酸化シリコン膜からなる制御ゲート絶縁膜 C I 1 を形成する。その後、C V D 法によって、多結晶シリコン膜からなる制御ゲート導体膜 E c 1 を形成する。このとき、制御ゲート導体膜 E c 1 には、制御ゲート電極 C G 1 として要求される濃度の不純物を含んだ多結晶シリコン膜を形成しても良いし、多結晶シリコン膜を形成後にイオン注入および熱処理によって不純物を導入しても良い。

【 0 1 5 3 】

ここで、上記図 2 5 の工程で説明した、フッ素を活性化するための第 1 熱処理は、上記の制御ゲート絶縁膜 C I 1 を熱酸化によって形成する際に要する熱処理と同一の工程で施す方が、より好ましい。なぜなら、これにより、フッ素を活性化することに特化した第 1 熱処理を新たに追加する必要が無く、工程数を削減できるからである。なお、本発明者の検証によれば、制御ゲート絶縁膜 C I 1 を形成するための熱酸化は、メモリチャネル領域 c h 1 b に注入したフッ素を活性化させる第 1 熱処理と同様の温度帯で施すため、これらは問題なく併用できる。

【 0 1 5 4 】

次に、図 2 7 に示すように、制御ゲート導体膜 E c 1 を加工して、制御ゲート電極 C G 1 を形成する。これには、まず、制御ゲート電極 C G 1 として残す部分の制御ゲート導体膜 E c 1 を覆うようにパターニングしたフォトレジスト膜 1 5 を形成する。その後、フォトレジスト膜 1 5 をエッチングマスクとして、制御ゲート導体膜 E c 1 に異方性エッチングを施すことにより、露出した部分の制御ゲート導体膜 E c 1 を除去する。このようにして、制御ゲート導体膜 E c 1 からなる制御ゲート電極 C G 1 を形成する。

【 0 1 5 5 】

続いて、同様にして、フォトレジスト膜 1 5 をエッチングマスクとして、制御ゲート絶縁膜 C I 1 にエッチングを施す。このようにして、シリコン基板 1 と制御ゲート電極 C G 1 との間に配置するように、制御ゲート絶縁膜 C I 1 を加工する。

【 0 1 5 6 】

次に、図 2 8 に示すように、メモリチャネル領域 c h 1 b のチャネル濃度を調整するためのイオン注入 d p 8 を施す。これは、例えば、上記図 7 を用いて説明したチャネル濃度調整と同様の方法を用いる。ただし、不純物種、濃度は所望の条件とする。

【 0 1 5 7 】

ここで、制御チャネル領域 c h 4 に対しては、先の工程でチャネル濃度を調整しているから、イオン注入 d p 8 を施さない方が良い。この点、制御ゲート電極 C G 1 がイオン注入マスクとして機能し、制御チャネル領域 c h 4 に対しては、イオン注入 d p 8 の影響は及ばない。また、制御ゲート電極 C G 1 に覆われていない部分のシリコン基板 1 の主面 s 1 付近は、その全てがメモリチャネル領域 c h 1 b となるものではないが、ここでは、その部分も含めてイオン注入 d p 8 を施しても差し支え無い。なぜなら、メモリチャネル領域 c h 1 b とならない部分には、後の工程によって他の構成が形成されるからである。

【 0 1 5 8 】

また、本実施の形態 3 の製造方法では、上記図 2 5 の工程で施した第 1 イオン注入 d p 1 e を、本工程のチャネル濃度調整用のイオン注入 d p 8 の直前または直後に施しても良い。これにより、例えば制御ゲート絶縁膜 C I 1 を形成するための熱酸化に要する熱処理を回避して、第 1 イオン注入 d p 1 e を施すことができる。メモリチャネル領域 c h 1 b にフッ素を注入するための第 1 イオン注入 d p 1 e を施した後には、過度の熱処理を施さない方がより好ましい理由に関しては、上記実施の形態 2 で説明した通りである。即ち、本工程で、イオン注入 d p 8 の直前または直後に第 1 イオン注入 d p 1 e を施し、熱処理を回避することで、所望の領域を越えた拡散を、より抑制できる。これにより、より効率的に、メモリチャネル領域 c h 1 b のダングリングボンド等を不活性化でき、不揮発性メモリセル N V M 2 のリテンション特性をより向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【 0 1 5 9 】

次に、図 2 9 に示すように、制御ゲート電極 C G 1 を含むシリコン基板 1 の主面を覆う

ようにして、順に、下部バリア膜 B b 1、電荷ストレージ膜 S T 1、および、上部バリア膜 B t 1 からなる電荷蓄積膜 M I 1 を形成する。続いて、電荷蓄積膜 M I 1 を覆うようにして、メモリゲート導体膜 E m 1 を形成する。これらのより詳しい構成および方法は、上記実施の形態 1 の製造方法で上記図 1 2 を用いて説明した工程と同様である。

【0160】

その後、メモリゲート導体膜 E m 1 をエッチバックすることで、制御ゲート電極 C G 1 の側壁を、電荷蓄積膜 M I 1 を介して覆うような形状に、メモリゲート導体膜 E m 1 を加工する。

【0161】

次に、図 3 0 に示すように、制御ゲート電極 C G 1 の一対の側壁を覆うメモリゲート導体膜 E m 1 のうち、いずれか一方を除去することで、メモリゲート電極 M G 1 を形成する。これには、まず、除去せずに残すメモリゲート導体膜 E m 1 を覆うように、フォトリソグスト膜 1 6 を形成する。その後、フォトリソグスト膜 1 6 をエッチングマスクとして、メモリゲート導体膜 E m 1 に対してエッチングを施す。これにより、フォトリソグスト膜 1 6 に覆われていないメモリゲート導体膜 E m 1 を除去することで、残ったメモリゲート導体膜 E m 1 からなるメモリゲート電極 M G 1 を形成する。本工程により、制御ゲート電極 C G 1 に対して、電荷蓄積膜 M I 1 を隔てて隣り合うような、メモリゲート電極 M G 1 を形成できる。

10

【0162】

次に、図 3 1 に示すように、メモリゲート電極 M G 1 に覆われていない部分の電荷蓄積膜 M I 1 を除去する。これには、メモリゲート電極 M G 1 をエッチングマスクとして、電荷蓄積膜 M I 1 に異方性エッチングを施す。本工程により、シリコン基板 1 とメモリゲート電極 M G 1 との間から、制御ゲート電極 C G 1 とメモリゲート電極 M G 1 との間に渡って、一体的に配置されるような形状の電荷蓄積膜 M I 1 を形成できる。

20

【0163】

その後、メモリゲート電極 M G 1 および制御ゲート電極 C G 1 の側方下部のシリコン基板 1 の主面 s 1 に、メモリエクステンション領域 e x 1 を形成する。これには、まず、メモリゲート電極 M G 1 および制御ゲート電極 C G 1 をイオン注入マスクとして、イオン注入 d p 9 を施して、所望の不純物を注入する。その後、注入した不純物を拡散および活性化させるための熱処理を施すことで、上記の領域に、メモリエクステンション領域 e x 1 を形成できる。

30

【0164】

なお、メモリエクステンション領域 e x 1 は、メモリゲート電極 M G 1 側と、制御ゲート電極 C G 側とで、要求される不純物濃度が異なる場合がある。この場合には、イオン注入マスクとしてのフォトリソグスト膜を形成し（図示しない）、それぞれの領域に対して選択的に、異なる条件でイオン注入 d p 9 を施す。

【0165】

また、本実施の形態 3 の製造方法では、上記図 2 5 の工程で施した第 1 イオン注入 d p 1 e を、本工程のメモリエクステンション領域 e x 1 形成用のイオン注入 d p 9 の直前または直後に施しても良い。これにより、例えば電荷蓄積膜 M I 1 を形成するための熱酸化に要する熱処理を回避して、第 1 イオン注入 d p 1 e を施すことができる。メモリチャネル領域 c h 1 b にフッ素を注入するための第 1 イオン注入 d p 1 e を施した後は、過度の熱処理を施さない方がより好ましい理由に関しては、上記実施の形態 2 で説明した通りである。即ち、本工程で、イオン注入 d p 9 の直前または直後に第 1 イオン注入 d p 1 e を施し、熱処理を回避することで、所望の領域を越えた拡散を、より抑制できる。これにより、より効率的に、メモリチャネル領域 c h 1 b のダングリングボンド等を不活性化でき、不揮発性メモリセル N V M 2 のリテンション特性をより向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

40

【0166】

次に、図 3 2 に示すように、シリコン基板 1 の主面 s 1 のうち、メモリゲート電極 M G

50

1 および制御ゲート電極CG1の側壁を覆うようにして、サイドウォールスペーサswを形成する。サイドウォールスペーサswのより詳しい構成および方法は、上記実施の形態1の製造方法で上記図18を用いて説明した工程と同様である。

【0167】

続いて、上記図18を用いて説明した工程と同様にして、メモリソース・ドレイン領域sd1を形成する。

【0168】

また、本実施の形態3の製造方法では、上記図25の工程で施した第1イオン注入dp1eを、本工程のメモリソース・ドレイン領域sd1形成用のイオン注入の直前または直後に施しても良い。これにより、例えば電荷蓄積膜MI1などを形成するための熱酸化に要する熱処理に加え、メモリエクステンション領域ex1を形成するための熱処理をも回避して、第1イオン注入dp1eを施すことができる。メモリチャネル領域ch1bにフッ素を注入するための第1イオン注入dp1eを施した後は、過度の熱処理を施さない方がより好ましい理由に関しては、上記実施の形態2で説明した通りである。即ち、本工程で、メモリソース・ドレイン領域sd1を形成するためのイオン注入の直前または直後に第1イオン注入dp1eを施し、熱処理を回避することで、所望の領域を越えた拡散を、より抑制できる。これにより、より効率的に、メモリチャネル領域ch1bのダングリングボンド等を不活性化でき、不揮発性メモリセルNVM2のリテンション特性をより向上させることができる。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【0169】

以上のようにして、シリコン基板1上に本実施の形態3の不揮発性メモリセルNVM2を形成することができる。

【0170】

特に、上記図25などを用いて説明した工程では、第1イオン注入dp1eによってメモリチャネル領域ch1bにフッ素を注入し、第1熱処理によってそのフッ素を活性化することで、メモリチャネル領域ch1bにフッ素を導入している。このようにして、メモリチャネル領域ch1bのダングリングボンドや欠陥を不活性化することができる。これにより、本実施の形態3の不揮発性メモリセルNVM2では、電荷蓄積膜MI1に蓄積された電荷がより漏出し難くなり、リテンション特性が向上する。結果として、不揮発性メモリを有する半導体装置の特性を、より向上させることができる。

【0171】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0172】

例えば、上記実施の形態1では、不揮発性メモリセルNVM1の動作方法として、FNTトンネリング方式によって書き込み、消去動作を施す方法を説明したが、この限りではない。他にも、チャネルホットキャリア方式やBTBT方式などで、書き込みまたは消去動作を施すことができる。同様に、上記実施の形態3では、不揮発性メモリセルNVM3の動作方法として、SSI方式によって書き込み動作を施し、BTBT方式によって消去動作を施す方法を説明したが、この限りではない。他にも、FNTトンネリング方式やチャネルホットキャリア方式などで、書き込みまたは消去動作を施すことができる。

【産業上の利用可能性】

【0173】

本発明は、例えば、パーソナルコンピュータやモバイル機器等において、情報処理を行うために必要な半導体産業に適用することができる。

【図面の簡単な説明】

【0174】

【図1】本発明の実施の形態1である半導体装置の要部断面図である。

【図 2】本発明の実施の形態 1 である半導体装置の書き込み動作を説明するための要部断面図と、その一部拡大図である。

【図 3】本発明の実施の形態 1 である半導体装置の消去動作を説明するための要部断面図と、その一部拡大図である。

【図 4】本発明の実施の形態 1 である半導体装置の読み出し動作を説明するための要部断面図である。

【図 5】本発明の実施の形態 1 である半導体装置の特性を示すグラフ図である。

【図 6】本発明の実施の形態 1 である半導体装置の製造工程中における要部断面図である。

【図 7】図 6 に続く半導体装置の製造工程中における要部断面図である。

10

【図 8】図 7 に続く半導体装置の製造工程中における要部断面図である。

【図 9】図 8 に続く半導体装置の製造工程中における要部断面図である。

【図 10】図 9 に続く半導体装置の製造工程中における要部断面図である。

【図 11】図 10 に続く半導体装置の製造工程中における要部断面図である。

【図 12】図 11 に続く半導体装置の製造工程中における要部断面図である。

【図 13】図 12 に続く半導体装置の製造工程中における要部断面図である。

【図 14】図 13 に続く半導体装置の製造工程中における要部断面図である。

【図 15】図 14 に続く半導体装置の製造工程中における要部断面図である。

【図 16】図 15 に続く半導体装置の製造工程中における要部断面図である。

【図 17】図 16 に続く半導体装置の製造工程中における要部断面図である。

20

【図 18】図 17 に続く半導体装置の製造工程中における要部断面図である。

【図 19】図 18 に続く半導体装置の製造工程中における要部断面図である。

【図 20】本発明の実施の形態 2 である半導体装置の製造工程中であって、図 12 に続く工程における要部断面図である。

【図 21】本発明の実施の形態 2 である半導体装置の他の製造工程中であって、図 16 に続く工程における要部断面図である。

【図 22】本発明の実施の形態 2 である半導体装置の他の製造工程中であって、図 18 に続く工程における要部断面図である。

【図 23】本発明の実施の形態 3 である半導体装置の要部断面図である。

【図 24】本発明の実施の形態 3 である半導体装置の製造工程中における要部断面図である。

30

【図 25】図 24 に続く半導体装置の製造工程中における要部断面図である。

【図 26】図 25 に続く半導体装置の製造工程中における要部断面図である。

【図 27】図 26 に続く半導体装置の製造工程中における要部断面図である。

【図 28】図 27 に続く半導体装置の製造工程中における要部断面図である。

【図 29】図 28 に続く半導体装置の製造工程中における要部断面図である。

【図 30】図 29 に続く半導体装置の製造工程中における要部断面図である。

【図 31】図 30 に続く半導体装置の製造工程中における要部断面図である。

【図 32】図 31 に続く半導体装置の製造工程中における要部断面図である。

【符号の説明】

40

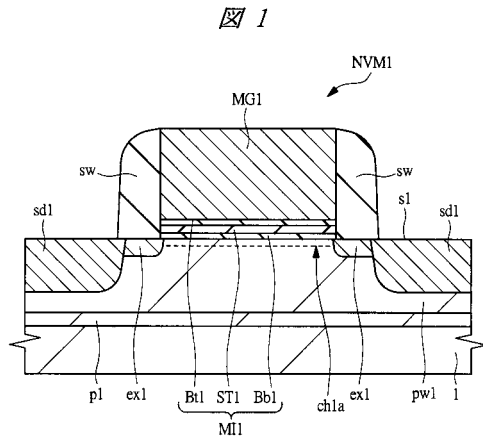
【0175】

- 1 シリコン基板（半導体基板）
- 2 分離部
- 3～5, 8～16 フォトレジスト膜
- 6 酸化シリコン膜
- 7 多結晶シリコン膜
- 7n n型多結晶シリコン膜
- 7p p型多結晶シリコン膜
- Bb1 下部バリア膜（第1絶縁膜）
- Bt1 上部バリア膜（第3絶縁膜）

50

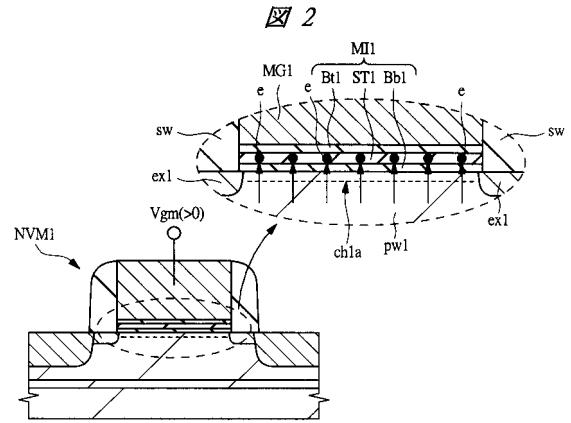
C G 1	制御ゲート電極	
c h 1 a , c h 1 b	メモリチャネル領域 (チャネル領域)	
c h 2 , c h 3	周辺チャネル領域	
c h 4	制御チャネル領域	
C I 1	制御ゲート絶縁膜	
d p 1 a ~ d p 1 e	第 1 イオン注入	
d p 2 ~ d p 9	イオン注入	
e	電子	
E c 1	制御ゲート導体膜	
E m 1	メモリゲート導体膜	10
e r 1	消去特性	
e x 1	メモリエクステンション領域 (第 2 半導体領域)	
e x 2	n 型周辺エクステンション領域	
e x 3	p 型周辺エクステンション領域	
G n	n 型周辺ゲート電極	
G p	p 型周辺ゲート電極	
h	正孔 (ホール)	
I d s	ソース・ドレイン電流	
I G	周辺ゲート絶縁膜	
M G 1	メモリゲート電極	20
M I 1	電荷蓄積膜	
N V M 1 , N V M 2	不揮発性メモリセル	
n w 1	周辺 n ウェル	
p 1	半導体領域	
p w 1	p ウェル (第 1 半導体領域)	
p w 2	周辺 p ウェル	
Q n	n 型 M I S トランジスタ	
Q p	p 型 M I S トランジスタ	
R m	メモリ領域	
R p	周辺領域	30
R p n	n 型周辺領域	
R p p	p 型周辺領域	
s 1	主面	
s d 1	メモリソース・ドレイン領域 (第 3 半導体領域)	
s d 2	n 型周辺ソース・ドレイン領域	
s d 3	p 型周辺ソース・ドレイン領域	
S T 1	電荷ストレージ膜 (第 2 絶縁膜)	
s w	サイドウォールスペーサ	
V g m	メモリゲート電圧	
w r 1 , w r 2	書き込み特性	40

【図 1】

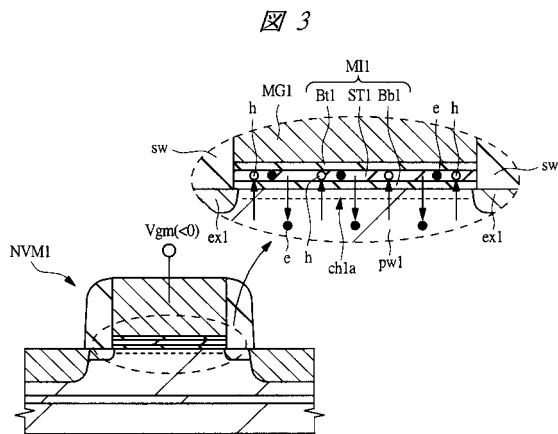


1: シリコン基板(半導体基板)
 chla: メモリチャネル領域(チャネル領域)
 MG1: メモリゲート電極
 MI1: 電荷蓄積膜
 NVMI1: 不揮発性メモリセル
 pw1: pウェル(第1半導体領域)
 sl: 主面

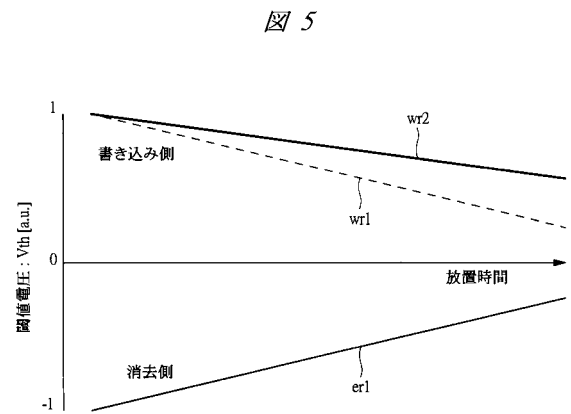
【図 2】



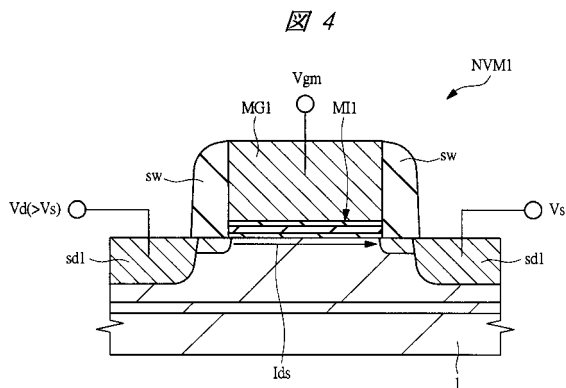
【図 3】



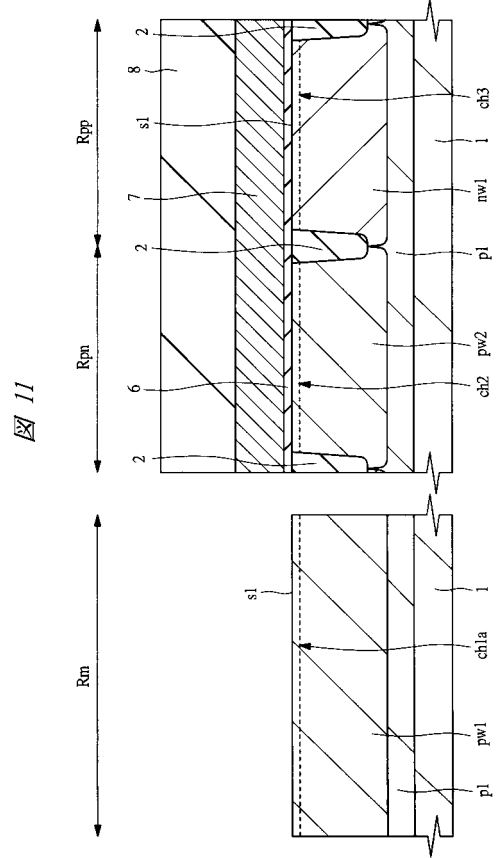
【図 5】



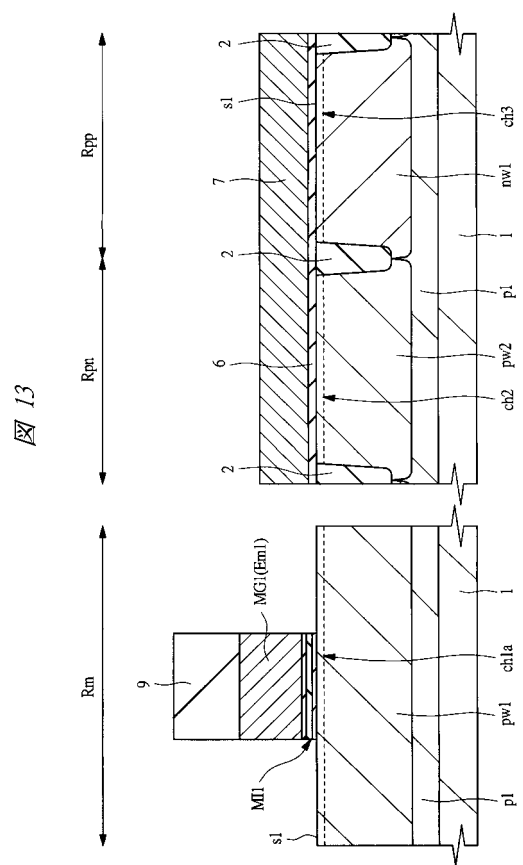
【図 4】



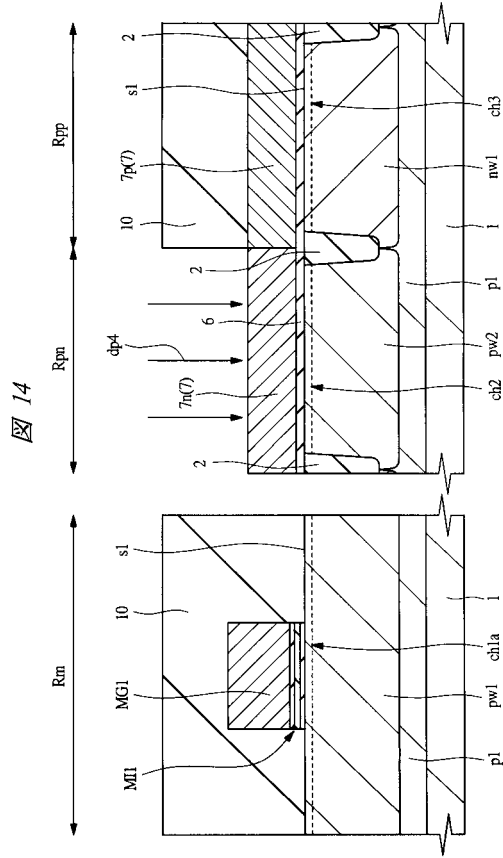
【 図 1 1 】



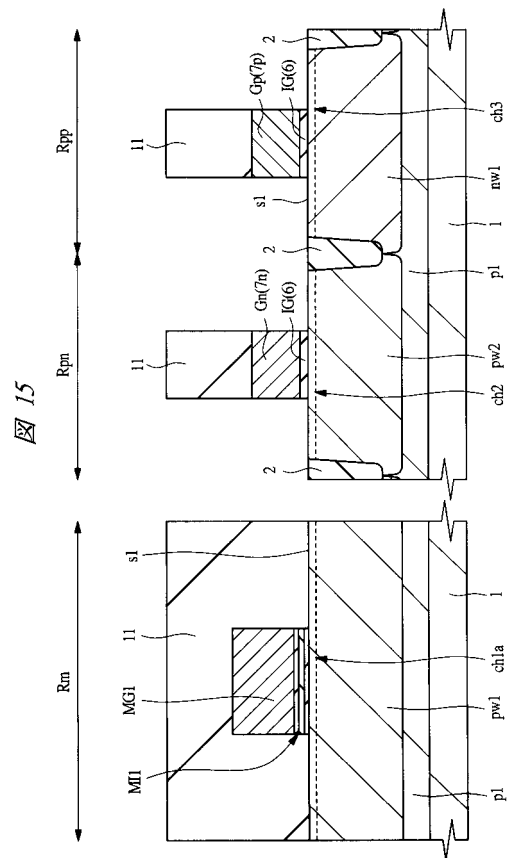
【 図 1 3 】



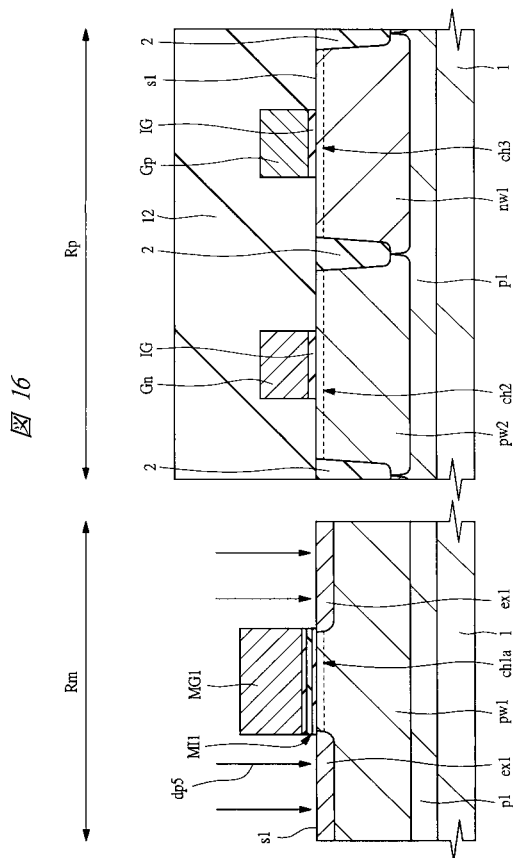
【図 14】



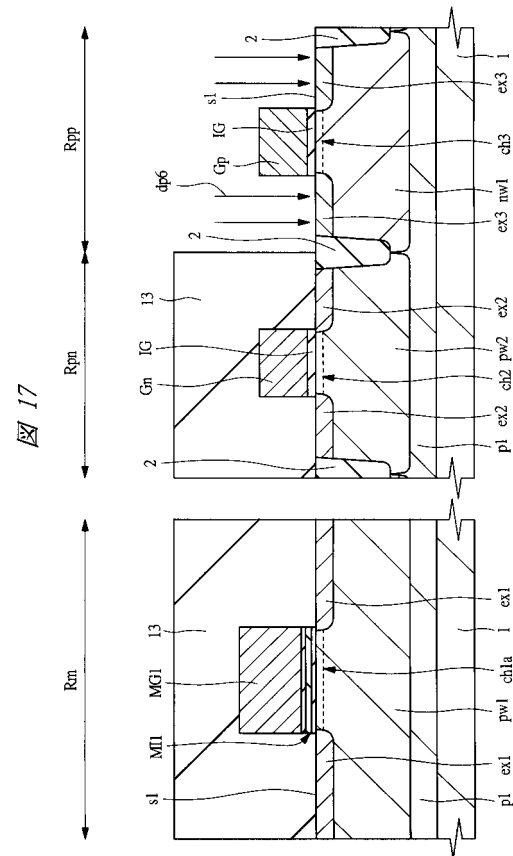
【図 15】



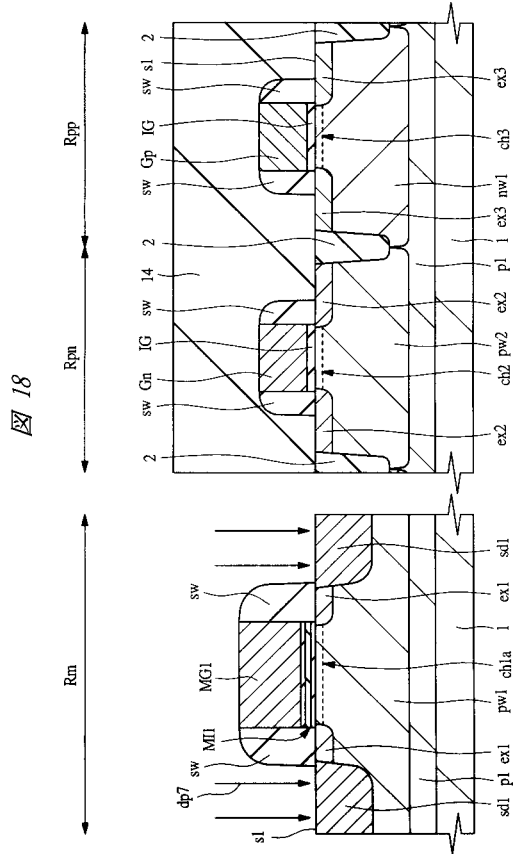
【図 16】



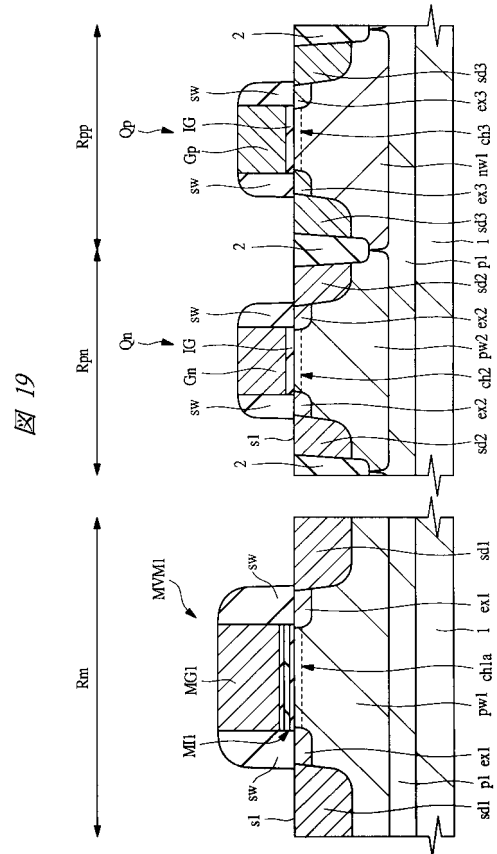
【図 17】



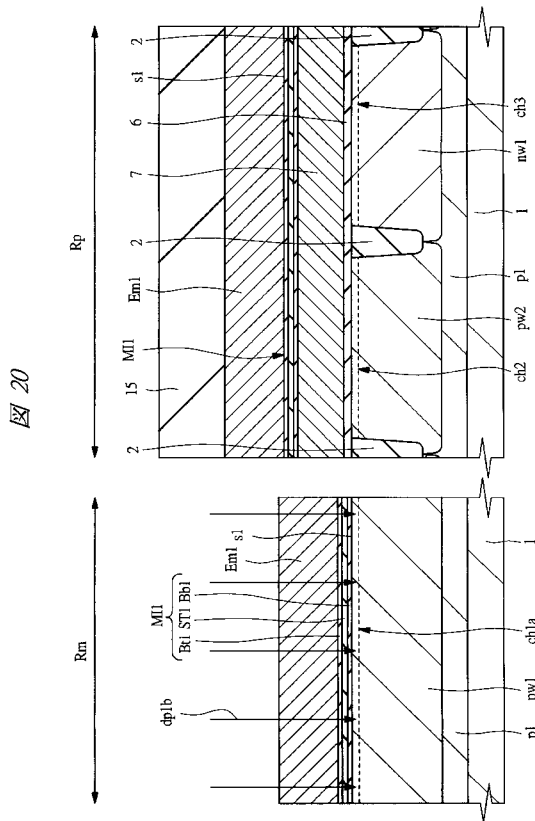
【図 18】



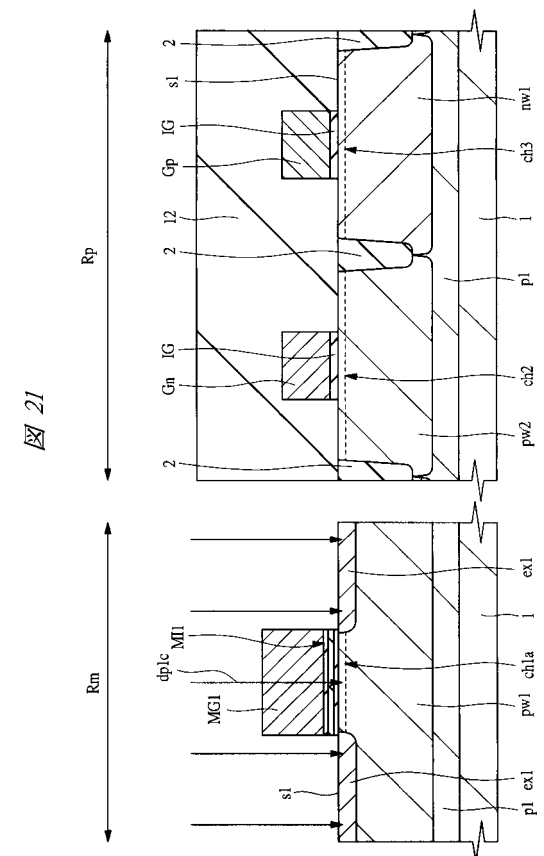
【図 19】



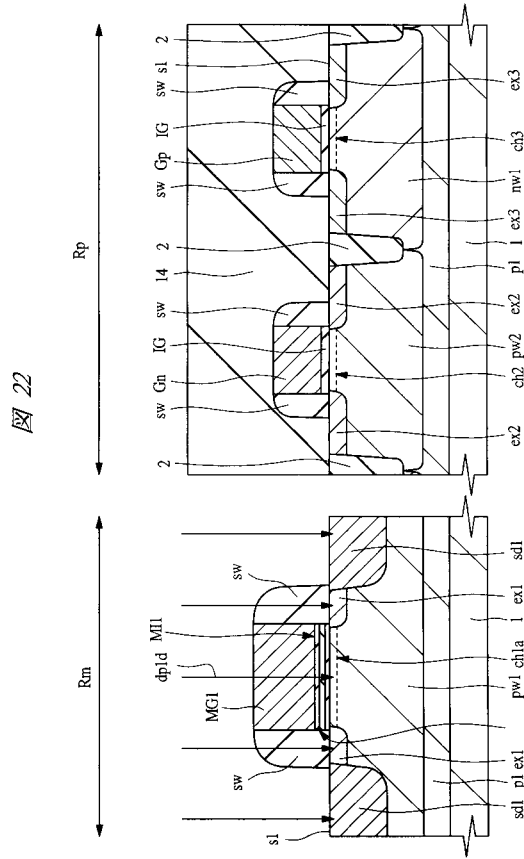
【図 20】



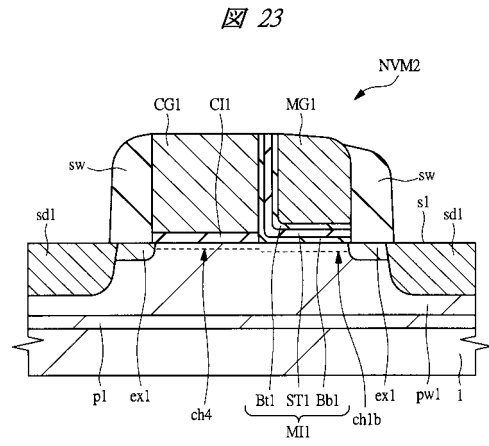
【図 21】



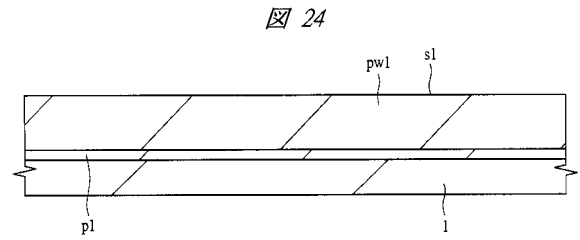
【図 22】



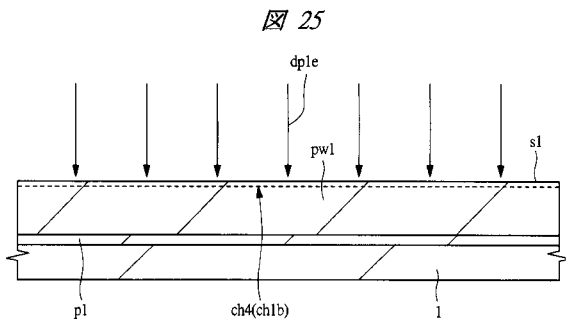
【図 23】



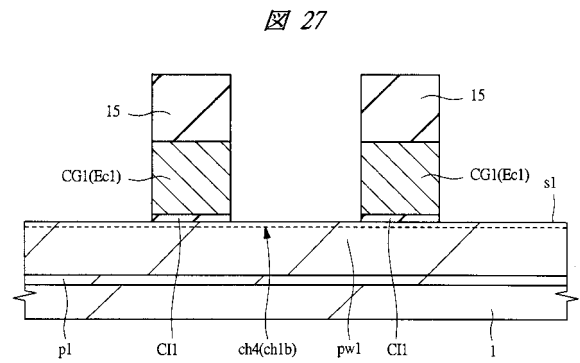
【図 24】



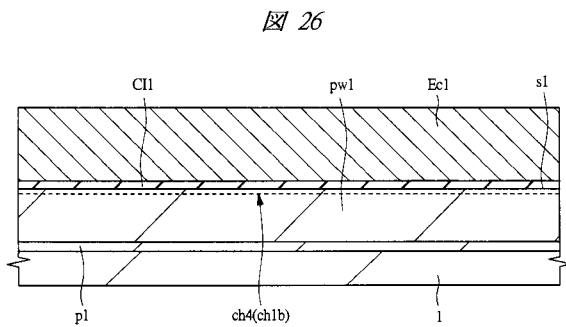
【図 25】



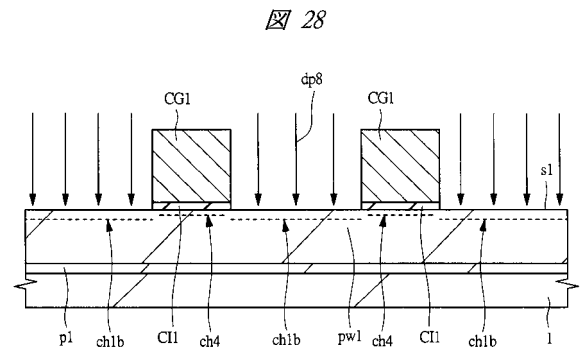
【図 27】



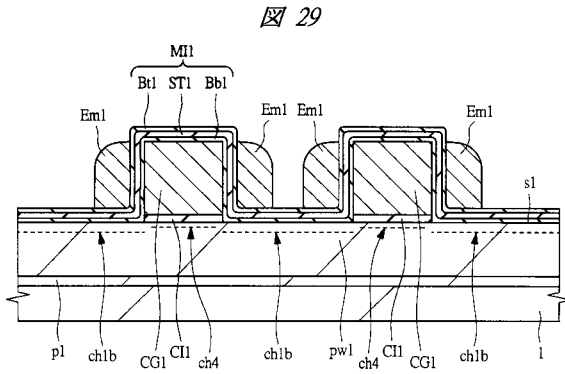
【図 26】



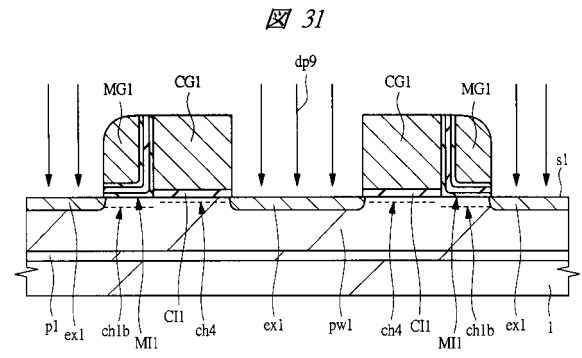
【図 28】



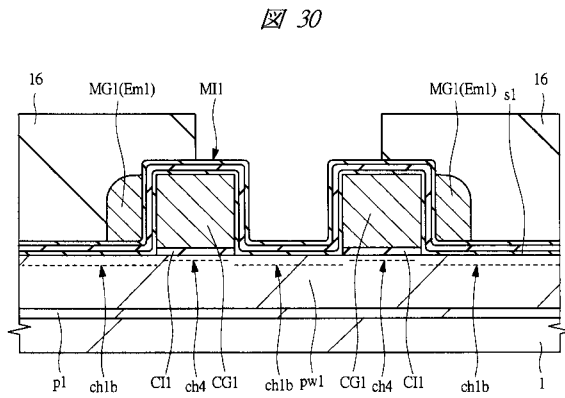
【図 29】



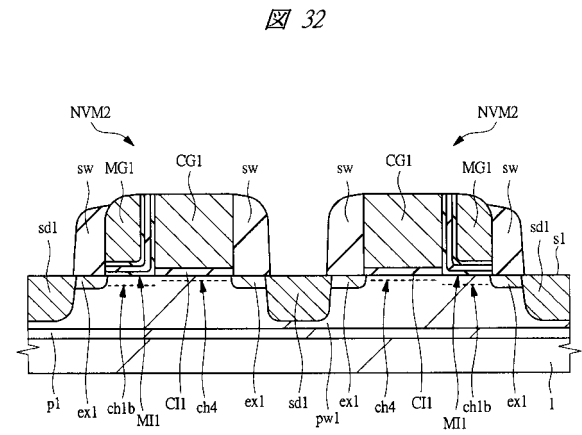
【図 31】



【図 30】



【図 32】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/088 (2006.01)

F ターム(参考) 5F101 BA42 BA45 BD14 BD22 BE05 BE07 BF02 BH09 BH21