



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0130437
(43) 공개일자 2023년09월12일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/768 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/022 (2013.01)
H01L 21/02112 (2013.01)</p> <p>(21) 출원번호 10-2022-0027620</p> <p>(22) 출원일자 2022년03월03일
심사청구일자 2022년03월03일</p> | <p>(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50</p> <p>(72) 발명자
신현석
울산광역시 울주군 언양읍 유니스트길 50
김민수
울산광역시 울주군 언양읍 유니스트길 50</p> <p>(74) 대리인
특허법인 무한</p> |
|--|--|

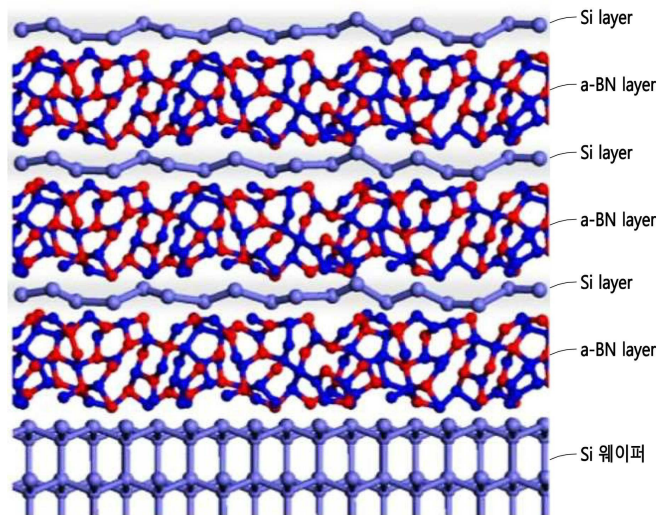
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 다층박막 구조의 비정질 질화붕소 박막 및 이를 포함하는 전자 장치

(57) 요약

본 발명은, 다층박막 구조의 비정질 질화붕소 박막 및 이를 포함하는 전자 장치에 관한 것으로, 보다 구체적으로, ((비정질 질화붕소층)_n/(물질층)_m)_l (n, m 및 l은, 각각 1 이상의 정수이다.)의 다층박막 구조(a)를 포함하는, 다층박막 구조의 비정질 질화붕소 박막 및 이를 포함하는 전자 장치에 관한 것이다. 더욱이, 본 발명은, 상기 다층박막 구조의 비정질 질화붕소 박막의 제조방법에 더 관련된다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02271 (2013.01)

H01L 21/76832 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711138827
과제번호	2021R1A3B1077184
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	탄소 및 질화붕소의 동종다형성 연구
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2021.06.01 ~ 2022.02.28

명세서

청구범위

청구항 1

((비정질 질화붕소층)_n/(물질층)_m)₁ (n, m 및 l은, 각각 1 이상의 정수이다.)의 다층박막 구조(a)를 포함하는,
다층박막 구조의 비정질 질화붕소 박막.

청구항 2

제1항에 있어서,
상기 다층박막 구조(a)의 상기 비정질 질화붕소층, 상기 물질층 또는 이들 모두와 상이한 하나 이상의 다층박막 구조(b)를 더 포함하고,
상기 다층박막 구조(a) 및 하나 이상의 다층박막 구조(b)는, 순차적 또는 교차적으로 적층되는 것인,
다층박막 구조의 비정질 질화붕소 박막.

청구항 3

제1항에 있어서,
((제1 비정질 질화붕소층)_n/(제1 물질층)_m)₁/((제2 비정질 질화붕소층)_{n'}/(제2 물질층)_{m'})_{1'} (n, m, l, n', m' 및 l'은, 각각 1 이상의 정수이다.)를 포함하는 것인,
다층박막 구조의 비정질 질화붕소 박막.

청구항 4

제3항에 있어서,
상기 제1 비정질 질화붕소층 및 상기 제2 비정질 질화붕소층은, 서로 두께가 상이하고,
상기 제1 물질층 및 상기 제2 물질층은, 서로 두께, 성분 또는 이 둘 모두가 상이한 것인,
다층박막 구조의 비정질 질화붕소 박막.

청구항 5

제1항에 있어서,
((제1 비정질 질화붕소층)_n/(제1 물질층)_m)₁/((제2 비정질 질화붕소층)_{n'}/(제2 물질층)_{m'})_{1'}/((제3 비정질 질화붕소층)_{n''}/(제3 물질층)_{m''})_{1''} (n, m, l, n', m', l', n'', m'', 및 l''은, 각각 1 이상의 정수이다.)를 포함하는 것인,
다층박막 구조의 비정질 질화붕소 박막.

청구항 6

제5항에 있어서,

상기 제1 비정질 질화붕소층, 상기 제2 비정질 질화붕소층 및 상기 제3 비정질 질화붕소층은, 서로 두께가 상이하고,

상기 제1 물질층, 상기 제2 물질층 및 상기 제3 물질층은, 서로 두께, 성분 또는 이 둘 모두가 상이한 것인, 다층박막 구조의 비정질 질화붕소 박막.

청구항 7

제1항에 있어서,

상기 물질층은, 절연성 물질을 포함하고,

상기 물질층은, 실리콘, 알루미늄 및 전이 금속 중에서 선택된 적어도 하나, 이의 산화물 및 이의 질화물에서 선택된 적어도 하나를 포함하는 것인,

다층박막 구조의 비정질 질화붕소 박막.

청구항 8

제1항에 있어서,

상기 비정질 질화붕소층 및 상기 물질층은,

각각, 10 nm 이하의 두께를 갖는 것인,

다층박막 구조의 비정질 질화붕소 박막.

청구항 9

제1항에 있어서,

상기 물질층의 두께는,

단일층(monolayer) 수준인 것인,

다층박막 구조의 비정질 질화붕소 박막.

청구항 10

제1항에 있어서,

상기 비정질 질화붕소층 대 상기 물질층의 두께비는,

1 : 0.001 내지 1 : 1인 것인,

다층박막 구조의 비정질 질화붕소 박막.

청구항 11

제1항에 있어서,

상기 다층박막 구조의 비정질 질화붕소 박막은,

웨이퍼 스케일 면적을 갖는 것인,
다층박막 구조의 비정질 질화붕소 박막.

청구항 12

제1항의 다층박막 구조의 비정질 질화붕소 박막;
을 포함하는,
반도체 장치.

청구항 13

기판을 준비하는 단계;
상기 기판 상에 비정질 질화붕소층을 형성하는 단계;
상기 비정질 질화붕소층 상에 물질층을 형성하는 단계; 및
상기 물질층 상에 비정질 질화붕소층을 형성하는 단계;
를 포함하고,
상기 비정질 질화붕소층 상에 물질층을 형성하는 단계 및 상기 물질층 상에 비정질 질화붕소층을 형성하는 단계는, 각각, 1회 이상 반복하는 것인,
제1항의 다층박막 구조의 비정질 질화붕소 박막의 제조방법.

청구항 14

제13항에 있어서,
상기 비정질 질화붕소층을 성장시키는 단계는, PECVD, PEALD 및 ICP-CVD 중 적어도 하나 이상을 이용하고,
상기 PECVD 및 PEALD는, 콜드월(cold wall) 또는 핫월(hot wall) 타입인 것인,
다층박막 구조의 비정질 질화붕소 박막의 제조방법.

청구항 15

제13항에 있어서,
상기 비정질 질화붕소층을 성장시키는 단계 및 상기 비정질 질화붕소층 상에 물질층을 성장시키는 단계는, 각각, 상온 내지 700 °C의 온도 및 대기압 또는 진공 상태에서 실시되는 것인,
다층박막 구조의 비정질 질화붕소 박막의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은, 다층박막 구조의 비정질 질화붕소 박막 및 이를 포함하는 전자 장치에 관한 것이다.

배경 기술

[0002] 전자 소자 및 반도체 소자는 대부분이 반도체와 절연체 및 도전체를 조합하고 연결함으로써 제조되고 있다. 예컨대 반도체 기판에 복수의 단위 소자를 형성한 후 그 위에 절연층, 층간절연층 및 전극배선을 반복해서 적층함

으로써 다양한 집적 회로 (integrated circuit)를 제조할 수 있다.

[0003] 이러한 소자를 제조하는 과정이나 동작시키는 과정에서 구성 층들의 온도가 증가할 수 있고 전압 전류의 인가에 의해 전기적 스트레스가 발생할 수 있다. 이로 인해 인접한 구성 층들 사이에 물질 원자의 확산이 발생하여 소자의 특성이 열화되고 신뢰성 및 내구성이 떨어질 수 있다. 소자의 집적도 (degree of integration)가 높아짐에 따라 구성 층들간 물질의 확산으로 인한 문제점들을 해결하기가 더 어려워질 수 있고, 이를 해결하기 위한 물질 또는 구성 층들의 구조적 개선이 필요하다.

[0004] 반도체 소자의 고집적화가 가속화됨에 따라, 소자의 크기는 점점 작아지게 되고, 칩의 성능 (속도)은 트랜지스터의 스위칭 속도에 좌우되었으나, 소자의 크기를 작게 하여 고집적 고밀도가 가속화됨에 따라 스위칭 속도보다 배선 구조에서 발생하는 신호전달 지연 (RC-delay: R은 금속 배선의 저항, C는 금속 배선 사이의 유전체 커패시턴스)에 의해 좌우된다. 신호전달 지연을 감소시키기 위해 집적회로 BEOL (back-end-of-line)의 금속 배선 사이에 증착되는 유전체의 유전율을 감소시키거나 금속배선의 저항 감소가 절대적으로 필요하다. 트랜지스터 (transistor) 세대가 달라짐에 따라 전극 금속을 둘러싸고 있는 확산 장벽층 (diffusion barrier) 혹은 절연 (dielectric) 물질 구조의 특성 개선 및 차별성의 필요성이 높아지고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은, 상기 언급한 문제점을 해결하기 위해서, 반도체 소자 내에서 작동 과정에서 발생하는 열적, 전기적 현상에 따른 문제점을 개선시킬 수 있고, 비정질 질화붕소층과 물질층이 순차적으로 반복 적층된 다층박막 구조의 비정질 질화붕소(a-BN) 박막을 제공하는 것이다.

[0006] 본 발명은, 본 발명에 의한 다층박막 구조의 비정질 질화붕소 (a-BN) 박막을 포함하는 반도체 소자를 제공하는 것이다.

[0007] 본 발명은, 본 발명에 의한 다층박막 구조의 비정질 질화붕소 (a-BN) 박막을 포함하는 전기 소자를 제공하는 것이다.

[0008] 본 발명은, 다층박막 구조 내의 두께, 물질적 특성을 제어하고 웨이퍼 면적으로 성장시킬 수 있는, 본 발명에 의한 다층박막 구조의 비정질 질화붕소 (a-BN) 박막의 제조방법을 제공하는 것이다.

[0009] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 분야 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 따라, $((\text{비정질 질화붕소층})_n/(\text{물질층})_m)_l$ (n, m 및 l 은, 각각 1 이상의 정수이다.)의 다층박막 구조(a)를 포함하는, 다층박막 구조의 비정질 질화붕소 박막에 관한 것이다.

[0011] 본 발명의 일 실시예에 따라, 상기 다층박막 구조(a)의 상기 비정질 질화붕소층, 상기 물질층 또는 이들 모두와 상이한 하나 이상의 다층박막 구조(b)를 더 포함하고, 상기 다층박막 구조(a) 및 하나 이상의 다층박막 구조(b)는, 순차적 또는 교차적으로 적층되는 것일 수 있다.

[0012] 본 발명의 일 실시예에 따라, $((\text{제1 비정질 질화붕소층})_n/(\text{제1 물질층})_m)/((\text{제2 비정질 질화붕소층})_{n'}/(\text{제2 물질층})_{m'})_{l'}$ (n, m, l, n', m' 및 l' 은, 각각 1 이상의 정수이다.)를 포함하는 것일 수 있다.

[0013] 본 발명의 일 실시예에 따라, 상기 제1 비정질 질화붕소층 및 상기 제2 비정질 질화붕소층은, 서로 두께가 상이하고, 상기 제1 물질층 및 상기 제2 물질층은, 서로 두께, 성분 또는 이들 모두가 상이한 것일 수 있다.

[0014] 본 발명의 일 실시예에 따라, $((\text{제1 비정질 질화붕소층})_n/(\text{제1 물질층})_m)/((\text{제2 비정질 질화붕소층})_{n'}/(\text{제2 물질층})_{m'})_{l'}/((\text{제3 비정질 질화붕소층})_{n''}/(\text{제3 물질층})_{m''})_{l''}$ ($n, m, l, n', m', l', n'', m'',$ 및 l'' 은, 각각 1 이상의 정수이다.)를 포함하는 것일 수 있다.

[0015] 본 발명의 일 실시예에 따라, 상기 제1 비정질 질화붕소층, 상기 제2 비정질 질화붕소층 및 상기 제3 비정질 질화붕소층은, 서로 두께가 상이하고, 상기 제1 물질층, 상기 제2 물질층 및 상기 제3 물질층은, 서로 두께, 성분

또는 이들 모두가 상이한 것일 수 있다.

- [0016] 본 발명의 일 실시예에 따라, 상기 물질층은, 절연성 물질을 포함하고, 상기 물질층은, 실리콘, 알루미늄 및 전이 금속 중에서 선택된 적어도 하나, 이의 산화물 및 이의 질화물에서 선택된 적어도 하나를 포함하는 것일 수 있다.
- [0017] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층 및 상기 물질층은, 각각, 10 nm 이하의 두께를 갖는 것일 수 있다.
- [0018] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층 및 상기 물질층은, 각각, 3 nm 이하의 두께를 갖는 것일 수 있다.
- [0019] 본 발명의 일 실시예에 따라, 상기 물질층의 두께는, 단일층(monolayer) 수준인 것일 수 있다.
- [0020] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층 대 상기 물질층의 두께비는, 1 : 0.001 내지 1 : 1인 것일 수 있다.
- [0021] 본 발명의 일 실시예에 따라, 상기 다층박막 구조의 비정질 질화붕소 박막은, 웨이퍼 스케일 면적을 갖는 것일 수 있다.
- [0022] 본 발명의 일 실시예에 따라, 상기 물질층은, 비정질, 결정질 또는 이 둘을 포함하는 박막인 것일 수 있다.
- [0023] 본 발명의 일 실시예에 따라, 본 발명에 의한 다층박막 구조의 비정질 질화붕소 박막; 을 포함하는, 반도체 장치에 관한 것이다.
- [0024] 본 발명의 일 실시예에 따라, 상기 다층박막 구조의 비정질 질화붕소 박막은, 반도체 장치의 초저유전소재, 확산 방지층 또는 이 둘에 적용된 것일 수 있다.
- [0025] 본 발명의 일 실시예에 따라, 기판을 준비하는 단계; 상기 기판 상에 비정질 질화붕소층을 형성하는 단계; 상기 비정질 질화붕소층 상에 물질층을 형성하는 단계; 및 상기 물질층 상에 비정질 질화붕소층을 형성하는 단계; 를 포함하고, 상기 비정질 질화붕소층 상에 물질층을 형성하는 단계; 및 상기 물질층 상에 비정질 질화붕소층을 형성하는 단계는, 각각, 1회 이상 반복하는 것인, 본 발명에 의한 다층박막 구조의 비정질 질화붕소 박막의 제조 방법에 관한 것이다.
- [0026] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층을 성장시키는 단계는, PECVD, PEALD 또는 이 둘을 이용하고, 상기 PECVD 및 PEALD는, 콜드월(cold wall) 또는 핫월(hot wall) 타입인 것일 수 있다.
- [0027] 본 발명의 일 실시예에 따라, 상기 물질층을 성장시키는 단계는, PECVD, PEALD, ALD 및 ICP-CVD로 이루어진 군에서 선택된 적어도 하나를 이용하는 것일 수 있다.
- [0028] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층을 성장시키는 단계 및 상기 비정질 질화붕소층 상에 물질층을 성장시키는 단계는, 각각, 상온 내지 700 °C의 온도 및 대기압 또는 진공 상태에서 실시되는 것일 수 있다.

발명의 효과

- [0029] 본 발명의 일 실시예에 따라, 본 발명은, 확산 배리어층 및/또는 층간 절연층으로 이용할 수 있는 다층박막 구조의 비정질 질화붕소(a-BN) 박막을 성장시키고, 이를 활용한 반도체 장치 및 전자 장치를 제공할 수 있다.
- [0030] 본 발명의 일 실시예에 따라, 본 발명은, 웨이퍼 규모의 비정질 질화붕소 박막을 성장시키고, 상기 비정질 질화붕소 박막 상에 매우 얇은 물질층(예: 절연성 물질)을 적층하고 상기 물질층 상에 비정질 질화붕소 박막을 순차적으로 성장시켜 다층구조의 비정질 질화붕소 박막을 형성할 수 있다. 또한, 상기 물질층은, 층간절연층으로 적용된 다층박막 구조의 비정질 질화붕소(a-BN)을 제공하고, 이는 RC delay 개선 효과를 제공할 수 있다.

도면의 간단한 설명

- [0031] 도 1은, 본 발명의 일 실시예에 따라, 본 발명에 의한 다층박막 구조의 비정질 질화붕소막의 구성을 예시적으로 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0033] 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0034] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0035] 이하, 본 발명의 다층박막 구조의 비정질 질화붕소 박막 및 이의 활용에 대하여 실시예 및 도면을 참조하여 구체적으로 설명하도록 한다. 그러나, 본 발명이 이러한 실시예 및 도면에 제한되는 것은 아니다.
- [0036] 본 발명은, 다층박막 구조의 비정질 질화붕소 박막에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 다층박막 구조의 비정질 질화붕소 박막은, 비정질 질화붕소층 및 물질층을 포함하고, 이들이 1회 이상 반복 적층된 것일 수 있다. 본 발명의 일 실시예에 따라, 상기 다층박막 구조의 비정질 질화붕소 박막은, 비정질 질화붕소층 및 물질층으로 이루어진 다층박막 구조를 형성하여 절연 특성 및/또는 전기적 및 열적 특성을 제어하고 이를 활용한 반도체 장치 및/또는 전자 장치를 제공할 수 있다.
- [0037] 본 발명의 일 예로, 상기 비정질 질화붕소층은, 단일층(monolayer) 수준(옴스트롱 단위)의 두께에서 수백 또는 수십 마이크로미터의 두께로 증착 및/또는 성장될 수 있다. 보다 구체적으로, 상기 비정질 질화붕소층은, 100 옴스트롱 이하, 30 옴스트롱 이하, 10 옴스트롱 이하의 두께, 또는 1 옴스트롱 이상의 두께일 수 있고, 예를 들어, 1 옴스트롱 이상; 10 옴스트롱 이상; 50 옴스트롱 이상; 100 옴스트롱 이상; 0.1 마이크로미터 이상; 0.5 마이크로미터 이상; 1 마이크로미터 이상; 10 마이크로미터 이상; 80 마이크로미터 이상; 1 옴스트롱 내지 100 마이크로미터; 1 옴스트롱 내지 80 마이크로미터; 2 옴스트롱 내지 50 마이크로미터; 10 옴스트롱 내지 10 마이크로미터; 10 옴스트롱 내지 1 마이크로미터; 10 옴스트롱 내지 0.1 마이크로미터; 또는 10 옴스트롱 내지 10 나노미터 두께일 수 있다.
- [0038] 본 발명의 일 예로, 상기 비정질 질화붕소층에서 질소와 붕소의 sp² 결합을 포함하고, 유전 상수가 2.5 이하의 초저유전상수를 나타낼 수 있다. 상기와 같이 유전 상수가 낮음으로서 질화붕소막의 의한 기생 용량을 줄일 수 있다.
- [0039] 본 발명의 일 예로, 상기 비정질 질화붕소층 중, 질소에 대한 붕소의 비율은 질소와 붕소의 비율이 거의 동일할 수 있고, 0.9 내지 1.1; 또는 1:1.08일 수 있다.
- [0040] 본 발명의 일 예로, 상기 비정질 질화붕소층은 약 6.00 eV 이하의 에너지 밴드 갭을 가지며, 이는 일반적으로 3 층의 육방정계의 질화붕소막의 약 6.05 eV의 에너지 밴드 갭보다 낮은 값을 가질 수 있다.
- [0041] 본 발명의 일 예로, 상기 비정질 질화붕소층은, 결정을 포함한다 하더라도 나노 크기의 결정을 포함할 수 있고, 낮은 밀도의 활성화된 질소 및 붕소가 기판 상에 저온에서 직접 성장되었기 때문에 결정성이 약할 수 있다. 성장 온도가 낮을수록 비정질의 함유율이 높아질 수 있다. 예를 들어, 상기 비정질 질화붕소 박막 중 50 % 이하; 20 % 이하; 10 % 이상; 5% 이하; 2 % 이하; 1 % 이하; 0.5 % 이하; 또는 0.1 % 이하의 결정을 포함할 수 있다.
- [0042] 본 발명의 일 예로, 상기 비정질 질화붕소층의 표면은 매끄러울 수 있고, 예를 들어, 질화붕소막의 표면은 RMS(Root-Mean-Square, nm) 거칠기 값이 약 0.3 이하; 0.01 내지 0.3; 또는 0.05 내지 0.2이거나; 또는 약 0.3 내지 0.6일 수 있다. 구체적으로, 비정질만으로 형성된 질화붕소막은 약 0.4 내지 0.6의 거칠기 값을 가질 수 있으며, 상기한 질화붕소막의 표면 거칠기는 질화붕소 소스의 유량에 의해 결정될 수 있다. 예를 들어, 질화붕소막의 표면 거칠기는 질화붕소용 소스의 유량에 반비례한다. 이에 질화붕소 소스의 유량(flow rate)을 작게 할수록 질화붕소의 표면 거칠기는 더 매끄러워질 수 있고, 질화붕소막은 비정질을 더 포함할 수 있다. 상기 비정질 질화붕소막의 표면은 매끄럽기 때문에 질화붕소막에 다른 층의 형성이 용이함으로써 장치의 제조가 용이해질 수 있다.
- [0043] 본 발명의 일 예로, 상기 물질층은, 단일층(monolayer) 수준(옴스트롱 단위)의 두께에서 수백 또는 수십 마이크로미터의 두께로 증착 및/또는 성장될 수 있다. 바람직하게는 단일층(monolayer) 수준일 수 있다. 보다 구체

적으로, 상기 물질층은, 100 옴스트롱 이하; 30 옴스트롱 이상; 10 옴스트롱 이하의 두께, 또는 1 옴스트롱 이상의 두께일 수 있고, 예를 들어, 1 옴스트롱 이상; 10 옴스트롱 이상; 50 옴스트롱 이상; 0.1 마이크로미터 이상; 0.5 마이크로미터 이상; 1 마이크로미터 이상; 10 마이크로미터 이상; 80 마이크로미터 이상; 1 옴스트롱 내지 100 마이크로미터; 1 옴스트롱 내지 80 마이크로미터; 2 옴스트롱 내지 50 마이크로미터; 10 옴스트롱 내지 10 마이크로미터; 10 옴스트롱 내지 1 마이크로미터; 10 옴스트롱 내지 0.1 마이크로미터; 또는 10 옴스트롱 내지 10 나노미터 두께일 수 있다. 어떤 예에서, 상기 물질층은, 단일 또는 복수층일 수 있다. 어떤 예에서, 상기 단일층은 원자층 두께일 수 있다.

[0044] 본 발명의 일 예로, 상기 비정질 질화붕소층 대 상기 물질층의 두께비는, 1 : 0.001 내지 1 : 1; 1 : 0.01 내지 1 : 1; 1 : 0.1 내지 1 : 1 (미만)일 수 있다.

[0045] 본 발명의 일 예로, 상기 물질층은, 절연성 물질을 포함하고, 비금속(13족 내지 16족), 준금속(13족 내지 16족) 및 전이 금속 중에서 선택된 적어도 하나 이상, 이의 산화물, 이의 탄화물, 이의 수소화물 및 이의 질화물에서 선택된 적어도 하나를 포함할 수 있다. 예를 들어, 상기 물질층은, Si, Al, Hf, Zr, Zn, Ti, Ta, W 및 Mn 중 적어도 하나 이상을 포함하거나 또는 Si, Ni, Al, W, Ru, Co, Mn, Ti, Ta, Au, Hf, Zr, Zn, Y, Cr, Cu, Mo 및 Gd 중 적어도 하나를 포함하는 산화물, 질화물, 탄화물, 수소화물 및 이들의 유도체 중 적어도 하나를 포함할 수 있다. 어떤 예에서, 상기 산화물, 질화물, 탄화물 및 이들의 유도체 중 적어도 하나는 수소(H)를 더 포함할 수도 있다.

[0046] 본 발명의 일 예로, 상기 물질층의 표면은, 매끄러울 수 있고, 예를 들어, 물질층의 표면은 RMS(Root-Mean-Square, nm) 거칠기 값이 약 0.3 이하; 0.01 내지 0.3; 또는 0.05 내지 0.2이거나; 또는 약 0.3 내지 0.6일 수 있다. 구체적으로, 비정질만으로 형성된 물질층은 약 0.4 내지 0.6의 거칠기 값을 가질 수 있으며, 상기한 물질층의 표면 거칠기는 물질층 형성용 소스의 유량에 의해 결정될 수 있다.

[0047] 본 발명의 일 예로, 상기 물질층은, 비정질 또는 결정성 막일 수 있고, 바람직하게는 결정성 막일 수 있다. 상기 비정질 막일 경우에 결정을 포함한다 하더라도 나노 크기의 결정을 포함할 수 있다. 이는 상기 물질층의 증착 및/또는 성장 온도가 낮을수록 비정질의 함유율이 높아질 수 있다. 예를 들어, 상기 물질층 중 50 % 이하; 20 % 이하; 10 % 이상; 5 % 이하; 2 % 이하; 1 % 이하; 0.5 % 이하; 또는 0.1 % 이하의 결정을 포함할 수 있다.

[0048] 본 발명의 일 실시예에 따라, 상기 다층박막 구조의 비정질 질화붕소 박막은, ((비정질 질화붕소층)_n/(물질층)_m)₁의 다층박막 구조(a)를 포함할 수 있다.

[0049] 본 발명의 일 예로, 상기 n, m 및 l은, 각각 1 이상의 정수이고, 1 내지 20의 정수; 1 내지 15의 정수, 1 내지 10의 정수; 또는 1 내지 5의 정수일 수 있다. 어떤 예에서, n 및 m은 각각 1 내지 2의 정수이고, l은 2 내지 20의 정수; 3 내지 10의 정수; 또는 4 내지 8의 정수일 수 있다.

[0050] 예를 들어, 도 1에서 나타난 바와 같이, 기판 상에 비정질 질화붕소층(예: 3 nm) 및 물질층(예: 실리콘층, 단일층 두께)이 순차적으로 적층된 ((비정질 질화붕소층)/(물질층))₃ 구조를 갖는 다층박막 구조의 비정질 질화붕소 박막을 형성할 수 있다.

[0051] 본 발명의 일 실시예에 따라, 상기 다층박막 구조의 비정질 질화붕소 박막은, 웨이퍼 스케일 면적을 갖는 것일 수 있다. 예를 들어, 4인치 이상; 8인치 이상; 또는 12인치 이상의 면적일 수 있다.

[0052] 본 발명의 일 실시예에 따라, 상기 다층박막 구조의 비정질 질화붕소 박막은, 상기 다층박막 구조의 비정질 질화붕소막의 적용 분야에 따라 요구되는 성능을 제공하고 향상시키기 위해서 상기 다층박막 구조 (a)의 상기 비정질 질화붕소층, 상기 물질층 또는 이들 모두와 상이한 하나 이상의 다층박막 구조 (b)를 더 포함할 수 있다. 어떤 예에서, 다층박막 구조 (b)가 복수개로 구성 시 동일하거나 상이한 다층박막 구조를 포함할 수 있다. 어떤 예에서, 상기 다층박막 구조 (a) 및 하나 이상의 다층박막 구조 (b)는, 순차적 또는 교차하여 적층될 수 있다.

[0053] 본 발명의 일 예로, 상기 다층박막 구조의 비정질 질화붕소 박막은, ((제1 비정질 질화붕소층)_n/(제1 물질층)_m)₁/((제2 비정질 질화붕소층)_n/(제2 물질층)_m)₁일 수 있다.

[0054] 본 발명의 일 예로, 상기 n, m, l, n', m' 및 l'은, 각각 1 이상의 정수이고, 1 내지 20의 정수; 1 내지 15의 정수, 1 내지 10의 정수; 또는 1 내지 5의 정수일 수 있다. 어떤 예에서, n, m, n' 및 m'은 각각, 1 내지 2의 정수이고, l 및 l'은 각각, 2 내지 20의 정수; 3 내지 10의 정수; 또는 4 내지 8의 정수일 수 있다.

- [0055] 본 발명의 일 예로, 상기 제1 비정질 질화붕소층 및 상기 제2 비정질 질화붕소층은, 서로 두께가 상이하고, 상기 제1 물질층 및 상기 제2 물질층은, 서로 두께, 성분 또는 이들 모두가 상이할 수 있다.
- [0056] 본 발명의 일 예로, 상기 다층박막 구조의 비정질 질화붕소 박막은, $((\text{제1 비정질 질화붕소층})_n / (\text{제1 물질층})_m)_1 / ((\text{제2 비정질 질화붕소층})_n / (\text{제2 물질층})_m)_1 / ((\text{제3 비정질 질화붕소층})_n / (\text{제3 물질층})_m)_1$ 일 수 있다.
- [0057] 본 발명의 일 예로, 상기 $n, m, l, n', m', l', n'', m'',$ 및 l'' 은, 각각 1 이상의 정수이고, 각각 1 내지 20의 정수; 1 내지 15의 정수, 1 내지 10의 정수; 또는 1 내지 5의 정수일 수 있다. 어떤 예에서, n, m, n', m', n'' 및 m'' 은, 각각 1 내지 2의 정수이고, l, l' 및 l'' 은 각각, 2 내지 20의 정수; 3 내지 10의 정수; 또는 4 내지 8의 정수일 수 있다.
- [0058] 본 발명의 일 예로, 상기 제1 비정질 질화붕소층, 상기 제2 비정질 질화붕소층 및 상기 제3 비정질 질화붕소층은, 서로 두께가 상이하고, 상기 제1 물질층, 상기 제2 물질층 및 상기 제3 물질층은, 두께, 성분 또는 이들 모두가 상이한 것일 수 있다.
- [0059] 본 발명은, 본 발명에 의한 다층박막 구조의 비정질 질화붕소 박막을 포함하는 장치에 관한 것으로, 상기 다층박막 구조의 비정질 질화붕소 박막은, 다양한 장치에서 직접 성장되거나 또는 기저 기판에 다층박막 구조의 비정질 질화붕소 박막을 성장시켜 장치에 전사될 수 있다. 상기 다층박막 구조의 비정질 질화붕소 박막은, 낮은 온도 및/또는 대기압에서 성장되므로 소자의 일부 구성요소상에 직접 성장될 수 있다. 또한, 비정질 질화붕소막의 표면 거칠기가 낮기 때문에 성장된 다층박막 구조의 비정질 질화붕소 박막 상에 소자의 다른 구성요소를 직접 적층시킬 수 있다. 상기 다층박막 구조의 비정질 질화붕소 박막은 유전체 물질, 확산 방지막 등으로 활용될 수 있다.
- [0060] 본 발명의 일 예로, 상기 다층박막 구조의 비정질 질화붕소 박막은 유전체 물질, 층간 절연층, 확산 배리어막 등으로 활용될 수 있다. 어떤 예에서, 상기 소자는, 전자 장치 또는 반도체 장치이며, 예를 들어, 트랜지스터(transistor), 커패시터(capacitor), 다이오드(diode), 저항기(resistor), CMOS, 트랜지스터, 인터커넥터 등의 부품을 포함하는 고집적회로일 수 있다. 예를 들어, 쿼터 디바이스, 차세대 BEOL의 low k 물질에 삽입되는 유전체 물질(예: 초저유전소재), 및 확산방지막, 트랜지스터의 금속 확산 방지막 등에 포함될 수 있다. 예를 들어, 두 물질층 사이의 물질(또는, 원자)의 이동(예: 확산)을 억제 또는 성능이 우수하여 얇은 두께, 예를 들어, 5 nm 이하의 두께로도 확산 배리어 기능을 수행할 수 있고, 집적회로의 집적도를 높일 수 있다.
- [0061] 본 발명은, 본 발명에 의한 다층박막 구조의 비정질 질화붕소 박막의 제조방법에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 제조방법은, 기판을 준비하는 단계; 기판 상에 비정질 질화붕소층을 성장시키는 단계; 및 비정질 질화붕소층 상에 물질층을 형성하는 단계; 및 물질층 상에 비정질 질화붕소층을 형성하는 단계;를 포함할 수 있다.
- [0062] 본 발명의 일 실시예에 따라, 상기 기판을 준비하는 단계는, 기판을 플라즈마 처리하는 단계; 및 플라즈마 공정 챔버 내에 기판을 수용하는 단계;를 포함할 수 있다.
- [0063] 본 발명의 일 예로, 상기 기판을 준비하는 단계에서 상기 기판은, 질화붕소막의 성장에 촉매가 되지 않는 물질(예: 비촉매 기판)로 구성될 수 있으며, 보다 구체적으로 반도체 물질, 금속 물질 및 절연 물질 중 적어도 하나를 포함할 수 있다. 다른 예로, 상기 기판은 금속을 포함하지 않는 기판일 수 있다. 예를 들어, 상기 반도체 물질은, IV족 반도체 물질 및 반도체 화합물이며, 보다 구체적으로 IV족 반도체 물질은, Si, Ge 또는 Sn을 포함할 수 있다. 상기 반도체 화합물은, 예를 들어, Si, Ge, C, Zn, Cd, Al, Ga, In, B, C, N, P, S, Se, As, Sb 및 Te 중에서 적어도 2개의 원소가 결합된 물질을 포함할 수 있다.
- [0064] 예를 들어, 상기 금속 물질은, Al, Cu, Co, W, Ti, Ag, Ni, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf, Sn, Ga, In, Bi, Mo, Nb, Cr, Ta, Pt 및 Si 중 적어도 하나를 포함할 수 있다. 상기 금속 물질은 소자의 금속 배선, BEOL, FEOL 등에 적용되는 것일 수 있다.
- [0065] 예를 들어, 상기 절연 물질은, Si, Al, Hf, Zr, Zn, Ti, Ta, W 및 Mn 중 적어도 하나를 포함하거나 또는 Si, Ni, Al, W, Ru, Co, Mn, Ti, Ta, Au, Hf, Zr, Zn, Y, Cr, Cu, Mo 및 Gd 중 적어도 하나의 산화물, 질화물, 탄화물 및 이들의 유도체 중 적어도 하나를 포함할 수 있다. 상기 산화물, 질화물, 탄화물 및 이들의 유도체 중 적어도 하나는 H를 더 포함할 수도 있다.
- [0066] 본 발명의 일 예로, 상기 기판은 도펀트(dopant)를 더 포함하고, 3차원 구조체를 포함할 수 있고, 예를 들어,

상기 3차원 구조체는 상기 반도체 물질을 포함할 수 있다.

- [0067] 본 발명의 일 예로, 상기 기판은, 반도체 소자를 포함하고, 상기 반도체 소자는, 트랜지스터(transistor), 커패시터(capacitor), 다이오드(diode) 및 저항기(resistor) 중 적어도 어느 하나를 포함할 수 있다. 즉, 웨이퍼 스케일의 면적을 갖거나 미세하게 두께가 조절된, 다층박막 구조의 비정질 질화붕소 박막을 포함하는, 반도체 소자를 제공할 수 있다.
- [0068] 본 발명의 일 예로, 상기 기판은, 4 인치 이상; 8 인치 이상; 또는 12 인치 이상의 면적일 수 있다.
- [0069] 본 발명의 일 예로, 상기 기판을 플라즈마 처리하는 단계는, 플라즈마 공정 챔버 내부에 기판을 배치시키기 전에 기판을 전처리할 수 있다. 예를 들어, 기판을 아세톤과 같은 유기 용매에 담궈 초음파 처리한 후, IPA(isopropenyl alcohol) 등과 같은 알콜과 질소 가스로 세정할 수 있다. 세정된 기판의 표면을 플라즈마 처리함으로써 표면에 남아 있는 탄소 불순물 등 불순물을 제거할 수 있다. 상기 플라즈마 처리는 산소, 수소 및 아르곤 중 적어도 하나의 가스 플라즈마를 이용하고, 바람직하게는 수소 플라즈마를 이용할 수 있다. 상기 플라즈마 처리는 탄소 불순물 등의 불순물을 제거할 뿐만 아니라 표면을 친수성으로 만들고 표면 젖음성(surface wettability)을 향상시킬 수 있다. 또한, 기판을 HF 용액에 담그고 자연 산화물을 제거할 수도 있고, 무수 에탄올과 N₂ 가스를 사용하여 잔류 HF 용액을 제거할 수도 있다.
- [0070] 본 발명의 일 예로, 상기 플라즈마 공정 챔버 내에 기판을 수용하는 단계는, 성장을 위한 반응 가스가 이동할 수 있는 공간을 포함하는 플라즈마 공정 챔버 내에 상기 준비된 기판을 수용하는 단계일 수 있다.
- [0071] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층을 기판 상에 성장시키는 단계는, 플라즈마 공정 챔버 내부에 비정질 질화붕소막의 성장을 위한 반응 가스를 주입하여 비정질 질화붕소막의 증착 및 성장 공정을 진행할 수 있다.
- [0072] 본 발명의 일 예로, 상기 반응 가스는, 질화붕소막의 성장을 위한 질화붕소 소스를 포함하고, 상기 질화붕소 소스는, 붕소-함유 전구체; 질소-함유 전구체; 및 붕소 및 질소 함유 전구체; 로 이루어진 군에서 선택된 적어도 하나를 포함할 수 있다. 상기 질화붕소 소스는, 고상, 기상, 증기상 및 액상 중 적어도 하나일 수 있다.
- [0073] 예를 들어, 상기 붕소-함유 전구체는, 보란(BH₃), 디보란(B₂H₆), 트리클로로보란(BCl₃), 트리플루오로보란(BF₃), 보라진의 알킬-치환된 유도체(예를 들어, 트리-메틸 보린(borine), 트리-에틸 보린, (CH₃)₃B, (CH₃CH₂)₃B) 및 보란의 테트라히드로푸란 용액((THF-BH₃)으로 이루어진 군에서 선택된 적어도 하나를 포함할 수 있다.
- [0074] 예를 들어, 상기 붕소 및 질소 함유 전구체는, 보라진(B₃H₆N₃), 트리클로로보라진(예를 들어, 2,4,6-트리클로로보라진, H₃B₃Cl₃N₃), 아미노보란(BH₂NH₂), 암모니아 보란(BH₃-NH₃), 암모니아 보란 복합체(H₃N-BH₃), 보라진(B₃N₃H₆), 디보란의 디암모네이트[(NH₃)₂BH₂]⁺[BH₄]⁻ 및 BN 폴리머 복합체(폴리보라질렌)로 이루어진 군에서 선택된 적어도 하나를 포함할 수 있다.
- [0075] 예를 들어, 상기 질소 함유 전구체는, 질소, 암모니아(NH₃) 및 히드라진(N₂H₄)으로 이루어진 군에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0076] 본 발명의 일 예로, 상기 질화붕소 소스는, 불활성 가스 및/또는 수소 가스를 포함하는 캐리어 가스와 함께 공급될 수 있다. 상기 불활성 가스는, 아르곤 가스, 네온 가스, 질소 가스, 헬륨 가스, 크립톤 가스 및 크세논 가스로 이루어진 군에서 선택된 적어도 하나 이상을 포함할 수 있다. 챔버 내부로 주입되는 반응 가스의 혼합비는 질화붕소막의 성장 조건에 따라 다양하게 변형될 수 있다. 상기 불활성 가스의 도입 유량(flow rate)은, 10 sccm 이상; 20 sccm 이상; 30 sccm 이상; 50 sccm; 또는 20 sccm 내지 50 sccm이고, 수소 가스의 유량은 5 sccm 이상; 10 sccm 이상 또는 10 sccm 내지 20 sccm일 수 있다.
- [0077] 본 발명의 일 예로, 상기 질화붕소 소스의 도입 유량(flow rate)은, 다른 반응 가스 비해 낮을 수 있고, 예를 들어, 2 sccm 이하; 0.05 sccm 이하; 0.05 sccm 내지 1 sccm; 또는 0.02 sccm 내지 0.1 sccm일 수 있고, 유량을 낮게 하여 비정질 박막의 미세한 두께 조절에 용이할 수 있다. 즉, 플라즈마를 이용하여 비정질 질화붕소 박막을 성장하고자 하는 경우에는 챔버의 내부로 주입되는 반응 가스의 혼합비(mixing ratio), 즉 질화붕소 소스, 불활성 가스 및 수소 가스의 부피비(volume ratio)는, 예를 들어 약 1 : 100~5000 : 100~500 정도가 될 수 있다. 즉, 질화붕소 소스가 다른 반응 가스에 비해 비율이 현저히 작기 때문에 질화붕소들의 결정성이 약해지고, 다른 질화붕소막은 비정질로 형성되고, 과량의 질화붕소 소스가 공급되면, 질화붕소막이 불규칙적으로 성

장할 수도 있고, 전구체가 흡착될 수도 있기 때문에 질화붕소 소스의 유량은 낮은 것이 유리할 수 있다.

[0078] 본 발명의 일 예로, 상기 비정질 질화붕소층을 기판 상에 성장시키는 단계는, 유기금속 화학적 증착(MOCVD; metalorganic chemical vapor deposition), 물리적 증착(PVD; physical vapor deposition), 화학적 증착(CVD; chemical vapor deposition), 저압 화학적 증착(LPCVD; low pressure chemical vapor deposition), 플라즈마 강화된 화학적 증착(PECVD; plasma enhanced chemical vapor deposition), PEALD(plasma enhanced atomic layer deposition), 유도결합 플라즈마 화학적 증착(ICP-CVD; inductively coupled plasma chemical vapor deposition) 등을 이용하고, 또는 분자빔 에피택시(MBE; molecular beam epitaxy) 등을 이용하여 증착하고 성장시킬 수 있으며, 바람직하게는 PECVD, PEALD 및/또는 ICP-CVD일 수 있다. 더 바람직하게는 PECVD 및 PEALD은 콜드월(cold wall) 또는 핫월(hot wall) 타입이며, 더욱더 바람직하게는 콜드월(cold wall) 타입일 수 있다. 즉, PECVD 및 PEALD는 웨이퍼 스케일(Wafer scale)의 플라즈마를 이용하여 화학기상 증착에 의해 대면적의 비정질 질화붕소 박막을 저온에서 증착시키고, 비정질 질화붕소 박막의 두께, 면적, 물성 등의 제어하는데 유리할 수 있다. 더욱이, 콜드월(cold wall) 타입은 기질, 즉 기판이 위치하는 기판 스테이지를 가열하는 것으로, 플라즈마 반응 챔버 내에서 기판 스테이지의 온도 조절, 높이 및 전압 중 적어도 하나의 조절이 가능하여 옴스트롱 단위의 두께에서 마이크로미터 두께까지 다양한 범위의 막 두께를 미세하고 정밀하게 조절할 수 있다. 예를 들어, 기판 스테이지의 전압은 0.05 V 내지 10 V로 조절하여 플라즈마가 기판 스테이지에 도달하는 양, 속도 또는 이 둘을 조절함으로써, 비정질 질화붕소막의 두께를 정밀하고 미세하게 조절할 수 있다. 더욱이, PECVD 및 PEALD는 상기 언급한 모듈화 장비를 이용하여 단일 또는 연속 증착 공정에서 대기압 또는 대기압과 불활성 기체 분위기에서 비정질 질화붕소 박막을 제조할 수 있다.

[0079] 본 발명의 일 예로, 상기 플라즈마 공정 챔버는, 복수 개의 플라즈마 공정 챔버가 배열된 연속 증착(Continuous coating) 모듈화 장비 또는 롤투롤(Role to Role) 웨이퍼 모듈화 장비 내에 배치될 수 있다. 이는 웨이퍼 스케일의 플라즈마로 대면적의 박막 형성이 가능할 뿐만 아니라 연속 증착 공정에 의한 모듈화가 가능하고 대량 생산이 가능할 수 있다. 더욱이, 본 발명에 의한 제조방법은, 상기 언급한 모듈화 장비를 활용하여 유연한 고분자 소재의 기판, 금속 등 위에 연속적으로 증착공정이 가능하고, 고분자의 기체투과 방지막 및 금속의 산화 방지막 등으로 비정질 질화붕소 박막을 제조하고 적용할 수 있다. 예를 들어, 상기 롤투롤 웨이퍼 모듈화 장치는, 단일 또는 복수개의 플라즈마 공정 챔버 및 상기 공정 챔버 내에 단일 또는 복수개의 플라즈마 반응 영역을 포함할 수 있다.

[0080] 본 발명의 일 예로, 상기 비정질 질화붕소층을 기판 상에 성장시키는 단계에서 플라즈마 생성을 위한 파워는, 약 10 W 내지 4000 W 정도가 될 수 있다. 예를 들어, 플라즈마 생성을 위한 파워는 약 30 W일 수 있으나, 제한되지 않는다. 또한, 플라즈마 전원으로는 예를 들어 RF(Radio Frequency) 플라즈마 발생장치 또는 MW(Microwave) 플라즈마 발생장치가 사용될 수 있다. 여기서, 비정질 질화붕소 층을 성장시키기 위해서, RF 플라즈마 발생장치는 예를 들어 약 3 MHz 내지 100 MHz의 주파수 영역을 가지는 RF 플라즈마를 발생시킬 수 있으며, MW 플라즈마 발생장치는 예를 들어, 약 0.7 GHz 내지 2.5 GHz의 주파수 영역을 가지는 MW 플라즈마를 발생시킬 수 있다. 하지만, 이러한 주파수 영역은 단지 예시적인 것으로 이외에도 다른 주파수 영역이 사용될 수도 있다. 한편, 플라즈마 전원으로 복수의 RF 플라즈마 발생장치 또는 복수의 MW 플라즈마 발생장치가 사용될 수도 있다. 즉, 플라즈마 전원으로부터 챔버 내부에 플라즈마 생성을 위한 파워가 인가되면, 챔버의 내부에는 전기장이 유도될 수 있다. 이와 같이 반응 가스가 주입된 상태에서 전기장이 유도되면 질화붕소막의 성장을 위한 플라즈마가 형성된다.

[0081] 본 발명의 일 예로, 상기 비정질 질화붕소층을 기판 상에 성장시키는 단계에서 상기 비정질 질화붕소 층을 성장시키기 위한 공정 온도는, 기존의 화학 기상 증착 공정에 사용되는 온도보다 낮은 약 700 °C이하; 600 °C이하; 500 °C이하; 450 °C이하; 상온(rt) 내지 400 °C; 100 °C 내지 400 °C; 200 °C 내지 400 °C; 또는 250 °C 내지 400 °C일 수 있다. 질화붕소막을 성장시키기 위한 공정 압력은, 대기압 또는 진공 상태 환경일 수 있다. 예를 들어, 약 1 torr 이하; 10^{-3} torr 이하; 10^{-4} torr 이하; 또는 10^{-6} torr 이하일 수 있다.

[0082] 예를 들어, 상기 공정 온도 및/또는 공정 압력에서 성장 공정의 적용으로 고품질 및 대면적의 비정질 질화붕소 박막을 성장시킬 수 있을 뿐 아니라, 반도체, 고분자, 철강, 배터리 등의 여러 분야의 활용에 유연하게 적용할 수 있는 맞춤형 제조공정을 제공할 수 있다.

[0083] 예를 들어, 상기 비정질 질화붕소막의 성장 공정은, 질화붕소 소스, 불활성 가스 및 수소 가스가 혼합된 반응 가스의 플라즈마에 의해 활성화된 질소(N*) 및 활성화된 붕소(B*)이 생성되어 기판의 표면에 흡착될 수 있다. 다음으로, 불활성 가스의 플라즈마가 기판(100)의 활성화를 지속적으로 유도함으로써 기판의 표면에 활성화된

질소(N*) 및 활성화된 붕소(B*)의 흡착이 가속화될 수 있다. 활성화된 질소(N*) 및 활성화된붕소(B*)는 비정질로 흡착된다. 활성화된 질화 및 붕소들끼리 결합된다 하더라도 그 양이 작아 나노 크기의 결정으로 흡착될 수 있다. 예를 들어, 저온에서도 기판의 표면에 활성화된 질소(N*) 및 활성화된 붕소(B*)의 흡착이 가속화됨에 따라 기판의 표면에는 질화붕소막이 성장될 수 있다. 예를 들어, 저온에서, 즉, 700 °C 이하의 온도에서 비촉매 기판의 표면에 낮은 비율의 활성화된 질소(N*) 및 활성화된붕소(B*)에 의해 질화붕소막이 직접 성장하기 때문에 성장한 질화붕소막은 결정성이 약할 수 있다. 성장 후, 플라즈마를 끄고, 증착 장치를 실온으로 서서히 냉각시키며, 이때 비활성 가스 및 수소 가스 중 적어도 하나의 유량은 각각 50 sccm으로 그대로 유지시킬 수 있다.

[0084] 본 발명의 일 예로, 상기 비정질 질화붕소층을 상기 기판 상에 성장시키는 단계는, 웨이퍼 스케일(Wafer-scale)로 대면적의 비정질 질화붕소막을 증착하고 원하는 두께로 증착 및/또는 성장시킬 수 있다. 예를 들어, 상기 질화붕소막의, 결정성 및/또는 두께 등을 고려해서 공정 시간을 조절할 수 있으며, 즉, 1초 이상; 1분 이상; 30분 이상; 1 시간 이상; 2 시간 이상; 또는 10 시간 이상 동안 증착 및/또는 성장될 수 있다. 상기 비정질 질화붕소막은, 4 인치 이상; 6 인치 이상; 8 인치 이상; 또는 12 인치 이상의 면적으로 단일 또는 연속 증착 공정으로 형성될 수 있다.

[0085] 본 발명의 일 실시예에 따라, 기판 상에 비정질 질화붕소층을 성장시키는 단계; 및 비정질 질화붕소층 상에 물질층을 형성하는 단계; 및 물질층 상에 비정질 질화붕소층을 형성하는 단계는, 각각 및/또는 연속적으로 반복 실시하여 다층박막 구조를 형성할 수 있다. 예를 들어, 비정질 질화붕소층 상에 물질층을 형성하는 단계 및 물질층 상에 비정질 질화붕소층을 형성하는 단계는 각각 1회 이상 실시될 수 있다. 예를 들어, 비정질 질화붕소층 상에 물질층을 형성하는 단계 및 물질층 상에 비정질 질화붕소층을 형성하는 단계는 연속적으로 1회 이상 실시되고, 동일한 막을 형성하거나 두께, 성분 또는 이 둘이 상이한 막을 형성할 수 있다.

[0086] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층 상에 물질층을 형성하는 단계는, 유기금속 화학적 증착(MOCVD; metalorganic chemical vapor deposition), 물리적 증착(PVD; physical vapor deposition), 화학적 증착(CVD; chemical vapor deposition), 저압 화학적 증착(LPCVD; low pressure chemical vapor deposition), 플라즈마 강화된 화학적 증착(PECVD; plasma enhanced chemical vapor deposition), PEALD(plasma enhanced atomic layer deposition) 등을 이용하고, 또는 분자빔 에피택시(MBE; molecular beam epitaxy), 원자층 증착(ALD: Atomic Layer Deposition), 유도결합 플라즈마 화학적 증착(ICP-CVD; inductively coupled plasma chemical vapor deposition) 등을 이용하여 증착하고 성장시킬 수 있으며, 바람직하게는 상기 기판 상에 비정질 질화붕소층을 성장시키는 단계와 동일한 증착 방법을 적용할 수 있고, 더 바람직하게는 PECVD, PEALD 및/또는 ICP-CVD일 수 있다.

[0087] 본 발명의 일 예로, 상기 비정질 질화붕소층 상에 물질층을 형성하는 단계는, 상기 비정질 질화붕소 층을 성장시키기 위한 공정 온도는, 기존의 화학 기상 증착 공정에 사용되는 온도보다 낮은 약 700 °C 이하; 600 °C 이하; 500 °C 이하; 450 °C 이하; 상온(rt) 내지 400 °C; 100 °C 내지 400 °C; 200 °C 내지 400 °C; 250 °C 내지 400 °C; 또는 실온(RT) 이상; 50 °C 이상; 100 °C 이상; 또는 상온(rt) 내지 700 °C일 수 있다. 어떤 예에서, 상기 물질층을 성장시키기 위한 공정 압력은, 대기압 또는 진공 상태 환경일 수 있다. 예를 들어, 약 1 torr 이하; 10^{-3} torr 이하; 10^{-4} torr 이하; 또는 10^{-6} torr 이하일 수 있다.

[0088] 어떤 예에서, 상기 공정 온도 및/또는 공정 압력에서 성장 공정의 적용으로 고품질 및 대면적의 비정질 질화붕소층 상에 물질층을 형성시킬 수 있을 뿐 아니라, 반도체, 고분자, 철강, 배터리 등의 여러 분야의 활용에 유연하게 적용할 수 있는 맞춤형 제조공정을 제공할 수 있다.

[0089] 본 발명의 일 예로, 상기 물질층을 형성하는 단계에서 플라즈마 생성을 위한 파워는, 약 10 W 내지 4000 W 정도가 될 수 있다. 예를 들어, 플라즈마 생성을 위한 파워는 약 30 W일 수 있으나, 제한되지 않는다. 또한, 플라즈마 전원으로는 예를 들어 RF(Radio Frequency) 플라즈마 발생장치 또는 MW(Microwave) 플라즈마 발생장치가 사용될 수 있다. 여기서, 물질층을 성장시키기 위해서, RF 플라즈마 발생장치는 예를 들어 약 3 MHz 내지 100 MHz의 주파수 영역을 가지는 RF 플라즈마를 발생시킬 수 있으며, MW 플라즈마 발생장치는 예를 들어, 약 0.7 GHz 내지 2.5 GHz의 주파수 영역을 가지는 MW 플라즈마를 발생시킬 수 있으나, 이에 제한되지 않는다.

[0090] 본 발명의 일 예로, 상기 물질층 형성을 위한 전구체는, 상기 언급한 물질층 구성성분을 제공할 수 있는 소스(또는, 타겟)라면 제한 없이 적용될 수 있으며, 질소, 카본 및 산소 가스 중 적어도 하나를 포함하는 반응가스, Si, Ni, Al, W, Ru, Co, Mn, Ti, Ta, Au, Hf, Zr, Zn, Y, Cr, Cu, Mo 및 Gd 중 적어도 하나를 포함하는 전구체(또는, 타겟)를 이용할 수 있으며, 이에 제한되지 않는다. 상기 전구체(또는, 타겟)은 합금, 순수원소,

순수금속, 순수반금속, 수소화물(예: SiH_4), 할로젠화물, 질화물, 산화물, 카바이드, 실리사이드, 설파이드(Sulfide) 화합물 등일 수 있으나, 이에 제한되지 않는다.

[0091] 예를 들어, 상기 소스(또는, 타겟) 및/또는 반응성 가스는, 불활성 가스 및/또는 수소 가스를 포함하는 캐리어 가스와 함께 공급될 수 있다. 상기 불활성 가스는, 아르곤 가스, 네온 가스, 질소 가스, 헬륨 가스, 크립톤 가스 및 크세논 가스로 이루어진 군에서 선택된 적어도 하나 이상을 포함할 수 있다. 챔버 내부로 주입되는 반응 가스의 혼합비는 물질층의 증착 및/또는 성장 조건에 따라 다양하게 변형될 수 있다. 상기 불활성 가스의 도입 유량(flow rate)은, 10 sccm 이상; 20 sccm 이상; 30 sccm 이상; 50 sccm; 또는 20 sccm 내지 50 sccm이고, 수소 가스의 유량은 5 sccm 이상; 10 sccm 이상 또는 10 sccm 내지 20 sccm일 수 있다.

[0092] 본 발명의 일 예로, 상기 소스의 도입 유량(flow rate)은, 다른 반응 가스 비해 낮을 수 있고, 예를 들어, 2 sccm 이하; 0.05 sccm 이하; 0.05 sccm 내지 1 sccm; 또는 0.02 sccm 내지 0.1 sccm일 수 있고, 유량을 낮게 하여 비정질 질화붕소막의 미세한 두께 조절에 용이할 수 있다. 즉, 플라즈마를 이용하여 비정질 질화붕소막을 성장하고자 하는 경우에는 챔버의 내부로 주입되는 반응 가스의 혼합비 (mixing ratio), 즉 소스, 불활성 가스 및 수소 가스의 부피비 (volume ratio)는, 예를 들어 약 1 : 100~5000 : 100~500 정도가 될 수 있다. 상기 범위 내에서 물질층의 결정성, 균일한 증착 및/또는 성장을 유도하고 전구체(소스)가 흡착되는 것을 방지할 수 있다.

[0093] 본 발명의 일 실시예에 따라, 물질층 상에 비정질 질화붕소층을 형성하는 단계는, 상기 기재 상에 비정질 질화붕소층을 형성하는 단계와 동일하게 진행될 수 있다. 어떤 예에서 각층의 질화붕소층이 동일하거나 상이할 수 있고, 예를 들어, 두께, 결정성 또는 이 둘이 상이할 수 있다.

[0094] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1

