

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7616417号

(P7616417)

(45)発行日 令和7年1月17日(2025.1.17)

(24)登録日 令和7年1月8日(2025.1.8)

(51)国際特許分類

F I

H 1 0 D	86/40	(2025.01)	H 0 1 L	29/78	6 1 3 Z
H 1 0 D	89/00	(2025.01)	H 0 1 L	27/04	V
H 1 0 D	1/68	(2025.01)	H 0 1 L	27/04	C
H 1 0 D	84/80	(2025.01)	H 0 1 L	27/06	1 0 2 A
H 1 0 D	84/83	(2025.01)	H 0 1 L	27/088	3 3 1 E

請求項の数 13 (全26頁) 最終頁に続く

(21)出願番号 特願2023-561585(P2023-561585)
 (86)(22)出願日 令和4年11月14日(2022.11.14)
 (86)国際出願番号 PCT/JP2022/042259
 (87)国際公開番号 WO2023/090293
 (87)国際公開日 令和5年5月25日(2023.5.25)
 審査請求日 令和6年3月8日(2024.3.8)
 (31)優先権主張番号 特願2021-187089(P2021-187089)
 (32)優先日 令和3年11月17日(2021.11.17)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74)代理人 110001195
 弁理士法人深見特許事務所
 (72)発明者 宮迫 毅明
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内
 審査官 田内 幸治

最終頁に続く

(54)【発明の名称】 電子素子、および回路装置

(57)【特許請求の範囲】

【請求項1】

電界効果トランジスタを構成するスイッチ部と、
 前記スイッチ部と電氣的に接続され、受動素子を構成する素子部と、を備え、
 前記スイッチ部は、
 ソース電極と、
 ドレイン電極と、
 少なくとも前記ソース電極の一部と前記ドレイン電極の一部とに重ねて形成されたチャネル形成膜と、
 前記チャネル形成膜に重ねて形成されたゲート絶縁膜と、
 前記ゲート絶縁膜に形成されたゲート電極と、を有し、
 前記素子部は、
 前記ソース電極と電氣的に接続される第1端子電極と、
 誘電体層を挟む、または前記誘電体層に接して前記ドレイン電極の一部との間で前記受動素子を構成する第2端子電極と、を有し、
 前記誘電体層と前記ゲート絶縁膜とは、同じ絶縁膜であり、
 前記誘電体層は、少なくとも前記ゲート絶縁膜と同じ絶縁膜で形成された第1誘電体層と、
 第2誘電体層と、を含み、
 前記素子部は、
 前記ドレイン電極の一部と、前記第1誘電体層と、前記第2端子電極と、前記第2誘電体

10

20

層と、前記ドレイン電極の一部とを順に積層して、複数層の前記受動素子を構成する、電子素子。

【請求項 2】

前記スイッチ部と前記素子部とは、基板に対して水平方向に配置される、請求項 1 に記載の電子素子。

【請求項 3】

前記ドレイン電極の一部は、前記ゲート電極を形成した前記ゲート絶縁膜の面と同じ側の前記誘電体層の面に形成してあり、

前記第 2 端子電極は、前記ゲート電極を形成した前記ゲート絶縁膜の面に対して反対側の前記誘電体層の面に形成してある、請求項 1 または請求項 2 に記載の電子素子。

10

【請求項 4】

前記第 2 端子電極は、前記ゲート電極を形成した前記ゲート絶縁膜の面と同じ側の前記誘電体層の面に形成してあり、

前記ドレイン電極の一部は、前記ゲート電極を形成した前記ゲート絶縁膜の面に対して反対側の前記誘電体層の面に形成してある、請求項 1 または請求項 2 に記載の電子素子。

【請求項 5】

前記第 2 誘電体層の一部は、前記ソース電極と前記ドレイン電極との間の前記チャンネル形成膜を被う、請求項 1 または請求項 2 に記載の電子素子。

【請求項 6】

前記第 2 端子電極の一部が、前記第 1 誘電体層を挟んで前記ソース電極の一部と対向する、請求項 1 または請求項 2 に記載の電子素子。

20

【請求項 7】

前記第 2 端子電極の一部が、前記第 2 誘電体層を挟んで前記ソース電極の一部と対向する、請求項 1 または請求項 2 に記載の電子素子。

【請求項 8】

前記第 2 端子電極の一部が、前記第 2 誘電体層を挟んで前記チャンネル形成膜と対向する、請求項 7 に記載の電子素子。

【請求項 9】

前記受動素子は、前記ドレイン電極の一部と前記第 2 端子電極とで前記誘電体層を挟むことで構成されるキャパシタ、前記ドレイン電極の一部と前記第 2 端子電極とを繋ぐコイル電極で構成されるインダクタ、前記ドレイン電極の一部と前記第 2 端子電極とを繋ぐ抵抗素子で構成されるレジスタのいずれかである、請求項 1 または請求項 2 に記載の電子素子。

30

【請求項 10】

前記受動素子は、インダクタであって、

前記第 1 端子電極と前記第 2 端子電極とを配線で接続した、請求項 1 または請求項 2 に記載の電子素子。

【請求項 11】

電界効果トランジスタを構成するスイッチ部と、

前記スイッチ部と電気的に接続され、受動素子を構成する素子部と、を備え、

40

前記スイッチ部は、

ソース電極と、

ドレイン電極と、

少なくとも前記ソース電極の一部と前記ドレイン電極の一部とに重ねて形成されたチャンネル形成膜と、

前記チャンネル形成膜に重ねて形成されたゲート絶縁膜と、

前記ゲート絶縁膜に形成されたゲート電極と、を有し、

前記素子部は、

前記ソース電極と電気的に接続される第 1 端子電極と、

誘電体層を挟む、または前記誘電体層に接して前記ドレイン電極の一部との間で前記受動

50

素子を構成する第 2 端子電極と、を有し、

前記誘電体層と前記ゲート絶縁膜とは、同じ絶縁膜であり、

前記受動素子は、インダクタであって、

前記第 1 端子電極、前記ドレイン電極、および前記第 2 端子電極は、前記ゲート電極を形成した前記ゲート絶縁膜の面に対して反対側の前記誘電体層の面に形成してある、電子素子。

【請求項 1 2】

電界効果トランジスタを構成するスイッチ部と、

前記スイッチ部と電氣的に接続され、受動素子を構成する素子部と、を備え、

前記スイッチ部は、

ソース電極と、

ドレイン電極と、

少なくとも前記ソース電極の一部と前記ドレイン電極の一部とに重ねて形成されたチャンネル形成膜と、

前記チャンネル形成膜に重ねて形成されたゲート絶縁膜と、

前記ゲート絶縁膜に形成されたゲート電極と、を有し、

前記素子部は、

前記ソース電極と電氣的に接続される第 1 端子電極と、

誘電体層を挟む、または前記誘電体層に接して前記ドレイン電極の一部との間で前記受動素子を構成する第 2 端子電極と、を有し、

前記誘電体層と前記ゲート絶縁膜とは、同じ絶縁膜であり、

前記スイッチ部と前記素子部とは、基板に対して水平方向に配置され、

前記誘電体層は、基板に 3 層以上積層され、

前記スイッチ部は、前記誘電体層の最上層を前記ゲート絶縁膜に用いて、

前記素子部は、前記ゲート絶縁膜に用いた前記誘電体層以外の層を用いて前記受動素子を構成する、電子素子。

【請求項 1 3】

回路配線と、

前記回路配線に電氣的に接続される、請求項 1、請求項 2、請求項 1 1、および請求項 1 2 のいずれか 1 項に記載の前記電子素子と、を備える回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受動素子の物理量を可変することができる電子素子、および当該電子素子を備える回路装置に関する。

【背景技術】

【0002】

受動素子の物理量を可変することができる電子素子として、例えば、容量（キャパシタ）を可変することができる可変容量素子が知られている。具体的に、マイクロマシニング技術を用いて板状の可動 歯電極と、当該可動 歯電極と微小空隙を介して面対向するよ
うに板状の固定 歯電極とを設けた可変容量素子が特許文献 1 に開示されている。また、FET（Field Effect Transistor）の ON/OFF 動作を利用した 2 端子構造の可変容量素子が非特許文献 1 に開示されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2002 - 373829 号公報

【非特許文献】

【0004】

【文献】Tokumitsu Eisuke, Kikuchi Kazuya, "Evaluation of Channel Modul

10

20

30

40

50

ation in In₂O₃/(Bi,La)₄Ti₃O₁₂Ferroelectric-Gate Thin Film Transistors by Capacitance-Voltage Measurements", Ferroelectrics, 429, p.15-21, Jun 2012

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に開示された可変容量素子は、可変できる容量の幅は可変前の容量のせいぜい数倍程度と小さく、周波数を大幅に変調することが要求されるワイドバンドの通信システムや電源回路等の用途に用いるには可変できる容量の幅が不十分であった。また、特許文献1に開示された可変容量素子は、対向する 歯電極の間の距離を変更することで容量を可変する構成である。そのため、当該可変容量素子では、変更できる距離に制限があり原理的に容量を0（ゼロ）にすることができない。

10

【0006】

また、非特許文献1で開示された可変容量素子では、耐電圧を上げるためにゲート絶縁膜（誘電体）の膜厚を厚くすると、容量値が膜厚に対して反比例して減少することになる。

【0007】

そこで、本発明の目的は、受動素子の物理量が0（ゼロ）となる場合を含む広い範囲で物理量を可変することができる電子素子、および回路装置を提供する。

【課題を解決するための手段】

【0008】

本開示の一形態に係る電子素子は、電界効果トランジスタを構成するスイッチ部と、スイッチ部と電気的に接続され、受動素子を構成する素子部と、を備える。スイッチ部は、ソース電極と、ドレイン電極と、少なくともソース電極の一部とドレイン電極の一部とに重ねて形成されたチャンネル形成膜と、チャンネル形成膜に重ねて形成されたゲート絶縁膜と、ゲート絶縁膜に形成されたゲート電極と、を有する。素子部は、ソース電極と電気的に接続される第1端子電極と、誘電体層を挟む、または誘電体層に接してドレイン電極の一部との間で受動素子を構成する第2端子電極と、を有し、誘電体層とゲート絶縁膜とは、同じ絶縁膜であり、誘電体層は、少なくともゲート絶縁膜と同じ絶縁膜で形成された第1誘電体層と、第2誘電体層と、を含み、素子部は、ドレイン電極の一部と、第1誘電体層と、第2端子電極と、第2誘電体層と、ドレイン電極の一部とを順に積層して、複数層の受動素子を構成する。

20

【0009】

本開示の一形態に係る回路装置は、回路配線と、回路配線に電気的に接続される、上記の電子素子と、を備える。

【発明の効果】

【0010】

本開示によれば、電子素子が、第1端子電極と、誘電体層を挟む、または誘電体層に接してドレイン電極の一部との間で受動素子を構成する第2端子電極と、を有する素子部を備えるので、受動素子の物理量が0（ゼロ）となる場合を含む広い範囲で物理量を可変することができる。

【図面の簡単な説明】

40

【0011】

【図1】実施の形態1に係る可変容量素子の構成を説明するための断面図である。

【図2】実施の形態1に係る可変容量素子の構成を説明するための平面図である。

【図3】実施の形態1に係る可変容量素子の製造方法を説明するための断面図である。

【図4】実施の形態1に係る多値化の可変容量素子の回路図である。

【図5】実施の形態1の第1変形例に係る可変容量素子の構成を説明するための断面図である。

【図6】実施の形態1の第2変形例に係る可変容量素子の構成を説明するための断面図である。

【図7】実施の形態1の第3変形例に係る可変容量素子の構成を説明するための断面図で

50

ある。

【図 8】実施の形態 2 に係る可変容量素子の構成を説明するための断面図である。

【図 9】実施の形態 2 の第 1 変形例に係る可変容量素子の構成を説明するための断面図である。

【図 10】実施の形態 2 の第 2 変形例に係る可変容量素子の構成を説明するための断面図である。

【図 11】実施の形態 2 の第 3 変形例に係る可変容量素子の構成を説明するための断面図である。

【図 12】実施の形態 2 の第 4 変形例に係る可変容量素子の構成を説明するための断面図である。

10

【図 13】実施の形態 3 に係る可変容量素子の構成を説明するための断面図である。

【図 14】実施の形態 3 に係る可変容量素子の構成を説明するための平面図である。

【図 15】実施の形態 3 の第 1 変形例に係る可変容量素子の構成を説明するための断面図である。

【図 16】実施の形態 3 の第 2 変形例に係る可変容量素子の構成を説明するための断面図である。

【図 17】実施の形態 3 の第 3 変形例に係る可変容量素子の構成を説明するための断面図である。

【図 18】実施の形態 4 に係る可変インダクタンス素子の構成を説明するための断面図である。

20

【図 19】実施の形態 4 に係る可変インダクタンス素子の等価回路図である。

【図 20】実施の形態 4 の変形例に係る可変インダクタンス素子の構成を説明するための平面図である。

【図 21】実施の形態 4 の変形例に係る可変インダクタンス素子の構成を説明するための断面図である。

【図 22】実施の形態 5 に係る可変容量素子の構成を説明するための断面図である。

【発明を実施するための形態】

【0012】

以下に、本開示の実施の形態に係る電子素子について図面を参照して詳しく説明する。特に、本開示の実施の形態に係る電子素子では、受動素子の物理量を可変することができる電子素子について説明する。なお、図中同一符号は同一または相当部分を示す。また、本開示において、受動素子の物理量が 0（ゼロ）となる場合とは、完全に物理量が 0（ゼロ）の場合に限定されず、物理量がある状態に対して物理量を 0（ゼロ）と見なすことができる所定量以下（例えば、1 万分の 1 以下）の物理量であればよい。さらに、電子素子は、受動素子の物理量がある状態と、物理量が 0（ゼロ）となる状態とを切り替えることができることからメモリ特性を付与することもできる。

30

【0013】

（実施の形態 1）

実施の形態 1 では、受動素子がキャパシタで、可変させる物理量が容量である可変容量素子について説明する。特に、実施の形態 1 では、容量がある状態と、容量が 0（ゼロ）となる状態（以下、容量がない状態ともいう）とを切り替えることができる可変容量素子について図面を参照しながら説明する。図 1 は、実施の形態 1 に係る可変容量素子 100 の構成を説明するための断面図である。図 2 は、実施の形態 1 に係る可変容量素子 100 の構成を説明するための平面図である。

40

【0014】

図 1 に示す可変容量素子 100 は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10 と、スイッチ部 10 と電気的に接続され、キャパシタを構成する素子部 20 とを含んでいる。素子部 20 とスイッチ部 10 とは、半導体基板 1 に対して水平方向に配置されている。

【0015】

50

スイッチ部 10 は、ゲート電極 2、ゲート絶縁膜 3、チャネル形成膜 4、ソース電極 5、およびドレイン電極 6 を有している。図 1 に示すスイッチ部 10 では、半導体基板 1 上にゲート電極 2 を形成し、ゲート電極 2 に重ねてゲート絶縁膜 3 およびチャネル形成膜 4 を順に形成し、それらの上にソース電極 5 およびドレイン電極 6 の一部をそれぞれ形成している。

【0016】

より具体的に、スイッチ部 10 は、酸化物 FET (Field Effect Transistor) である。半導体基板 1 には、例えば、アルミン酸ランタン (LAO) を用い、その上に白金 (Pt) でゲート電極 2 を図 2 に示す所定のパターンで形成する。ゲート絶縁膜 3 には、例えば、膜厚が 70 nm の La-HfO₂ 膜を用い、チャネル形成膜 4 には、例えば、膜厚が 25 nm の IZO 膜を用いる。IZO 膜のチャネル形成膜 4 の上に、白金 (Pt) でソース電極 5 およびドレイン電極 6 を図 2 に示す所定のパターンで形成する。なお、図 2 に示すソース電極 5 の上には、端子電極 5a (第 1 端子電極) が設けられているが、ソース電極 5 自体を端子電極 5a として用いてもよい。スイッチ部 10 では、例えばチャネル幅 W を 100 μm、チャネル長 L を 10 μm とする。

10

【0017】

図 1 に示すように、ドレイン電極 6 は、チャネル形成膜 4 上に形成される部分だけでなく、素子部 20 を構成する部分まで延びている。具体的に、ドレイン電極 6 は、スイッチ部 10 を構成する電極 6a と、素子部 20 を構成する電極 6c と、電極 6a と電極 6c とを繋ぐ電極 6b と、を含む。電極 6a は、チャネル形成膜 4 上に形成されるドレイン電極 6 の一部である。電極 6c は、半導体基板 1 上に形成されるドレイン電極 6 の一部である。電極 6b は、ゲート絶縁膜 3 を貫いて形成されるドレイン電極 6 の一部である。

20

【0018】

素子部 20 は、ドレイン電極 6 の一部 (電極 6c の上部) に設けたキャパシタである。素子部 20 は、電極 6c と、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3a、誘電体層 3a に重ねて形成される白金 (Pt) の端子電極 22 (第 2 端子電極) とを含む。端子電極 22 は、図 2 に示す所定のパターンで形成される。なお、ゲート電極 2 は、図 2 に示すようにソース電極 5 とドレイン電極 6 とが重なる領域から引き出され、ゲート電極 2 の上に制御電極端子 2a が設けられている。

【0019】

素子部 20 は、ドレイン電極 6 の一部 (電極 6c) と端子電極 22 との間に設けられている誘電体層 3a でキャパシタを構成する。キャパシタは、図 2 に示すようにドレイン電極 6 と端子電極 22 とが平面視で重なる部分 C1 である。なお、ドレイン電極 6 は、浮遊電極であり、可変容量素子 100 の端子電極 5a とは電気的に直接接続されていない。

30

【0020】

可変容量素子 100 は、スイッチ部 10 が OFF 状態の場合、ゲート電極 2 に閾値以上のゲート電圧が印加されないので、平面視でゲート電極 2 と重なるチャネル形成膜 4 の位置に電子空乏層があり、ソース電極 5 とドレイン電極 6 とは導通しない。そのため、可変容量素子 100 は、ソース電極 5 のみに電圧が印加され、電極 6c と端子電極 22 との間に電圧が印加されないので、キャパシタが構成されない。

40

【0021】

一方、可変容量素子 100 は、スイッチ部 10 が ON 状態の場合、ゲート電極 2 に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極 5 とドレイン電極 6 とが導通する。そのため、可変容量素子 100 は、ソース電極 5 およびドレイン電極 6 に電圧が印加され、電極 6c と端子電極 22 との間にも電圧が印加されるのでキャパシタが構成される。

【0022】

つまり、可変容量素子 100 では、スイッチ部 10 を ON/OFF 動作することで、キャパシタがない状態と、キャパシタがある状態とを切り替え、キャパシタを ON/OFF している。可変容量素子 100 は、ゲート電極 2 (制御電極端子 2a) への印加電圧によ

50

りON/OFF動作するスイッチ部10と、端子電極5a(第1端子電極)を介してドレイン電極6の一部(電極6c)と端子電極22(第2端子電極)の端子22aとで動作する素子部20とに分けられ、3端子で動作する。

【0023】

また、可変容量素子100では、スイッチ部10のゲート電極2(制御電極端子2a)と、素子部20の端子電極22(第2端子電極)の端子22aとが電氣的に分離されているため、素子部20側の信号によってスイッチ部10の動作に影響を与えることがない。可変容量素子100の端子電極5a(第1端子電極)および端子電極22(第2端子電極)の端子22aがフィルタ回路などに接続される一方、容量の有無を切り替えるための制御電極端子2aは当該フィルタ回路とは別の回路と接続される。そのため、フィルタ回路の信号によって制御電極端子2aに印加される信号が影響される可能性が低い。

10

【0024】

さらに、可変容量素子100では、スイッチ部10のチャンネル長Lを短くすることで、ソース電極5とドレイン電極6との間のチャンネル形成膜4の電気抵抗を下げるができる。そのため、可変容量素子100では、容量の有無を高速に切り替えるために、スイッチ部10のスイッチング速度(時定数)を改善することで対応することができる。

【0025】

次に、可変容量素子100の製造方法について図を用いて説明する。図3は、実施の形態1に係る可変容量素子の製造方法を説明するための断面図である。まず、図3(a)では、準備したアルミン酸ランタン(LAO)の半導体基板1の(100)面に、膜厚80nmの白金(Pt)のゲート電極2およびドレイン電極6の一部(電極6c)を形成する。具体的に、ゲート電極2は、半導体基板1の(100)面にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波(RF)スパッタリングで白金(Pt)を成膜して、リフトオフでフォトレジストを取り去ることで形成される。

20

【0026】

図3(b)では、ゲート電極2およびドレイン電極6の一部(電極6c)を形成した半導体基板1の面に重ねて膜厚70nmのゲート絶縁膜3を形成する。具体的に、ゲート絶縁膜3は、化学溶液堆積法(CSD:Chemical Solution Deposition)を用いてゲート電極2を形成した半導体基板1の面にLa-HfO₂溶液をスピコートして成膜し、150℃で乾燥させた後、酸素雰囲気下、800℃で焼成して結晶化することで形成される。

30

【0027】

図3(c)では、ゲート絶縁膜3に重ねて膜厚25nmのチャンネル形成膜4を形成する。具体的に、チャンネル形成膜4は、化学溶液堆積法(CSD)を用いて、ゲート絶縁膜3に重ねてIZO溶液をスピコートして成膜し、150℃で乾燥させた後、酸素雰囲気下、500℃で焼成して結晶化することで形成される。

【0028】

図3(d)では、ゲート絶縁膜3およびチャンネル形成膜4を貫くドレイン電極6の一部(電極6b)を形成する。具体的に、電極6bは、例えば、電極と重なる位置にゲート絶縁膜3およびチャンネル形成膜4を貫くホールを形成し、形成したホールに導電材料を充填したピア導体である。さらに、図3(d)では、チャンネル形成膜4の上に、膜厚80nmの白金(Pt)のソース電極5およびドレイン電極6の一部(電極6a)を形成する。具体的に、ソース電極5および電極6aは、チャンネル形成膜4の上にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波(RF)スパッタリングで白金(Pt)を成膜して、リフトオフでフォトレジストを取り去ることで形成される。なお、電極6aと電極6bとは、電氣的に接続されている。

40

【0029】

図3(e)では、ドレイン電極6の一部(電極6c)上にあるチャンネル形成膜4を取り除いて、膜厚80nmの白金(Pt)の端子電極22を形成する。具体的に、端子電極22は、チャンネル形成膜4を取り除いた後、誘電体層3aの上にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波(RF)スパッタリン

50

グで白金 (Pt) を成膜して、リフトオフでフォトリソグラフィを取り去ることで形成される。

【0030】

これまで説明した可変容量素子100は、キャパシタがない状態と、キャパシタがある状態とを切り替えることができる素子について説明した。しかし、半導体基板1上に、複数の可変容量素子100をマトリクス状に形成することで、多値化の可変容量素子を構成することができる。図4は、実施の形態1に係る多値化の可変容量素子100aの回路図である。

【0031】

図4では、図1に示した1つの可変容量素子100をマトリクス状に $n \times n$ 個接続した可変容量素子100aの回路図が図示されている。図4に示す可変容量素子100aでは、端子電極5a(第1端子電極)および端子電極22(第2端子電極)が $n \times n$ 個の可変容量素子100に対して共通である。しかし、 $n \times n$ 個の可変容量素子100の各々の制御電極端子2aは、別々に設けられており、端子G11~端子Gnnと図4では図示されている。これら端子G11~端子Gnnに信号を供給することで、必要な数の可変容量素子100をON状態にして必要な容量を得ることができるので、可変容量素子100aは容量を多値化することができる。

10

【0032】

以上のように、実施の形態1に係る可変容量素子100は、電界効果トランジスタを構成するスイッチ部10と、スイッチ部10と電気的に接続され、キャパシタを構成する素子部20と、を備えている。スイッチ部10は、ソース電極5と、ドレイン電極6と、少なくともソース電極5の一部とドレイン電極6の一部とに重ねて形成されたチャネル形成膜4と、チャネル形成膜4に重ねて形成されたゲート絶縁膜3と、ゲート絶縁膜3に重ねて形成されたゲート電極2と、を有している。素子部20は、ソース電極5と電気的に接続される端子電極5a(第1端子電極)と、誘電体層3aを挟んでドレイン電極6の一部(電極6c)との間でキャパシタを構成する端子電極22(第2端子電極)と、を有する。誘電体層3aとゲート絶縁膜3とは同じ絶縁膜である。

20

【0033】

これにより、実施の形態1に係る可変容量素子100は、ゲート絶縁膜3と同じ絶縁膜で形成される誘電体層3aを挟んでドレイン電極6の一部(電極6c)と端子電極22との間でキャパシタを構成するので、容量が0(ゼロ)となる場合を含む広い範囲で容量を可変することができる。

30

【0034】

また、可変容量素子100では、誘電体層3aとゲート絶縁膜3とを同じ絶縁膜とすることで、プロセス数の削減することができる。さらに、可変容量素子100は、スイッチ部10に重ねて素子部20を形成せずに、スイッチ部10と素子部20とを、半導体基板1に対して水平方向に形成することで、高温処理などでスイッチ部10に悪影響を与える工程が必要な誘電体材料や、下地の配向性に影響を受ける誘電体材料などを、誘電体層3aに選択することができ、材料の選択性が改善する。

【0035】

可変容量素子100では、ドレイン電極6の一部(電極6c)が、ゲート電極2を形成したゲート絶縁膜3の面と同じ側の誘電体層3aの面に形成してあり、端子電極22が、ゲート電極2を形成したゲート絶縁膜3の面に対して反対側の誘電体層3aの面に形成してある。

40

【0036】

(変形例1-1)

可変容量素子100では、図1に示すようにドレイン電極6の一部(電極6c)と端子電極22との間に設けられている誘電体層3aでキャパシタを構成している。可変容量素子100において、キャパシタの容量をさらに大きくするには、素子部20を構成する誘電体層を複数にして積層する構成が考えられる。図5は、実施の形態1の第1変形例に係る可変容量素子100Aの構成を説明するための断面図である。なお、図5に示す可変容

50

量素子 100A において、図 1 に示す可変容量素子 100 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

【0037】

図 5 に示す可変容量素子 100A は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10 と、スイッチ部 10 と電氣的に接続され、受動素子を構成する素子部 20A とを含んでいる。

【0038】

素子部 20A は、ドレイン電極 6 の一部（電極 6c）と端子電極 22 との間に設けられている誘電体層 3a でキャパシタを構成し、さらに端子電極 22 とドレイン電極 6 の一部（電極 6d）との間に設けられている誘電体層 7 でキャパシタを構成している。ドレイン電極 6 の一部（電極 6c, 6d）と端子電極 22 とで挟む誘電体層は、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3a（第 1 誘電体層）と、ゲート絶縁膜 3 と異なる絶縁膜で形成された誘電体層 7（第 2 誘電体層）と、を含む。

10

【0039】

素子部 20A は、ドレイン電極 6 の一部（電極 6c）と、誘電体層 3a（第 1 誘電体層）と、端子電極 22 と、誘電体層 7（第 2 誘電体層）と、ドレイン電極 6 の一部（電極 6d）とを順に積層して、複数層のキャパシタを構成している。これにより、素子部 20A を含む可変容量素子 100A は、キャパシタの容量をさらに大きくすることができる。例えば、誘電体層 3a で構成されるキャパシタの容量を C_A 、誘電体層 7 で構成されるキャパシタの容量を C_B とすると、可変容量素子 100A は、スイッチ部 10 を ON 状態にした場合の容量 C_{ON} が、 $C_{ON} = C_A + C_B$ となる。

20

【0040】

誘電体層 3a と誘電体層 7 とは、同じ膜厚であっても、異なる膜厚であってもよい。さらに、誘電体層 3a と誘電体層 7 とは同じ誘電体材料であっても、異なる誘電体材料であってもよい。具体的に、誘電体層 3a または誘電体層 7 のどちらか一方に、誘電率が DC バイアス電圧に依存する誘電体材料（例えば（Ba, Sr） TiO_3 系ペロブスカイト酸化物など）を用いてもよい。当該誘電体材料を誘電体層 3a または誘電体層 7 のどちらか一方に用いることで、スイッチ部 10 を ON 状態にした場合の容量 C_{ON} を微調整することができる。例えば、誘電体層 7 に当該誘電体材料を用い、端子電極 22 に DC バイアス電圧（ V_{DC} ）を印加した場合、可変容量素子 100A は、スイッチ部 10 を ON 状態にした場合の容量 C_{ON} が、 $C_{ON} = C_A + C_B(V_{DC})$ となる。 $C_B(V_{DC})$ は、端子電極 22 に印加した DC バイアス電圧（ V_{DC} ）により変化するので、容量 C_{ON} を微調整することが可能となる。

30

【0041】

可変容量素子 100A では、素子部 20A において、ドレイン電極 6 の一部（電極 6c）と、誘電体層 3a（第 1 誘電体層）と、端子電極 22 と、誘電体層 7（第 2 誘電体層）と、ドレイン電極 6 の一部（電極 6d）とを順に積層して、2 層のキャパシタを構成したが、3 層以上のキャパシタを構成してもよい。

【0042】

（変形例 1 - 2）

図 6 は、実施の形態 1 の第 2 変形例に係る可変容量素子 100B の構成を説明するための断面図である。なお、図 6 に示す可変容量素子 100B において、図 5 に示す可変容量素子 100A と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

40

【0043】

図 6 に示す可変容量素子 100B は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10A と、スイッチ部 10A と電氣的に接続され、受動素子を構成する素子部 20A とを含んでいる。

【0044】

スイッチ部 10A は、ゲート電極 2、ゲート絶縁膜 3、チャンネル形成膜 4、ソース電極 5、ドレイン電極 6、およびパッシベーション膜 7a を有している。図 6 に示すスイッチ

50

部 10A では、半導体基板 1 上にゲート電極 2 を形成し、ゲート電極 2 に重ねてゲート絶縁膜 3 およびチャンネル形成膜 4 を順に形成し、それらの上にソース電極 5 およびドレイン電極 6 の一部をそれぞれ形成してパッシベーション膜 7a で被っている。

【0045】

可変容量素子 100B では、誘電体層 7 の一部で、ソース電極 5 とドレイン電極 6 との間のチャンネル形成膜 4 を被いパッシベーション膜 7a を形成している。パッシベーション膜 7a は、スイッチ部 10 の特性劣化を抑制することができる。また、誘電体層 7 の一部でパッシベーション膜 7a を形成することで、別途プロセスを追加せずにチャンネル形成膜 4 を被いパッシベーション膜を形成できる。

【0046】

(変形例 1 - 3)

図 7 は、実施の形態 1 の第 3 変形例に係る可変容量素子 100C の構成を説明するための断面図である。なお、図 7 に示す可変容量素子 100C において、図 5 に示す可変容量素子 100A と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

【0047】

図 7 に示す可変容量素子 100C は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10B と、スイッチ部 10B と電氣的に接続され、受動素子を構成する素子部 20B とを含んでいる。

【0048】

スイッチ部 10B は、ゲート電極 2、ゲート絶縁膜 3、チャンネル形成膜 4、ソース電極 5、およびドレイン電極 6 を有している。しかし、スイッチ部 10B は、図 1 に示すスイッチ部 10 のようなボトムゲート構造ではなく、トップゲート構造を採用している。スイッチ部 10B は、誘電体層 7 上にチャンネル形成膜 4 を重ね、チャンネル形成膜 4 の上にソース電極 5 およびドレイン電極 6 をそれぞれ形成し、ソース電極 5 およびドレイン電極 6 にゲート絶縁膜 3 を形成し、ゲート絶縁膜 3 の上にゲート電極 2 を形成している。

【0049】

なお、素子部 20B は、ドレイン電極 6 の一部（電極 6d）が半導体基板 1 側に形成されるので、ドレイン電極 6 の一部（電極 6d）と、誘電体層 7（第 2 誘電体層）と、端子電極 22 と、誘電体層 3a（第 1 誘電体層）と、ドレイン電極 6 の一部（電極 6c）とを順に積層して、2 層のキャパシタを構成している。

【0050】

可変容量素子 100C は、トップゲート構造のスイッチ部 10B を採用しているが、ボトムゲート構造のスイッチ部 10 を採用した可変容量素子 100A と同様の効果が得られる。また、図 1 に示した可変容量素子 100 のスイッチ部に、トップゲート構造のスイッチ部を採用してもよい。

【0051】

(実施の形態 2)

実施の形態 1 に係る可変容量素子 100 では、素子部 20 において浮遊電極であるドレイン電極 6 の一部（電極 6c）が半導体基板 1 側に形成される構成を説明した。実施の形態 2 に係る可変容量素子では、素子部において端子電極が半導体基板側に形成される構成を説明する。図 8 は、実施の形態 2 に係る可変容量素子 200 の構成を説明するための断面図である。なお、図 8 に示す可変容量素子 200 において、図 1 に示す可変容量素子 100 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

【0052】

図 8 に示す可変容量素子 200 は、電界効果トランジスタを構成するスイッチ部 10 と、スイッチ部 10 と電氣的に接続され、受動素子を構成する素子部 20C とを含んでいる。素子部 20C とスイッチ部 10 とは、半導体基板 1 に対して水平方向に配置されている。

【0053】

スイッチ部 10 は、ゲート電極 2、ゲート絶縁膜 3、チャンネル形成膜 4、ソース電極 5、およびドレイン電極 6 を有している。図 8 に示すスイッチ部 10 では、半導体基板 1 上

10

20

30

40

50

にゲート電極 2 を形成し、ゲート電極 2 に重ねてゲート絶縁膜 3 およびチャネル形成膜 4 を順に形成し、それらの上にソース電極 5 およびドレイン電極 6 の一部をそれぞれ形成している。

【 0 0 5 4 】

図 8 に示すように、ドレイン電極 6 は、チャネル形成膜 4 上に形成される部分だけでなく、素子部 2 0 C を構成する部分まで延びている。素子部 2 0 C は、ドレイン電極 6 の一部に設けたキャパシタである。素子部 2 0 C は、ドレイン電極 6 の一部と、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3 a、誘電体層 3 a に重ねて形成される白金 (P t) の端子電極 2 2 (第 2 端子電極) とを含む。なお、ドレイン電極 6 は、浮遊電極であり、可変容量素子 2 0 0 の端子電極 5 a とは電氣的に直接接続されていない。

10

【 0 0 5 5 】

可変容量素子 2 0 0 は、スイッチ部 1 0 が O F F 状態の場合、ゲート電極 2 に閾値以上のゲート電圧が印加されないため、平面視でゲート電極 2 と重なるチャネル形成膜 4 の位置に電子空乏層があり、ソース電極 5 とドレイン電極 6 とは導通しない。そのため、可変容量素子 2 0 0 は、ソース電極 5 のみに電圧が印加され、電極 6 と端子電極 2 2 との間に電圧が印加されないため、キャパシタが構成されない。

【 0 0 5 6 】

一方、可変容量素子 2 0 0 は、スイッチ部 1 0 が O N 状態の場合、ゲート電極 2 に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極 5 とドレイン電極 6 とが導通する。そのため、可変容量素子 2 0 0 は、ソース電極 5 およびドレイン電極 6 に電圧が印加され、電極 6 と端子電極 2 2 との間にも電圧が印加されるためキャパシタが構成される。

20

【 0 0 5 7 】

つまり、可変容量素子 2 0 0 では、スイッチ部 1 0 を O N / O F F 動作することで、キャパシタがない状態と、キャパシタがある状態とを切り替え、キャパシタを O N / O F F している。可変容量素子 2 0 0 は、ゲート電極 2 (制御電極端子 2 a) への印加電圧により O N / O F F 動作するスイッチ部 1 0 と、端子電極 5 a (第 1 端子電極) を介してドレイン電極 6 の一部と端子電極 2 2 (第 2 端子電極) の端子 2 2 a とで動作する素子部 2 0 C とに分けられ、3 端子で動作する。

【 0 0 5 8 】

以上のように、実施の形態 2 に係る可変容量素子 2 0 0 は、端子電極 2 2 が、ゲート電極 2 を形成したゲート絶縁膜 3 の面と同じ側の誘電体層 3 a の面に形成してあり、ドレイン電極 6 の一部が、ゲート電極 2 を形成したゲート絶縁膜 3 の面に対して反対側の誘電体層 3 a の面に形成してある。

30

【 0 0 5 9 】

これにより、実施の形態 1 に係る可変容量素子 2 0 0 は、ゲート絶縁膜 3 と同じ絶縁膜で形成される誘電体層 3 a を挟んでドレイン電極 6 の一部と端子電極 2 2 との間でキャパシタを構成するので、容量が 0 (ゼロ) となる場合を含む広い範囲で容量を可変することができる。

【 0 0 6 0 】

(変形例 2 - 1)

可変容量素子 2 0 0 では、図 8 に示すようにドレイン電極 6 の一部と端子電極 2 2 との間に設けられている誘電体層 3 a でキャパシタを構成している。可変容量素子 2 0 0 において、キャパシタの容量をさらに大きくするには、素子部 2 0 C を構成する誘電体層を複数にして積層する構成が考えられる。図 9 は、実施の形態 2 の第 1 変形例に係る可変容量素子 2 0 0 A の構成を説明するための断面図である。なお、図 9 に示す可変容量素子 2 0 0 A において、図 8 に示す可変容量素子 2 0 0 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

40

【 0 0 6 1 】

図 9 に示す可変容量素子 2 0 0 A は、半導体基板 1 上に形成した電界効果トランジスタ

50

を構成するスイッチ部 10 と、スイッチ部 10 と電氣的に接続され、受動素子を構成する素子部 20D とを含んでいる。

【0062】

素子部 20D は、ドレイン電極 6 の一部と端子電極 22 の一部（端子電極 221）との間に設けられている誘電体層 3a でキャパシタを構成し、さらにドレイン電極 6 の一部と端子電極 22 の一部（端子電極 222）との間に設けられている誘電体層 7 でキャパシタを構成している。なお、端子電極 22 は、半導体基板 1 上に形成される端子電極 221 と、誘電体層 7 上に形成される端子電極 222 と、端子電極 221 と端子電極 222 とを繋ぐ端子電極 223 と、を含む。ドレイン電極 6 の一部と端子電極 22 の一部（端子電極 221, 222）とで挟む誘電体層は、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3a（第 1 誘電体層）と、ゲート絶縁膜 3 と異なる絶縁膜で形成された誘電体層 7（第 2 誘電体層）と、を含む。

10

【0063】

素子部 20D は、端子電極 22 の一部（端子電極 221）と、誘電体層 3a（第 1 誘電体層）と、ドレイン電極 6 と、誘電体層 7（第 2 誘電体層）と、端子電極 22 の一部（端子電極 222）とを順に積層して、複数層のキャパシタを構成している。これにより、素子部 20D を含む可変容量素子 200A は、キャパシタの容量をさらに大きくすることができる。誘電体層 3a と誘電体層 7 とは、同じ膜厚であっても、異なる膜厚であってもよい。さらに、誘電体層 3a と誘電体層 7 とは同じ誘電体材料であっても、異なる誘電体材料であってもよい。

20

【0064】

可変容量素子 200A では、素子部 20D において、端子電極 22 の一部（端子電極 221）と、誘電体層 3a（第 1 誘電体層）と、ドレイン電極 6 と、誘電体層 7（第 2 誘電体層）と、端子電極 22 の一部（端子電極 222）とを順に積層して、2 層のキャパシタを構成したが、3 層以上のキャパシタを構成してもよい。

【0065】

（変形例 2 - 2）

図 10 は、実施の形態 2 の第 2 変形例に係る可変容量素子 200B の構成を説明するための断面図である。なお、図 10 に示す可変容量素子 200B において、図 9 に示す可変容量素子 200A と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

30

【0066】

図 10 に示す可変容量素子 200B は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10A と、スイッチ部 10A と電氣的に接続され、受動素子を構成する素子部 20D とを含んでいる。

【0067】

スイッチ部 10A は、ゲート電極 2、ゲート絶縁膜 3、チャネル形成膜 4、ソース電極 5、ドレイン電極 6、およびパッシベーション膜 7a を有している。図 10 に示すスイッチ部 10A では、半導体基板 1 上にゲート電極 2 を形成し、ゲート電極 2 に重ねてゲート絶縁膜 3 およびチャネル形成膜 4 を順に形成し、それらの上にソース電極 5 およびドレイン電極 6 の一部をそれぞれ形成してパッシベーション膜 7a で被っている。

40

【0068】

可変容量素子 200B では、誘電体層 7 の一部で、ソース電極 5 とドレイン電極 6 との間のチャネル形成膜 4 を被いパッシベーション膜 7a を形成している。パッシベーション膜 7a は、スイッチ部 10A の特性劣化を抑制することができる。また、誘電体層 7 の一部でパッシベーション膜 7a を形成することで、別途プロセスを追加せずにチャネル形成膜 4 を被いパッシベーション膜を形成できる。

【0069】

（変形例 2 - 3）

図 11 は、実施の形態 2 の第 3 変形例に係る可変容量素子 200C の構成を説明するための断面図である。なお、図 11 に示す可変容量素子 200C において、図 9 に示す可変

50

容量素子 200A と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

【0070】

図 11 に示す可変容量素子 200C は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10B と、スイッチ部 10B と電氣的に接続され、受動素子を構成する素子部 20E とを含んでいる。

【0071】

スイッチ部 10B は、ゲート電極 2、ゲート絶縁膜 3、チャンネル形成膜 4、ソース電極 5、およびドレイン電極 6 を有している。しかし、スイッチ部 10B は、図 9 に示すスイッチ部 10 のようなボトムゲート構造ではなく、トップゲート構造を採用している。スイッチ部 10B は、誘電体層 7 上にチャンネル形成膜 4 を重ね、チャンネル形成膜 4 の上にソース電極 5 およびドレイン電極 6 をそれぞれ形成し、ソース電極 5 およびドレイン電極 6 にゲート絶縁膜 3 を形成し、ゲート絶縁膜 3 の上にゲート電極 2 を形成している。

10

【0072】

なお、素子部 20E は、端子電極 22 の一部（端子電極 222）と、誘電体層 7（第 2 誘電体層）と、ドレイン電極 6 と、誘電体層 3a（第 1 誘電体層）と、端子電極 22 の一部（端子電極 221）とを順に積層して、2 層のキャパシタを構成している。

【0073】

可変容量素子 200C は、トップゲート構造のスイッチ部 10B を採用しているが、ボトムゲート構造のスイッチ部 10 を採用した可変容量素子 200A と同様の効果が得られる。また、図 8 に示した可変容量素子 200 のスイッチ部に、トップゲート構造のスイッチ部を採用してもよい。

20

【0074】

（変形例 2 - 4）

図 12 は、実施の形態 2 の第 4 変形例に係る可変容量素子 200D の構成を説明するための断面図である。なお、図 12 に示す可変容量素子 200D において、図 8 に示す可変容量素子 200 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

【0075】

図 12 に示す可変容量素子 200D は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10C と、スイッチ部 10C と電氣的に接続され、受動素子を構成する素子部 20C とを含んでいる。

30

【0076】

スイッチ部 10C は、ゲート電極 2、ゲート絶縁膜 3、チャンネル形成膜 4、ソース電極 5、およびドレイン電極 6 を有している。しかし、スイッチ部 10C は、図 8 に示すスイッチ部 10 のようなソース電極 5 およびドレイン電極 6 の下側にチャンネル形成膜 4 を形成してあるトップコンタクト構造ではなく、ソース電極 5 およびドレイン電極 6 の上側にチャンネル形成膜 4 を形成してあるボトムコンタクト構造である。ボトムコンタクト構造は、チャンネル形成膜 4 の下側でソース電極 5 およびドレイン電極 6 とコンタクトする構造である。

【0077】

可変容量素子 200D は、ボトムコンタクト構造のスイッチ部 10C を採用しているが、トップコンタクト構造のスイッチ部 10 を採用した可変容量素子 200A と同様の効果が得られる。また、図 1 に示した可変容量素子 100 のスイッチ部に、ボトムコンタクト構造のスイッチ部を採用してもよい。

40

【0078】

（実施の形態 3）

実施の形態 2 に係る可変容量素子 200 では、スイッチ部 10 を ON / OFF 動作することで、キャパシタがない状態と、キャパシタがある状態とを切り替え、キャパシタを ON / OFF していると説明した。実施の形態 3 に係る可変容量素子では、スイッチ部を ON / OFF 動作することで、キャパシタがない状態ではなくキャパシタの容量が小さい状態と、キャパシタの容量が大きい状態とを切り替える。図 13 は、実施の形態 3 に係る可

50

変容量素子 300 の構成を説明するための断面図である。図 14 は、実施の形態 3 に係る可変容量素子 300 の構成を説明するための平面図である。なお、図 13 および図 14 に示す可変容量素子 300 において、図 8 に示す可変容量素子 200 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

【0079】

図 13 に示す可変容量素子 300 は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10 と、スイッチ部 10 と電気的に接続され、受動素子を構成する素子部 20FA とを含んでいる。素子部 20FA とスイッチ部 10 とは、半導体基板 1 に対して水平方向に配置されている。

【0080】

素子部 20FA は、誘電体層 3a と、誘電体層 3a に重ねて形成される端子電極 22 (第 2 端子電極) とを含む。端子電極 22 は、図 14 に示すようにソース電極 5 とドレイン電極 6 との間に形成されるチャンネル領域を避けたパターンで形成される。そのため、図 13 に示す断面図において、端子電極 22 は、ドレイン電極 6 の下部に形成されている端子電極 22A だけでなく、ソース電極 5 の下部に形成されている端子電極 22B にも設けられている。

10

【0081】

素子部 20FA は、ドレイン電極 6 と端子電極 22A との間で第 1 キャパシタを構成し、ソース電極 5 と端子電極 22B との間で第 2 キャパシタを構成する。第 1 キャパシタは、図 14 に示すようにドレイン電極 6 と端子電極 22A とが平面視で重なる部分 C1 である。第 2 キャパシタは、ソース電極 5 と端子電極 22B とが平面視で重なる部分 C2 である。

20

【0082】

可変容量素子 300 は、スイッチ部 10 が OFF 状態の場合、ゲート電極 2 に閾値以上のゲート電圧が印加されないので、平面視でゲート電極 2 と重なるチャンネル形成膜 4 の位置に電子空乏層があり、ソース電極 5 とドレイン電極 6 とは導通しない。そのため、可変容量素子 300 は、ソース電極 5 と当該ソース電極 5 と対向する端子電極 22B の部分との間にのみ電圧が印加されるので第 2 キャパシタのみの容量となる。

【0083】

しかし、可変容量素子 300 は、スイッチ部 10 が ON 状態の場合、ゲート電極 2 に閾値以上のゲート電圧を印加することでチャンネルが形成されソース電極 5 とドレイン電極 6 とが導通する。そのため、可変容量素子 300 は、ソース電極 5 およびドレイン電極 6 と、対向する端子電極 22 との間に電圧が印加されるので、第 1 キャパシタおよび第 2 キャパシタの合成容量となる。

30

【0084】

可変容量素子 300 は、図 14 に示したように端子電極 22 が、ソース電極 5 とドレイン電極 6 との間に形成されるチャンネル領域の全ての部分を迂回するパターンで形成されなくても、チャンネル領域の一部と重なるパターンでもよい。

【0085】

以上のように、可変容量素子 300 は、端子電極 22 の一部 (端子電極 22B) が、誘電体層 3a を挟んでソース電極 5 の一部と対向する。これにより、可変容量素子 300 は、スイッチ部 10 の ON/OFF で、素子部 20FA の状態を第 2 キャパシタの状態と、第 1 キャパシタ + 第 2 キャパシタの状態とに切り替えることができる。

40

【0086】

(変形例 3 - 1)

可変容量素子 300 では、図 13 に示すようにドレイン電極 6 と端子電極 22A、およびソース電極 5 と端子電極 22B との間に設けられている誘電体層 3a でキャパシタを構成している。可変容量素子 300 において、キャパシタの容量をさらに大きくするには、素子部 20FA を構成する誘電体層を複数にして積層する構成が考えられる。図 15 は、実施の形態 3 の第 1 変形例に係る可変容量素子 300A の構成を説明するための断面図で

50

ある。なお、図 15 に示す可変容量素子 300A において、図 13 に示す可変容量素子 300 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

【0087】

図 15 に示す可変容量素子 300A は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10A と、スイッチ部 10A と電氣的に接続され、受動素子を構成する素子部 20F とを含んでいる。

【0088】

素子部 20F の第 1 キャパシタは、ドレイン電極 6 の一部と端子電極 22 の一部（端子電極 22A）との間に設けられている誘電体層 3a で構成したキャパシタと、ドレイン電極 6 の一部と端子電極 22 の一部（端子電極 22C）との間に設けられている誘電体層 7 で構成したキャパシタとを含む。なお、端子電極 22 は、半導体基板 1 上に形成される端子電極 22A と、誘電体層 7 上に形成される端子電極 22C と、端子電極 22A と端子電極 22C とを繋ぐ端子電極 22D と、を含む。ドレイン電極 6 の一部と端子電極 22 の一部（端子電極 22A, 22C）とで挟む誘電体層は、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3a（第 1 誘電体層）と、ゲート絶縁膜 3 と異なる絶縁膜で形成された誘電体層 7（第 2 誘電体層）と、を含む。

10

【0089】

素子部 20F の第 1 キャパシタは、端子電極 22 の一部（端子電極 22A）と、誘電体層 3a（第 1 誘電体層）と、ドレイン電極 6 と、誘電体層 7（第 2 誘電体層）と、端子電極 22 の一部（端子電極 22C）とを順に積層して、複数層のキャパシタを構成している。これにより、素子部 20F を含む可変容量素子 300A は、キャパシタの容量をさらに大きくすることができる。誘電体層 3a と誘電体層 7 とは、同じ膜厚であっても、異なる膜厚であってもよい。さらに、誘電体層 3a と誘電体層 7 とは同じ誘電体材料であっても、異なる誘電体材料であってもよい。

20

【0090】

可変容量素子 300A では、素子部 20F の第 1 キャパシタにおいて、端子電極 22 の一部（端子電極 22A）と、誘電体層 3a（第 1 誘電体層）と、ドレイン電極 6 と、誘電体層 7（第 2 誘電体層）と、端子電極 22 の一部（端子電極 22C）とを順に積層して、2 層のキャパシタを構成したが、3 層以上のキャパシタを構成してもよい。

【0091】

（変形例 3 - 2）

図 16 は、実施の形態 3 の第 2 変形例に係る可変容量素子 300B の構成を説明するための断面図である。なお、図 16 に示す可変容量素子 300B において、図 15 に示す可変容量素子 300A と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

30

【0092】

図 16 に示す可変容量素子 300B は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 10A と、スイッチ部 10A と電氣的に接続され、受動素子を構成する素子部 20G とを含んでいる。

【0093】

素子部 20G の第 2 キャパシタは、ソース電極 5 と端子電極 22 の一部（端子電極 22B）との間に設けられている誘電体層 3a で構成したキャパシタではなく、ソース電極 5 と端子電極 22 の一部（端子電極 22E）との間に設けられている誘電体層 7 で構成したキャパシタである。素子部 20G の第 2 キャパシタは、ドレイン電極 6 上に形成した誘電体層 7 をソース電極 5 上まで延長し、平面視でソース電極 5 と重なる位置に端子電極 22E を形成してある。

40

【0094】

つまり、端子電極 22 の一部（端子電極 22E）が、誘電体層 7 を挟んでソース電極 5 の一部と対向している。なお、端子電極 22E は、チャンネル領域を迂回して端子電極 22C と電氣的に接続されている。また、誘電体層 7 は、ソース電極 5 とドレイン電極 6 との間のチャンネル形成膜 4 を被うパッシベーション膜 7a を構成している。

50

【 0 0 9 5 】

素子部 2 0 G の第 2 キャパシタは、端子電極 2 2 B をさらに設けてもよい。端子電極 2 2 B を設けた場合、素子部 2 0 G の第 2 キャパシタは、端子電極 2 2 の一部（端子電極 2 2 B）と、誘電体層 3 a（第 1 誘電体層）と、ソース電極 5 の一部と、誘電体層 7（第 2 誘電体層）と、端子電極 2 2 の一部（端子電極 2 2 E）とを順に積層して、2 層のキャパシタを構成する。

【 0 0 9 6 】

（変形例 3 - 3）

図 1 7 は、実施の形態 3 の第 3 変形例に係る可変容量素子 3 0 0 C の構成を説明するための断面図である。なお、図 1 7 に示す可変容量素子 3 0 0 C において、図 1 5 に示す可変容量素子 3 0 0 A と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

10

【 0 0 9 7 】

図 1 7 に示す可変容量素子 3 0 0 C は、半導体基板 1 上に形成した電界効果トランジスタを構成するスイッチ部 1 0 A と、スイッチ部 1 0 A と電氣的に接続され、受動素子を構成する素子部 2 0 H とを含んでいる。

【 0 0 9 8 】

素子部 2 0 H は、ドレイン電極 6 上に形成した誘電体層 7 をソース電極 5 上まで延長し、さらに端子電極 2 2 C をソース電極 5 上まで延長して形成してある。つまり、素子部 2 0 H では、図 1 6 に示す素子部 2 0 G と異なり、チャンネル領域を迂回せずに端子電極 2 2 C をソース電極 5 上まで延長して形成してある。そのため、端子電極 2 2 C の一部が、誘電体層 7 を挟んでチャンネル形成膜 4 と対向する。

20

【 0 0 9 9 】

素子部 2 0 H は、端子電極 2 2 B をさらに設けてもよい。端子電極 2 2 B を設けた場合、素子部 2 0 H の第 2 キャパシタは、端子電極 2 2 の一部（端子電極 2 2 B）と、誘電体層 3 a（第 1 誘電体層）と、ソース電極 5 の一部と、誘電体層 7（第 2 誘電体層）と、端子電極 2 2 の一部（端子電極 2 2 C の一部）とを順に積層して、2 層のキャパシタを構成する。

【 0 1 0 0 】

（実施の形態 4）

実施の形態 1 ~ 3 に係る電子素子では、含まれる受動素子がキャパシタで、可変させる物理量が容量である可変容量素子について説明したが、含まれる受動素子はキャパシタに限定されない。実施の形態 4 に係る電子素子では、含まれる受動素子がインダクタで、可変させる物理量がインダクタンスである可変インダクタンス素子について図面を参照しながら説明する。図 1 8 は、実施の形態 4 に係る可変インダクタンス素子 4 0 0 の構成を説明するための断面図である。図 1 9 は、実施の形態 4 に係る可変インダクタンス素子 4 0 0 の等価回路図である。なお、図 1 8、図 1 9 に示す可変インダクタンス素子 4 0 0 において、図 1 に示す可変容量素子 1 0 0 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。また、可変インダクタンス素子 4 0 0 において、可変容量素子 1 0 0 と同じ構成については同じ材料を用いることができる。

30

【 0 1 0 1 】

図 1 8 に示す可変インダクタンス素子 4 0 0 は、電界効果トランジスタを構成するスイッチ部 1 0 と、スイッチ部 1 0 と電氣的に接続され、受動素子を構成する素子部 4 0 とを含んでいる。素子部 4 0 は、スイッチ部 1 0 の図中右側に設けられている。

40

【 0 1 0 2 】

スイッチ部 1 0 は、ゲート電極 2、ゲート絶縁膜 3、チャンネル形成膜 4、ソース電極 5、およびドレイン電極 6 を有している。図 1 8 に示すスイッチ部 1 0 では、半導体基板 1 上にゲート電極 2 を形成し、ゲート電極 2 に重ねてゲート絶縁膜 3 およびチャンネル形成膜 4 を順に形成し、それらの上にソース電極 5 およびドレイン電極 6 の一部をそれぞれ形成している。

【 0 1 0 3 】

50

可変インダクタンス素子 400 では、素子部 40 がインダクタであり、ドレイン電極 6 の一部（電極 6c の上部）にコイル電極 41 の一端が電氣的に接続されている。コイル電極 41 は、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3a 内に積層することで形成されており、他端が端子 22a と電氣的に接続されている。つまり、素子部 40 は、ソース電極 5 と電氣的に接続される端子電極 5a（第 1 端子電極）と、誘電体層 3a を挟んでドレイン電極 6 の一部との間でインダクタ（コイル電極 41）を構成する端子 22a（第 2 端子電極）と、を有する。可変インダクタンス素子 400 では、スイッチ部 10 を第 1 インダクタ L1 とし、素子部 40 を第 2 インダクタ L2 とする。なお、第 1 インダクタ L1 は、コイル電極を含まないので、0（ゼロ）と見なすことができる所定量以下（例えば、1 万分の 1 以下）のインダクタンスを有している。一方、第 2 インダクタ L2 は、コイル電極 41 を含むので、コイル電極 41 によるインダクタンスを有している。

10

【0104】

可変インダクタンス素子 400 は、可変容量素子 100 と同様に、スイッチ部 10 が OFF 状態の場合、ゲート電極 2 に閾値以上のゲート電圧が印加されないので、平面視でゲート電極 2 と重なるチャネル形成膜 4 の位置に電子空乏層があり、ソース電極 5 とドレイン電極 6 とは導通しない。そのため、可変インダクタンス素子 400 は、第 1 インダクタ L1 のみのインダクタンスとなる。

【0105】

一方、可変インダクタンス素子 400 は、スイッチ部 10 が ON 状態の場合、ゲート電極 2 に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極 5 とドレイン電極 6 とが導通する。そのため、可変インダクタンス素子 400 は、ドレイン電極 6 と端子 22a との間のコイル電極 41 とに電流が流れるので第 2 インダクタ L2 のインダクタンスとなる。

20

【0106】

つまり、可変インダクタンス素子 400 では、スイッチ部 10 を ON / OFF 動作することで、インダクタがない状態と、インダクタがある状態とを切り替え、インダクタを ON / OFF している。可変インダクタンス素子 400 は、ゲート電極 2（制御電極端子 2a）への印加電圧により ON / OFF 動作するスイッチ部 10 と、端子電極 5a（第 1 端子電極）を介してドレイン電極 6 の一部（電極 6c）と端子電極 22（第 2 端子電極）の端子 22a とで動作する素子部 40 とに分けられ、3 端子で動作する。

30

【0107】

可変インダクタンス素子 400 は、図 19（a）に示す等価回路図からも分かるように、端子電極 5a（第 1 端子電極）および端子 22a（第 2 端子電極）がコンバータ回路などに接続される一方、インダクタンスを可変するための制御電極端子 2a は当該コンバータ回路とは別の回路と接続される。そのため、コンバータ回路の信号によって制御電極端子 2a に印加される信号が影響される可能性が低い。なお、可変インダクタンス素子 400 は、図 19（b）に示す等価回路図のように、端子電極 5a（第 1 端子電極）と端子 22a（第 2 端子電極）との間を配線で電氣的に接続してもよい。

【0108】

可変インダクタンス素子 400 では、図 18 に示すようにコイル電極 41 を誘電体層 3a 内に積層することで第 2 インダクタ L2 を形成しているが、誘電体層 3a 上にコイル電極を平面的に形成してもよい。図 20 は、実施の形態 4 の変形例に係る可変インダクタンス素子 400A の構成を説明するための平面図である。図 21 は、実施の形態 4 の変形例に係る可変インダクタンス素子 400A の構成を説明するための断面図である。なお、図 20、図 21 に示す可変インダクタンス素子 400A において、図 1 に示す可変容量素子 100、図 18 に示す可変インダクタンス素子 400 と同じ構成については同じ符号を付して詳細な説明は繰り返さない。また、可変インダクタンス素子 400A において、可変容量素子 100 と同じ構成については同じ材料を用いることができる。

40

【0109】

可変インダクタンス素子 400A では、素子部 40A がインダクタであり、ドレイン電

50

極 6 にコイル電極 4 2 の一端が電氣的に接続されている。コイル電極 4 2 は、ゲート絶縁膜 3 と同じ絶縁膜で形成された誘電体層 3 a 上に、平面的に形成されており、他端が端子 2 2 a と電氣的に接続されている。つまり、素子部 4 0 A は、ソース電極 5 と電氣的に接続される端子電極 5 a (第 1 端子電極) と、誘電体層 3 a に接してドレイン電極 6 の一部との間でインダクタ (コイル電極 4 2) を構成する端子 2 2 a (第 2 端子電極) と、を有する。可変インダクタンス素子 4 0 0 A では、スイッチ部 1 0 を第 1 インダクタ L 1 とし、素子部 4 0 A を第 2 インダクタ L 2 とする。なお、第 2 インダクタ L 2 は、コイル電極 4 2 を含むので、コイル電極 4 2 によるインダクタンスを有している。

【 0 1 1 0 】

以上のように、実施の形態 4 に係る可変インダクタンス素子 4 0 0、4 0 0 A は、電界効果トランジスタを構成するスイッチ部 1 0 と、スイッチ部 1 0 と電氣的に接続され、インダクタを構成する素子部 4 0、4 0 A と、を備えている。スイッチ部 1 0 は、ソース電極 5 と、ドレイン電極 6 と、少なくともソース電極 5 の一部とドレイン電極 6 の一部とに重ねて形成されたチャネル形成膜 4 と、チャネル形成膜 4 に重ねて形成されたゲート絶縁膜 3 と、ゲート絶縁膜 3 に重ねて形成されたゲート電極 2 と、を有している。素子部 4 0、4 0 A は、ソース電極 5 と電氣的に接続される端子電極 5 a (第 1 端子電極) と、ドレイン電極 6 との間でコイル電極 4 1、4 2 によりインダクタを構成する端子 2 2 a (第 2 端子電極) と、を有する。

【 0 1 1 1 】

これにより、実施の形態 4 に係る可変インダクタンス素子 4 0 0、4 0 0 A は、ドレイン電極 6 と端子 2 2 a との間でインダクタを構成するので、インダクタンスが 0 (ゼロ) となる場合を含む広い範囲でインダクタンスを可変することができる。

【 0 1 1 2 】

なお、複数の可変インダクタンス素子 4 0 0、4 0 0 A をマトリクス状に形成することで、多値化の可変インダクタンス素子を構成してもよい。また、図 1 8 に示すコイル電極 4 1 を抵抗素子に変更することで、受動素子をレジスタとして可変レジスタ素子としてもよい。さらに、スイッチ部 1 0 の構成は、例えば、シリコン MOSFET や GaNFET などであってもよい。

【 0 1 1 3 】

また、可変インダクタンス素子 4 0 0 では、図 1 に示す可変容量素子 1 0 0 のドレイン電極の一部 (電極 6 c) と第 2 端子電極 (端子電極 2 2) とで誘電体層を挟むことで構成されるキャパシタに代えて、ドレイン電極の一部 (電極 6 c) と第 2 端子電極 (端子 2 2 a) とを繋ぐコイル電極 4 1 で構成されるインダクタを採用している。同様に、可変容量素子 1 0 0 A ~ 1 0 0 C、2 0 0、2 0 0 A ~ 2 0 0 D、3 0 0、3 0 0 A ~ 3 0 0 C においてキャパシタを構成している部分に代えて、インダクタを採用することで可変インダクタンス素子としてもよい。また、可変容量素子 1 0 0 A ~ 1 0 0 C、2 0 0、2 0 0 A ~ 2 0 0 D、3 0 0、3 0 0 A ~ 3 0 0 C においてキャパシタを構成している部分に代えて、レジスタを採用することで可変抵抗素子としてもよい。可変容量素子 1 0 0 A ~ 1 0 0 C、2 0 0 A ~ 2 0 0 C、3 0 0 A ~ 3 0 0 C において異なる誘電体に異なる種類の受動素子 (キャパシタ、インダクタ、レジスタ) を設けてもよい。

【 0 1 1 4 】

(実施の形態 5)

図 5 に示す可変容量素子 1 0 0 A では、半導体基板 1 上に誘電体層 3 a と誘電体層 7 との 2 層を積層した可変容量素子について説明したが、半導体基板 1 上に積層する誘電体層は 3 層以上であってもよい。実施の形態 5 に係る電子素子では、基板上に 3 層の誘電体層を積層した可変容量素子について図面を参照しながら説明する。もちろん、可変容量素子は、基板上に 4 層以上の誘電体層を積層してもよい。図 2 2 は、実施の形態 5 に係る可変容量素子 5 0 0 の構成を説明するための断面図である。なお、図 2 2 に示す可変容量素子 5 0 0 において、図 1 に示す可変容量素子 1 0 0、1 0 0 A などと同じ構成については同じ符号を付して詳細な説明は繰り返さない。また、可変容量素子 5 0 0 において、可変容

10

20

30

40

50

量素子 100, 100A などと同じ構成については同じ材料を用いることができる。

【0115】

図 22 に示す可変容量素子 500 は、半導体基板 1 上に誘電体層 3a (第 1 誘電体層)、誘電体層 7 (第 2 誘電体層)、誘電体層 3b (第 3 誘電体層) が積層され、誘電体層 3b に電界効果トランジスタを構成するスイッチ部 10 を含んでいる。さらに、可変容量素子 500 は、誘電体層 3a および誘電体層 7 に、スイッチ部 10 と電氣的に接続され、キャパシタを構成する素子部 20I を含んでいる。素子部 20I とスイッチ部 10 とは、半導体基板 1 に対して垂直方向に配置されている。

【0116】

スイッチ部 10 は、ゲート電極 2、ゲート絶縁膜を構成する誘電体層 3b、チャンネル形成膜 4、ソース電極 5、およびドレイン電極 6 を有している。図 22 に示すスイッチ部 10 では、誘電体層 3b (第 3 誘電体層) にゲート電極 2 を形成し、ゲート電極 2 が形成されている誘電体層 3b にチャンネル形成膜 4 を重ねて形成し、それらの上にソース電極 5 およびドレイン電極 6 の一部 (電極 6a) をそれぞれ形成している。

10

【0117】

素子部 20I は、端子電極 22 の一部 (端子電極 221) と、誘電体層 3a (第 1 誘電体層) と、ドレイン電極 6 の一部 (電極 6c) と、誘電体層 7 (第 2 誘電体層) と、端子電極 22 の一部 (端子電極 222) とを順に積層して、複数層のキャパシタを構成している。これにより、素子部 20I を含む可変容量素子 500 は、キャパシタの容量をさらに大きくすることができる。なお、誘電体層 7 (第 2 誘電体層) とゲート絶縁膜を構成する誘電体層 3b (第 3 誘電体層) とは、同じ絶縁膜 (誘電体材料) である。もちろん、誘電体層 7 および誘電体層 3b が、誘電体層 3a と同じ誘電体材料 (つまり、すべてが同じ誘電体材料) であってもよい。さらに、誘電体層 3a と誘電体層 3b とが同じ誘電体材料であっても、誘電体層 3a と誘電体層 7 とが同じ誘電体材料であっても、誘電体層 3a, 3b、誘電体層 7 がすべて異なる誘電体材料であってもよい。また、誘電体層 3a, 3b と誘電体層 7 とは、同じ膜厚であっても、すべて異なる膜厚であってもよい。

20

【0118】

可変容量素子 500 では、素子部 20I において、半導体基板 1 上に 3 層積層した誘電体層 3a, 3b, 7 のうち誘電体層 3b (第 3 誘電体層) にスイッチ部 10 を形成し、残り 2 層の誘電体層 3a, 7 で 2 層のキャパシタの素子部 20I を構成したが、素子部 20I を 3 層以上のキャパシタで構成してもよい。

30

【0119】

スイッチ部 10 が OFF 状態の場合、ゲート電極 2 に閾値以上のゲート電圧が印加されないので、平面視でゲート電極 2 と重なるチャンネル形成膜 4 の位置に電子空乏層があり、ソース電極 5 とドレイン電極 6 とは導通しない。そのため、可変容量素子 500 は、ソース電極 5 のみに電圧が印加され、電極 6c と端子電極 22 との間に電圧が印加されないのので、キャパシタが構成されない。

【0120】

一方、可変容量素子 500 は、スイッチ部 10 が ON 状態の場合、ゲート電極 2 に閾値以上のゲート電圧を印加することでチャンネルが形成されソース電極 5 とドレイン電極 6 とが導通する。そのため、可変容量素子 500 は、ソース電極 5 およびドレイン電極 6 に電圧が印加され、電極 6c と端子電極 22 との間にも電圧が印加されるのでキャパシタが構成される。

40

【0121】

図 22 に示した可変容量素子 500 の構成は、キャパシタを構成している部分に代えて、インダクタを採用することで可変インダクタ素子としても、キャパシタを構成している部分に代えて、レジスタを採用することで可変抵抗素子としてもよい。

【0122】

(変形例)

ゲート絶縁膜 3 および誘電体層 3a, 7 に採用することが可能な材料を、以下にまとめ

50

て列記する。もちろん、当該材料は、以下の記載に限定されない。

・ SiO_2 , Al_2O_3 , HfO_2 , ZrO_2 , La_2O_3 , Ta_2O_5 などのアモルファスまたは多結晶金属酸化物

・ SiN , Si_3N_4 , SiON 等の窒化膜

・ 強誘電体 HfO_2 , および HfO_2 に Si , Ce , Y , Zr , Bi , Ni , Ta , La 等の3価または4価または5価金属原子を少なくとも1種類以上ドーピングした強誘電体膜、 PbTiO_3 を母結晶とした強誘電体材料、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ を母結晶とした強誘電体材料、 Bi 層状構造を有する強誘電体材料、その他ペロブスカイト型結晶を有する金属酸化物、パイロクロア型結晶を有する金属酸化物、有機強誘電体材料、その他樹脂材料(ポリイミド、アクリル、エポキシ、ポリプロピレン、ポリエステル、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリフェニレンスルフィド、ポリ乳酸など)

10

チャンネル形成膜4に採用することが可能な材料を、以下にまとめて列記する。もちろん、当該材料は、以下の記載に限定されない。

・ In-O , In-Sn-O , In-Zn-O , In-Sn-Zn-O , In-Ga-Zn-O , In-Ga-O , Ga-O , Zn-O , Al-Zn-O , Sn-O , Ti-O 系のn型酸化物半導体

・ Cu-O , Sn-O , Zn-O 系のp型酸化物半導体

・ Cu-Sn-I 系アモルファスp型酸化物半導体

・ n型 Si 、p型 Si 、 SiC 等の Si 半導体

・ GaN などの窒化物半導体

20

・ グラフェン、遷移金属カルコゲナイド系の2次元導電材料

・ LaNiO_3 , BaSnO_3 , SrTiO_3 等のペロブスカイト型導電材料

前述の可変容量素子100, 200, 300などは、様々な回路装置に適用することができる。当該回路装置は、回路配線と、回路配線に電気的に接続される、前述の可変容量素子100, 200, 300と、を備える。例えば、LLC共振コンバータ、無線通信端末に設けられる通信回路、直流遮断器に用いるハイブリッドスイッチ回路などの回路装置に、前述の可変容量素子100, 200, 300などを適用することができる。

【0123】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

30

【符号の説明】

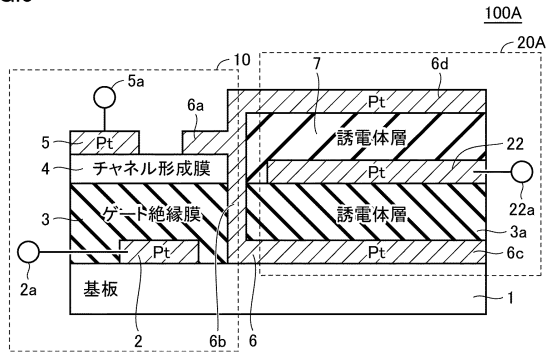
【0124】

1 半導体基板、2 ゲート電極、2a 制御電極端子、3 ゲート絶縁膜、3a, 7 誘電体層、4 チャンネル形成膜、5 ソース電極、5a, 22 端子電極、6 ドレイン電極、10 スwitch部、20, 40 素子部、41, 42 コイル電極、100, 200, 300, 500 可変容量素子、400 可変インダクタンス素子。

40

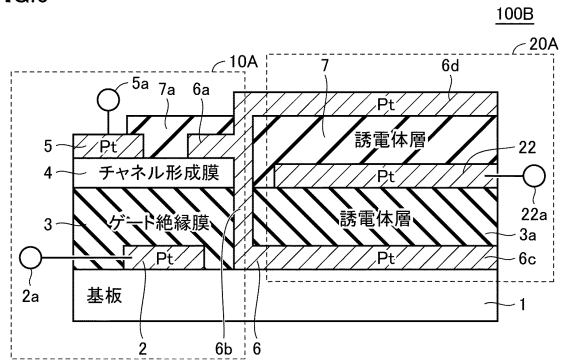
【図 5】

FIG.5



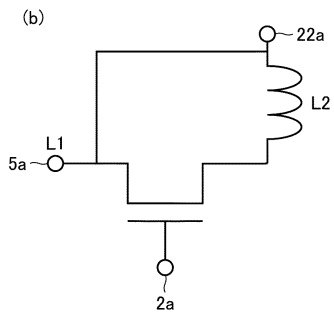
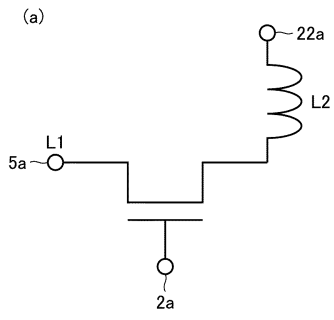
【図 6】

FIG.6



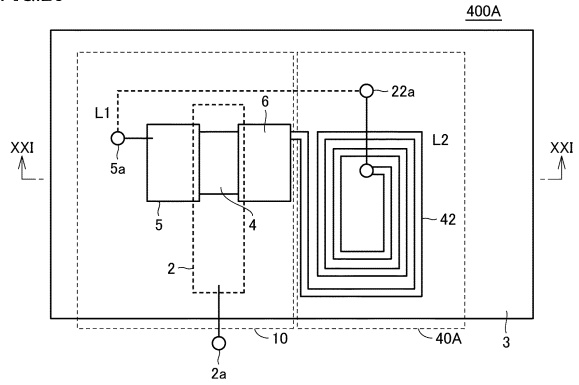
【 図 1 9 】

FIG.19



【 図 2 0 】

FIG.20

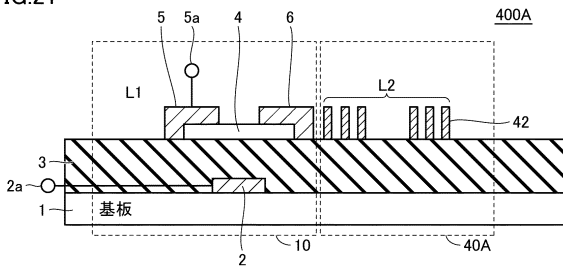


10

20

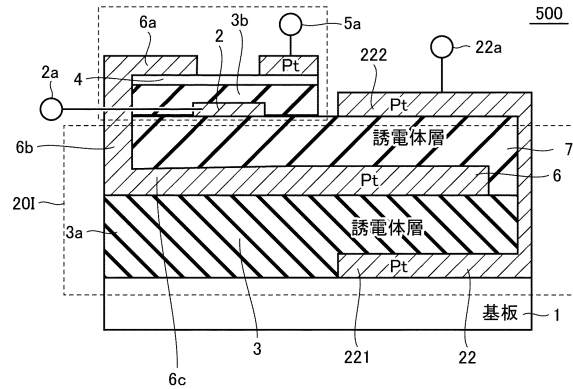
【 図 2 1 】

FIG.21



【 図 2 2 】

FIG.22



30

40

50

フロントページの続き

(51)国際特許分類		F I		
<i>H 0 1 G</i>	<i>7/00 (2006.01)</i>	<i>H 0 1 G</i>	<i>7/00</i>	
<i>H 0 1 C</i>	<i>13/00 (2006.01)</i>	<i>H 0 1 C</i>	<i>13/00</i>	A
<i>H 0 1 F</i>	<i>21/12 (2006.01)</i>	<i>H 0 1 F</i>	<i>21/12</i>	
<i>H 0 1 F</i>	<i>17/00 (2006.01)</i>	<i>H 0 1 F</i>	<i>17/00</i>	A
(56)参考文献	特開 2 0 1 1 - 2 0 5 0 1 7 (J P , A)			
	特開 2 0 1 6 - 0 2 7 5 9 0 (J P , A)			
	特開平 7 - 1 4 2 2 5 8 (J P , A)			
	特開 2 0 1 3 - 1 4 9 6 4 8 (J P , A)			
	特開 2 0 1 0 - 1 7 1 3 9 4 (J P , A)			
	特表 2 0 1 6 - 5 1 8 7 0 0 (J P , A)			
(58)調査した分野	(Int.Cl., D B 名)			
	H 0 1 L 2 9 / 7 8 6			
	H 0 1 L 2 1 / 8 2 2			
	H 0 1 L 2 1 / 8 2 3 4			
	H 0 1 L 2 7 / 0 8 8			
	H 0 1 G 7 / 0 0			
	H 0 1 C 1 3 / 0 0			
	H 0 1 F 2 1 / 1 2			
	H 0 1 F 1 7 / 0 0			