



(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2022/201283**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2021 007 343.5**
(86) PCT-Aktenzeichen: **PCT/JP2021/011856**
(86) PCT-Anmeldetag: **23.03.2021**
(87) PCT-Veröffentlichungstag: **29.09.2022**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **02.05.2024**

(51) Int Cl.: **G11C 5/00 (2006.01)**
G11C 7/04 (2006.01)
G11C 5/06 (2006.01)
G06F 1/16 (2006.01)
G01R 1/06 (2006.01)

(71) Anmelder:
Kioxia Corporation, Tokyo, JP

(74) Vertreter:
**HOFFMANN - EITLE Patent- und Rechtsanwälte
PartmbB, 81925 München, DE**

(72) Erfinder:
**Hitomi, Tatsuro, Tokyo, JP; Yoshimizu, Yasuhito,
Tokyo, JP; Inoue, Arata, Tokyo, JP; Dohmae,
Hiroyuki, Tokyo, JP; Hayasaka, Kazuhito, Tokyo,
JP; Sanuki, Tomoya, Tokyo, JP**

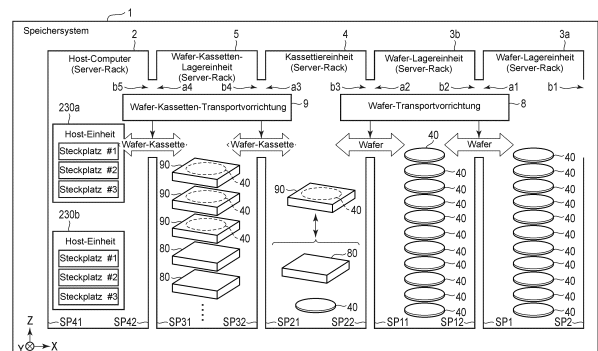
Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Speichersystem**

(57) Zusammenfassung: Es ist ein Speichersystem vorgesehen, das für die Verarbeitung großer Mengen von Daten geeignet ist.

Wenn eine Wafer-Kassette, auf die zugegriffen werden soll und die einen ersten Halbleiter-Wafer umfasst, nicht mit einem Steckplatz einer Vorrichtung verbunden ist und in einer Wafer-Kassetten-Lagereinheit aufbewahrt wird, veranlasst die Vorrichtung eine Wafer-Kassetten-Transportvorrichtung, die Wafer-Kassette, auf die zugegriffen werden soll, zu dem Steckplatz der Vorrichtung zu transportieren und sie mit diesem zu verbinden. Wenn die Wafer-Kassette, auf die zugegriffen werden soll, nicht mit dem Steckplatz der Host-Vorrichtung verbunden ist und nicht in dem Wafer-Kassetten-Lagereinheit gelagert wird, veranlasst die Host-Vorrichtung eine Wafer-Transportvorrichtung, die erste Halbleiter-Kassette von einer Wafer-Lagereinheit zu einer Kassetteneinheit zu transportieren, veranlasst die Kassetteneinheit, die erste Halbleiter-Kassette in einem Kassettengehäuse unterzubringen, und veranlasst die Wafer-Kassetten-Transportvorrichtung, eine Wafer-Kassette, auf die zugegriffen werden soll und die die erste Halbleiter-Kassette umfasst, zu dem Steckplatz der Host-Vorrichtung zu transportieren und sie damit zu verbinden.



Beschreibung

Technisches Gebiet

[0001] Ausführungsformen der vorliegenden Erfindung betreffen allgemein eine Technologie zur Steuerung nichtflüchtiger Speicher.

Hintergrund der Erfindung

[0002] Speichervorrichtungen, die mit einem nichtflüchtigen Speicher ausgestattet sind, sind in letzter Zeit weit verbreitet. Als eine dieser Vorrichtungen ist ein Solid-State-Laufwerk (SSD) bekannt, das mit einem NAND-Flash-Speicher ausgestattet ist.

[0003] Das SSD wird als Speicher in verschiedenen Computern verwendet. In jüngster Zeit wird das SSD auch als Speicher in Datenzentren verwendet.

[0004] In Datenzentren müssen große Mengen an Daten mit hoher Geschwindigkeit geschrieben und gelesen werden.

[0005] Unter diesen Umständen besteht die Notwendigkeit, ein neues Speichersystem zu realisieren, das für die Verarbeitung großer Datenmengen geeignet ist.

Zitierliste

Patentliteratur

Patentliteratur 1: JP 2020-194889 A

Patentschrift 2: JP 2020-198354 A

Patentschrift 3: JP 2008-227148 A

Zusammenfassung der Erfindung

Technische Aufgabenstellung

[0006] Die Aufgabe der vorliegenden Erfindung besteht darin, ein Speichersystem für die Verarbeitung großer Datenmengen vorzusehen.

Lösung der Aufgabenstellung

[0007] Gemäß einer Ausführungsform umfasst ein Speichersystem eine Wafer-Lagereinheit, eine Kassettiereinheit, eine Wafer-Kassetten-Lagereinheit, eine Host-Vorrichtung, eine Wafer-Transportvorrichtung und eine Wafer-Transportvorrichtung. Die Wafer-Lagereinheit ist in der Lage, eine Vielzahl von Halbleiter-Wafern zu lagern, wobei jeder der Vielzahl von Halbleiter-Wafern eine Vielzahl von nichtflüchtigen Speichervorrichtungen umfasst, die darin ausgebildet sind. Die Kassettiereinheit ist so konfiguriert, dass sie mindestens eine der Vielzahl von Halbleiter-Wafern in einem Kassettengehäuse

unterbringt, das in der Lage ist, mindestens eine der Vielzahl von Halbleiter-Wafern aufzunehmen. Die Wafer-Kassetten-Lagereinheit ist in der Lage, eine Wafer-Kassette zu lagern, wobei die Wafer-Kassette ein Kassettengehäuse und einen Halbleiter-Wafer umfasst, der in dem Kassettengehäuse untergebracht ist. Die Vorrichtung umfasst mindestens einen Steckplatz, an den die Wafer-Kassette angeschlossen werden kann, und ist so konfiguriert, dass sie Daten von dem Halbleiter-Wafer, der in der mit dem Steckplatz verbundenen Wafer-Kassette umfasst ist, lesen und auf diesen schreiben kann. Die Wafer-Transportvorrichtung ist so konfiguriert, dass sie den Halbleiter-Wafer zwischen der Wafer-Lagereinheit und der Kassettiereinheit transportiert. Die Wafer-Kassetten-Transportvorrichtung ist so konfiguriert, dass sie die Wafer-Kassette zwischen der Kassettiereinheit, der Wafer-Lagereinheit und der Host-Vorrichtung transportiert. Die Host-Vorrichtung bestimmt einen ersten Halbleiter-Wafer, auf den aus der Vielzahl von Halbleiter-Wafern zugegriffen werden soll. Wenn die Wafer-Kassette, auf die zugegriffen werden soll und die den ersten Halbleiter umfasst, an den Steckplatz der Host-Vorrichtung angeschlossen ist, führt die Host-Vorrichtung das Lesen oder Schreiben von Daten von oder auf den ersten Halbleiter-Wafer aus. Wenn die Wafer-Kassette, auf die zugegriffen werden soll, nicht mit dem Steckplatz der Host-Vorrichtung verbunden ist und in der Wafer-Kassetten-Lagereinheit aufbewahrt wird, veranlasst die Host-Vorrichtung die Wafer-Kassetten-Transportvorrichtung, die Wafer-Kassette, auf die zugegriffen werden soll, zum Steckplatz der Host-Vorrichtung zu transportieren und mit dem Steckplatz zu verbinden. Wenn die Wafer-Kassette, auf die zugegriffen werden soll, nicht mit dem Steckplatz der Host-Vorrichtung verbunden ist und nicht in der Wafer-Lagereinheit aufbewahrt wird, veranlasst die Host-Vorrichtung die Wafer-Transportvorrichtung, den ersten Halbleiter-Wafer von der Wafer-Lagereinheit zu der Kassettiereinheit zu transportieren, veranlasst die Kassettiereinheit, den transportierten ersten Halbleiter-Wafer in dem Kassettengehäuse unterzubringen, und veranlasst die Wafer-Kassetten-Transportvorrichtung, die Wafer-Kassette, auf die zugegriffen werden soll und die den ersten Halbleiter-Wafer umfasst, zu dem Steckplatz der Host-Vorrichtung zu transportieren und sie mit dem Steckplatz zu verbinden.

Kurzbeschreibung der Zeichnungen

Fig. 1 ist ein Diagramm, das ein Beispiel einer Konfiguration eines Speichersystems gemäß einer Ausführungsform zeigt.

Fig. 2 ist ein Diagramm, das ein Beispiel für eine Konfiguration eines Halbleiter-Wafers gemäß der Ausführungsform zeigt.

Fig. 3 ist ein Diagramm, das ein Beispiel für die Konfiguration einer Wafer-Kassette gemäß der Ausführungsform zeigt.

Fig. 4 ist ein Diagramm, das ein Beispiel für die Konfiguration einer Kassetteneinheit gemäß der Ausführungsform darstellt.

Fig. 5 ist ein Diagramm, das ein Beispiel für die Konfiguration eines Host-Computers gemäß der Ausführungsform darstellt.

Fig. 6 ist eine Draufsicht, die ein Beispiel für die Anordnung von Wafer-Lagereinheiten, einer Kassetteneinheit, einer Wafer-Kassetten-Lagereinheit, einem Host-Computer, einer Wafer-Transportvorrichtung und einer Wafer-Kassetten-Transportvorrichtung gemäß der Ausführungsform darstellt.

Fig. 7 ist eine Draufsicht, die ein Beispiel für eine Konfiguration der Wafer-Lagereinheit gemäß der Ausführungsform zeigt.

Fig. 8 ist eine Draufsicht, die ein Beispiel für eine Konfiguration eines Roboterarms zeigt, der als Wafer-Transportvorrichtung gemäß der Ausführungsform verwendet wird.

Fig. 9A ist ein Diagramm, das einen Abschnitt des Transports eines Halbleiter-Wafers von einer ersten Wafer-Lagereinheit zu einer zweiten Wafer-Lagereinheit gemäß der Ausführungsform darstellt.

Fig. 9B ist ein Diagramm, das den restlichen Vorgang des Transports der Halbleiter-Wafer von der ersten Wafer-Lagereinheit zu der zweiten Wafer-Lagereinheit gemäß der Ausführungsform veranschaulicht.

Fig. 10 ist eine Draufsicht zur Veranschaulichung einer beispielhaften Anordnung der Wafer-Transportvorrichtung und einer Vielzahl von Roboterarmen, die als Wafer-Kassetten-Transportvorrichtung verwendet werden, gemäß der Ausführungsform.

Fig. 11 ist eine Draufsicht, die ein weiteres Beispiel für die Anordnung der Wafer-Transportvorrichtung und einer Vielzahl von Roboterarmen zeigt, die als Wafer-Kassetten-Transportvorrichtung verwendet werden, entsprechend der Ausführungsform.

Fig. 12 ist ein Diagramm, das ein Beispiel für eine Konfiguration der Wafer-Kassette gemäß der Ausführungsform darstellt.

Fig. 13 ist ein Diagramm zur Veranschaulichung eines Beispiels für die Konfiguration einer Vorrichtung gemäß der Ausführungsform.

Fig. 14 ist ein Blockdiagramm, das ein Beispiel für eine Konfiguration der Vorrichtung gemäß der Ausführungsform darstellt.

Fig. 15A ist ein Diagramm, das einen Vorgang veranschaulicht, der auf einer Änderung der Priorität eines Halbleiter-Wafers basiert, der in dem Speichersystem gemäß der Ausführungsform auszuführen ist.

Fig. 15B ist ein Diagramm, das einen weiteren Vorgang veranschaulicht, der auf einer Änderung der Priorität eines Halbleiter-Wafers basiert, der in dem Speichersystem gemäß der Ausführungsform auszuführen ist.

Fig. 16A ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem gemäß der Ausführungsform ausgeführt wird, wenn eine Wafer-Kassette, auf die zugegriffen werden soll, bereits mit einem Steckplatz der Vorrichtung verbunden ist.

Fig. 16B ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem gemäß der Ausführungsform ausgeführt wird, wenn eine Wafer-Kassette, auf die zugegriffen werden soll, in einer Wafer-Kassetten-Lagereinheit gespeichert ist.

Fig. 16C ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem gemäß der Ausführungsform ausgeführt wird, wenn eine Wafer-Kassette, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit gelagert ist.

Fig. 16D ist ein Diagramm, das einen anderen Vorgang veranschaulicht, der im Speichersystem gemäß der Ausführungsform ausgeführt wird, wenn eine Wafer-Kassette, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit gelagert ist.

Fig. 16E ist ein Diagramm, das einen weiteren Vorgang veranschaulicht, der in dem Speichersystem gemäß der Ausführungsform ausgeführt wird, wenn eine Wafer-Kassette, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit gelagert ist.

Fig. 16F ist ein Diagramm, das einen weiteren Vorgang veranschaulicht, der in dem Speichersystem gemäß der Ausführungsform ausgeführt wird, wenn eine Wafer-Kassette, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit gelagert ist.

Fig. 17 ist ein Flussdiagramm, das einen Vorgang zum Lesen oder Schreiben von Daten veranschaulicht, der von der Host-Vorrichtung im Speichersystem gemäß der Ausführungsform ausgeführt wird.

Fig. 18 ist ein Flussdiagramm, das den Ablauf eines Zugriffsprozesses veranschaulicht, der bei dieser Ausführungsform von der Host-Vorrichtung ausgeführt wird.

Fig. 19 ist ein Flussdiagramm, das den Ablauf eines Wafer-Kassetten-Transportprozesses veranschaulicht, der von der Host-Vorrichtung gemäß der Ausführungsform ausgeführt wird.

Fig. 20 ist ein Flussdiagramm zur Veranschaulichung des Ablaufs eines Wafer-Kassetten-Transportprozesses für den Fall, dass ein freier Steckplatz in der Host-Vorrichtung vorhanden ist, ausgeführt durch die Host-Vorrichtung gemäß der Ausführungsform.

Fig. 21 ist ein Flussdiagramm, das den Ablauf eines Wafer-Kassetten-Transportprozesses für den Fall veranschaulicht, dass es keinen freien Steckplatz in der Vorrichtung gibt, ausgeführt durch die Vorrichtung gemäß der Ausführungsform.

Fig. 22 ist ein Flussdiagramm, das den Ablauf eines Prozesses zur Montage oder Demontage einer Wafer-Kassette veranschaulicht, der von der Vorrichtung ausgeführt wird, wenn es einen freien Steckplatz in der Vorrichtung gibt, gemäß der Ausführungsform.

Fig. 23 ist ein Flussdiagramm zur Veranschaulichung eines Verfahrens zur Montage oder Demontage von Wafer-Kassetten, das von der Vorrichtung ausgeführt wird, wenn es keinen freien Steckplatz in der Vorrichtung gibt, gemäß der Ausführungsform.

Fig. 24 ist ein Flussdiagramm, das einen Prozess zur Behandlung von Wafer-Kassetten-Verbindungsfehlern veranschaulicht, der von der Host-Vorrichtung gemäß der Ausführungsform ausgeführt wird.

Fig. 25 ist ein Flussdiagramm, das ein Verfahren zur Verarbeitung eines Kassettengehäuses veranschaulicht, das nicht verwendet werden darf, wie es von der Host-Vorrichtung gemäß der Ausführungsform ausgeführt wird.

Fig. 26 ist ein Diagramm zur Veranschaulichung einer Konfiguration zur Erhöhung der Temperatur eines Halbleiter-Wafers, der in einer Wafer-Kassette gemäß der Ausführungsform umfasst ist.

Fig. 27 ist ein Diagramm zur Veranschaulichung der Kantenbearbeitung von Halbleiter-Wafern gemäß dieser Ausführungsform.

Fig. 28 ist ein Diagramm zur Erläuterung eines Zentrierarms, der in dem Kassettengehäuse gemäß der Ausführungsform installiert ist.

Fig. 29 ist ein Diagramm zur Veranschaulichung einer auf einem Halbleiter-Wafer gebildeten Umverteilungsschicht gemäß der Ausführungsform.

Fig. 30 ist ein Diagramm, das eine Konfiguration einer Kassettiereinheit gemäß der Ausführungsform illustriert.

Fig. 31 ist ein Diagramm zur Veranschaulichung einer beispielhaften Konfiguration der Kassettiereinheit gemäß dieser Ausführungsform.

Fig. 32 ist ein Diagramm, das ein weiteres Beispiel für die Konfiguration der Kassettiereinheit gemäß der Ausführungsform darstellt.

Fig. 33 ist ein Diagramm, das ein weiteres Beispiel für die Konfiguration des Kassettengehäuses gemäß der Ausführungsform darstellt.

Fig. 34 ist ein Diagramm, das ein weiteres Beispiel für die Konfiguration des Kassettengehäuses gemäß der Ausführungsform darstellt.

Fig. 35 ist ein Diagramm, das ein weiteres Beispiel für die Konfiguration des Kassettengehäuses gemäß der Ausführungsform darstellt.

Fig. 36 ist ein Diagramm, das ein weiteres Beispiel für die Konfiguration des Kassettengehäuses gemäß der Ausführungsform darstellt.

Fig. 37 ist ein Diagramm, das ein weiteres Beispiel für die Konfiguration des Kassettengehäuses gemäß der Ausführungsform darstellt.

Fig. 38 ist ein Diagramm, das ein Beispiel für die Anordnung einer Host-Schnittstelle in einem Kassettengehäuse gemäß der Ausführungsform darstellt.

Beschreibung der Ausführungsformen

[0008] Die Ausführungsformen werden im Folgenden unter Bezugnahme auf die beigefügten Zeichnungen beschrieben.

[0009] Zunächst wird eine Konfiguration eines Speichersystems gemäß einer Ausführungsform beschrieben. **Fig. 1** ist ein Diagramm, das eine beispielhafte Konfiguration eines Speichersystems 1 gemäß der Ausführungsform zeigt. Das Speichersystem 1 kann in einem Datenzentrum eingesetzt werden.

[0010] In den Beschreibungen der Ausführungsform wird jeweils eine X-Achse, eine Y-Achse und eine Z-Achse definiert. Die X-Achse, Y-Achse und Z-Achse schneiden sich orthogonal zueinander. Eine durch die X-Achse und die Y-Achse definierte X-Y-Ebene gehört zu einer Ebene des Datenzentrums. Die Z-Achse gehört zu einer Höhenrichtung des Datenzentrums.

[0011] Das Speichersystem 1 umfasst einen Host-Computer 2, Wafer-Lagereinheiten 3, eine Kassettiereinheit 4, eine Wafer-Kassetten-Lagereinheit 5,

eine Wafer-Transportvorrichtung 8 und eine Wafer-Kassetten-Transportvorrichtung 9.

[0012] Fig. 1 zeigt einen Beispielfall, bei dem der Host-Computer 2, die Wafer-Kassetten-Lagereinheit 5, der Kassettiereinheit 4 und die Wafer-Kassetten-Lagereinheiten 3 (zwei Wafer-Kassetten-Lagereinheiten 3b und 3a) in einer einzelnen Reihe entlang der X-Achse ausgerichtet sind.

[0013] In diesem Fall verläuft die X-Achse entlang der Breite des Host-Computers 2, der Wafer-Kassetten-Lagereinheit 5, der Kassettiereinheit 4 und der Wafer-Lagereinheit 3. Die Y-Achse verläuft entlang der Tiefe des Host-Rechners 2, der Wafer-Kassetten-Lagereinheit 5, der Kassettiereinheit 4 und der Wafer-Lagereinheit 3. Die Z-Achse verläuft entlang der Höhe des Host-Computers 2, der Wafer-Kassetten-Lagereinheit 5, der Kassettiereinheit 4 und der Wafer-Lagereinheiten 3.

[0014] Das Speichersystem 1 verwendet einen Halbleiter-Wafer 40 als Speichermedium. Der Halbleiter-Wafer 40 umfasst eine Vielzahl von nichtflüchtigen Speichervorrichtungen. Das Speichersystem 1 ist so konfiguriert, dass es Daten in die nichtflüchtigen Speichervorrichtungen auf dem Halbleiter-Wafer 40 schreibt und Daten aus den nichtflüchtigen Speichervorrichtungen auf dem Halbleiter-Wafer 40 liest. Jede der nichtflüchtigen Speichervorrichtungen, die den Halbleiter-Wafer 40 umfasst, ist beispielsweise ein NAND-Flash-Speicher.

[0015] Normalerweise werden nichtflüchtige Vorrichtungen, die in einem Halbleiter-Wafer gebildet werden, als Chips durch Würfeln herausgeschnitten. Die ausgeschnittenen Chips können auch als nichtflüchtige Speicherchips bezeichnet werden. Im Speichersystem 1 wird dagegen der Halbleiter-Wafer 40 selbst, der mehrere nichtflüchtige Vorrichtungen umfasst, als Speichermedium verwendet. Die im Speichersystem 1 verwendete Halbleiter-Wafer 400 hat eine Dicke von beispielsweise 500 µm oder mehr.

[0016] Als Halbleiter-Wafern 40 kann eine Halbleiter-Wafer verwendet werden, aus der nichtflüchtige Vorrichtungen als Chips herausgeschnitten werden. Als Halbleiter-Wafer 40 kann auch eine Halbleiter-Wafer verwendet werden, die durch Zusammenfügen von nichtflüchtigen Speicherbausteinen, die aus mehreren Halbleiter-Wafern ausgeschnitten wurden, erhalten wurde.

[0017] Hier wird ein Beispiel für die Konfiguration eines Speichersystems gemäß einem Vergleichsbeispiel beschrieben. Das Speichersystem gemäß dem Vergleichsbeispiel verwendet Halbleiter-Wafer als Speichermedien. Das Speichersystem gemäß dem Vergleichsbeispiel umfasst eine Sonde und eine Host-Vorrichtung. Der Prober umfasst eine Sonden-

karte (Probenkarte) und einen Tisch. In dem Speichersystem gemäß dem Vergleichsbeispiel führt die mit dem Prober verbundene Host-Vorrichtung das Schreiben und Lesen von Daten auf und von einem auf dem Tisch platzierten Halbleiter-Wafer über die Sondenkarte durch.

[0018] Bei der Konfiguration des Vergleichsbeispiels wird der Prober jedoch nur mit einer Halbleiter-Wafer belegt, während die Host-Vorrichtung auf diese Halbleiter-Wafer zugreift. Damit die Vorrichtung auf eine neue Halbleiter-Wafer zugreifen kann, muss die Halbleiter-Wafer, die sich gerade auf dem Tisch befindet, vom Prober entfernt und die neue Halbleiter-Wafer auf dem Tisch platziert werden. Darüber hinaus ist es notwendig, die mehreren Sondenstifte der Sondenkarte mit den mehreren Elektroden des neuen Halbleiter-Wafers, auf den zugegriffen werden soll, auf dem Tisch auszurichten.

[0019] Dies hat zur Folge, dass eine gewisse Zeit (Latenz) benötigt wird, bis die Vorrichtung tatsächlich Daten in Bezug auf den neuen Halbleiter-Wafer, auf den zugegriffen werden soll und der sich auf dem Tisch befindet, lesen oder schreiben kann.

[0020] Um diese Latenzzeit zu verkürzen, ist es notwendig, die Halbleiter-Wafer mit hoher Geschwindigkeit von der Wafer-Lagereinheit zum Prober zu transportieren. In diesem Fall kann der Halbleiter-Wafer unerwünscht beschädigt werden.

[0021] In dem Speichersystem 1 der vorliegenden Ausführungsform wird anstelle des Zugriffs der Vorrichtung auf einen Halbleiter-Wafer 40 über den Prober eine Wafer-Kassette 90 als eine von der Vorrichtung zugängliche Vorrichtung verwendet. Die Wafer-Kassette 90 umfasst ein Kassettengehäuse 80 und einen Halbleiter-Wafer 40.

[0022] Der Host-Computer 2 umfasst eine Host-Einheit 230. Fig. 1 veranschaulicht einen Beispielfall, in dem zwei Host-Einheiten 230a und 230b im Host-Computer 2 umfasst sind. Es ist zu beachten, dass die Anzahl der im Host-Computer 2 umfassenden Host-Einheiten 230 eine, drei oder mehr sein kann.

[0023] Die Host-Einheit 230 umfasst einen Steckplatz. Mindestens eine Wafer-Kassette 90 kann an den Steckplatz angeschlossen werden. Fig. 1 zeigt einen Beispielfall, in dem die Host-Einheit 230 drei Steckplätze (Steckplätze 1 bis 3) umfasst. Es ist zu beachten, dass die Anzahl der in der Host-Einheit 230 erfassten Steckplätze zwei oder weniger, vier oder mehr betragen kann.

[0024] Die Host-Einheit 230 fungiert als eine Host-Vorrichtung, die so konfiguriert ist, dass sie Daten in Bezug auf die Halbleiter-Kassettiereinheit 40 (insbesondere jede nichtflüchtige Speichervorrichtung, die

in der Halbleiter-Kassettiereinheit 40 umfasst ist), die in der mit dem Steckplatz verbundenen Wafer-Kassette 90 enthalten ist, lesen und schreiben kann. Ferner ist die Host-Einheit 230 so konfiguriert, dass sie über eine Schnittstelle mit der Kassettiereinheit 4, der Wafer-Transportvorrichtung 8 und der Wafer-Kassette-Transportvorrichtung 9 kommuniziert. Diese Schnittstelle entspricht beispielsweise einem Standard von Ethernet (eingetragenes Warenzeichen).

[0025] In dem Datenzentrum ist eine Vielzahl von Server-Racks vorgesehen. Bei den Server-Racks handelt es sich um Gestelle zur Unterbringung von Computern und Kommunikationsvorrichtungen in diesen. Größe und Form der Server-Racks sind beispielsweise von der Electronic-Industries-Association-of-America (EIA) genormt.

[0026] Beispielsweise hat ein 19-Zoll-Rack eine Breite von 19 Zoll und eine Höhe für eine Einheit von 1,75 Zoll. In Datenzentren wird beispielsweise häufig ein 19-Zoll-Rack mit einer Höhe von 42 Einheiten (19-Zoll-42U-Rack) verwendet.

[0027] In dieser Ausführungsform umfasst der Host-Computer 2 ein Server-Rack, beispielsweise ein 19-Zoll-Rack.

[0028] Die Host-Einheit 230 hat eine Größe, die in dem Server-Rack untergebracht werden kann. Die Host-Einheit 230 hat eine Höhe, die beispielsweise ein ganzzahliges Vielfaches der Höhe einer Einheit ist. Mit anderen Worten: Die Host-Einheit 230 kann so groß sein, dass sie im Raum einer Einheit des Server-Racks untergebracht werden kann. Die Host-Einheit 230 kann so groß sein, dass sie in den Raum von zwei Einheiten des Server-Racks passt. Die Host-Einheit 230 kann so groß sein, dass sie in drei oder mehr Einheiten des Server-Racks untergebracht werden kann.

[0029] Die Host-Einheit 230 umfasst ein Host-Gehäuse, eine Systemplatine und eine Stromversorgung.

[0030] Das Host-Gehäuse umfasst mindestens einen Steckplatz, an den eine Wafer-Kassette 90 angeschlossen werden kann. Die Systemplatine ist eine gedruckte Schaltungsplatine, auf der verschiedene elektronische Komponenten (ein Prozessor, ein Speicher, eine Steuereinheit, eine Kommunikationsschnittstellen-Steuereinheit usw.) angebracht sind. Die Stromversorgung ist ein Stromversorgungskreis, der die verschiedenen elektronischen Komponenten auf der Systemplatine und die mit dem Steckplatz verbundene Wafer-Kassette 90 mit Strom versorgt.

[0031] Die Wafer-Lagereinheit 3 kann eine Vielzahl von Halbleiter-Wafern 40 aufnehmen. Ähnlich wie

das Gehäuse des Host-Computers 2 kann auch das Gehäuse der Wafer-Lagereinheit 3 mit einem Server-Rack, beispielsweise einem 19-Zoll-Rack, realisiert werden.

[0032] Fig. 1 zeigt einen Beispielfall, bei dem zwei Wafer-Lagereinheiten 3a und 3b im Speichersystem 1 vorgesehen sind. Dabei ist zu beachten, dass die Anzahl der im Speichersystem 1 vorgesehenen Wafer-Lagereinheiten 3 ein, drei oder mehr betragen kann.

[0033] In Anbetracht der Datenerhaltungseigenschaften von nichtflüchtigen Speichern wie beispielsweise NAND-Flash-Speichern ist es vorzuziehen, dass die Halbleiter-Wafern 40 bei einer niedrigen Temperatur unterhalb der Raumtemperatur (beispielsweise 15 bis 25 °C) gelagert werden. Durch die Lagerung des Halbleiter-Wafers 40 bei niedriger Temperatur kann die Verweildauer der in jeder Speicherzelle des NAND-Flash-Speichers gespeicherten elektrischen Ladung verlängert werden.

[0034] Dementsprechend kann die Wafer-Lagereinheit 3 eine darin vorgesehene Steuervorrichtung zur Kühlung der Halbleiter-Wafer 40 umfassen. Bei der Steuervorrichtung kann es sich beispielsweise um ein Kühlgebläse handeln.

[0035] Die Kassettiereinheit 4 setzt aus einem Halbleiter-Wafer 40 und einer Kassettengehäuse 80 eine Wafer-Kassette 90 zusammen, die den Halbleiter-Wafer 40 umfasst. Die Kassettiereinheit 4 zerlegt auch die Wafer-Kassette 90 und führt einen Vorgang zur Entnahme des Halbleiter-Wafers 40 aus der Wafer-Kassette 90 durch. Ähnlich wie im Fall des Host-Computers 2 kann auch das Gehäuse der Kassettiereinheit 4 mit einem Server-Rack, beispielsweise einem 19-Zoll-Rack, realisiert werden.

[0036] Die Wafer-Kassetten-Lagereinheit 5 ist in der Lage, eine Vielzahl von Wafer-Kassetten 90 zu speichern. Ähnlich wie beim Host-Computer 2 kann auch die Wafer-Kassetten-Lagereinheit 5 mit einem Server-Rack, beispielsweise einem 19-Zoll-Rack, realisiert werden. In der Wafer-Kassetten-Lagereinheit 5 kann nicht nur eine Vielzahl von Wafer-Kassetten 90, sondern auch eine Vielzahl von leeren Kassettengehäuse 80 gelagert werden. Die leeren Kassettengehäuse 80 sind Kassettengehäuse 80, die keine Halbleiter-Wafer 40 umfassen.

[0037] Die Wafer-Transportvorrichtung 8 ist zum Transport von Halbleiter-Wafern 40 zwischen der Wafer-Lagereinheit 3 und der Kassettiereinheit 4 ausgebildet.

[0038] Die Wafer-Kassetten-Transportvorrichtung 9 ist so konfiguriert, dass sie Wafer-Kassetten 90 zwi-

schen der Kassettiereinheit 4, der Wafer-Lagereinheit 5 und dem Host-Computer 2 transportiert.

[0039] Das Gehäuse der Wafer-Lagereinheit 3a umfasst eine Seitenplatte SP1 und eine Seitenplatte SP2, die sich auf einer der Seitenplatte SP1 in Bezug auf die X-Achsenrichtung gegenüberliegenden Seite befindet. Die Seitenplatte SP1 kann eine in ihr ausgebildete Öffnung a1 umfassen. Die Seitenplatte SP2 kann eine darin ausgebildete Öffnung b1 umfassen. Jede der Öffnungen a1 und b1 hat eine solche Größe, dass der Halbleiter-Wafer 40 hindurchlaufen kann.

[0040] Das Gehäuse der Wafer-Lagereinheit 3b umfasst eine Seitenplatte SP11 und eine Seitenplatte SP12, die sich auf einer der Seitenplatte SP11 in Bezug auf die X-Achsenrichtung gegenüberliegenden Seite befindet. Die Seitenplatte SP12 liegt der Seitenplatte SP1 der Wafer-Lagereinheit 3a gegenüber. Die Seitenplatte SP11 kann eine in ihr ausgebildete Öffnung a2 umfassen. Die Seitenplatte SP12 kann eine darin ausgebildete Öffnung b2 umfassen. Die Öffnung b2 kann in einer der Öffnung a1 gegenüberliegenden Position ausgebildet sein. Sowohl die Öffnung a2 als auch die Öffnung b2 haben eine solche Größe, dass der Halbleiter-Wafer 40 hindurchlaufen kann.

[0041] Die Wafer-Transportvorrichtung 8 kann den Halbleiter-Wafer 40 zwischen der Wafer-Lagereinheit 3a und der Wafer-Lagereinheit 3b durch die Öffnungen a1 und b2 transportieren. In diesem Fall dient der Raum zwischen der Öffnung a1 und der Öffnung b2 als interner Transportweg, der zwischen der Wafer-Lagereinheit 3a und der Wafer-Lagereinheit 3b verläuft. Der Raum zwischen der Öffnung a1 und der Öffnung b2 kann durch ein Abdeckelement abgedeckt werden, um das Eindringen von Staub und Schmutz zu verhindern.

[0042] Das Gehäuse der Kassettiereinheit 4 umfasst eine Seitenplatte SP21 und eine Seitenplatte SP22, die sich auf einer der Seitenplatte SP21 in Bezug auf die X-Achsenrichtung gegenüberliegenden Seite befindet. Die Seitenplatte SP22 liegt der Seitenplatte SP11 der Wafer-Lagereinheit 3b gegenüber. Die Seitenplatte SP21 kann eine in ihr ausgebildete Öffnung a3 umfassen. Die Seitenplatte SP22 kann eine darin ausgebildete Öffnung b3 umfassen. Die Öffnung b3 kann in einer der Öffnung a2 gegenüberliegenden Position ausgebildet sein. Jede der Öffnungen a3 und b3 hat eine solche Größe, dass der Halbleiter-Wafer 40 hindurchlaufen kann.

[0043] Die Wafer-Transportvorrichtung 8 kann die Halbleiter-Wafer 40 zwischen der Wafer-Lagereinheit 3b und der Kassettiereinheit 4 durch die Öffnungen a2 und b3 transportieren. Der Raum zwischen

der Öffnung a2 und der Öffnung b3 dient als interner Transportweg, der die Wafer-Lagereinheit 3b und die Kassettiereinheit 4 kreuzt. Der Raum zwischen der Öffnung a2 und der Öffnung b3 kann durch ein Abdeckelement abgedeckt werden, um das Eindringen von Staub und Schmutz zu verhindern.

[0044] Das Gehäuse der Wafer-Kassetten-Lagereinheit 5 umfasst eine Seitenplatte SP31 und eine Seitenplatte SP32, die sich auf einer der Seitenplatte SP31 in Bezug auf die X-Achsenrichtung gegenüberliegenden Seite befindet. Die Seitenplatte SP32 liegt der Seitenplatte SP21 der Kassettiereinheit 4 gegenüber. Die Seitenplatte SP31 kann eine in ihr ausgebildete Öffnung a4 umfassen. Die Seitenplatte SP32 kann eine in ihr ausgebildete Öffnung b4 umfassen. Die Öffnung b4 kann in einer der Öffnung a3 gegenüberliegenden Position ausgebildet sein. Sowohl die Öffnung a4 als auch die Öffnung b4 haben eine solche Größe, dass die Wafer-Kassette 90 durchlaufen kann.

[0045] Die Wafer-Kassetten-Transportvorrichtung 9 kann die Wafer-Kassette 90 zwischen der Kassettiereinheit 4 und der Wafer-Kassetten-Lagereinheit 5 durch die Öffnung a3 und die Öffnung b4 transportieren. Der Raum zwischen der Öffnung a3 und der Öffnung b4 dient als interner Transportweg, der sich zwischen der Kassettiereinheit 4 und der Wafer-Kassetten-Lagereinheit 5 kreuzt. Der Raum zwischen der Öffnung a3 und der Öffnung b4 kann durch ein Abdeckelement abgedeckt werden, um das Eindringen von Staub und Schmutz zu verhindern.

[0046] Das Server-Rack des Host-Computers 2 umfasst eine Seitenplatte SP41 und eine Seitenplatte SP42, die sich auf einer der Seitenplatte SP41 in Bezug auf die X-Achsenrichtung gegenüberliegenden Seite befindet. Die Seitenplatte SP42 liegt der Seitenplatte SP31 der Wafer-Kassetten-Lagereinheit 5 gegenüber. Die Seitenplatte SP42 kann eine in ihr ausgebildete Öffnung b5 umfassen. Die Öffnung b5 kann in einer der Öffnung a4 gegenüberliegenden Position ausgebildet sein. Die Öffnung b5 hat eine solche Größe, dass die Wafer-Kassette 90 durchlaufen kann.

[0047] Die Wafer-Kassetten-Lagereinheit 9 kann die Wafer-Kassette 90 zwischen der Wafer-Kassetten-Lagereinheit 5 und dem Host-Computer 2 durch die Öffnungen a4 und b5 transportieren. Der Raum zwischen der Öffnung a4 und der Öffnung b5 dient als interner Transportweg, der sich zwischen der Wafer-Kassetten-Lagereinheit 5 und dem Host-Rechner 2 kreuzt. Der Raum zwischen der Öffnung a4 und der Öffnung b5 kann durch ein Abdeckelement abgedeckt werden, um das Eindringen von Staub und Schmutz zu verhindern.

[0048] Mit der Konfiguration des Transports der Halbleiter-Wafer 40 durch den internen Transportweg, der sich zwischen dem Wafer-Lagerhalter 3 und dem Kassetten-Lagerhalter 4 kreuzt, und auch des Transports der Wafer-Kassette 90 durch den internen Transportweg, der sich zwischen dem Kassetten-Lagerhalter 4, dem Wafer-Kassetten-Lagerhalter 5 und dem Host-Computer 2 kreuzt, ist es möglich, die benötigte Halbleiter-Wafer 40 oder die benötigte Wafer-Kassette 90 schnell an den gewünschten Ort zu bewegen.

[0049] So kann beispielsweise der Zeitaufwand für das Zusammenstellen der anzusteuernenden Wafer-Kassette 90 einschließlich des anzusteuernenden Halbleiter-Wafers 40 und der Zeitaufwand für den Transport der anzusteuernenden Wafer-Kassette 90 zu dem Steckplatz in der Host-Einheit 230 und den Anschluss der Wafer-Kassette 90 an den Steckplatz reduziert werden. Dabei ist der Halbleiter-Wafer 40, auf den zugegriffen werden soll, ein Halbleiter-Wafer 40, von dem oder auf den Daten von der Vorrichtung (der Host-Einheit 230) gelesen oder geschrieben werden sollen. Ferner ist die Wafer-Kassette 90, auf die zugegriffen werden soll, eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll.

[0050] Es ist zu beachten, dass als Wafer-Transportvorrichtung 8 auch eine solche Vorrichtung verwendet werden kann, die den Halbleiter-Wafer 40 zwischen der Wafer-Lagereinheit 3 und der Kassettiereinheit 4 transportiert, ohne dass der interne Transportweg zwischen der Wafer-Lagereinheit 3 und der Kassettiereinheit 4 gekreuzt wird. Als solche Vorrichtung 8 kann beispielsweise ein Transportroboter (siehe **Fig. 6**) verwendet werden, der sich auf Bahnen im Boden des Datenzentrums bewegt.

[0051] In ähnlicher Weise kann als Wafer-Kassetten-Transportvorrichtung 9 auch eine solche Vorrichtung verwendet werden, die die Wafer-Kassette 90 zwischen dem Kassettiereinheit 4, den Wafer-Kassetten-Lagereinheiten 5 und dem Host-Computer 2 transportiert, ohne den internen Transportweg zu benutzen, der den Kassettiereinheit 4, die Wafer-Kassetten-Lagereinheiten 5 und den Host-Computer 2 kreuzt. Als eine solche Wafer-Kassettiereinheit 9 kann beispielsweise auch ein Transportroboter (siehe **Fig. 6**) verwendet werden, der sich auf den Bahnen im Boden des Rechenzentrums bewegt.

[0052] Als nächstes wird nun eine grundlegende Funktionsweise des Speichersystems 1 beschrieben. Die Host-Einheit 230 verfügt über eine Standortverwaltungsfunktion und eine Transportsteuerungsfunktion. Die Standortverwaltungsfunktion verwaltet die Standorte, an denen sich die Vielzahl von Halbleiter-Wafern 40 jeweils befinden. Die Transportsteuerungsfunktion steuert den Transport der Halblei-

ter-Wafer 40 und der Wafer-Kassetten 90 durch die Steuerung der Kassettiereinheit 4, der Wafer-Transportvorrichtung 8 und der Wafer-Kassetten-Transportvorrichtung 9.

[0053] Jedem der Vielzahl von Halbleiter-Wafern 40 wird eine Wafer-Kennung zugewiesen. Die Host-Einheit 230 kann die Entsprechung zwischen der Wafer-Kennung und dem Ort, an dem sich der durch diese Wafer-Kennung identifizierte Halbleiter-Wafer 40 befindet, verwalten.

[0054] Der Ort, an dem sich ein Halbleiter-Wafer 40 befinden kann, ist beispielsweise einer aus einer Vielzahl von Steckplätzen in der Host-Einheit 230, ein beliebiger aus einer Vielzahl von Wafer-Kassetten-Lagereinheiten in der Wafer-Lagereinheit 5 oder ein beliebiger aus einer Vielzahl von Wafer-Kassetten-Lagereinheiten in der Wafer-Lagereinheit 3.

[0055] Die Host-Einheit 230 bestimmt einen Halbleiter-Wafer 40, auf den zugegriffen werden soll, aus der Vielzahl von Halbleiter-Wafern 40. Die Host-Einheit 230 identifiziert den mit der Wafer-Kennung des Halbleiter-Wafers 40, auf den zugegriffen werden soll, verbundenen Ort, wodurch es möglich ist, festzustellen, ob eine Wafer-Kassette 90, auf die zugegriffen werden soll, mit einem beliebigen Steckplatz in der Host-Einheit 230 verbunden ist und ob die Wafer-Kassette 90, auf die zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist.

[0056] Wenn die Wafer-Kassette 90, auf die zugegriffen werden soll, an einen der Steckplätze der Host-Einheit 230 angeschlossen ist, sendet die Host-Einheit 230 eine Lese- oder Schreibanforderung an die Wafer-Kassette 90, auf die zugegriffen werden soll. Auf diese Weise führt die Host-Einheit 230 das Lesen oder Schreiben von Daten in Bezug auf den Halbleiter-Wafer 40, auf den zugegriffen werden soll, aus.

[0057] Falls die Wafer-Kassette 90, auf die zugegriffen werden soll, mit keinem Steckplatz der Host-Einheit 230 verbunden ist und in der Wafer-Kassetten-Lagereinheit 5 gelagert wird, veranlasst die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9, die Wafer-Kassette 90, auf die zugegriffen werden soll, von der Wafer-Kassetten-Lagereinheit 5 zu einem der Steckplätze der Host-Einheit 230 zu transportieren und die Wafer-Kassette 90, auf die zugegriffen werden soll, mit dem einen der Steckplätze zu verbinden. In diesem Fall kann die Host-Einheit 230 die folgende Transportanforderung an die Wafer-Kassetten-Transportvorrichtung 9 übermitteln.

[0058] Diese Transportanforderung bezeichnet beispielsweise den Ort in der Wafer-Kassetten-Lager-

einheit 5, an dem die Wafer-Kassette 90, auf die zugegriffen werden soll, gelagert ist (eine Wafer-Kassetten-Lagereinheit), als Quellort der Bewegung und bezeichnet auch einen beliebigen Steckplatz in der Host-Einheit 230 als Zielort der Bewegung. Die Wafer-Kassetten-Transportvorrichtung 9 transportiert eine Wafer-Kassette 90, die sich an dem bezeichneten Quellort der Bewegung befindet, zu dem bezeichneten Zielort.

[0059] Falls die Wafer-Kassette 90, auf die zugegriffen werden soll, an keinen Steckplatz der Host-Einheit 230 angeschlossen ist und nicht in der Wafer-Kassetten-Lagereinheit 5 gelagert wird, veranlasst die Host-Einheit 230 die Wafer-Transportvorrichtung 8, den Halbleiter-Wafer 40, auf den zugegriffen werden soll, von der Wafer-Lagereinheit 3 zur Kassettiereinheit 4 zu transportieren. In diesem Fall kann die Host-Einheit 230 die folgende Transportanforderung an die Wafer-Transportvorrichtung 8 übermitteln.

[0060] Diese Transportanforderung bezeichnet den Ort in der Wafer-Lagereinheit 3, an dem sich der Halbleiter-Wafer 40 befindet, auf den zugegriffen werden soll (Wafer-Lagereinheit), als Quellort der Bewegung und bezeichnet die Kassettiereinheit 4 als Zielort der Bewegung. Die Wafer-Transportvorrichtung 8 transportiert einen Halbleiter-Wafer 40, der sich an dem bezeichneten Ort der Bewegungsquelle befindet, zu dem bezeichneten Ort des Bewegungsziels.

[0061] Ferner veranlasst die Hosteinheit 230 die Kassettiereinheit 4, die Wafer-Kassette 90, auf die zugegriffen werden soll, aus dem transportierten Halbleiter-Wafer 40, auf den zugegriffen werden soll, und einem Kassettengehäuse 80 zusammenzustellen. Anschließend veranlasst die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9, die zusammengesetzte Wafer-Kassette 90, auf die zugegriffen werden soll, von der Kassettiereinheit 4 zu einem der Steckplätze der Host-Einheit 230 zu transportieren und die zusammengesetzte Wafer-Kassette 90 mit dem einen der Steckplätze zu verbinden. In diesem Fall kann die Host-Einheit 230 die folgende Transportanforderung an die Wafer-Kassetten-Transportvorrichtung 9 übermitteln.

[0062] In dieser Transportanforderung wird beispielsweise die Kassettiereinheit 4 als Quellort für die Bewegung und einer der Steckplätze in der Host-Einheit 230 als Zielort für die Bewegung angegeben. Die Wafer-Kassetten-Transportvorrichtung 9 transportiert eine Wafer-Kassette 90, die sich an dem bezeichneten Quellort der Bewegung befindet, zu dem bezeichneten Zielort der Bewegung.

[0063] Somit kann die Host-Einheit 230 Daten in Bezug auf jeden Halbleiter-Wafer 40 der Vielzahl

von Halbleiter-Wafern 40 lesen oder schreiben, indem sie den Transport des Halbleiter-Wafers 40, auf den zugegriffen werden soll, oder der Wafer-Kassette 90, auf die zugegriffen werden soll, steuert.

[0064] Ferner kann die Host-Einheit 230 die Funktion haben, eine Priorität für jede der Vielzahl von Halbleiter-Wafern 40 zu verwalten. Der Algorithmus zur Bestimmung der Priorität jeder der Vielzahl von Halbleiter-Wafern 40 ist nicht auf einen bestimmten Algorithmus beschränkt, sondern die Priorität jeder der Vielzahl von Halbleiter-Wafern 40 kann auf der Grundlage verschiedener Bedingungen bestimmt werden.

[0065] Beispielsweise kann die Priorität jedes der Halbleiter-Wafer 40 auf der Grundlage der Zugriffsanforderung auf jeden der Halbleiter-Wafer 40 bestimmt werden. Die Priorität jedes der Halbleiter-Wafer 40 kann auf der Grundlage der Häufigkeit der Zugriffe auf jeden der Halbleiter-Wafer 40 bestimmt werden. Die Priorität jeder der Halbleiter-Wafern 40 kann auf der Grundlage der Zeit bestimmt werden, die seit dem letzten Zugriff auf jede der Halbleiter-Wafern 40 verstrichen ist. Die Priorität jeder der Halbleiter-Wafern 40 kann auf der Grundlage des Status bestimmt werden, der den Abschluss oder die Unvollständigkeit des Zugriffsprozesses auf jede der Halbleiter-Wafern 40 angibt. Die Priorität jedes der Halbleiter-Wafer 40 kann auf der Grundlage der geschätzten verbleibenden Zeit bis zum Abschluss des Zugriffs auf jeden der Halbleiter-Wafer 40 bestimmt werden. Die Priorität jedes der Halbleiter-Wafer 40 kann auf der Grundlage des auszuführenden Anwendungsprogramms bestimmt werden. Die Priorität jedes der Halbleiter-Wafer 40 kann auf der Grundlage des Vorhersageergebnisses der Wahrscheinlichkeit des Auftretens einer Zugriffsanforderung auf jeden der Halbleiter-Wafer 40 bestimmt werden.

[0066] Alternativ kann die Priorität jedes Halbleiter-Wafers 40 durch Verwendung einer Kombination von zwei oder mehr der folgenden Bedingungen bestimmt werden: Zugriffsanforderung, Zugriffshäufigkeit, seit dem letzten Zugriff verstrichene Zeit, Abschluss oder Nichtabschluss des Zugriffsprozesses, geschätzte verbleibende Zeit bis zum Abschluss des Zugriffsprozesses, auszuführendes Anwendungsprogramm und Vorhersageergebnis der Zugriffswahrscheinlichkeit.

[0067] Die Host-Einheit 230 kann die Orte, an denen die Halbleiter-Wafern 40 jeweils vorhanden sind, auch auf der Grundlage der Priorität jeder der Halbleiter-Wafern 40 steuern. Beispielsweise kann die Host-Einheit 230 die Orte, an denen die Halbleiter-Wafer 40 jeweils vorhanden sind, so steuern, dass eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit einer Priorität einer ersten Stufe umfasst, mit

einem Steckplatz in der Host-Einheit 230 verbunden ist, eine Wafer-Kassette 90, die den Halbleiter-Wafer 40 mit einer Priorität einer zweiten Stufe umfasst, in der Wafer-Kassetten-Lagereinheit 5 gelagert wird, und ein Halbleiter-Wafer 40 mit einer Priorität einer dritten Stufe in der Wafer-Lagereinheit 3 gelagert wird. Dabei ist zu beachten, dass die Priorität der zweiten Ebene niedriger ist als die Priorität der ersten Ebene. Außerdem ist die Priorität dem dritten Niveau niedriger als die Priorität der zweiten Ebene.

[0068] Wenn beispielsweise die Anzahl der in der Host-Einheit 230 umfassten Steckplätze zwei und die Anzahl der Speicherplätze in der Wafer-Kassetten-Lagereinheit 5 zwei beträgt, gehören die höchste Priorität und die zweithöchste Priorität der Priorität der ersten Ebene zu. Ferner gehören die dritthöchste Priorität und die vierthöchste Priorität zur Priorität der zweiten Ebene. Ein Satz der fünftöchsten Priorität und jede Priorität, die niedriger als die fünftöchste Priorität ist, gehört der Priorität dem dritten Niveau an.

[0069] In diesem Fall kann die Host-Einheit 230 zwei Wafer-Kassetten 90, die zwei Halbleiter-Wafern 40 mit der Priorität der ersten Ebene zugehören, jeweils mit zwei Steckplätzen der Host-Einheit 230 verbinden, unabhängig von der Zugriffsanforderung auf jeden einzelnen Halbleiter-Wafer 40. Ferner kann die Host-Einheit 230 zwei Wafer-Kassetten 90, die zwei Halbleiter-Wafern 40 mit der Priorität der zweiten Ebene zugehören, in der Wafer-Kassetten-Lagereinheit 5 speichern, unabhängig von der Zugriffsanforderung für jeden einzelnen Halbleiter-Wafer 40. Darüber hinaus kann die Host-Einheit 230 eine Vielzahl von Halbleiter-Wafern 40 mit der Priorität dem dritten Niveau in der Wafer-Lagereinheit 3 speichern, unabhängig von der Zugriffsanforderung auf jeden einzelnen Halbleiter-Wafer 40.

[0070] Dabei wird davon ausgegangen, dass die Priorität eines bestimmten Halbleiter-Wafers 40 von der Priorität dem dritten Niveau auf die Priorität der zweiten Ebene angehoben wird.

[0071] In diesem Fall bestimmt die Host-Einheit 230 diese Halbleiter-Wafer 40 als eine zu montierende Halbleiter-Wafer 40. Die zu montierende Halbleiter-Wafer 40 ist eine Halbleiter-Wafer 40, die als Wafer-Kassette 90 montiert werden soll. Die Host-Einheit 230 veranlasst die Wafer-Transportvorrichtung 8, den zu montierenden Halbleiter-Wafer 40 von der Wafer-Lagereinheit 3 zur Kassettiereinheit 4 zu transportieren. In diesem Fall kann die Host-Einheit 230 die folgende Transportanforderung an die Wafer-Transportvorrichtung 8 übermitteln.

[0072] In dieser Transportanforderung wird der Ort in der Wafer-Lagereinheit 3, an dem sich die zu montierende Halbleiter-Wafer 40 befindet (Wafer-Lager-

einheit), als Quellort der Bewegung und die Kassettiereinheit 4 als Zielort der Bewegung angegeben. Die Wafer-Transportvorrichtung 8 transportiert den an der bezeichneten Bewegungsquelle befindlichen Halbleiter-Wafer 40 zu dem bezeichneten Bewegungszielort.

[0073] Darüber hinaus veranlasst die Host-Einheit 230 die Kassettiereinheit 4, eine Wafer-Kassette 90 aus dem zu montierenden transportierten Halbleiter-Wafer 40 und einem Kassettengehäuse 80 zusammenzustellen.

[0074] Anschließend veranlasst die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9, die zusammengebaute Wafer-Kassette 90 von der Kassettiereinheit 4 zur Wafer-Lagereinheit 5 zu transportieren. Dabei kann die Host-Einheit 230 die folgende Transportanforderung an die Wafer-Kassetten-Transportvorrichtung 9 übermitteln.

[0075] In dieser Transportanforderung wird beispielsweise die Kassettiereinheit 4 als Quellort der Bewegung und der Ort in der Wafer-Kassetten-Lagereinheit 5 (Wafer-Kassetten-Lagereinheit) als Zielort der Bewegung angegeben. Die Wafer-Kassettiereinheit 9 transportiert die Wafer-Kassette 90, die sich an dem bezeichneten Quellort der Bewegung befindet, zu dem bezeichneten Zielort der Bewegung.

[0076] Bevor eine Zugriffsanforderung auf eine Halbleiter-Wafer 40 mit einer relativ hohen Priorität erzeugt wird, kann daher eine Wafer-Kassette 90, die diese Halbleiter-Wafer 40 umfasst, zusammengestellt und in der Wafer-Kassetten-Lagereinheit 5 gelagert werden.

[0077] Wenn diese Halbleiter-Wafer 40 tatsächlich als eine Halbleiter-Wafer 40 bestimmt wird, auf die zugegriffen werden soll, kann, da die Wafer-Kassette 90, die diese Halbleiter-Wafer 40 umfasst, bereits im Wafer-Kassetten-Lagereinheit 5 gespeichert ist, die Latenzzeit, die erforderlich ist, bis Daten von dieser Halbleiter-Wafer 40 gelesen oder auf sie geschrieben werden können, verringert werden.

[0078] Als nächstes wird eine Konfiguration des Halbleiter-Wafers 40 beschrieben. **Fig. 2** ist ein Diagramm, das ein Beispiel für eine Konfiguration des Halbleiter-Wafers 40 zeigt. Der Halbleiter-Wafer 40 wird als Speichermedium im Speichersystem 1 verwendet.

[0079] Der Halbleiter-Wafer 40 umfasst eine Vielzahl von nichtflüchtigen Vorrichtungen 70. Die Größe des Halbleiter-Wafers 40 ist nicht besonders begrenzt, kann aber ein 300-mm-Wafer sein. Wenn die Anzahl der nichtflüchtigen Speichervorrichtungen 70, die eine Halbleiter-Wafer 40 umfasst, 1024

beträgt und die Speicherkapazität pro nichtflüchtiger Speichervorrichtung 70 32 GB beträgt, beträgt die Speicherkapazität pro Halbleiter-Wafer 40 32 TB. Die nichtflüchtige Speichervorrichtung 70 hat beispielsweise eine rechteckige Form, und eine Vielzahl von Elektroden (Pads) 41, die elektrisch mit der Außenseite verbunden werden können, befinden sich an einer ihrer Seiten.

[0080] Ein Abschnitt des Speicherbereichs von mindestens einer der Vielzahl von nichtflüchtigen Speichervorrichtungen 70, die in dem Halbleiter-Wafer 40 umfasst sind, wird als Speicherbereich für Identifikationsinformationen 71 verwendet. Der Identifikationsinformationsspeicherbereich 71 wird als Speicherbereich zum Speichern von Identifikationsinformationen und eines Prüfcodes verwendet. Die Identifikationsinformationen werden von der Host-Einheit 230 ausgegeben, um den Halbleiter-Wafer 40 zu identifizieren. Als Identifikationsinformation kann ein Identifikator (Wafer-Identifikator) verwendet werden, der in der Lage ist, jeden einzelnen Halbleiter-Wafer 40 eindeutig zu identifizieren. Der Prüfcode ist ein Code zur Überprüfung der Integrität der Identifikationsinformationen. Beispiele für den Prüfcode umfassen einen zyklischen Redundanzcode (CRC), eine andere Art von Parität, die sich von CRC unterscheidet, und einen Hash-Wert, der aus den Identifikationsinformationen berechnet wird.

[0081] Durch die Speicherung eines Paares aus den Identifikationsinformationen und dem Prüfcode im Identifikationsinformationsspeicherbereich 71 kann die Integrität des Wertes, der als Identifikationsinformationen aus dem Identifikationsinformationsspeicherbereich 71 gelesen wird, überprüft werden. Auf diese Weise kann verhindert werden, dass ein Zufallswert, der im Identifikationsinformationsspeicherbereich 71 neuer Halbleiter-Wafer 40 unmittelbar nach dem Versand aus der Fabrik gespeichert wird (d.h. Halbleiter-Wafer 40, in denen kein Paar aus Identifikationsinformation und Prüfcode gespeichert ist), fälschlicherweise als Identifikationsinformation behandelt wird.

[0082] Im Halbleiter-Wafer 40 werden Speicherbereiche außer dem Speicherbereich für die Identifikationsinformationen 71 verwendet, um Benutzerdaten oder Verwaltungsdaten zu speichern. Die Verwaltungsdaten umfassen beispielsweise Informationen zur Wafersteuerung, die für das Schreiben und Lesen von Daten auf und von dem Halbleiter-Wafer 40 erforderlich sind. Die Informationen zur Wafersteuerung umfassen beispielsweise eine Übersetzungstabelle von logischen zu physikalischen Adressen, die dem Halbleiter-Wafer 40 zugehören.

[0083] Als nächstes wird eine Konfiguration der Wafer-Kassette 90 beschrieben. **Fig. 3** zeigt ein Bei-

spiel für eine Konfiguration der Wafer-Kassette 90. Die Wafer-Kassette 90 wird als Vorrichtung in dem Speichersystem 1 verwendet. Die Wafer-Kassette 90 umfasst einen Halbleiter-Wafer 40 und ein Kassettengehäuse 80.

[0084] Das Kassettengehäuse 80 umfasst ein unteres Gehäuse 21 und ein oberes Gehäuse 31. In das untere Gehäuse 21 kann ein Halbleiter-Wafer 40 eingelegt werden. Das untere Gehäuse 21 umfasst einen Wafer-Montagebereich, auf dem ein Halbleiter-Wafer 40 platziert werden kann. Das untere Gehäuse 21 und das obere Gehäuse 31 können miteinander verbunden werden. Das obere Gehäuse 31 umfasst eine Sondenkarte 11. Es ist zu beachten, dass die Sondenkarte 11 unabhängig von dem oberen Gehäuse 31 sein kann. Mit anderen Worten, die Sondenkarte 11 ist kein wesentlicher Bestandteil des Kassettengehäuses 80.

[0085] Die Sondenkarte 11 umfasst ein Substrat mit einer Unterseite und einer Oberseite auf der der Unterseite gegenüberliegenden Seite. Die untere Fläche liegt dem Halbleiter-Wafer 40 gegenüber, der auf dem Waferbefestigungsbereich im unteren Gehäuse 21 platziert ist.

[0086] Auf der Unterseite der Sondenkarte 11 ist eine Vielzahl von Sondenstiften 51 angeordnet. Die Sondenstifte 51 sind mit einer Vielzahl von entsprechenden Pads 41 des Halbleiter-Wafers 40 kontaktierbar, der auf dem Waferbefestigungsbereich im unteren Gehäuse 21 angeordnet ist. Jeder Sondenstift 51 liefert ein elektrisches Signal an das Pad 41 des Halbleiter-Wafers 40 oder empfängt ein elektrisches Signal von dem Pad 41. Die Sondenstifte 51 können auch als Sonden oder Sondennadeln bezeichnet werden. Die Gesamtzahl der Sondenstifte 51 auf der Unterseite der Sondenkarte 11 kann gleich der Gesamtzahl der Pads 41 auf dem Halbleiter-Wafer 40 sein. In diesem Fall kann die Sondenkarte 11 insgesamt mit den mehreren Pads 41 auf der Halbleiter-Wafer 40 verbunden werden. Mit dieser Konfiguration kann die Anzahl der nichtflüchtigen Vorrichtungen 70, auf die parallel zugegriffen werden kann, erhöht werden.

[0087] Auf der Oberseite der Sondenkarte 11 ist eine Steuereinheit 61 angeordnet. Bei der Steuereinheit 61 handelt es sich um eine Speichersteuereinheit, die so konfiguriert ist, dass sie eine Vielzahl von nichtflüchtigen Speichervorrichtungen 70 im Halbleiter-Wafer 40 steuert. Die Steuereinheit 61 kann durch eine großflächige Integration (LSI), beispielsweise ein System-on-a-Chip (SoC), realisiert werden. **Fig. 3** zeigt ein Beispiel für eine Konfiguration, bei der eine Vielzahl von Steuereinheiten 61 auf der Oberseite der Sondenkarte 11 angeordnet sind. Die Anzahl der Steuereinheiten 61, die auf der Ober-

seite der Sondenkarte 11 angeordnet sind, kann eine, zwei oder mehr sein.

[0088] Die Steuereinheit 61 kann als Flash-Translationsschicht (FTL) fungieren, die so konfiguriert ist, dass sie die Datenverwaltung für jede der Vielzahl von nichtflüchtigen Speichervorrichtungen 70 auf dem Halbleiter-Wafer 40 durchführt. Die von der FTL ausgeführte Datenverwaltung umfasst die Verwaltung von Abbildungsinformationen, die die Entsprechung zwischen jeder der logischen Adressen und jeder der physikalischen Adressen der Vielzahl von nichtflüchtigen Speichervorrichtungen 70 angeben. Eine logische Adresse ist eine Adresse, die von der Host-Einheit 230 verwendet wird, um eine Adresse eines Ortes in einem logischen Adressraum eines Halbleiter-Wafers 40 zu bezeichnen, auf den zugegriffen werden soll. Die physische Adresse, die einer bestimmten logischen Adresse zugehört, verweist auf einen physischen Speicherplatz in der nichtflüchtigen Speichervorrichtung 70, in den die dieser logischen Adresse zugehörigen Daten geschrieben werden. Im Allgemeinen kann als logische Adresse eine logische Blockadresse (LBA) verwendet werden.

[0089] Ferner umfasst die Kassettengehäuse 80 einen nichtflüchtigen Speicher. In diesem nichtflüchtigen Speicher kann eine Kennung zur Identifizierung der Kassettengehäuse 80 gespeichert werden. Dieser nichtflüchtige Speicher kann in der Steuereinheit 61 untergebracht sein.

[0090] Als nächstes wird eine Konfiguration der Kassettiereinheit 4 beschrieben. **Fig. 4** ist ein Diagramm, das eine beispielhafte Konfiguration der Kassettiereinheit 4 zeigt. Die Kassettiereinheit 4 führt die Montage und Demontage der Wafer-Kassetten 90 durch.

[0091] Die Kassettiereinheit 4 baut die Wafer-Kassette 90 zusammen, indem sie das obere Gehäuse 31 und das untere Gehäuse 21, auf dem der Halbleiter-Wafer 40 liegt, mechanisch miteinander verbindet. Beim Zusammenbau der Wafer-Kassette 90 führt die Kassettiereinheit 4 eine Ausrichtung durch, um die Vielzahl von Sondenstiften 51 der Sondenkarte 11 mit der Vielzahl von Pads 41 des Halbleiter-Wafers 40 in Kontakt zu bringen. Anschließend verbindet die Kassettiereinheit 4 das untere Gehäuse 21 und das obere Gehäuse 31 miteinander, so dass die Vielzahl der Sondenstifte 51 mit der Vielzahl der Pads 41 in Kontakt stehen.

[0092] Die Kassettiereinheit 4 umfasst einen Tisch 401 und einen Stellmotor 402. Der Tisch 401 hat einen Mechanismus zum Halten des unteren Gehäuses 21. Die Kassettiereinheit 4 legt einen Halbleiter-Wafer 40, der durch das Wafer-Transportsystem 8 von der Wafer-Lagereinheit 3 zur Kassettiereinheit

4 transportiert wird, auf das untere Gehäuse 21, das sich auf dem Tisch 401 befindet.

[0093] Der Stellmotor 402 bewegt das obere Gehäuse 31 oder den Tisch 401 in Richtung der Z-Achse, um die Vielzahl der Pads 41 des Halbleiter-Wafers 40 und die Vielzahl der Sondenstifte 51 der Sondenkarte 11 miteinander in Kontakt zu bringen. Zu diesem Zeitpunkt sind das untere Gehäuse 21 und das obere Gehäuse 31 miteinander verbunden. Auf diese Weise wird die Halbleiter-Wafer 40 in dem Kassettengehäuse 80 untergebracht. Wenn die Vielzahl der Pads 41 der Halbleiter-Wafer 40 und die Vielzahl der Sondenstifte 51 der Sondenkarte 11 miteinander in Kontakt gebracht werden, werden die Steuereinheit 61 und die Halbleiter-Wafer 40 (insbesondere die Vielzahl der nichtflüchtigen Speichervorrichtungen 70) elektrisch miteinander verbunden.

[0094] Bei der Demontage der Wafer-Kassette 90 bewegt der Stellmotor 402 das obere Gehäuse 31 bzw. den Tisch 401 in Richtung der Z-Achse entgegen der Montagerichtung, so dass das obere Gehäuse 31 und das untere Gehäuse 21 voneinander getrennt werden.

[0095] Als nächstes wird die Konfiguration des Host-Computers 2 beschrieben. **Fig. 5** ist ein Diagramm, das ein Beispiel für eine Konfiguration des in das Speichersystem 1 eingeschlossenen Host-Computers 2 zeigt.

[0096] **Fig. 5** zeigt einen Beispielfall, in dem zwei Host-Einheiten 230a und 230b in einem Server-Rack für den Host-Computer 2 untergebracht sind. Jede der Host-Einheiten 230a und 230b fungiert als Host-Vorrichtung. Jede der Host-Einheiten 230a und 230b umfasst einen oder mehrere Steckplätze, beispielsweise drei Steckplätze (Steckplätze #1 bis #3). In jeden der Steckplätze #1 bis #3 kann eine Wafer-Kassette 90 herausnehmbar eingesetzt werden.

[0097] Als nächstes wird eine Konfiguration des gesamten Speichersystems 1 beschrieben. **Fig. 6** ist eine Draufsicht, die eine beispielhafte Anordnung der Wafer-Lagereinheiten 3a bis 3c, der Kassettiereinheit 4, der Wafer-Kassetten-Lagereinheit 5, des Host-Computers 2, der Wafer-Transportvorrichtung 8 und der Wafer-Kassetten-Transportvorrichtung 9 im Speichersystem 1 zeigt.

[0098] Auf der Ebene (X-Y-Ebene) im Datenzentrum ist eine Vielzahl von Serverschränken so angeordnet, dass die vordere Oberflächenseite jedes Serverschranks (beispielsweise die vordere Tür jedes Serverschranks) dem Weg gegenüberliegt. In **Fig. 6** sind Serverschränke, die verschiedene Arten von Computern außer denen des Speichersystems 1 aufnehmen, als allgemeine Serverschränke dargestellt.

[0099] Die Wafer-Lagereinheit 3c hat eine ähnliche Konfiguration wie die in **Fig. 1** beschriebenen Wafer-Lagereinheiten 3a und 3b.

[0100] Jeder der Wafer-Lagereinheiten 3a bis 3c, die Kassettiereinheit 4, die Wafer-Kassetten-Lagereinheit 5 und der Host-Computer 2 können auch so angeordnet sein, dass die vordere Oberflächenseite jedes der Server-Racks (beispielsweise die vordere Tür jedes Server-Racks) dem Weg gegenüberliegt.

[0101] Ein Transportroboter 101 ist ein mobiler Transportroboter, der in der Lage ist, sich auf Bahnen zu bewegen. Der Transportroboter 101 kann als Wafer-Transportvorrichtung fungieren, die die Halbleiter-Wafer 40 zwischen den Wafer-Lagereinheiten 3a bis 3c und der Kassettiereinheit 4 transportiert. Der Transportroboter 101 umfasst einen Arm, der in der Lage ist, die Halbleiter-Wafer 40 in jedes Server-Rack zu laden und daraus zu entnehmen. Der Transportroboter 101 fügt jedem der Wafer-Lagereinheiten 3a bis 3c und der Kassettiereinheit 4 über deren Vorderseite eine Halbleiter-Wafer 40 hinzu. Ferner entnimmt der Transportroboter 101 eine Halbleiter-Wafer 40 aus jedem der Wafer-Lagereinheiten 3a bis 3c und der Kassettiereinheit 4 über deren Vorderseite.

[0102] Der Transportroboter 101 kann anstelle oder zusätzlich zu der Wafer-Transportvorrichtung 8 verwendet werden, die einen Halbleiter-Wafer 40 durch den internen Transportweg (d.h. ein Paar von Öffnungen b3 und a2, ein Paar von Öffnungen b2 und a1 und ein Paar von Öffnungen b1 und a0) transportiert, der die Wafer-Lagereinheiten 3a bis 3c und die Kassettiereinheit 4 kreuzt.

[0103] Jeder der Transportroboter 102 und 103 ist ein mobiler Transportroboter, der in der Lage ist, sich auf den Bahnen zu bewegen. Jeder der Transportroboter 102 und 103 kann als Wafer-Kassetten-Transportvorrichtung fungieren, die Wafer-Kassetten 90 zwischen dem Host-Computer 2, der Wafer-Kassetten-Lagereinheit 5 und der Kassettiereinheit 4 transportiert. Jeder der Transportroboter 102 und 103 umfasst einen Arm, der in der Lage ist, die Wafer-Kassette 90 in jedes Server-Rack zu laden und daraus zu entnehmen. Jeder der Transportroboter 102 und 103 dient dazu, eine Wafer-Kassette 90 in jeden der Host-Computer 2, die Wafer-Kassetten-Lagereinheit 5 und die Kassettiereinheit 4 über deren Vorderseiten einzufügen. Jeder der Transportroboter 102 und 103 entnimmt eine Wafer-Kassette 90 aus dem Host-Computer 2, der Wafer-Kassetten-Lagereinheit 5 und der Kassettiereinheit 4 über deren Vorderseiten.

[0104] Jeder der Transportroboter 102 und 103 kann anstelle oder zusätzlich zu der Wafer-Kassetten-Transportvorrichtung 9 verwendet werden, die

Halbleiter-Wafer 40 durch interne Transportwege (d.h. ein Paar von Öffnungen b5 und a4 und ein Paar von Öffnungen b4 und a3) transportiert, die den Host-Computer 2, die Wafer-Kassetten-Lagereinheit 5 und die Kassettiereinheit 4 kreuzen.

[0105] **Fig. 7** ist eine Draufsicht, die ein Beispiel für eine Konfiguration der Wafer-Lagereinheit 3 zeigt.

[0106] Das Gehäuse der Wafer-Lagereinheit 3 wird beispielsweise durch Verwendung eines tiefen 19-Zoll-Racks mit einer Tiefe von 36 Zoll (914,4 mm) realisiert. In dem in **Fig. 7** gezeigten Konfigurationsbeispiel ist ein Roboterarm 80 in einer mittleren Position zwischen der Vorderseite der Wafer-Lagereinheit 3 und der Rückseite der Wafer-Lagereinheit 3 angeordnet, um die Tiefe von 36 Zoll effizient nutzen zu können. Beide Seiten des Roboterarms 80, d.h. ein Raum zwischen dem Roboterarm 80 und der Vorderseite der Wafer-Lagereinheit 3 und ein Raum zwischen dem Roboterarm 80 und der Rückseite der Wafer-Lagereinheit 3, werden als Lagerplätze für mehrere Halbleiter-Wafer 40 verwendet, wobei jeder Wafer ein 300-mm-Wafer ist.

[0107] Die in den Wafer-Lagereinheiten 3a und 3b angeordneten Roboterarme 80a und 80b dienen als Wafer-Transportvorrichtung 8. Der Halbleiter-Wafer 40 läuft zwischen dem Roboterarm 80a und dem Roboterarm 80b durch die Öffnung a1 und die Öffnung b2 durch.

[0108] **Fig. 8** ist ein Diagramm, das ein Beispiel für eine Konfiguration des Roboterarms 80 zeigt, der als Wafer-Transportvorrichtung 8 verwendet wird.

[0109] Obwohl die Konfiguration des Roboterarms 80 nicht besonders begrenzt ist, zeigt **Fig. 8** eine Konfiguration, die eine Basis 81, eine Säule 82, einen Arm 83 und einen Greifabschnitt 84 umfasst.

[0110] Die Säule 82 umfasst ein Ende, das von der Basis 81 getragen wird. Die Säule 82 ist in Richtung der Z-Achse aus- und einziehbar. Der Arm 83 ist an dem anderen Ende der Säule 82 befestigt. Der Arm 83 ist so konfiguriert, dass er sich um die Säule 82 drehen kann. Der Greifabschnitt 84 ist an einem distalen Endabschnitt des Arms 83 befestigt. Bei dem Greifteil 84 handelt es sich beispielsweise um einen Saugkopf oder eine Roboterhand.

[0111] Ähnlich wie bei der Wafer-Transportvorrichtung 8 kann auch die Wafer-Kassetten-Transportvorrichtung 9 mit Hilfe von Roboterarmen realisiert werden, die jeweils im Host-Computer 2, in der Wafer-Kassetten-Lagereinheit 5 und in der Kassettiereinheit 4 angeordnet sind.

[0112] Als nächstes wird der Vorgang des Transports eines Halbleiter-Wafers 40 beschrieben.

Fig. 9A ist ein Diagramm, das einen Abschnitt des Transports des Halbleiter-Wafers 40 von der Wafer-Lagereinheit 3b zur Wafer-Lagereinheit 3a durch die Öffnung b2 der Seitenplatte SP12 der Wafer-Lagereinheit 3b und die Öffnung a1 der Seitenplatte SP1 der Wafer-Lagereinheit 3a zeigt.

(1) Der Arm 83 des Roboterarms 80b, der sich in der Wafer-Lagereinheit 3b befindet, und der Arm 83 des Roboterarms 80a, der sich in der Wafer-Lagereinheit 3a befindet, befinden sich in ihrer Ausgangsposition.

(2) Wenn der Lagerort, an dem der zu transportierende Halbleiter-Wafer 40 gelagert wird, sich in einer niedrigeren Position befindet als die Ausgangsposition des Arms 83 des Roboterarms 80b, wird die Säule 82 des Roboterarms 80b zurückgezogen, um den Arm 83 auf den Lagerort des zu transportierenden Halbleiter-Wafers 40 abzusenken. Dann wird die Säule 82 des Roboterarms 80b gedreht, um den Arm 83 über den zu transportierenden Halbleiter-Wafer 40 zu bewegen.

(3) Der Arm 83 des Roboterarms 80b ergreift die zu transportierende Halbleiter-Wafer 40 mit dem Greifteil 84. Die Säule 82 hebt den Arm 83 in die Position des internen Transportweges, der die Öffnung b2 und die Öffnung a1 umfasst. Der Arm 83 transportiert die zu transportierende Halbleiter-Wafer 40 zum internen Transportweg.

(4) Der Arm 83 des Roboterarms 80a wird über den zu transportierenden Halbleiter-Wafer 40 bewegt und greift dann den zu transportierenden Halbleiter-Wafer 40 mit dem Greifabschnitt 84.

[0113] **Fig. 9B** ist ein Diagramm, das den restlichen Vorgang des Transports der Halbleiter-Wafer 40 von der Wafer-Lagereinheit 3b zur Wafer-Lagereinheit 3a zeigt.

(5) Der Arm 83 des Roboterarms 80b gibt den zu transportierenden Halbleiter-Wafer 40 frei und kehrt dann in seine Ausgangsposition zurück.

(6) Der Arm 83 des Roboterarms 80a transportiert den zu transportierenden Halbleiter-Wafer 40 zum Ziellagerplatz.

(7) Der Arm 83 des Roboterarms 80a gibt den zu transportierenden Halbleiter-Wafer 40 frei und kehrt in die Ausgangsposition zurück.

[0114] **Fig. 10** ist eine Draufsicht, die ein Beispiel für die Anordnung mehrerer Roboterarme zeigt, die als Wafer-Transportvorrichtung 8 und als Wafer-Kassetten-Transportvorrichtung 9 verwendet werden, wie in **Fig. 6** dargestellt.

[0115] In dem in **Fig. 10** dargestellten Anordnungsbeispiel sind die Roboterarme 8a bis 8c jeweils in den

mittleren Positionen der Wafer-Lagereinheiten 3a bis 3c angeordnet. In ähnlicher Weise sind die Roboterarme 9a und 9b in den Mittelpositionen der Kassettiereinheit 4 bzw. der Wafer-Kassetten-Lagereinheit 5 angeordnet.

[0116] Die Roboterarme 8a bis 8c und der Roboterarm 9a fungieren als Wafer-Transportvorrichtung 8. Andererseits fungieren die Roboterarme 9a und 9b als Wafer-Kassetten-Transportvorrichtung 9, die eine Wafer-Kassette 90 zwischen dem Kassettiereinheit 4 und dem Wafer-Kassetten-Lagereinheit 5 durch die Öffnung a3 und die Öffnung b4 transportiert.

[0117] Der Transport der Wafer-Kassette 90 zwischen der Wafer-Kassetten-Lagereinheit 5 und dem Host-Computer 2 kann auch durch den Transportroboter 102 oder 103 erfolgen. Beispielsweise entnimmt der Transportroboter 102 oder 103 eine Wafer-Kassette 90 aus der Wafer-Kassetten-Lagereinheit 5 durch die Vorderseite der Wafer-Kassetten-Lagereinheit 5 und fährt dann zur Vorderseite des Host-Computers 2. Der Transportroboter 102 oder 103 verbindet dann die Wafer-Kassette 90 durch die Vorderseite des Host-Computers 2 mit einem Steckplatz in der Host-Einheit 230. Alternativ entnimmt der Transportroboter 102 oder 103 eine Wafer-Kassette 90 aus einem Steckplatz in der Host-Einheit 230 durch die Vorderseite des Host-Computers 2, und der Transportroboter 102 oder 103 fährt dann zur Vorderseite der Wafer-Kassetten-Lagereinheit 5 oder der Kassettiereinheit 4. Der Transportroboter 102 oder 103 lädt die Wafer-Kassette 90, die aus dem Steckplatz in der Host-Einheit 230 entnommen wurde, in die Wafer-Kassetten-Lagereinheit 5 oder die Kassettiereinheit 4 durch die Vorderseite der Wafer-Kassetten-Lagereinheit 5 oder der Kassettiereinheit 4.

[0118] **Fig. 11** ist eine Draufsicht, die ein weiteres Beispiel für die Anordnung mehrerer Roboterarme zeigt, die als Wafer-Transportvorrichtung 8 und Wafer-Kassette-Transportvorrichtung 9 von **Fig. 6** verwendet werden.

[0119] In dem in **Fig. 11** dargestellten Anordnungsbeispiel sind die Roboterarme 8a bis 8c jeweils in den mittleren Positionen der Wafer-Lagereinheiten 3a bis 3c angeordnet. In ähnlicher Weise sind die Roboterarme 9a bis 9c in den Mittelpositionen der Kassettiereinheit 4, der Wafer-Kassetten-Lagereinheit 5 bzw. des Host-Computers 2 angeordnet.

[0120] Die Roboterarme 8a bis 8c und der Roboterarm 9a fungieren als die in **Fig. 6** dargestellte Wafer-Transportvorrichtung 8. Die Roboterarme 9a bis 9c fungieren dagegen als die in **Fig. 6** dargestellte Wafer-Kassette-Transportvorrichtung 9.

[0121] Nehmen wir beispielsweise den Fall an, dass eine Wafer-Kassette 90 in der Kassettiereinheit 4 montiert wurde. In diesem Fall wird die Wafer-Kassette 90 von dem Roboterarm 9a zu dem Roboterarm 9b durchlaufen. Ferner wird die Wafer-Kassette 90 vom Roboterarm 9b zum Roboterarm 9c durchlaufen. Der Roboterarm 9c verbindet die Wafer-Kassette 90 mit einem Steckplatz in der Host-Einheit 230.

[0122] Ferner entnimmt der Roboterarm 9c eine Wafer-Kassette 90 aus einem Steckplatz der Host-Einheit 230 und durchläuft die entnommene Wafer-Kassette 90 zum Roboterarm 9b. Der Roboterarm 9b transportiert diese Wafer-Kassette 90 zu einem Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 oder durchläuft diese Wafer-Kassette 90 zum Roboterarm 9a.

[0123] Fig. 12 ist ein Diagramm, das beispielsweise eine Konfiguration der Wafer-Kassette 90 zeigt.

[0124] Die Wafer-Kassette 90 umfasst eine Vielzahl von Steckanschlüssen 22, die an der Rückseite des dünnen kastenförmigen Kassettengehäuses 80 vorgesehen sind. Jeder der Steckanschlüsse 22 ist eine Host-Schnittstelle zur Kommunikation mit der Host-Einheit 230. Jeder Steckeranschluss 22 ist beispielsweise ein PCIe-Stecker, der dem PCI express™ (PCIe™)-Standard entspricht, oder ein Steckeranschluss für Ethernet.

[0125] Fig. 13 ist ein Diagramm, das ein Beispiel für eine Konfiguration der Host-Einheit 230 zeigt.

[0126] Der linke Abschnitt von Fig. 13 zeigt die Host-Einheit 230 von ihrer Vorderseite aus gesehen. Der mittlere Abschnitt von Fig. 13 zeigt die Host-Einheit 230 von ihrer Seitenfläche aus gesehen. Der rechte Abschnitt von Fig. 13 zeigt die Host-Einheit 230 von ihrer Oberseite aus gesehen.

[0127] Die Host-Einheit 230 umfasst drei Steckplätze #1 bis #3. Jeder der Steckplätze #1 bis #3 umfasst einen Hohlraum, in den eine Wafer-Kassette 90 eingesetzt werden kann. Der linke Abschnitt von Fig. 13 zeigt den Fall, in dem eine Wafer-Kassette 90 in jedem der Steckplätze #1 bis #3 untergebracht ist.

[0128] In der Host-Einheit 230 sind für jeden Steckplatz eine Vielzahl von Buchsenanschlüssen 232 vorgesehen. Jeder der Buchsenanschlüsse 232 ist beispielsweise ein PCIe-Buchsenanschluss oder ein Buchsenanschluss für Ethernet. Ferner sind in der Host-Einheit 230 die oben beschriebene Systemplatine, die auch als Host-Platine bezeichnet wird, und die Stromversorgung als Komponenten 231 vorgesehen. Auf der Systemplatine sind ein Prozessor, ein Speicher, eine Steuereinheit für das System, eine

Steuereinheit für die Kommunikationsschnittstelle und dergleichen vorgesehen.

[0129] Wenn eine Wafer-Kassette 90 an einen bestimmten Steckplatz in der Host-Einheit 230 angeschlossen wird, werden die Steckanschlüsse 22 der Wafer-Kassette 90 jeweils mit den Buchsenanschlüssen 232 verbunden, die auf der anderen Seite in diesem Steckplatz vorgesehen sind. Jeder der Buchsenanschlüsse 232 ist elektrisch mit der Systemplatine verbunden.

[0130] Von der Rückseite der Host-Einheit 230 werden ein mit der Stromversorgung verbundenes Stromkabel, ein mit der Systemplatine verbundenes Netzkabel und dergleichen nach außen geführt.

[0131] Fig. 14 ist ein Blockdiagramm, das ein Beispiel für eine Konfiguration der Host-Einheit 230 zeigt.

[0132] Die Host-Einheit 230 umfasst einen Prozessor 201, einen Hauptspeicher 202, eine System-Steuereinheit 203, eine Kommunikationsschnittstellen-Steuereinheit 204 und dergleichen. Der Prozessor 201, der Hauptspeicher 202, die Systemsteuer-einheit 203 und die Kommunikationsschnittstellen-Steuereinheit 204 sind auf der Systemplatine der Host-Einheit 230 montiert.

[0133] Der Hauptspeicher 202 ist beispielsweise ein dynamischer Direktzugriffsspeicher (DRAM).

[0134] Die Kommunikationsschnittstellen-Steuereinheit 204 führt über eine Kommunikationsschnittstelle 205 eine Kommunikation mit der Kassettiereinheit 4, der Wafer-Transportvorrichtung 8 und der Wafer-Kassette-Transportvorrichtung 9 durch. Als Kommunikationsschnittstelle 205 kann beispielsweise eine dem Ethernet-Standard entsprechende Schnittstelle verwendet werden. In diesem Fall kann die Steuereinheit der Kommunikationsschnittstelle 204 beispielsweise durch eine Netzwerkschnittstellen-Steuereinheit (NIC) realisiert werden.

[0135] Der Prozessor 201 führt verschiedene Programme (Software) aus, die in den Hauptspeicher 202 geladen sind. Diese Programme können beispielsweise ein Anwendungsprogramm 211, ein Betriebssystem (OS) 212, ein Dateisystem 213, einen Vorrichtungstreiber 214 zur Steuerung der Wafer-Kassette 90, ein Speicherverwaltungstool 216 und dergleichen umfassen. Das Speicherverwaltungstool 216 ist ein Programm zum Verwalten jedes der Halbleiter-Wafer 40, jedes der Kassettengehäuse 80 und jeder der Wafer-Kassetten 90 und zum Steuern des Transports jedes der Halbleiter-Wafer 40 und jeder der Wafer-Kassetten 90.

[0136] In der folgenden Beschreibung bedeutet die Erläuterung, dass diese Programme einen bestimmten Prozess ausführen, dass die Host-Einheit 230 (genauer gesagt der Prozessor 210) den Prozess durch Ausführen dieser Programme durchführt.

[0137] Die Host-Einheit 230 (genauer gesagt der Prozessor 210) ist in der Lage, eine Wafer-Verwaltungstabelle 221 unter der Kontrolle des Lagerverwaltungsprogramms 216 zu verwalten. Bei der Wafer-Verwaltungstabelle 221 handelt es sich um Verwaltungsdaten für eine Vielzahl von Halbleiter-Wafern 40 in der Wafer-Lagereinheit 3.

[0138] Ferner kann die Host-Einheit 230 eine Kassetten-Verwaltungstabelle 222 unter der Kontrolle des Lagerverwaltungswerkzeugs 216 verwalten. Bei der Kassetten-Verwaltungstabelle 222 handelt es sich um Verwaltungsdaten für eine Vielzahl von Kassettengehäuse 80 oder eine Vielzahl von Wafer-Kassetten 90 in der Wafer-Kassetten-Lagereinheit 5.

[0139] Die Wafer-Verwaltungstabelle 221 und die Kassetten-Verwaltungstabelle 222 können im Hauptspeicher 202 gespeichert werden. Zumindest ein Abschnitt der Informationen, die von der Wafer-Verwaltungstabelle 221 verwaltet werden und einem bestimmten Halbleiter-Wafer 40 zugehören, kann im Speicherbereich dieses Halbleiter-Wafers 40 gespeichert werden.

[0140] Die Host-Einheit 230 ist so konfiguriert, dass sie jedem der Halbleiter-Wafer 40 eine eindeutige Kennung zuweist. Die Host-Einheit 230 verwendet die Wafer-Verwaltungstabelle 221, um die Kennung jedes Halbleiter-Wafers 40, die Priorität jedes Halbleiter-Wafers 40, den Status jedes Halbleiter-Wafers 40 und die Positionsinformationen jedes Halbleiter-Wafers 40 zu verwalten. **Fig. 14** zeigt ein Beispiel, bei dem die Host-Einheit 230 jede der Vielzahl von Halbleiter-Wafern 40, die im Speichersystem 1 verwendet werden, mit Hilfe der jeweiligen Waferkennungen W#1, W#2, ..., W#n identifiziert.

[0141] Die Host-Einheit 230 speichert die Priorität jedes der Vielzahl von Halbleiter-Wafern 40 in der Wafer-Verwaltungstabelle 221. Die Host-Einheit 230 weist dann die Wafer-Transportvorrichtung 8 und die Wafer-Kassetten-Transportvorrichtung 9 an, den Halbleiter-Wafer 40, die Kassettengehäuse 80 und die Wafer-Kassette 90 auf der Grundlage der in der Wafer-Verwaltungstabelle 221 verwalteten Prioritäten zu transportieren.

[0142] Die Host-Einheit 230 speichert in der Wafer-Verwaltungstabelle 221 Informationen, die als Status jeder Halbleiter-Wafer 40 angeben, ob sie sich im Host-Rechner 2, in der Wafer-Kassetten-Lagereinheit 5 oder in der Wafer-Lagereinheit 3 befindet.

[0143] Wenn ein bestimmter Halbleiter-Wafer 40 im Host-Computer 2 vorhanden ist, kann die Host-Einheit 230 erkennen, dass die Wafer-Kassette 90, die diesen Halbleiter-Wafer 40 umfasst, mit einem Steckplatz in der Host-Einheit 230 verbunden ist.

[0144] Alternativ kann die Host-Einheit 230 erkennen, dass eine Wafer-Kassette 90, die diesen Halbleiter-Wafer 40 umfasst, in der Wafer-Kassetten-Lagereinheit 5 gelagert ist, wenn ein bestimmter Halbleiter-Wafer 40 in der Wafer-Lagereinheit 5 vorhanden ist. Mit anderen Worten, die Host-Einheit 230 kann erkennen, dass diese Halbleiter-Wafer 40 bereits als Wafer-Kassette 90 zusammengesetzt ist.

[0145] Alternativ kann die Host-Einheit 230 erkennen, dass ein bestimmter Halbleiter-Wafer 40 in der Wafer-Lagereinheit 3 gelagert ist, wenn dieser Halbleiter-Wafer 40 in der Wafer-Lagereinheit 3 vorhanden ist. Mit anderen Worten, die Host-Einheit 230 kann erkennen, dass diese Halbleiter-Wafer 40 noch nicht als Wafer-Kassette 90 zusammengesetzt wurde.

[0146] Die Host-Einheit 230 speichert Positionsinformationen des Halbleiter-Wafers 40 in der Wafer-Verwaltungstabelle 221 als Information, die angibt, wo ein jeweiliger der Halbleiter-Wafer 40 angeschlossen oder gelagert ist.

[0147] Wenn ein bestimmter Halbleiter-Wafer 40 im Host-Computer 2 vorhanden ist, speichert die Host-Einheit 230 in der Wafer-Verwaltungstabelle 221 die Steckplatznummer, die den Steckplatz der Host-Einheit 230 angibt, an den eine Wafer-Kassette 90, die diesen Halbleiter-Wafer 40 umfasst, angeschlossen ist, als Positionsinformation dieses Halbleiter-Wafers 40.

[0148] Alternativ speichert die Host-Einheit 230, wenn eine bestimmte Halbleiter-Wafer 40 in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist, in der Wafer-Verwaltungstabelle 221 die Speicherplatznummer, die die Position in der Wafer-Kassetten-Lagereinheit 5 angibt, in der die Wafer-Kassette 90, die diese Halbleiter-Wafer 40 umfasst, gespeichert ist, als Positionsinformation dieser Halbleiter-Wafer 40.

[0149] Alternativ speichert die Host-Einheit 230, wenn eine Halbleiter-Wafer 40 in der Wafer-Lagereinheit 3 vorhanden ist, in der Wafer-Verwaltungstabelle 221 die Lagerplatznummer, die den Ort in der Wafer-Lagereinheit 3 angibt, an dem diese Halbleiter-Wafer 40 gelagert ist, als die Positionsinformation dieser Halbleiter-Wafer 40.

[0150] Die Host-Einheit 230 ist so konfiguriert, dass sie jedem der Kassettengehäuse 80 eine eindeutige Kennung zuweist. Die Host-Einheit 230 verwendet

die Kassetten-Verwaltungstabelle 222, um die Kennung jedes Kassettengehäuses 80, den Status jedes Kassettengehäuses 80 und Positionsinformationen darüber zu verwalten, wo sich jedes Kassettengehäuse 80 befindet. **Fig. 14** zeigt ein Beispiel, bei dem die Host-Einheit 230 jede der im Speichersystem 1 verwendeten Kassettengehäuse 80 anhand der Kassettenkennungen C#1, C#2, ..., C#m identifiziert.

[0151] Die Host-Einheit 230 speichert in der Kassetten-Verwaltungstabelle 222 Informationen über den Status jeder der Kassettengehäuse 80, die angeben, ob sie leer oder bereits zu einer Wafer-Kassette 90 zusammengebaut oder für den Gebrauch gesperrt sind.

[0152] Wenn eine bestimmte Wafer-Kassettengehäuse 80 in der Wafer-Kassetten-Lagereinheit 5 gelagert wird, ohne einen Halbleiter-Wafer 40 zu umfassen, speichert die Host-Einheit 230 in der Kassetten-Verwaltungstabelle 222 Informationen, die angeben, dass es sich bei dieser Kassetten-Kassettengehäuse 80 um eine leere Kassetten-Kassette handelt, als Informationen, die den Status dieser Kassetten-Kassettengehäuse 80 angeben.

[0153] Alternativ, wenn ein bestimmtes Kassettengehäuse 80 bereits als Wafer-Kassette 90 zusammen mit einem bestimmten Halbleiter-Wafer 40 zusammengebaut wurde, speichert die Host-Einheit 230 in der Kassetten-Verwaltungstabelle 222 die Wafer-Kennung des in dieser Kassettengehäuse 80 (Wafer-Kassette 90) umfassten Halbleiter-Wafers 40 als Information, die den Status dieser Kassettengehäuse 80 angibt.

[0154] Alternativ dazu speichert die Host-Einheit 230 in der Kassettenverwaltungstabelle 222 Informationen, die angeben, dass sich dieses Kassettengehäuse 80 in einem Zustand befindet, in dem sie nicht verwendet werden darf, als Informationen, die den Status dieses Kassettengehäuses 80 angeben, wenn ein bestimmtes Kassettengehäuse 80 für die Verwendung gesperrt ist.

[0155] Die Host-Einheit 230 speichert in der Kassettenverwaltungstabelle 222 Positionsinformationen, die den Ort angeben, an dem eine der Kassettengehäuse 80 angeschlossen oder gelagert ist. **Fig. 14** zeigt ein Beispiel, bei dem die Host-Einheit 230 in der Kassettenverwaltungstabelle 222 als Positionsinformation Informationen speichert, die eines der Strukturelemente des Speichersystems 1 angeben.

[0156] Wenn ein bestimmtes Kassettengehäuse 80 im Host-Computer 2 vorhanden ist, kann die Host-Einheit 230 in der Kassettenverwaltungstabelle 222 die Steckplatznummer, die einen Steckplatz der Host-Einheit 230 angibt, an dem die diese Kassetten-

gehäuse 80 umfassende Wafer-Kassette 90 angeschlossen ist, als Positionsinformation dieser Kassettengehäuse 80 speichern.

[0157] Wenn ein bestimmtes Kassettengehäuse 80, die zu einer Wafer-Kassette 90 zusammengesetzt ist, in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist, kann die Host-Einheit 230 in der Kassetten-Verwaltungstabelle 222 die Lagerplatznummer, die den Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 angibt, an dem diese Wafer-Kassette 90 gelagert ist, als Positionsinformation dieser Kassettengehäuse 80 speichern.

[0158] Wenn ein bestimmtes leeres Kassettengehäuse 80 in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist, kann die Host-Einheit 230 in der Kassetten-Verwaltungstabelle 222 die Lagerplatznummer, die den Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 angibt, an dem diese leere Kassettengehäuse 80 gelagert ist, als die Positionsinformation dieser Kassettengehäuse 80 speichern.

[0159] In dem in **Fig. 14** gezeigten Beispiel hat ein Halbleiter-Wafer 40 mit der Wafer-Kennung W#1 die höchste Priorität (Priorität = 1). Der Halbleiter-Wafer 40 mit der Wafer-Kennung W#1 befindet sich in dem Zustand, in dem er mit dem Steckplatz #1 der Host-Einheit 230 verbunden ist. Ein Halbleiter-Wafer 40 mit der Wafer-Kennung W#2 hat die fünfthöchste Priorität (Priorität = 5). Die Halbleiter-Wafer 40 mit der Wafer-Kennung W#2 befindet sich in dem Zustand der Wafer-Kassette 90, in dem sie mit dem Kassettengehäuse 80 untergebracht ist und am Lagerplatz #2 in der Wafer-Kassetten-Lagereinheit 5 gelagert wird. Ein Halbleiter-Wafer 40 mit der Wafer-Kennung W#n hat die elfte höchste Priorität (Priorität = 11). Der Halbleiter-Wafer 40 mit der Wafer-Kennung W#n wird an der Lagerstelle #3 in der Wafer-Lagereinheit 3 gelagert.

[0160] Ferner befindet sich eine Kassettengehäuse 80 mit der Kassettenkennung C#1 in dem Zustand, in dem sie bereits als Wafer-Kassette 90 zusammengesetzt ist, die den Halbleiter-Wafer 40 mit der Wafer-Kennung W#1 umfasst, und ist mit dem Steckplatz #1 der Host-Einheit 230 verbunden. Eine Kassettengehäuse 80 mit der Kassettenkennung C#2 befindet sich in einem Zustand, in dem sie für den Gebrauch gesperrt ist, und wird an der Lagerstelle #1 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Eine Kassetten-Kassettengehäuse 80 mit der Kassetten-Kennung C#m befindet sich im Zustand einer leeren Kassetten-Kassettengehäuse 80, die keine Halbleiter-Wafer 40 umfasst, und wird an der Lagerstelle #3 in der Wafer-Kassetten-Lagereinheit 5 gelagert.

[0161] Nachfolgend wird der im Speichersystem 1 gemäß der Ausführungsform ausgeführte Prozess

zum Transport einer zugreifenden Wafer-Kassette 90 beschrieben.

[0162] In den folgenden Beschreibungen wird der Einfachheit halber auf eine Erläuterung der Aktualisierung von Informationen in der Kassettenverwaltungstabelle 222 durch die Hosteinheit 230 verzichtet. Aus diesem Grund wird bei der Erläuterung darauf verzichtet, die Kassettenkennung zu bestimmen, die jedem Kassettengehäuse 80 zugeordnet ist. Darüber hinaus werden die Halbleiter-Wafer 40 mit den Waferkennungen A bis E jeweils als Wafer A bis E bezeichnet.

[0163] Fig. 15A ist ein Diagramm zur Veranschaulichung eines Tauschvorgangs, der in dem Speichersystem 1 gemäß dieser Ausführungsform ausgeführt wird. Bei dem Tauschvorgang wird die an einen Steckplatz der Host-Einheit 230 angeschlossene Wafer-Kassette 90 durch eine andere Wafer-Kassette 90 in der Wafer-Kassetten-Lagereinheit 5 ersetzt. Fig. 15A zeigt den Fall unter der Annahme, dass die Anzahl der Steckplätze in der Host-Einheit 230 zwei beträgt.

[0164] Wenn keine freien (verfügbaren) Steckplätze in der Host-Einheit 230 vorhanden sind und eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gelagert ist, führt die Host-Einheit 230 den Vertauschungsvorgang durch Steuerung der Wafer-Kassetten-Lagereinheit 9 aus.

[0165] Im Zustand vor Beginn des Tauschvorgangs hat die Wafer-Kassette A die höchste Priorität (Priorität = 1), und die Wafer-Kassette 90, die die Wafer-Kassette A umfasst, ist mit dem Steckplatz 1 der Host-Einheit 230 verbunden. Der Wafer B hat die zweithöchste Priorität (Priorität = 2.), und die Wafer-Kassette 90, die den Wafer B umfasst, wird an den Steckplatz #2 der Host-Einheit 230 angeschlossen. Der Wafer C hat die dritthöchste Priorität (Priorität = 3.), und die Wafer-Kassette 90, die den Wafer C umfasst, wird am Speicherplatz #11 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Der Wafer D hat die vierthöchste Priorität (Priorität = 4) und die Wafer-Kassette 90 mit dem Wafer D wird am Lagerplatz #12 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Der Wafer E hat die fünftöchste Priorität (Priorität = 5) und wird am Lagerplatz #111 in der Wafer-Lagereinheit 3 gelagert.

[0166] Die Host-Einheit 230 bestimmt aus der Vielzahl der im Speichersystem 1 umfassten Halbleiter-Wafern 40 eine Halbleiter-Wafer, auf die zugegriffen werden soll. In diesem Fall wird davon ausgegangen, dass der Wafer C als der Halbleiter-Wafer 40 bestimmt wird, auf den zugegriffen werden soll. Die Host-Einheit 230 kann die Priorität jedes der Halblei-

ter-Wafer 40 dynamisch ändern, beispielsweise auf der Grundlage der Zugriffsanforderung, der Zugriffshäufigkeit, der seit dem letzten Zugriff verstrichenen Zeit, des Abschlusses oder Nichtabschlusses des Zugriffsprozesses, der geschätzten verbleibenden Zeit bis zum Abschluss des Zugriffsprozesses, des auszuführenden Anwendungsprogramms, des Vorhersageergebnisses der Zugriffswahrscheinlichkeit und dergleichen. Beispielsweise kann die Priorität des Wafers C erhöht werden, wenn eine Zugriffsanforderung für den Wafer C auftritt. Ferner kann die Priorität jedes der Halbleiter-Wafer 40, die als Wafer-Kassette 90 mit einem Steckplatz in der Host-Einheit 230 verbunden sind, entsprechend dem Abschluss des Zugriffsprozesses für jeden dieser Halbleiter-Wafer 40 oder entsprechend der seit dem letzten Zugriffszeitpunkt für jeden dieser Halbleiter-Wafer 40 verstrichenen Zeit herabgesetzt werden.

[0167] Auf diese Weise wird die Priorität jeder der im Speichersystem 1 verwalteten Halbleiter-Wafern 40 von der Hosteinheit 230 geändert. Fig. 15A zeigt den Fall, dass die Priorität des Wafers C von 3 auf 1 geändert wird, die Priorität des Wafers A von 1 auf 2 und die Priorität des Wafers B von 2 auf 3.

[0168] Da in der Host-Einheit 230 keine freien Steckplätze vorhanden sind, bestimmt die Host-Einheit 230 unter den an die Steckplätze der Host-Einheit 230 angeschlossenen Wafer-Kassetten 90 (hier die Wafer-Kassette 90 mit dem Wafer A und die Wafer-Kassette 90 mit dem Wafer B) eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit der niedrigsten Priorität umfasst, als zu tauschende Wafer-Kassette 90. In diesem Fall wird die Wafer-Kassette 90, die den Wafer B umfasst, als die zu tauschende Wafer-Kassette 90 bestimmt.

[0169] Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette 90 einschließlich des Wafers B (Wafer-Kassetten-Lagereinheit (Wafer B)) vom Steckplatz 2 der Host-Einheit 230 zum Wafer-Kassetten-Lagereinheit 5 zu transportieren und die Wafer-Kassette 90 einschließlich des Wafers C (Wafer-Kassetten-Lagereinheit (Wafer C)) vom Wafer-Kassetten-Lagereinheit 5 zum Host-Computer 2 zu transportieren und mit dem Steckplatz 2 der Host-Einheit 230 zu verbinden.

[0170] Bei diesem Vorgang wird die Wafer-Kassette (Wafer B) aus dem Slot #2 der Host-Einheit 230 entnommen und beispielsweise am Speicherplatz #11 in der Wafer-Kassetten-Lagereinheit 5 abgelegt. Die Wafer-Kassette (Wafer C) wird an den Steckplatz Nr. 2 der Host-Einheit 230 angeschlossen. Anschließend aktualisiert die Host-Einheit 230 die Wafer-Verwaltungstabelle 221, so dass die Prioritäts-, Status- und Positionsinformationen jedes Halbleiter-Wafers 40 den neuesten Inhalt angeben.

[0171] Durch den mit Bezug auf **Fig. 15A** beschriebenen Prozess wird der Austauschvorgang ausgeführt, um die Wafer-Kassette (Wafer B), die mit dem Steckplatz Nr. 2 der Host-Einheit 230 verbunden wurde, durch die Wafer-Kassette (Wafer C) zu ersetzen, die in der Wafer-Kassetten-Lagereinheit 5 gelagert wurde.

[0172] **Fig. 15B** ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem 1 gemäß der Ausführungsform ausgeführt wird, wenn die Priorität einer Halbleiter-Kassettiereinheit 40, die in der Wafer-Lagereinheit 3 gespeichert ist, höher wird als die Priorität einer Halbleiter-Kassettiereinheit 40, die in einer der Wafer-Kassetten 90 enthalten ist, die in der Wafer-Kassetten-Lagereinheit 5 gespeichert sind.

[0173] In dem in **Fig. 15B** dargestellten Beispiel hat der Wafer A die höchste Priorität (Priorität = 1), und die Wafer-Kassette 90, die den Wafer A umfasst, wird an den Steckplatz 1 der Host-Einheit 230 angeschlossen. Der Wafer B hat die zweithöchste Priorität (Priorität = 2), und die Wafer-Kassette 90, die den Wafer B umfasst, ist mit dem Steckplatz #2 der Host-Einheit 230 verbunden. Der Wafer C hat die dritthöchste Priorität (Priorität = 3.), und die Wafer-Kassette 90, die den Wafer C umfasst, wird am Speicherplatz #11 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Der Wafer D hat die vierthöchste Priorität (Priorität = 4), und die Wafer-Kassette 90 mit dem Wafer D wird am Lagerplatz #12 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Der Wafer E hat die fünftöchste Priorität (Priorität = 5) und wird am Lagerplatz #111 in der Wafer-Lagereinheit 3 gelagert.

[0174] Hier wird ein solcher Fall angenommen, dass die Priorität jedes der Halbleiter-Wafer 40 von der Host-Einheit 230 geändert wird, und als Ergebnis wird die Priorität des in der Wafer-Lagereinheit 3 vorhandenen Wafers E von 5 auf 3, die Priorität des in der Wafer-Kassetten-Lagereinheit 5 vorhandenen Wafers C von 3 auf 4 und die Priorität des in der Wafer-Kassetten-Lagereinheit 5 vorhandenen Wafers D von 4 auf 5 geändert.

[0175] Die Host-Einheit 230 wählt aus den im Wafer-Kassetten-Lagereinheit 5 gespeicherten Wafer-Kassetten 90 die Wafer-Kassette 90 aus, die den Halbleiter-Wafer 40 mit der niedrigsten Priorität umfasst. Hier wird die Wafer-Kassette 90, die den Wafer D (Wafer-Kassette (Wafer D)) umfasst, ausgewählt. Dann weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette (Wafer D) aus dem Wafer-Lagereinheit 5 zur Kassettiereinheit 4 zu transportieren.

[0176] Ferner weist die Host-Einheit 230 die Wafer-Transportvorrichtung 8 an, die Wafer-Kassette E, deren Priorität von 5 auf 3 erhöht wurde, von der

Wafer-Lagereinheit 3 zur Kassettiereinheit 4 zu transportieren. Auf diese Weise werden die Wafer-Kassette (Wafer D) und der Wafer E zu der Kassettiereinheit 4 transportiert.

[0177] Anschließend weist die Host-Einheit 230 die Kassettiereinheit 4 an, die transportierte Wafer-Kassette (Wafer D) in den Wafer D und eine leere Kassettengehäuse 80 zu zerlegen. Die Host-Einheit 230 weist die Kassettiereinheit 4 ferner an, eine Wafer-Kassette 90 einschließlich des Wafers E (Wafer-Kassette (Wafer E)) aus einer leeren Kassettenhülse 80 und dem Wafer E zusammenzubauen. Die leere Kassettenhülse 80, die zum Zusammenbau der Wafer-Kassette (Wafer E) verwendet wird, kann die leere Kassettenhülse 80 sein, die durch Zerlegen der Wafer-Kassette (Wafer D) erhalten wurde.

[0178] Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die zusammengesetzte Wafer-Kassette (Wafer E) von der Kassettiereinheit 4 zum Lagerplatz #12 in der Wafer-Kassetten-Lagereinheit 5 zu transportieren. Anschließend weist die Host-Einheit 230 die Wafer-Transportvorrichtung 8 an, den aus der Wafer-Kassette (Wafer D) entnommenen Wafer D durch Zerlegen der Wafer-Kassetten-Lagereinheit (Wafer D) aus dem Kassettiereinheit 4 zum Lagerplatz #111 im Wafer-Lagereinheit 3 zu transportieren.

[0179] So wird die Wafer-Kassette (Wafer E) am Lagerplatz #12 in der Wafer-Kassetten-Lagereinheit 5 und der Wafer D am Lagerplatz #111 in der Wafer-Lagereinheit 3 gelagert. Danach aktualisiert die Host-Einheit 230 die Wafer-Verwaltungstabelle 221, so dass die Prioritäts-, Status- und Positionsinformationen jedes der Halbleiter-Wafer 40 den neuesten Inhalt angeben.

[0180] In dem unter Bezugnahme auf **Fig. 15B** beschriebenen Verfahren wird in Übereinstimmung mit der aktualisierten Prioritätsrangfolge jedes Halbleiter-Wafers 40 der Wafer E, der an der Lagerstelle #111 in der Wafer-Lagereinheit 3 gelagert wurde, zur Kassettiereinheit 4 transportiert und die Wafer-Kassette 90, die den Wafer E umfasst, zusammengesetzt.

[0181] Als nächstes wird der Prozess des Transports einer Wafer-Kassette 90 zum Zugriff auf einen Steckplatz in der Host-Einheit 230 beschrieben. Die **Fig. 16A** bis **16F** veranschaulichen den Fall, dass die Host-Einheit 230 des Host-Computers 2 vier Steckplätze und die Wafer-Kassetten-Lagereinheit 5 vier Speicherplätze hat.

[0182] **Fig. 16A** ist ein Diagramm zur Veranschaulichung eines Vorgangs, der in dem Speichersystem 1 gemäß der Ausführungsform ausgeführt wird, wenn eine Wafer-Kassette 90, auf die zugegriffen werden

soll, bereits an einen Steckplatz der Host-Einheit 230 angeschlossen ist.

[0183] Beispielsweise werden vier Wafer-Kassetten 90, die vier Wafer A bis D mit Prioritäten von 1 bis 4 umfassen, an die Steckplätze 1 bis 4 der Host-Einheit 230 angeschlossen. Darüber hinaus werden vier Wafer-Kassetten 90, die jeweils vier Wafer E bis H mit den Prioritäten 5 bis 8 umfassen, an den Speicherplätzen 11 bis 14 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Außerdem werden zwei Wafer I bis J mit den Prioritäten 9 bis 10 an den Lagerplätzen 111 bis 112 in der Wafer-Lagereinheit 3 gelagert.

[0184] Nehmen wir nun den Fall an, dass die Host-Einheit 230 den Wafer D als einen Halbleiter-Wafer 40 bestimmt hat, auf den zugegriffen werden soll. Wie oben beschrieben, kann bei einer Zugriffsanforderung auf den Wafer D die Priorität des Wafers D erhöht werden. Die Priorität jedes der Halbleiter-Wafer 40 (in diesem Fall die Wafer A bis C), die in anderen Wafer-Kassetten 90 umfasst sind, die mit Steckplätzen der Host-Einheit 230 verbunden sind, kann beispielsweise entsprechend dem Abschluss des Zugriffsprozesses auf diesen Halbleiter-Wafer 40 oder entsprechend der Zeit, die seit dem letzten Zugriff auf diesen Halbleiter-Wafer 40 verstrichen ist, herabgesetzt werden. In **Fig. 16A** wird ein solcher Fall angenommen, dass die Priorität des Wafers D von 4 auf 1, die Priorität des Wafers A von 1 auf 2, die Priorität des Wafers B von 2 auf 3 und die Priorität des Wafers C von 3 auf 4 geändert wird.

[0185] Die Host-Einheit 230 bezieht sich auf die Wafer-Verwaltungstabelle 221 und erkennt, dass die Wafer-Kassette 90 (Wafer-Kassette (Wafer D)), die den Wafer D umfasst, auf den zugegriffen werden soll, bereits an den Steckplatz #4 der Host-Einheit 230 angeschlossen ist. Die Host-Einheit 230 überträgt einen Lesebefehl oder einen Schreibbefehl an die Wafer-Kassette (Wafer D), die an den Steckplatz #4 angeschlossen ist, und führt dadurch das Lesen oder Schreiben von Daten in Bezug auf den Wafer D aus.

[0186] **Fig. 16B** ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem 1 gemäß der Ausführungsform ausgeführt wird, wenn ein freier Steckplatz in der Host-Einheit 230 vorhanden ist und eine Wafer-Kassette 90, auf die zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gelagert ist.

[0187] Drei Wafer-Kassetten 90, die jeweils drei Wafer A bis C mit den Prioritäten 1 bis 3 umfassen, sind jeweils mit den Steckplätzen 1 bis 3 der Host-Einheit 230 verbunden. Der Steckplatz #4 ist ein freier Steckplatz, an den keine der Wafer-Kassetten 90 angeschlossen ist. Ferner werden vier Wafer-Kassetten 90, die vier Wafer D bis G mit den Prioritä-

ten 4 bis 7 umfassen, an den Speicherplätzen 11 bis 14 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Außerdem werden drei Wafer H bis J mit den Prioritäten 8 bis 10 an den Speicherplätzen #111 bis #113 in der Wafer-Lagereinheit 3 gelagert.

[0188] Nehmen wir hier den Fall an, dass die Host-Einheit 230 den Wafer D als Halbleiter-Wafer 40 bestimmt hat, auf den zugegriffen werden soll. Die Priorität jedes Halbleiter-Wafers 40 kann von der Host-Einheit 230 geändert werden. In **Fig. 16B** wird angenommen, dass die Priorität des Wafers D von 4 auf 1 geändert wird, die Priorität des Wafers A von 1 auf 2, die Priorität des Wafers B von 2 auf 3 und die Priorität des Wafers C von 3 auf 4.

[0189] Die Host-Einheit 230 bezieht sich auf die Wafer-Verwaltungstabelle 221 und erkennt, dass die Wafer-Kassette 90 (Wafer-Kassette (Wafer D)), die den Wafer D umfasst, auf den zugegriffen werden soll, am Speicherplatz #11 in der Wafer-Kassetten-Lagereinheit 5 gelagert ist. Darüber hinaus erkennt die Host-Einheit 230, dass der Steckplatz #4 der Host-Einheit 230 ein freier Steckplatz ist, an den keine der Wafer-Kassetten 90 angeschlossen ist. Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette (Wafer D) vom Speicherplatz #11 im Wafer-Kassetten-Lagereinheit 5 zum Steckplatz #4 der Host-Einheit 230 zu transportieren. Die Wafer-Kassetten-Transportvorrichtung 9 transportiert also die Wafer-Kassette (Wafer D) von der Wafer-Kassetten-Lagereinheit 5 zum Steckplatz #4 der Host-Einheit 230 und verbindet die Wafer-Kassetten-Lagereinheit 5 (Wafer D) mit dem Steckplatz #4. Infolgedessen kann die Host-Einheit 230 Daten in Bezug auf den Wafer D, auf den zugegriffen werden soll, lesen oder schreiben.

[0190] **Fig. 16C** ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem 1 gemäß der Ausführungsform ausgeführt wird, wenn ein freier Steckplatz in der Host-Einheit 230 vorhanden ist und keine leere Kassettengehäuse 80 in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist und eine Wafer-Kassette 90, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist.

[0191] Drei Wafer-Kassetten 90, die drei Wafer A bis C mit den Prioritäten 1 bis 3 umfassen, werden jeweils an die Steckplätze 1 bis 3 der Host-Einheit 230 angeschlossen. Der Steckplatz #4 ist ein freier Steckplatz, an den keine der Wafer-Kassetten 90 angeschlossen ist. Ferner werden vier Wafer-Kassetten 90, die vier Wafer D bis G mit den Prioritäten 4 bis 7 umfassen, an den Speicherplätzen #11 bis #14 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Außerdem werden drei Wafer H bis J mit den Prioritä-

täten 8 bis 10 an den Lagerplätzen 111 bis 113 in der Wafer-Lagereinheit 3 gelagert.

[0192] Nehmen wir an, dass der Wafer H von der Host-Einheit 230 als ein Halbleiter-Wafer 40 bestimmt wird, auf den zugegriffen werden soll. Die Priorität der einzelnen Halbleiter-Wafern 40 kann von der Host-Einheit 230 geändert werden. In **Fig. 16C** wird angenommen, dass die Priorität des Wafers H, auf den zugegriffen werden soll, von 8 auf 1 geändert wird, und die Prioritäten der Wafer A, B, ..., G werden jeweils auf 2, 3, ..., 8 geändert.

[0193] Die Host-Einheit 230 bezieht sich auf die Wafer-Verwaltungstabelle 221 und erkennt, dass der Wafer H, auf den zugegriffen werden soll, am Lagerplatz #111 in der Wafer-Lagereinheit 3 gespeichert ist. Außerdem erkennt die Host-Einheit 230, dass der Steckplatz #4 der Host-Einheit 230 ein freier Steckplatz ist, an dem keine der Wafer-Kassetten 90 angeschlossen ist. Außerdem erkennt die Host-Einheit 230 anhand der Kassetten-Verwaltungstabelle 222, dass sich in der Wafer-Kassetten-Lagereinheit 5 keine leere Kassettengehäuse 80 befindet.

[0194] Die Host-Einheit 230 weist die Wafer-Transportvorrichtung 8 an, die Wafer-Kassette H vom Speicherplatz #111 im Wafer-Lagereinheit 3 zur Kassettiereinheit 4 zu transportieren.

[0195] Anschließend wählt die Host-Einheit 230 aus den im Wafer-Kassetten-Lagereinheit 5 gelagerten Wafer-Kassetten 90 eine Wafer-Kassette 90 aus, die den Halbleiter-Wafer 40 umfasst, der die niedrigste Priorität hat. Hier wird die Wafer-Kassette 90, die den Wafer G (Wafer-Kassette (Wafer G)) umfasst, ausgewählt. Der Host-Computer 2 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette (Wafer G) aus dem Wafer-Kassetten-Lagereinheit 5 in die Kassettiereinheit 4 zu transportieren. So werden die Wafer-Kassette (Wafer G) und der Wafer H zur Kassettiereinheit 4 transportiert.

[0196] Anschließend weist die Host-Einheit 230 die Kassettiereinheit 4 an, die Wafer-Kassette (Wafer G) in den Wafer G und eine leere Kassettengehäuse 80 zu zerlegen. Dann weist die Host-Einheit 230 die Kassettiereinheit 4 an, eine Wafer-Kassette 90 (Wafer-Kassette (Wafer H)), die den Wafer H umfasst, aus der leeren Kassettengehäuse 80 zusammensetzen, die durch Zerlegen der Wafer-Kassette (Wafer G) und des zur Kassettiereinheit 4 transportierten Wafers H erhalten wurde. Die Kassettiereinheit 4 setzt die Wafer-Kassette (Wafer H) aus der leeren Kassettengehäuse 80 zusammen, die durch Zerlegen der Wafer-Kassette (Wafer G) und des zur Kassettiereinheit 4 transportierten Wafers H gewonnen wurde.

[0197] Ferner weist die Host-Einheit 230 die Wafer-Transportvorrichtung 8 an, den aus der Wafer-Kassette (Wafer G) durch Zerlegen der Wafer-Kassette (Wafer G) entnommenen Wafer G von der Kassettiereinheit 4 zum Lagerplatz #114 in der Wafer-Lagereinheit 3 zu transportieren. Ferner weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die so zusammengesetzte Wafer-Kassette (Wafer H) von der Kassettiereinheit 4 zum Steckplatz #4 in der Host-Einheit 230 zu transportieren. Daraufhin wird der Wafer G am Speicherplatz #114 in der Kassettiereinheit 3 abgelegt und die Wafer-Kassette (Wafer H) mit dem Steckplatz #4 der Host-Einheit 230 verbunden.

[0198] Danach aktualisiert die Host-Einheit 230 die Wafer-Verwaltungstabelle 221, so dass die Prioritäts-, Status- und Positionsinformationen jedes der Halbleiter-Wafer 40 den neuesten Inhalt angeben.

[0199] **Fig. 16D** ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem 1 gemäß der Ausführungsform ausgeführt wird, wenn ein freier Steckplatz in der Host-Einheit 230 vorhanden ist, eine leere Kassettengehäuse 80 in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist und eine Wafer-Kassette 90, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist.

[0200] Drei Wafer-Kassetten 90, die drei Wafer A bis C mit den Prioritäten 1 bis 3 umfassen, sind jeweils mit den Steckplätzen 1 bis 3 der Host-Einheit 230 verbunden. Der Steckplatz #4 ist ein freier Steckplatz, an den keine der Wafer-Kassetten 90 angeschlossen ist. Drei Wafer-Kassetten 90, die drei Wafer D bis F mit den Prioritäten 4 bis 6 umfassen, werden in der Wafer-Kassetten-Lagereinheit 5 an den Speicherplätzen #11 bis #13 gelagert. Eine leere Wafer-Kassettengehäuse 80 wird an Lagerplatz 14 in der Wafer-Kassetten-Lagereinheit 5 aufbewahrt. Ferner werden vier Wafer G bis J mit den Prioritäten 7 bis 10 an den Lagerplätzen #111 bis #114 in der Wafer-Lagereinheit 3 gelagert.

[0201] Nehmen wir an, dass der Wafer H von der Host-Einheit 230 als ein Halbleiter-Wafer 40 bestimmt wird, auf den zugegriffen werden soll. Die Priorität der einzelnen Halbleiter-Wafern 40 kann von der Host-Einheit 230 geändert werden. In **Fig. 16D** wird angenommen, dass die Priorität des Wafers H von 8 auf 1 geändert wird, und die Prioritäten der Wafer A, B, ..., G werden auf 2, 3, ..., 8 geändert.

[0202] Die Host-Einheit 230 bezieht sich auf die Wafer-Verwaltungstabelle 221 und erkennt, dass der Wafer H, auf den zugegriffen werden soll, am Lagerplatz #112 in der Wafer-Lagereinheit 3 abgelegt ist. Außerdem erkennt die Host-Einheit 230, dass der Steckplatz #4 der Host-Einheit 230 ein freier

Steckplatz ist, an dem keine der Wafer-Kassetten 90 angeschlossen ist. Außerdem erkennt die Host-Einheit 230 anhand der Kassetten-Verwaltungstabelle 222, dass am Lagerplatz #14 in der Wafer-Kassetten-Lagereinheit 5 eine leere Kassettengehäuse 80 gelagert ist.

[0203] Die Host-Einheit 230 weist die Wafer-Transportvorrichtung 8 an, die Wafer-Kassette H vom Lagerplatz #112 im Wafer-Lagereinheit 3 zur Kassettereinheit 4 zu transportieren.

[0204] Anschließend weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die leere Kassettengehäuse 80, die am Lagerplatz #14 im Wafer-Kassetten-Lagereinheit 5 gelagert ist, vom Wafer-Kassetten-Lagereinheit 5 zum Kassettereinheit 4 zu transportieren. Dadurch werden die leere Kassettengehäuse 80 und der Wafer H zur Kassettereinheit 4 transportiert.

[0205] Die Kassettereinheit 4 wird von der Host-Einheit 230 angewiesen, aus der leeren Kassettengehäuse 80 und dem Wafer H eine Wafer-Kassette 90 (Wafer-Kassette (H)) zusammenzustellen, die den Wafer H umfasst. Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die zusammengesetzte Wafer-Kassette (Wafer H) von der Kassettereinheit 4 zum Steckplatz 4 der Host-Einheit 230 zu transportieren und die zusammengesetzte Wafer-Kassette (Wafer H) an den Steckplatz 4 anzuschließen. Auf diese Weise wird die Wafer-Kassette (Wafer H) zum Steckplatz #4 der Host-Einheit 230 transportiert und mit dem Steckplatz #4 verbunden.

[0206] Danach aktualisiert die Host-Einheit 230 die Wafer-Verwaltungstabelle 221, so dass die Prioritäts-, Status- und Positionsinformationen jedes der Halbleiter-Wafer 40 den neuesten Inhalt angeben.

[0207] Fig. 16E ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem 1 gemäß der Ausführungsform ausgeführt wird, wenn keine freien Steckplätze in der Host-Einheit 230 vorhanden sind, ein freier Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist und eine Wafer-Kassette 90, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist.

[0208] Vier Wafer-Kassetten 90, die vier Wafer A bis D mit den Prioritäten 1 bis 4 umfassen, sind jeweils an die Steckplätze 1 bis 4 der Host-Einheit 230 angeschlossen. Außerdem werden drei Wafer-Kassetten 90, darunter drei Wafer E bis G mit den Prioritäten 5 bis 7, an den Speicherplätzen 11 bis 13 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Der Lagerplatz #14 in der Wafer-Kassetten-Lagereinheit 5 ist ein freier Lagerplatz, an dem weder die Wafer-Kassette

90 noch die leere Kassettengehäuse 80 gelagert wird. Ferner werden drei Wafer H bis J mit den Prioritäten 8 bis 10 an den Lagerplätzen #111 bis #113 in der Wafer-Lagereinheit 3 gelagert.

[0209] Nehmen wir an, dass der Wafer I von der Host-Einheit 230 als ein Halbleiter-Wafer 40 bestimmt wird, auf den zugegriffen werden soll. Die Priorität der einzelnen Halbleiter-Wafern 40 kann von der Host-Einheit 230 geändert werden. In Fig. 16E wird angenommen, dass die Priorität des Wafers I von 9 auf 1 geändert wird, und die Prioritäten der Wafer A, B, ..., H werden auf 2, 3, ..., 9 geändert.

[0210] Die Host-Einheit 230 bezieht sich auf die Wafer-Verwaltungstabelle 221 und erkennt, dass der Wafer I, auf den zugegriffen werden soll, am Lagerplatz #112 in der Wafer-Lagereinheit 3 abgelegt ist. Darüber hinaus erkennt die Host-Einheit 230, dass in der Host-Einheit 230 kein freier Steckplatz vorhanden ist. Weiterhin erkennt die Host-Einheit 230 anhand der Kassetten-Verwaltungstabelle 222, dass in der Wafer-Kassetten-Lagereinheit 5 ein freier Lagerplatz #14 vorhanden ist.

[0211] Dabei stellt die Host-Einheit 230 fest, ob eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die des Wafers I, auf den zugegriffen werden soll, umfasst, an die Host-Einheit 230 angeschlossen ist oder nicht.

[0212] Wenn kein freier Steckplatz in der Host-Einheit 230 vorhanden ist, ein freier Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist und die Wafer-Kassette 90, die den Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die des Wafers I, auf den zugegriffen werden soll, umfasst, mit der Host-Einheit 230 verbunden ist, bestimmt die Host-Einheit 230 eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit der niedrigsten Priorität unter den mit der Host-Einheit 230 verbundenen Wafer-Kassetten 90 umfasst (hier Wafer-Kassette (Wafer D)), die den Wafer D umfasst), als eine zu tauschende Wafer-Kassette 90.

[0213] Dann weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette (Wafer D) vom Steckplatz #4 der Host-Einheit 230 zum Lagerplatz #14 in der Wafer-Kassetten-Lagereinheit 5 zu transportieren.

[0214] Wie oben beschrieben, wird die Wafer-Kassette (Wafer D) aus dem Steckplatz Nr. 4 der Host-Einheit 230 entnommen und zum Lagerplatz Nr. 14 in der Wafer-Kassetten-Lagereinheit 5 bewegt. Dadurch wird der Steckplatz Nr. 4 der Host-Einheit 230 zu einem freien Steckplatz. Daher befindet sich das Speichersystem 1 zu diesem Zeitpunkt in einem Zustand, in dem ein Steckplatz in der Host-Einheit 230 frei ist, sich keine leere Kassetten-Kassettenge-

häuse 80 in der Wafer-Kassetten-Lagereinheit 5 befindet und sich die Halbleiter-Wafer 40, auf die zugegriffen werden soll, in der Wafer-Lagereinheit 3 befinden. Dies ist derselbe Zustand wie in **Fig. 16C** dargestellt.

[0215] Im Folgenden kann die Host-Einheit 230 die Wafer-Kassette 90, die den Halbleiter-Wafer I umfasst, auf den zugegriffen werden soll, an den Steckplatz #4 der Host-Einheit 230 anschließen, indem sie denselben Vorgang ausführt, wie er unter Bezugnahme auf **Fig. 16C** beschrieben ist.

[0216] Genauer gesagt, weist die Host-Einheit 230 zunächst die Wafer-Transportvorrichtung 8 an, die Wafer-Kassette I vom Speicherplatz #112 in der Wafer-Lagereinheit 3 zur Kassettiereinheit 4 zu transportieren.

[0217] Da die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, der eine niedrigere Priorität als der Wafer I hat, im Wafer-Kassetten-Lagereinheit 5 gelagert ist, wählt die Host-Einheit 230 die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, mit der niedrigsten Priorität unter den im Wafer-Lagereinheit 5 gelagerten Wafer-Kassetten 90 aus. Hier wird die Wafer-Kassette 90, die den Wafer G umfasst (Wafer-Kassette (Wafer G)), ausgewählt.

[0218] Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette (Wafer G) vom Speicherplatz #13 im Wafer-Kassetten-Lagereinheit 5 zur Kassettiereinheit 4 zu transportieren. So werden die Wafer-Kassette (Wafer G) und der Wafer I zur Kassettiereinheit 4 transportiert.

[0219] Anschließend weist die Host-Einheit 230 die Kassettiereinheit 4 an, die Wafer-Kassette (Wafer G) in den Wafer G und eine leere Kassettengehäuse 80 zu zerlegen. Dann weist die Host-Einheit 230 die Kassettiereinheit 4 an, eine Wafer-Kassette 90, die den Wafer I umfasst (Wafer-Kassette (Wafer I)), aus der leeren Kassettenhülse 80 zusammensetzen, die durch Zerlegen der Wafer-Kassette (Wafer G) und des Wafers I erhalten wurde.

[0220] Die Host-Einheit 230 weist die Wafer-Transportvorrichtung 8 an, den aus der zerlegten Wafer-Kassette (Wafer G) entnommenen Wafer G von der Kassettiereinheit 4 zu dem freien Lagerplatz #114 in der Wafer-Lagereinheit 3 zu transportieren. Ferner weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die zusammengebaute Wafer-Kassette (Wafer I) von der Kassettiereinheit 4 zum Steckplatz #4 der Host-Einheit 230 zu transportieren und die zusammengebaute Wafer-Kassette (Wafer I) mit dem Steckplatz #4 zu verbinden. Dadurch wird die Wafer-Kassette (Wafer I) mit dem Steckplatz Nr. 4 der Host-Einheit 230 verbunden. Ferner wird der aus der demontierten Wafer-Kas-

sette (Wafer G) entnommene Wafer G am Speicherplatz #114 in der Wafer-Lagereinheit 3 abgelegt.

[0221] Danach aktualisiert die Host-Einheit 230 die Wafer-Verwaltungstabelle 221, so dass die Prioritäts-, Status- und Positionsinformationen jedes der Halbleiter-Wafer 40 den neuesten Inhalt angeben.

[0222] **Fig. 16F** ist ein Diagramm, das einen Vorgang veranschaulicht, der in dem Speichersystem 1 gemäß der Ausführungsform auszuführen ist, wenn kein freier Steckplatz in der Host-Einheit 230 vorhanden ist, kein freier Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist und eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist.

[0223] Vier Wafer-Kassetten 90, die vier Wafer A bis D mit den Prioritäten 1 bis 4 umfassen, sind jeweils mit den Steckplätzen 1 bis 4 der Host-Einheit 230 verbunden. Ferner werden vier Wafer-Kassetten 90, die vier Wafer E bis H mit den Prioritäten 5 bis 8 umfassen, an den Speicherplätzen 11 bis 14 in der Wafer-Kassetten-Lagereinheit 5 gelagert. Außerdem werden zwei Wafer I bis J mit den Prioritäten 9 bis 10 an den Lagerplätzen #111 bis #112 in der Wafer-Lagereinheit 3 gelagert.

[0224] Nehmen wir an, dass der Wafer I von der Host-Einheit 230 als ein Halbleiter-Wafer 40 bestimmt wird, auf den zugegriffen werden soll. Die Priorität der einzelnen Halbleiter-Wafern 40 kann von der Host-Einheit 230 geändert werden. In **Fig. 16F** wird angenommen, dass die Priorität des Wafers I von 9 auf 1 geändert wird, und die Priorität der Wafer A, B, ..., H wird auf 2, 3, ..., 9 geändert.

[0225] Die Host-Einheit 230 bezieht sich auf die Wafer-Verwaltungstabelle 221 und erkennt, dass der Wafer I, auf den zugegriffen werden soll, am Lagerplatz #111 in der Wafer-Lagereinheit 3 abgelegt ist. Darüber hinaus erkennt die Host-Einheit 230, dass in der Host-Einheit 230 kein freier Steckplatz vorhanden ist. Außerdem erkennt die Host-Einheit 230 anhand der Kassetten-Verwaltungstabelle 222, dass kein freier Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist.

[0226] Dabei stellt die Host-Einheit 230 fest, ob eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die des Wafers I, auf den zugegriffen werden soll, umfasst, an die Host-Einheit 230 angeschlossen ist oder nicht.

[0227] Wenn kein freier Steckplatz in der Host-Einheit 230 vorhanden ist, kein freier Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist und die Wafer-Kassette 90 einschließlich des Halbleiter-Wafers 40 mit einer niedrigeren Priorität als die

des Wafers I, auf den zugegriffen werden soll, an die Host-Einheit 230 angeschlossen ist, bestimmt die Host-Einheit 230 eine Wafer-Kassette 90 einschließlich eines Halbleiter-Wafers 40 mit der niedrigsten Priorität unter den an die Host-Einheit 230 angeschlossenen Wafer-Kassetten 90 (hier Wafer-Kassette (Wafer D) einschließlich des Wafers D) als eine zu tauschende Wafer-Kassette 90.

[0228] Die Wafer-Kassetten-Lagereinheit 5 speichert eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, dessen Priorität niedriger ist als die des Wafers I, auf den zugegriffen werden soll, und niedriger als die des Wafers D, der in der zu tauschenden Wafer-Kassette 90 umfasst ist. Daher bestimmt die Host-Einheit 230 die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, der die niedrigste Priorität unter den in der Wafer-Kassetten-Lagereinheit 5 gespeicherten Wafer-Kassetten 90 hat (hier die Wafer-Kassette (Wafer H), die den Wafer H umfasst), als eine zu demontierende Wafer-Kassette 90.

[0229] Dann weist die Host-Einheit 230 die Wafer-Transportvorrichtung 8 an, die Wafer-Kassette I, auf die zugegriffen werden soll, von dem Lagerplatz #111 in der Wafer-Lagereinheit 3 zu der Kassettiereinheit 4 zu transportieren. Ferner weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die zu zerlegende Wafer-Kassette (Wafer H) vom Lagerplatz #14 im Wafer-Kassetten-Lagereinheit 5 zum Kassettiereinheit 4 zu transportieren. So werden die Wafer-Kassette (Wafer H) und der Wafer I zur Kassettiereinheit 4 transportiert. Da die Wafer-Kassette (Wafer H) aus der Wafer-Kassetten-Lagereinheit 5 entnommen wird, wird die Wafer-Kassetten-Lagereinheit 5 zu einem freien Lagerplatz.

[0230] Als nächstes weist die Host-Einheit 230 die Kassettiereinheit 4 an, die Wafer-Kassette (Wafer H) in den Wafer H und eine leere Kassettengehäuse 80 zu zerlegen. Ferner weist die Host-Einheit 230 die Kassettiereinheit 4 an, aus der leeren Kassettengehäuse 80, die durch Zerlegen der Wafer-Kassette (Wafer H) und des Wafers I erhalten wurde, eine Wafer-Kassette 90 zusammensetzen, die den Wafer I umfasst (Wafer-Kassette (Wafer I)).

[0231] Die Kassettiereinheit 4 demontiert die Wafer-Kassette (Wafer H). Dann setzt die Kassettiereinheit 4 die Wafer-Kassette (Wafer I) aus der leeren Kassettengehäuse 80 zusammen, die durch das Zerlegen der Wafer-Kassette (Wafer H) und des Wafers I gewonnen wurde.

[0232] Die Host-Einheit 230 weist die Wafer-Transportvorrichtung 8 an, den aus der zerlegten Wafer-Kassette (Wafer H) entnommenen Wafer H von der Kassettiereinheit 4 zu dem freien Lagerplatz #113 in der Wafer-Lagereinheit 3 zu transportieren. Dadurch

wird der aus der zerlegten Wafer-Kassette (Wafer H) entnommene Wafer H an dem Lagerplatz #113 in der Wafer-Lagereinheit 3 gelagert.

[0233] Ferner weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette (Wafer D) vom Steckplatz #4 der Host-Einheit 230 zum Lagerplatz #14 im Wafer-Lagereinheit 5 zu transportieren. Die Wafer-Kassette (Wafer D) kann zu einem beliebigen Zeitpunkt transportiert werden, nachdem der Speicherplatz #14 in der Wafer-Kassetten-Lagereinheit 5 ein freier Speicherplatz geworden ist.

[0234] So wird die Wafer-Kassette (Wafer D) aus dem Steckplatz Nr. 4 der Host-Einheit 230 entnommen und zum Lagerplatz Nr. 14 in der Wafer-Kassetten-Lagereinheit 5 transportiert. Infolgedessen wird der Steckplatz Nr. 4 der Host-Einheit 230 zu einem freien Steckplatz.

[0235] Dann weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die zusammengesetzte Wafer-Kassette (Wafer I) von der Kassettiereinheit 4 zum Steckplatz #4 der Host-Einheit 230 zu transportieren und die zusammengesetzte Wafer-Kassette (Wafer I) mit dem Steckplatz #4 zu verbinden. Dadurch wird die Wafer-Kassette (Wafer I) zum Steckplatz Nr. 4 der Host-Einheit 230 transportiert und mit dem Steckplatz Nr. 4 verbunden.

[0236] Auf diese Weise wird eine Wafer-Kassette, die einen Halbleiter-Wafer 40 umfasst, der eine niedrigere Priorität hat als der Wafer I, auf den zugegriffen werden soll, und der unter den Wafer-Kassetten 90, die sich entweder in der Host-Einheit 230 oder in der Wafer-Kassetten-Lagereinheit 5 befinden, die niedrigste ist (hier: Wafer-Kassette (Wafer H), die den Wafer H umfasst), demontiert. Daraufhin wird die auszutauschende Wafer-Kassette (Wafer D) ohne Demontage zu dem Speicherplatz #14 in der Wafer-Kassetten-Lagereinheit 5 gebracht, an dem die Wafer-Kassette (Wafer H) gelagert wurde.

[0237] Anschließend aktualisiert die Host-Einheit 230 die Wafer-Verwaltungstabelle 221, so dass die Prioritäts-, Status- und Positionsinformationen jedes der Halbleiter-Wafer 40 den neuesten Inhalt angeben.

[0238] Fig. 17 ist ein Flussdiagramm, das den Ablauf eines Datenlese- oder -schreibprozesses veranschaulicht, der von der Steuereinheit 230 im Speichersystem 1 gemäß der Ausführungsform gesteuert wird.

[0239] Zunächst bestimmt die Host-Einheit 230 einen Halbleiter-Wafer 40, auf den zugegriffen werden soll (Schritt S101). Basierend auf einer vom Anwendungsprogramm 211 empfangenen Anforderung

zung zum Lesen oder Schreiben von Daten bestimmt das Betriebssystem 212 oder das Dateisystem 213 aus der Vielzahl der im Speichersystem 1 verwalteten Halbleiter-Wafer 40 einen Halbleiter-Wafer 40, auf den zugegriffen werden soll.

[0240] Die Host-Einheit 230 stellt fest, ob eine Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, mit einem der Steckplätze der Host-Einheit 230 verbunden ist oder nicht (Schritt S102).

[0241] Wenn die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, mit einem der Steckplätze der Host-Einheit 230 verbunden ist (Ja in Schritt S102), führt die Host-Einheit 230 das Lesen oder Schreiben von Daten von oder auf den Halbleiter-Wafer 40, auf den zugegriffen werden soll, aus (Schritt S103).

[0242] Wenn die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, mit keinem Steckplatz der Host-Einheit 230 verbunden ist (Nein in Schritt S102), führt die Host-Einheit 230 einen Wafer-Kassetten-Vorbereitungsprozess aus, um die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, mit einem Steckplatz der Host-Einheit 230 zu verbinden.

[0243] In dem Wafer-Kassetten-Vorbereitungsprozess bestimmt die Host-Einheit 230, ob die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gelagert ist oder nicht (Schritt S104). In Schritt S104 kann die Host-Einheit 230 feststellen, ob die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist oder nicht, indem sie sich auf die Wafer-Verwaltungstabelle 221 bezieht.

[0244] Wenn die Wafer-Kassette 90 einschließlich des Halbleiter-Wafers 40, auf den zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gelagert ist (Ja in Schritt S104), weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die die Wafer-Kassette 90 einschließlich des Halbleiter-Wafers 40, auf den zugegriffen werden soll, von der Wafer-Kassetten-Lagereinheit 5 zu einem Steckplatz der Host-Einheit 230 zu transportieren und die Wafer-Kassette 90 mit dem Steckplatz zu verbinden (Schritt S105).

[0245] Danach führt die Host-Einheit 230 das Lesen oder Schreiben von Daten in Bezug auf den Halbleiter-Wafer 40, auf den zugegriffen werden soll, aus (Schritt S103).

[0246] Wenn die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gelagert ist (Schritt S104), identifiziert die Host-Einheit 230 einen Speicherplatz in der Wafer-Lagereinheit 3, an dem der Halbleiter-Wafer 40, auf den zugegriffen werden soll, gespeichert ist. Dann weist die Host-Einheit 230 die Wafer-Transportvorrichtung 8 an, den Halbleiter-Wafer 40, auf den zugegriffen werden soll, von dem identifizierten Lagerplatz im Wafer-Lager 3 zu der Kassettiereinheit 4 zu transportieren (Schritt S106).

[0247] Anschließend bereitet die Hosteinheit 230 eine leere Kassettengehäuse 80 in der Kassettiereinheit 4 vor (Schritt S107). In Schritt S107 kann die Host-Einheit 230 die Wafer-Kassetten-Lagereinheit 9 anweisen, die leere Kassettengehäuse 80 aus dem Wafer-Lagereinheit 5 in die Kassettiereinheit 4 zu transportieren. Wenn in der Wafer-Kassetten-Lagereinheit 5 keine leere Kassettengehäuse 80 gelagert ist, kann die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 anweisen, eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, der eine niedrigere Priorität als der Halbleiter-Wafer 40 hat, auf den zugegriffen werden soll, aus der Wafer-Kassetten-Lagereinheit 5 (oder einem Steckplatz in der Host-Einheit 230) zur Kassettiereinheit 4 zu transportieren, und kann die Kassettiereinheit 4 auch anweisen, diese Wafer-Kassette 90 zu zerlegen.

[0248] Die Host-Einheit 230 weist die Kassettiereinheit 4 an, eine Wafer-Kassette 90 zusammenzustellen, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, und zwar aus dem Halbleiter-Wafer 40, auf den zugegriffen werden soll, der in Schritt S106 transportiert wurde, und der leeren Kassettengehäuse 80, die in Schritt S107 (Schritt S108) vorbereitet wurde.

[0249] Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die in Schritt S108 zusammengestellte Wafer-Kassette 90, die den anzusprechenden Halbleiter-Wafer 40 umfasst, von der Kassettiereinheit 4 zu einem Steckplatz in der Host-Einheit 230 zu transportieren und die Wafer-Kassette 90, die den anzusprechenden Halbleiter-Wafer 40 umfasst, mit dem Steckplatz zu verbinden (Schritt S109).

[0250] Danach führt die Host-Einheit 230 das Lesen oder Schreiben von Daten von oder auf den Halbleiter-Wafer 40, auf den zugegriffen werden soll, aus (Schritt S103).

[0251] Nachfolgend werden unter Bezugnahme auf die Fig. 18 bis 23 die Abläufe des unter Bezugnahme auf Fig. 17 beschriebenen Prozesses zum Lesen oder Schreiben von Daten im Detail erläutert.

[0252] Fig. 18 ist ein Flussdiagramm, das den Ablauf des von der Steuereinheit 230 im Speichersystem 1 gesteuerten Zugriffsvorgangs veranschaulicht.

[0253] Zunächst bestimmt die Host-Einheit 230 einen Halbleiter-Wafer 40, auf den zugegriffen werden soll (Schritt S201). Das Betriebssystem 212 oder das Dateisystem 213 bestimmt den Halbleiter-Wafer 40, auf den zugegriffen werden soll, auf der Grundlage einer vom Anwendungsprogramm 211 empfangenen Anforderung zum Lesen oder Schreiben von Daten.

[0254] Die Host-Einheit 230 stellt fest, ob eine Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, mit einem der Steckplätze der Host-Einheit 230 verbunden ist oder nicht (Schritt S202). Die Host-Einheit 230 kann feststellen, ob der Halbleiter-Wafer 40, auf den zugegriffen werden soll, mit einem der Steckplätze der Host-Einheit 230 verbunden ist, indem sie sich auf die Wafer-Verwaltungstabelle 221 bezieht.

[0255] Wenn die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, mit einem der Steckplätze der Host-Einheit 230 verbunden ist (Ja in Schritt S202), führt die Host-Einheit 230 das Lesen oder Schreiben von Daten von oder auf den Halbleiter-Wafer 40 aus, auf den zugegriffen werden soll (Schritt S203).

[0256] Wenn die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, nicht mit einem Steckplatz der Host-Einheit 230 verbunden ist (Nein in Schritt S202), führt die Host-Einheit 230 einen Wafer-Kassetten-Transportprozess zur Host-Einheit 230 aus (Schritt S204). Bei dem Wafer-Kassetten-Transportprozess führt die Host-Einheit 230 einen Wafer-Kassetten-Transportprozess für den Fall aus, dass ein freier Steckplatz in der Host-Einheit 230 vorhanden ist, oder einen Wafer-Kassetten-Transportprozess für den Fall, dass kein freier Steckplatz in der Host-Einheit 230 vorhanden ist. Durch den Wafer-Kassetten-Transportprozess von Schritt S204 kann die Host-Einheit 230 die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, an einen Steckplatz der Host-Einheit 230 anschließen.

[0257] Danach führt die Host-Einheit 230 das Lesen oder Schreiben von Daten von oder auf den Halbleiter-Wafer 40, auf den zugegriffen werden soll, aus (Schritt S203).

[0258] Fig. 19 ist ein Flussdiagramm, das den Prozess des Transports der Wafer-Kassette veranschaulicht, der von der Host-Einheit 230 im Speichersystem 1 der vorliegenden Ausführungsform ausgeführt wird.

[0259] Wenn der Wafer-Kassetten-Transportprozess gestartet wird, stellt die Host-Einheit 230 fest, ob ein freier Steckplatz in der Host-Einheit 230 vorhanden ist oder nicht (Schritt S301). Wenn bestätigt wird, dass ein freier Steckplatz in der Host-Einheit 230 vorhanden ist (Ja in Schritt S301), führt die Host-Einheit 230 einen Wafer-Kassetten-Transportprozess für den Fall aus, dass ein freier Steckplatz in der Host-Einheit 230 vorhanden ist (Schritt S302). Die Einzelheiten des Wafer-Kassetten-Transportvorgangs für den Fall, dass ein freier Steckplatz in der Host-Einheit 230 vorhanden ist, werden später unter Bezugnahme auf Fig. 20 beschrieben.

[0260] Wenn in der Host-Einheit 230 kein freier Steckplatz vorhanden ist (Nein in Schritt S301), bestimmt die Host-Einheit 230, ob in der Wafer-Kassetten-Lagereinheit 5 ein freier Speicherplatz vorhanden ist oder nicht (Schritt S303). Der freie Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 ist ein Lagerplatz, an dem weder eine leere Kassetteneinheit 80 noch eine Wafer-Kassette 90 gelagert ist.

[0261] Wenn ein freier Speicherplatz im Wafer-Kassetten-Lagereinheit 5 vorhanden ist (Ja in Schritt S303), bestimmt die Host-Einheit 230, ob eine Wafer-Kassette 90, die eine Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die der Halbleiter-Wafer 40, auf die zugegriffen werden soll, umfasst, unter den Wafer-Kassetten 90 vorhanden ist, die mit den Steckplätzen der Host-Einheit 230 verbunden sind (Schritt S304).

[0262] Wenn die Wafer-Kassette 90, die die Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die der Halbleiter-Wafer 40, auf die zugegriffen werden soll, umfasst, nicht unter den Wafer-Kassetten 90 vorhanden ist, die mit den Steckplätzen der Host-Einheit 230 verbunden sind (Nein in Schritt S304), die Host-Einheit 230 wartet, bis die Priorität jeder Halbleiter-Wafer 40 geändert wird und somit die Wafer-Kassette 90, die die Halbleiter-Wafer 40 umfasst, die eine niedrigere Priorität als die der Halbleiter-Wafer 40 hat, auf die zugegriffen werden soll, unter den Wafer-Kassetten 90 vorhanden ist, die mit den Steckplätzen der Host-Einheit 230 verbunden sind (Schritt S304).

[0263] Wenn eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die des Halbleiter-Wafers 40, auf den zugegriffen werden soll, umfasst, unter den Wafer-Kassetten 90, die mit den Steckplätzen der Host-Einheit 230 verbunden sind, vorhanden ist (Ja in Schritt S304), wählt die Host-Einheit 230 eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit der niedrigsten Priorität umfasst, unter den Wafer-Kassetten 90, die mit den Steckplätzen der Host-Einheit 230 verbunden sind, als eine zu tauschende Wafer-Kassette 90 aus.

[0264] Dann weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die ausgewählte Wafer-Kassette 90, die ausgetauscht werden soll, von einem Steckplatz der Host-Einheit 230 zur Wafer-Kassetten-Lagereinheit 5 zu transportieren (Schritt S305). In Schritt S305 entnimmt die Wafer-Kassetten-Transportvorrichtung 9 die zu tauschende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230 und transportiert sie zur Wafer-Kassetten-Lagereinheit 5.

[0265] Auf diese Weise wird ein freier Steckplatz in der Host-Einheit 230 geschaffen, und die Host-Einheit 230 führt daher den Transportprozess für Wafer-Kassetten für den Fall aus, dass ein freier Steckplatz in der Host-Einheit 230 vorhanden ist (Schritt S302).

[0266] Wenn es in der Wafer-Kassetten-Lagereinheit 5 keinen freien Speicherplatz gibt (Nein in Schritt S303), führt die Host-Einheit 230 den Wafer-Kassetten-Transportprozess für den Fall aus, dass es keinen freien Steckplatz in der Host-Einheit 230 gibt (Schritt S306). Der Wafer-Kassetten-Transportprozess für den Fall, dass kein freier Steckplatz in der Host-Einheit 230 vorhanden ist, wird später unter Bezugnahme auf **Fig. 21** im Detail beschrieben.

[0267] Als nächstes werden die Einzelheiten des Wafer-Kassetten-Transportvorgangs für den Fall beschrieben, dass es einen freien Steckplatz in der Host-Einheit 230 gibt.

[0268] **Fig. 20** ist ein Flussdiagramm, das den Ablauf des Wafer-Kassetten-Transportprozesses für den Fall illustriert, dass ein freier Steckplatz in der Host-Einheit 230 vorhanden ist, der von der Host-Einheit 230 im Speichersystem 1 ausgeführt wird.

[0269] Zunächst stellt die Host-Einheit 230 fest, ob eine Wafer-Kassette 90, auf die zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist oder nicht (Schritt S401). Die Host-Einheit 230 kann anhand der Wafer-Verwaltungstabelle 221 feststellen, ob die Wafer-Kassette 90, auf die zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist oder nicht.

[0270] Wenn die Wafer-Kassette 90, auf die zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gelagert ist (Ja in Schritt S401), weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette 90, auf die zugegriffen werden soll, von der Wafer-Lagereinheit 5 zu einem freien Steckplatz in der Host-Einheit 230 zu transportieren und die Wafer-Kassette 90, auf die zugegriffen werden soll, mit dem freien Steckplatz zu verbinden (Schritt S402). In Schritt S402 transportiert die Wafer-Kassetten-Lagereinheit 9 die Wafer-Kassette 90, auf die zugegriffen werden soll, von der Wafer-

Kassetten-Lagereinheit 5 zum Host-Rechner 2 und verbindet dann die Wafer-Kassette 90, auf die zugegriffen werden soll, mit dem freien Steckplatz in der Host-Einheit 230.

[0271] Wenn die Wafer-Kassette 90, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist (Nein in Schritt S401), weist die Host-Einheit 230 die Kassettiereinheit 4 an, einen Montage- oder Demontageprozess einer Wafer-Kassette 90 durchzuführen (Schritt S403). Der in Schritt S403 ausgeführte Montage- oder Demontagevorgang der Wafer-Kassette 90 wird später unter Bezugnahme auf **Fig. 22** im Detail beschrieben.

[0272] Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette 90, auf die zugegriffen werden soll und die in Schritt S404 zusammengebaut wurde, von der Kassettiereinheit 4 zu einem freien Steckplatz in der Host-Einheit 230 zu transportieren und die Wafer-Kassette 90 mit dem freien Steckplatz zu verbinden (Schritt S404). In Schritt S404 transportiert die Wafer-Kassetten-Transportvorrichtung 9 die zusammengesetzte Wafer-Kassette 90, auf die zugegriffen werden soll, von der Kassettiereinheit 4 zu dem Host-Computer 2 und verbindet sie mit dem freien Steckplatz in der Host-Einheit 230.

[0273] Nachfolgend werden die Einzelheiten des Wafer-Kassetten-Transportverfahrens für den Fall beschrieben, dass kein freier Steckplatz in der Host-Einheit 230 vorhanden ist.

[0274] **Fig. 21** ist ein Flussdiagramm, das den Ablauf des Wafer-Kassetten-Transportprozesses für den Fall veranschaulicht, dass es keinen freien Steckplatz in der Host-Einheit 230 gibt, der von der Host-Einheit 230 im Speichersystem 1 gemäß der Ausführungsform ausgeführt wird. Hier wird ein solcher Fall angenommen, dass es keinen freien Steckplatz in der Host-Einheit 230 und keinen freien Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 gibt, wie mit Bezug auf **Fig. 16F** beschrieben.

[0275] Zunächst stellt die Host-Einheit 230 fest, ob eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist oder nicht (Schritt S501). Die Host-Einheit 230 kann feststellen, ob die Wafer-Kassette 90, die die Halbleiter-Wafer 40 umfasst, auf die zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist oder nicht, indem sie sich auf die Wafer-Verwaltungstabelle 221 bezieht.

[0276] Wenn die Wafer-Kassette 90, auf die zugegriffen werden soll, im Wafer-Kassetten-Lagereinheit 5 gespeichert ist (Ja in Schritt S501), wählt die Host-

Einheit 230 als die Wafer-Kassette 90, die ausgetauscht werden soll, eine Wafer-Kassette 90 aus, die einen Halbleiter-Wafer umfasst, der eine niedrigere Priorität hat als der Halbleiter-Wafer 40, auf den zugegriffen werden soll, und der unter den Wafer-Kassetten 90, die mit den Steckplätzen der Host-Einheit 230 verbunden sind, am niedrigsten ist.

[0277] Dann weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die zu tauschende Wafer-Kassette 90 von einem Steckplatz der Host-Einheit 230 zur Wafer-Kassetten-Lagereinheit 5 zu transportieren (Schritt S502).

[0278] Ferner weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, von der Wafer-Kassetten-Lagereinheit 5 zu dem Steckplatz der Host-Einheit 230 zu transportieren, an den die zu tauschende Wafer-Kassette 90 angeschlossen wurde (Schritt S503).

[0279] In den Schritten S502 und S503 entnimmt die Wafer-Kassetten-Transportvorrichtung 9 die zu tauschende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230. Der Steckplatz der Host-Einheit 230, aus dem die zu tauschende Wafer-Kassette 90 entnommen wurde, wird ein freier Steckplatz. Die Wafer-Kassetten-Transportvorrichtung 9 transportiert die so entnommene Wafer-Kassette 90 in die Wafer-Kassetten-Lagereinheit 5. Anschließend transportiert die Wafer-Kassetten-Transportvorrichtung 9 die Wafer-Kassette 90 einschließlich des Halbleiter-Wafers 40, auf den zugegriffen werden soll, vom Wafer-Kassetten-Lagereinheit 5 zum Host-Rechner 2 und verbindet die Wafer-Kassette 90, auf die zugegriffen werden soll, mit dem Slot (freien Steckplatz) der Host-Einheit 230, aus dem die zu tauschende Wafer-Kassette 90 entnommen wurde.

[0280] Die Host-Einheit 230 kann die Wafer-Kassette 90, auf die zugegriffen werden soll, zu einem Steckplatz der Host-Einheit 230 transportieren, ohne dass ein Ort erforderlich ist, um die Wafer-Kassette 90 vorübergehend zu evakuieren, indem die Wafer-Kassetten-Transportvorrichtung 9 angewiesen wird, gleichzeitig den Vorgang des oben beschriebenen Schritts S502 und den Vorgang des oben beschriebenen Schritts S503 (Tauschvorgang) auszuführen.

[0281] Wenn die Wafer-Kassette 90, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gespeichert ist (Nein in Schritt S501), wählt die Host-Einheit 230 eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, der eine niedrigere Priorität hat als der Halbleiter-Wafer 40, auf den zugegriffen werden soll, und der unter

den Wafer-Kassetten 90, die entweder in der Host-Einheit 230 oder in der Wafer-Kassetten-Lagereinheit 5 vorhanden sind, der niedrigste ist, als eine zu demontierende Wafer-Kassette 90 aus. Wenn eine Wafer-Kassette 90, die mit einem der Steckplätze der Host-Einheit 230 verbunden ist, als zu zerlegende Wafer-Kassette 90 ausgewählt wird, wird diese zu zerlegende Wafer-Kassette 90 zu einer Wafer-Kassette 90, die mit der Wafer-Kassette 90, auf die zugegriffen werden soll, ausgetauscht wird.

[0282] Anschließend weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die zu zerlegende Wafer-Kassette 90 von einem Steckplatz der Host-Einheit 230 oder einem Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 zur Kassettiereinheit 4 zu transportieren (Schritt S504). In Schritt S504 entnimmt die Wafer-Kassetten-Transportvorrichtung 9 die zu demontierende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230 bzw. dem Lagerplatz in der Wafer-Kassetten-Lagereinheit 5. Der Steckplatz der Host-Einheit 230 bzw. der Lagerplatz in der Wafer-Kassetten-Lagereinheit 5, aus dem die zu demontierende Wafer-Kassette 90 entnommen wurde, wird zu einem freien Steckplatz bzw. zu einem freien Lagerplatz. Die Wafer-Kassetten-Transportvorrichtung 9 transportiert die entnommene Wafer-Kassette 90 zur Kassettiereinheit 4.

[0283] Die Host-Einheit 230 weist die Kassettiereinheit 4 an, den Montage- oder Demontageprozess der Wafer-Kassette 90 durchzuführen (Schritt S505). Der zu diesem Zeitpunkt auszuführende Montage- oder Demontageprozess der Wafer-Kassette 90 wird später unter Bezugnahme auf **Fig. 23** detailliert beschrieben.

[0284] Die Host-Einheit 230 stellt fest, ob ein ursprünglicher Ort, an dem sich die zerlegte Wafer-Kassette 90 befunden hat, ein Steckplatz der Host-Einheit 230 oder ein Lagerort in der Wafer-Kassetten-Lagereinheit 5 ist (Schritt S506).

[0285] Wenn der ursprüngliche Ort, an dem sich die zu demontierende Wafer-Kassette 90 befunden hat, ein Steckplatz in der Host-Einheit 230 ist, d.h. wenn die zu demontierende Wafer-Kassette 90 aus einem Steckplatz in der Host-Einheit 230 („Host-Einheit“ in Schritt S506) entfernt wurde, weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette 90, auf die zugegriffen werden soll, von der Kassettiereinheit 4 zu dem Steckplatz der Host-Einheit 230 zu transportieren, aus dem die zu demontierende Wafer-Kassette 90 entfernt wurde (Schritt S507). In Schritt S507 transportiert die Wafer-Kassetten-Transportvorrichtung 9 die Wafer-Kassette 90, auf die zugegriffen werden soll, von der Kassettiereinheit 4 zum Host-Computer 2 und verbindet die Wafer-Kassette 90, auf die zugegriffen werden soll, mit dem Steckplatz (freien Steckplatz)

der Host-Einheit 230, aus dem die zu demontierende Wafer-Kassette 90 entfernt wurde.

[0286] Wenn der ursprüngliche Ort, an dem sich die demontierte Wafer-Kassette 90 befunden hat, ein Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 ist, d.h. wenn die zu demontierende Wafer-Kassette 90 aus einem Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 („Wafer-Kassetten-Lagereinheit“ in Schritt S506) entnommen worden ist, die Host-Einheit 230 eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 umfasst, der eine niedrigere Priorität hat als der Halbleiter-Wafer 40, auf den zugegriffen werden soll, und der unter den Wafer-Kassetten 90, die mit den Steckplätzen der Host-Einheit 230 verbunden sind, der niedrigste ist, als die zu tauschende Wafer-Kassette 90 auswählt.

[0287] Anschließend weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die zu tauschende Wafer-Kassette 90 von dem Steckplatz der Host-Einheit 230 zu dem Speicherplatz (freier Speicherplatz) in der Wafer-Kassetten-Lagereinheit 5 zu transportieren, aus dem die zu demontierende Wafer-Kassette 90 entnommen wurde (Schritt S508). Die Wafer-Kassetten-Transportvorrichtung 9 entnimmt die zu tauschende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230. Der Steckplatz der Host-Einheit 230, aus dem die zu tauschende Wafer-Kassette 90 entnommen wurde, wird ein freier Steckplatz. Die Wafer-Kassetten-Transportvorrichtung 9 transportiert die entnommene Wafer-Kassette 90 zu dem freien Lagerplatz in der Wafer-Kassetten-Lagereinheit 5. Dadurch wird die zu tauschende Wafer-Kassette 90 auf dem freien Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 abgelegt.

[0288] Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, die Wafer-Kassette 90, auf die zugegriffen werden soll, von der Kassettiereinheit 4 zu dem Steckplatz in der Host-Einheit 230 zu transportieren, aus dem die zu tauschende Wafer-Kassette 90 entnommen wurde (Schritt S509). In Schritt S509 transportiert die Wafer-Kassetten-Transportvorrichtung 9 die Wafer-Kassette 90, auf die zugegriffen werden soll, von der Kassettiereinheit 4 zum Host-Rechner 2 und verbindet die Wafer-Kassette 90, auf die zugegriffen werden soll, mit dem Steckplatz (freien Slot) der Host-Einheit 230, aus dem die zu tauschende Wafer-Kassette 90 entnommen wurde.

[0289] Als nächstes wird der Montage- bzw. Demontageprozess für die Wafer-Kassette 90, der in Schritt S403 von Fig. 20 ausgeführt wird, im Detail beschrieben.

[0290] Fig. 22 ist ein Flussdiagramm, das den Vorgang der Montage oder Demontage der Wafer-Kassette für den Fall veranschaulicht, dass ein freier

Steckplatz in der Host-Einheit 230 vorhanden ist, der von der Host-Einheit 230 im Speichersystem 1 in der Ausführungsform ausgeführt wird.

[0291] Zunächst stellt die Host-Einheit 230 fest, ob in der Wafer-Kassetten-Lagereinheit 5 eine leere Kassettengehäuse 80 gelagert ist oder nicht (Schritt S601). Die Host-Einheit 230 kann anhand der Wafer-Kassetten-Lagereinheit 5 feststellen, ob eine leere Kassettengehäuse 80 in der Wafer-Kassetten-Lagereinheit 5 gelagert ist oder nicht.

[0292] Wenn sich ein leeres Wafer-Kassettengehäuse 80 in der Wafer-Kassetten-Lagereinheit 5 befindet (Ja in Schritt S601), weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die leere Wafer-Kassettengehäuse 80 von der Wafer-Kassetten-Lagereinheit 5 zur Kassettiereinheit 4 zu transportieren (Schritt S602). In Schritt S602 transportiert die Wafer-Kassetten-Transportvorrichtung 9 die leere Kassettengehäuse 80 von der Wafer-Kassetten-Lagereinheit 5 zur Kassettiereinheit 4.

[0293] Die Host-Einheit 230 weist die Wafer-Transportvorrichtung 8 an, die Halbleiter-Kassettiereinheit 40, auf die zugegriffen werden soll, von der Wafer-Lagereinheit 3 zur Kassettiereinheit 4 zu transportieren (Schritt S603). In Schritt S603 transportiert die Wafer-Transportvorrichtung 8 die Halbleiter-Wafer 40, auf die zugegriffen werden soll, von der Wafer-Lagereinheit 3 zu der Kassettiereinheit 4.

[0294] Die Kassettiereinheit 4 wird von der Host-Einheit 230 angewiesen, den Zusammenbau der Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, durchzuführen (Schritt S604). In Schritt S604 baut eine Kassettiereinheit 4 die Wafer-Kassette 90 einschließlich des Halbleiter-Wafers 40, auf den zugegriffen werden soll, aus der leeren Kassettengehäuse 80, die in Schritt S602 transportiert wurde, und dem Halbleiter-Wafer 40, auf den zugegriffen werden soll, der in Schritt S603 transportiert wurde, zusammen.

[0295] Wenn sich kein leeres Kassettengehäuse 80 in der Wafer-Kassetten-Lagereinheit 5 befindet (Nein in Schritt S601), bestimmt die Host-Einheit 230, ob eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die des Halbleiter-Wafers 40, auf den zugegriffen werden soll, umfasst, unter den in der Wafer-Kassetten-Lagereinheit 5 gespeicherten Wafer-Kassetten 90 vorhanden ist oder nicht (Schritt S605).

[0296] Wenn die Wafer-Kassette 90, die die Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die der Halbleiter-Wafer 40, auf die zugegriffen werden soll, umfasst, nicht unter den Wafer-Kassetten 90 vorhanden ist, die in der Wafer-Kassetten-Lagereinheit 5

gespeichert sind (Nein in Schritt S605), die Host-Einheit 230 wartet, bis die Priorität jeder der Halbleiter-Wafern 40 geändert wird und dann eine Wafer-Kassette 90, die eine Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die der Halbleiter-Wafer 40, auf die zugegriffen werden soll, umfasst, unter den in der Wafer-Kassetten-Lagereinheit 5 gespeicherten Wafer-Kassetten 90 vorhanden ist (Schritt S605).

[0297] Wenn eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit einer niedrigeren Priorität als die des Halbleiter-Wafers 40, auf den zugegriffen werden soll, umfasst, unter den Wafer-Kassetten 90, die in der Wafer-Lagereinheit 5 gespeichert sind, vorhanden ist (Ja in Schritt S605), wählt die Host-Einheit 230 eine Wafer-Kassette 90, die einen Halbleiter-Wafer 40 mit der niedrigsten Priorität umfasst, unter den Wafer-Kassetten 90, die in der Wafer-Lagereinheit 5 gespeichert sind, als eine zu demontierende Wafer-Kassette 90 aus.

[0298] Dann weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die ausgewählte Wafer-Kassette 90, die demontiert werden soll, von der Wafer-Kassetten-Lagereinheit 5 zur Kassettiereinheit 4 zu transportieren, und weist die Kassettiereinheit 4 auch an, die transportierte Wafer-Kassette 90 zu demontieren (Schritt S606). In Schritt S606 transportiert die Wafer-Kassetten-Transportvorrichtung 9 die zu zerlegende Wafer-Kassette 90 von der Wafer-Lagereinheit 5 zur Kassettiereinheit 4. Die Kassettiereinheit 4 demontiert die zu demontierende Wafer-Kassette 90, die zu der Kassettiereinheit 4 transportiert wurde. Auf diese Weise kann die Kassettiereinheit 230 eine leere Kassettengehäuse 80 vorbereiten. Ferner kann die Host-Einheit 230 zu diesem Zeitpunkt die Wafer-Transportvorrichtung 8 anweisen, den in der zerlegten Wafer-Kassette 90 umfassenden Halbleiter-Wafer 40 zu einem freien Lagerplatz in der Wafer-Lagereinheit 3 zu transportieren.

[0299] Danach weist die Host-Einheit 230 die Wafer-Transportvorrichtung 8 an, die Halbleiter-Wafer 40, auf die zugegriffen werden soll, von der Wafer-Lagereinheit 3 zu der Kassettiereinheit 4 zu transportieren (Schritt S603). In Schritt S603 transportiert die Wafer-Transportvorrichtung 8 die Halbleiter-Wafer 40, auf die zugegriffen werden soll, von der Wafer-Lagereinheit 3 zu der Kassettiereinheit 4.

[0300] Die Kassettiereinheit 4 wird von der Host-Einheit 230 angewiesen, den Bestückungsprozess der Wafer-Kassette 90, der den anzufahrenden Halbleiter-Wafer 40 umfasst, durchzuführen (Schritt S604). Dabei setzt die Kassettiereinheit 4 die Wafer-Kassette 90 einschließlich des anzusprechenden Halbleiter-Wafers 40 aus der in Schritt S606 vorbereiteten leeren Kassettengehäuse 80 und dem in

Schritt S603 transportierten anzusprechenden Halbleiter-Wafer 40 zusammen.

[0301] Als nächstes werden Einzelheiten des Montage- oder Demontageverfahrens für die Montage der Wafer-Kassette 90, auf die zugegriffen werden soll, beschrieben, das in Schritt S505 von **Fig. 21** ausgeführt wird.

[0302] **Fig. 23** ist ein Flussdiagramm, das den Ablauf des Montage- oder Demontageprozesses der Wafer-Kassette 90 für den Fall veranschaulicht, dass kein freier Steckplatz in der Host-Einheit 230 und kein freier Speicherplatz in der Wafer-Kassetten-Lagereinheit 5 vorhanden ist, der von der Host-Einheit 230 im Speichersystem 1 gemäß der Ausführungsform ausgeführt wird.

[0303] Zunächst weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, eine aus einem Steckplatz in der Host-Einheit 230 oder einem Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 entnommene Wafer-Kassette 90 zu der Kassettiereinheit 4 zu transportieren (Schritt S701).

[0304] Die Kassettiereinheit 4 wird von der Host-Einheit 230 angewiesen, die in Schritt S701 transportierte Wafer-Kassette 90 zu zerlegen und eine leere Kassettengehäuse 80 vorzubereiten (Schritt S702).

[0305] Die Host-Einheit 230 weist die Wafer-Transportvorrichtung 8 an, die Halbleiter-Kassettiereinheit 40, auf die zugegriffen werden soll, von der Wafer-Lagereinheit 3 zu der Kassettiereinheit 4 zu transportieren (Schritt S703). So werden in der Kassettiereinheit 4 eine leere Kassettengehäuse 80, die die in Schritt S702 zerlegte Wafer-Kassette 90 umfasst, und der Halbleiter-Wafer 40, auf den zugegriffen werden soll, bereitgestellt.

[0306] Die Host-Einheit 230 weist die Kassettiereinheit 4 an, aus der in Schritt S702 vorbereiteten leeren Kassettengehäuse 80 und dem in Schritt S703 transportierten Halbleiter-Wafer 40, auf den zugegriffen werden soll, die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, zusammenzubauen (Schritt S704). In Schritt S704 setzt die Kassettiereinheit 4 aus dem leeren Kassettengehäuse 80 und dem anzusteuernenden Halbleiter-Wafer 40 die Wafer-Kassette 90 zusammen, die den anzusteuernenden Halbleiter-Wafer 40 umfasst. Folglich wird die Kassettengehäuse 80, die für die aus einem Steckplatz der Host-Einheit 230 oder aus einem Lagerplatz in der Wafer-Kassetten-Lagereinheit 5 entnommene Wafer-Kassette 90 verwendet wurde, für die Montage der Wafer-Kassette 90, auf die zugegriffen werden soll, wiederverwendet.

[0307] Zu diesem Zeitpunkt kann die Host-Einheit 230 die Wafer-Transportvorrichtung 8 anweisen, die

Halbleiter-Wafer 40, die in der Wafer-Kassette 90 umfasst sind, die in Schritt S702 demontiert wurde, von der Kassettiereinheit 4 zum Wafer-Lagereinheit 3 zu transportieren.

[0308] Als nächstes wird der Prozess für den Fall beschrieben, dass ein Fehler auftritt, wenn eine Wafer-Kassette 90 an einen Steckplatz der Host-Einheit 230 angeschlossen wird.

[0309] Fig. 24 ist ein Flussdiagramm, das den Ablauf des Prozesses zur Behandlung eines Anschlussfehlers der Wafer-Kassette 90 veranschaulicht, der von der Host-Einheit 230 in dem Speichersystem 1 der Ausführungsform ausgeführt wird.

[0310] Wenn der Status eines bestimmten Halbleiter-Wafers 40, der in der Wafer-Verwaltungstabelle 221 verwaltet wird, in einen Status geändert wird, der angibt, dass dieser Halbleiter-Wafer 40 mit einem Steckplatz der Host-Einheit 230 verbunden ist (Schritt S801), bestimmt die Host-Einheit 230, ob die Wafer-Kassette 90, die diesen Halbleiter-Wafer 40 umfasst, als eine Speichervorrichtung erkannt wird oder nicht (Schritt S802). Der Halbleiter-Wafer 40, dessen Status geändert wurde, um anzugeben, dass er mit einem Steckplatz der Host-Einheit 230 verbunden ist, kann ein Halbleiter-Wafer 40 sein, auf den die Host-Einheit 230 gemäß einer Zugriffsanforderung des Anwendungsprogramms 211 zugreifen soll. Ferner kann ein solcher Halbleiter-Wafer 40 ein Halbleiter-Wafer 40 sein, dessen Priorität auf die erste Prioritätsstufe angehoben wurde, die eine Priorität für den Anschluss an die Host-Einheit 230 ist, unabhängig von der Zugriffsanforderung. Die Host-Einheit 230 kann die Priorität jedes dieser Halbleiter-Wafer 40 beispielsweise mithilfe eines Cache-Algorithmus ändern. Im Folgenden werden diese Halbleiter-Wafer 40 gemeinsam als zu verbindende Halbleiter-Wafer 40 bezeichnet.

[0311] In Schritt S802 kann bestimmt werden, ob jede aller Steuereinheiten 61, die in einer Wafer-Kassette 90 umfasst, die einen anzuschließenden Halbleiter-Wafer 40 umfasst, als Speichereinheit erkannt wurde oder nicht.

[0312] Wenn eine anzuschließende Wafer-Kassette 90, die den anzuschließenden Halbleiter-Wafer 40 umfasst, als eine Speichervorrichtung erkannt wird (Ja in Schritt S802), schließt die Host-Einheit 230 den Prozess des Anschließens der anzuschließenden Wafer-Kassette 90 an einen Steckplatz der Host-Einheit 230 ab (Schritt S803).

[0313] Wenn die anzuschließende Wafer-Kassette 90, die den anzuschließenden Halbleiter-Wafer 40 umfasst, nicht als Speichervorrichtung erkannt wird (Nein in Schritt S802), bestimmt die Host-Einheit 230, ob ein Prozess des Wiederanschließens der anzu-

schließenden Wafer-Kassette 90 an den Steckplatz der Host-Einheit 230 eine vorbestimmte Anzahl von Malen oder mehr wiederholt wurde oder nicht (Schritt S804).

[0314] Wenn der Prozess des Wiederanschließens nicht die vorbestimmte Anzahl von Malen oder mehr wiederholt wurde (Nein in Schritt S804), weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die anzuschließende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230 zu entfernen und sie wieder an den Steckplatz der Host-Einheit 230 anzuschließen (Schritt S805). In Schritt S805 führt die Wafer-Kassetten-Transportvorrichtung 9 einen Vorgang des Entfernens der anzuschließenden Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230 und einen Vorgang des Wiederanschließens der entfernten Wafer-Kassette 90 an den Steckplatz der Host-Einheit 230 aus.

[0315] Dann bestimmt die Host-Einheit 230, ob die anzuschließende Wafer-Kassette 90, die wieder in den Steckplatz der Host-Einheit 230 eingesteckt wird, als Speichervorrichtung erkannt wird oder nicht (Schritt S802). Auf diese Weise kann die Host-Einheit 230 mit einem Verbindungsfehler umgehen, der durch eine schlechte Verbindung zwischen einem Steckplatz der Host-Einheit 230 und der anzuschließenden Wafer-Kassette 90 verursacht wird.

[0316] Wenn der Vorgang des Wiederanschließens der anzuschließenden Wafer-Kassette 90 an den Steckplatz der Host-Einheit 230 die vorbestimmte Anzahl von Malen oder mehr wiederholt wird, ohne dass die anzuschließende Wafer-Kassette 90, die wieder an den Steckplatz der Host-Einheit 230 angeschlossen wird, als eine Speichervorrichtung erkannt wird (Ja in Schritt S804), bestimmt die Host-Einheit 230, ob ein Vorgang des Wiederaussetzens der anzuschließenden Wafer-Kassette 90 unter Verwendung desselben Kassettengehäuses 80 eine vorbestimmte Anzahl von Malen oder mehr wiederholt wurde oder nicht (Schritt S806).

[0317] Wenn der Vorgang des Wiederaussetzens der anzuschließenden Wafer-Kassette 90 unter Verwendung desselben Kassettengehäuses 80 nicht die vorbestimmte Anzahl von Malen oder mehr wiederholt worden ist (Nein in Schritt S806), weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die anzuschließende Wafer-Kassette 90 von dem Steckplatz in der Host-Einheit 230 zu der Kassettiereinheit 4 zu transportieren (Schritt S807). In Schritt S807 entnimmt die Wafer-Kassetten-Transportvorrichtung 9 die anzuschließende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230 und transportiert die entnommene Wafer-Kassette 90 zu der Kassettiereinheit 4.

[0318] Die Host-Einheit 230 weist die Kassettiereinheit 4 an, sowohl einen Prozess des Zerlegens der anzuschließenden Wafer-Kassette 90, die zu der Kassettiereinheit 4 transportiert wurde, als auch einen Prozess des Wiederzusammensetzens der anzuschließenden Wafer-Kassette 90, die den anzuschließenden Halbleiter-Wafer 40 umfasst, unter Verwendung des Kassettengehäuses 80 der zerlegten Wafer-Kassette 90 durchzuführen (Schritt S808).

[0319] In Schritt S808 zerlegt die Kassettiereinheit 4 die anzuschließende Wafer-Kassette 90, die zu der Kassettiereinheit 4 transportiert wurde, und entnimmt den anzuschließenden Halbleiter-Wafer 40 aus dieser Wafer-Kassette 90. Anschließend nimmt die Kassettiereinheit 4 die anzuschließende Halbleiter-Wafer 40 wieder in dem durch die Demontage der anzuschließenden Wafer-Kassette 90 gewonnenen Kassettengehäuse 80 auf. Auf diese Weise wird die anzuschließende Wafer-Kassette 90, die den anzuschließenden Halbleiter-Wafer 40 umfasst, aus dem Kassettengehäuse 80, das durch das Zerlegen der anzuschließenden Wafer-Kassette 90 und des anzuschließenden Halbleiter-Wafers 40 erhalten wurde, wieder zusammengesetzt. Ferner weist die Host-Einheit 230 in Schritt S808 die Wafer-Kassetten-Transportvorrichtung 9 an, die anzuschließende Wafer-Kassette 90, die wieder zusammengesetzt wurde, von der Kassettiereinheit 4 zu einem Steckplatz der Host-Einheit 230 zu transportieren und die anzuschließende Wafer-Kassette 90 mit dem Steckplatz der Host-Einheit 230 zu verbinden. Dadurch wird die anzuschließende Wafer-Kassette 90, die wieder zusammengesetzt wurde, wieder an den Steckplatz der Host-Einheit 230 angeschlossen.

[0320] Anschließend stellt die Host-Einheit 230 fest, ob die anzuschließende Wafer-Kassette 90, die wieder mit dem Steckplatz der Host-Einheit 230 verbunden ist, als Speichervorrichtung erkannt wurde oder nicht (Schritt S802). Wenn die anzuschließende Wafer-Kassette 90 als Speichervorrichtung erkannt wird (Ja in Schritt S802), schließt die Host-Einheit 230 den Vorgang des Anschließens der anzuschließenden Wafer-Kassette 90 an den Steckplatz der Host-Einheit 230 ab (Schritt S803).

[0321] Auf diese Weise ist es möglich, Anschlussfehler zu beheben, die durch eine falsche Ausrichtung zwischen den in der anzuschließenden Wafer-Kassette 90 umfassenden Sondenstiften 51 und den Pads 41 des anzuschließenden Halbleiter-Wafers 40 verursacht werden.

[0322] Wenn der Prozess des Wiederzusammensetzens der anzuschließenden Wafer-Kassette 90 unter Verwendung desselben Kassettengehäuses 80 die vorbestimmte Anzahl von Malen oder mehr wiederholt wird, ohne dass die anzuschließende Wafer-Kassette 90, die wieder an den Steckplatz

der Host-Einheit 230 angeschlossen wird, als eine Speichervorrichtung erkannt wird (Ja in Schritt S806), bestimmt die Host-Einheit 230, ob der Austausch des Kassettengehäuses 80, das in der anzuschließenden Wafer-Kassette 90 umfasst ist, eine vorbestimmte Anzahl von Malen oder mehr wiederholt wurde oder nicht (Schritt S809).

[0323] Wenn das Auswechseln des Kassettengehäuses 80, das die anzuschließende Wafer-Kassette 90 umfasst, nicht mehr als die vorbestimmte Anzahl von Malen wiederholt wurde (Nein in Schritt S809), weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die anzuschließende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230 zur Kassettiereinheit 4 zu transportieren (Schritt S810). In Schritt S810 entnimmt die Wafer-Kassetten-Transportvorrichtung 9 die anzuschließende Wafer-Kassette 90 aus dem Steckplatz der Host-Einheit 230 und transportiert die entnommene Wafer-Kassette 90 zu der Kassettiereinheit 4.

[0324] Die Host-Einheit 230 weist die Wafer-Kassetten-Transportvorrichtung 9 an, eine leere Kassettengehäuse 80 von der Wafer-Kassetten-Lagereinheit 5 zur Kassettiereinheit 4 zu transportieren (Schritt S811). In Schritt S811 transportiert die Wafer-Kassetten-Transportvorrichtung 9 eine leere Kassettengehäuse 80 von der Wafer-Kassetten-Lagereinheit 5 zur Kassettiereinheit 4.

[0325] Die Host-Einheit 230 weist die Kassettiereinheit 4 an, sowohl den Prozess des Zerlegens der anzuschließenden Wafer-Kassette 90, die in Schritt S810 transportiert wurde, als auch den Prozess des Zusammensetzens einer neuen anzuschließenden Wafer-Kassette 90 aus der in Schritt S811 transportierten leeren Kassettengehäuse 80 und dem anzuschließenden Halbleiter-Wafer 40, der in der zerlegten Wafer-Kassette 90 umfasst war, durchzuführen (Schritt S812). In Schritt S812 demontiert die Kassettiereinheit 4 die an die Kassettiereinheit 4 transportierte anzuschließende Wafer-Kassette 90 und entnimmt den anzuschließenden Halbleiter-Wafer 40 aus der anzuschließenden Wafer-Kassette 90. Anschließend nimmt die Kassettiereinheit 4 die anzuschließende Halbleiter-Wafer 40 in einer Kassettengehäuse 80 auf, die sich von der ursprünglichen Kassettengehäuse 80 unterscheidet, die durch das Zerlegen der anzuschließenden Wafer-Kassette 90 erhalten wurde, d.h. in einer anderen leeren Kassettengehäuse 80, die in Schritt S811 transportiert wurde. So wird eine neue anzuschließende Wafer-Kassette 90 zusammengesetzt. Ferner weist die Host-Einheit 230 in Schritt S812 die Wafer-Kassetten-Transportvorrichtung 9 an, die zusammengebaute neue Wafer-Kassette 90 von der Kassettiereinheit 4 zu dem Steckplatz der Host-Einheit 230 zu transportieren und die zusammengebaute neue Wafer-Kassette 90 an den Steckplatz anzuschließen.

Dadurch wird die anzuschließende neue Wafer-Kassette 90, die mit einer anderen Kassettengehäuse 80 als der ursprünglichen Kassettengehäuse 80 bestückt wurde, wieder an den Steckplatz der Host-Einheit 230 angeschlossen.

[0326] Anschließend stellt die Host-Einheit 230 fest, ob die neu anzuschließende Wafer-Kassette 90, die wieder in den Steckplatz der Host-Einheit 230 eingesteckt wird, als Speichervorrichtung erkannt wurde oder nicht (Schritt S802). Auf diese Weise können Anschlussfehler behandelt werden, die durch eine Beschädigung des ursprünglichen Kassettengehäuses 80, aus dem der anzuschließende Halbleiter-Wafer 40 entnommen wurde, verursacht wurden.

[0327] Das Verfahren für die ursprüngliche Kassettengehäuse 80 wird später unter Bezugnahme auf **Fig. 25** beschrieben.

[0328] Wenn der Austausch des Kassettengehäuses 80 die vorgegebene Anzahl von Malen oder mehr wiederholt wird, ohne dass die neue anzuschließende Wafer-Kassette 90, die wieder in den Steckplatz der Host-Einheit 230 eingesteckt wird, als Speichergerät erkannt wird (Ja in Schritt S809), stellt die Host-Einheit 230 fest, dass der anzuschließende Halbleiter-Wafer 40 beschädigt sein könnte, und beendet den Prozess (Schritt S813). Die Host-Einheit 230 kann beispielsweise einen Administrator des Datenzentrums benachrichtigen, dass der Halbleiter-Wafer 40 beschädigt sein könnte.

[0329] **Fig. 25** ist ein Flussdiagramm, das den Ablauf des Prozesses für die zur Verwendung gesperrte Kassettengehäuse 80 veranschaulicht, der von der Host-Einheit 230 im Speichersystem 1 der Ausführungsform ausgeführt wird.

[0330] Hier wird die Verarbeitung der ursprünglichen Kassettengehäuse 80 beschrieben, aus der der anzuschließende Halbleiter-Wafer 40 entnommen wurde, wie in Schritt S812 von **Fig. 24** dargestellt. Es ist zu beachten, dass die ursprüngliche Kassettengehäuse 80 auch als Originalkassette bezeichnet werden kann.

[0331] In Schritt S812 von **Fig. 24**, wenn die anzuschließende Wafer-Kassette 90 demontiert wird, weist die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9 an, die Original-Kassetten-Hülle 80 von der Kassettiereinheit 4 zum Wafer-Lagereinheit 5 zu transportieren, und die Host-Einheit 230 aktualisiert die Kassetten-Verwaltungstabelle 222 beispielsweise dahingehend, dass die Original-Kassetten-Hülle 80 vorübergehend für die Verwendung gesperrt wird (Schritt S901).

[0332] Die Host-Einheit 230 stellt fest, ob die neu anzuschließende Wafer-Kassette 90, die den anzu-

schließenden Halbleiter-Wafer 40 umfasst, in Schritt S802 von **Fig. 24** als Speichervorrichtung erkannt wurde oder nicht (Schritt S902).

[0333] Wenn die neu anzuschließende Wafer-Kassette 90, die den anzuschließenden Halbleiter-Wafer 40 umfasst, als Speichergerät erkannt wird (Ja in Schritt S902), behält die Host-Einheit 230 die Einstellung des Verbots der Verwendung des ursprünglichen Kassettengehäuses 80 bei und stellt fest, dass das ursprüngliche Kassettengehäuse 80 möglicherweise beschädigt wurde (Schritt S903). Mit anderen Worten, die Host-Einheit 230 stellt fest, dass die Ursache des Verbindungsfehlers, der in der Wafer-Kassette 90 aufgetreten ist, die aus dem zu verbindenden Halbleiter-Wafer 40 und der Original-Kassettengehäuse 80 zusammengesetzt ist, eine Beschädigung der Original-Kassettengehäuse 80 ist. Hierbei kann die Host-Einheit 230 beispielsweise den Administrator des Datenzentrums darüber informieren, dass die ursprüngliche Kassettengehäuse 80 beschädigt sein könnte.

[0334] Wenn die neu anzuschließende Wafer-Kassette 90, die den anzuschließenden Halbleiter-Wafer 40 umfasst, nicht als Speichervorrichtung erkannt wird (Nein in Schritt S902), nimmt die Host-Einheit 230 die Einstellung des Verwendungsverbots für die ursprüngliche Kassettengehäuse 80 zurück, weil der anzuschließende Halbleiter-Wafer 40 beschädigt sein könnte (Schritt S905).

[0335] Als nächstes wird die Konfiguration beschrieben, die es der Host-Einheit 230 ermöglicht, effizient auf die Wafer-Kassette 90 zuzugreifen.

[0336] Zunächst wird eine Konfiguration zur Einstellung der Temperatur des in der Wafer-Kassette 90 umfassten Halbleiter-Wafers 40 beschrieben. Es ist zu beachten, dass es wünschenswert ist, dass das Lesen und Schreiben von Daten aus und in die nichtflüchtige Speichervorrichtung 70 in dem Halbleiter-Wafer 40 durchgeführt wird, während die Temperatur des Halbleiter-Wafers 40 innerhalb eines vorbestimmten Temperaturbereichs von Raumtemperatur oder höher liegt.

[0337] Insbesondere, wenn die Temperatur der nichtflüchtigen Speichervorrichtung 70, beispielsweise eines NAND-Flash-Speichers, innerhalb des vorbestimmten Temperaturbereichs von Raumtemperatur oder höher liegt, werden die Ebenen, in denen Elektronen in der Ladungsspeicherschicht einer Speicherzelle in der nichtflüchtigen Speichervorrichtung 70 gefangen sind, tiefer. Infolgedessen können die Datenschreib- und Datenlesevorgänge stabil ausgeführt werden.

[0338] Andererseits ist es, wie unter Bezugnahme auf **Fig. 1** beschrieben, vorteilhaft, jeden der Halblei-

ter-Wafer 40 in einer relativ niedrigen Temperaturumgebung in der Wafer-Lagereinheit 3 zu lagern. Daher kann die Temperatur der in der Wafer-Kassette 90 erfassten Halbleiter-Wafer 40 unmittelbar nach dem Zusammenbau relativ niedrig sein.

[0339] Fig. 26 ist ein Diagramm, das eine Konfiguration zum Erhöhen der Temperatur eines Halbleiter-Wafers 40 umfasst, der in einer Wafer-Kassette 90 enthalten ist, die im Speichersystem 1 verwendet wird.

[0340] Der obere Abschnitt von Fig. 26 zeigt ein Beispiel für eine Konfiguration, bei der die Temperatur des Halbleiter-Wafers 40, der sich auf dem unteren Gehäuse 21 der Wafer-Kassette 90 (d.h. dem Kassettengehäuse 80) befindet, durch eine in dem unteren Gehäuse 21 vorgesehene Heizung 32 erhöht wird.

[0341] Die im unteren Gehäuse 21 vorgesehene Heizung 32 erhöht die Temperatur des Halbleiter-Wafers 40 durch Erwärmen des auf dem unteren Gehäuse 21 platzierten Halbleiter-Wafers 40. Bei der Heizung 32 kann es sich beispielsweise um einen Heizdraht handeln. Die Heizung 32 wird durch elektrische Energie angetrieben, die von der Host-Einheit 230 über den Steckeranschluss 22 zugeführt wird, wenn die Wafer-Kassette 90 an einen Steckplatz der Host-Einheit 230 angeschlossen wird.

[0342] Gemäß dieser Konfiguration kann die Temperatur des Halbleiter-Wafers 40 in der Wafer-Kassette 90, die mit dem Steckplatz der Host-Einheit 230 verbunden ist, erhöht werden, wodurch es möglich wird, stabile Daten-Schreib- und DatenLesevorgänge auf diesem Halbleiter-Wafer 40 zu realisieren.

[0343] Der untere Abschnitt von Fig. 26 zeigt ein Beispiel für eine Konfiguration, bei der die Temperatur des Halbleiter-Wafers 40, der sich in dem unteren Gehäuse 21 der Wafer-Kassette 90 (d.h. dem Kassettengehäuse 80) befindet, durch eine Heizung 234 erhöht wird, die in der Host-Einheit 230 (genauer gesagt, dem Host-Gehäuse der Host-Einheit 230) vorgesehen ist.

[0344] Die in der Host-Einheit 230 vorgesehene Heizung 234 erhöht die Temperatur des Halbleiter-Wafers 40 durch Erwärmen des auf dem unteren Gehäuse 21 platzierten Halbleiter-Wafers 40. Bei der Heizung 234 kann es sich beispielsweise um einen Heizdraht handeln. Die von der Heizung 234 erzeugte Wärme wird durch das untere Gehäuse 21 auf den Halbleiter-Wafer 40 übertragen, wodurch die Temperatur des Halbleiter-Wafers 40 erhöht wird.

[0345] Als nächstes wird eine Konfiguration zur Verkürzung der Latenzzeit beschrieben, die erforderlich

ist, bis Daten tatsächlich von einem Halbleiter-Wafer 40 gelesen und auf diesen geschrieben werden können, auf den zugegriffen werden soll.

[0346] Wenn eine Wafer-Kassette 90, auf die zugegriffen werden soll und die einen Halbleiter-Wafer 40, auf den zugegriffen werden soll, umfasst, nicht mit einem Steckplatz der Host-Einheit 230 verbunden ist und die Wafer-Kassette 90, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gelagert wird, ist es notwendig, eine Wafer-Kassette 90, auf die zugegriffen werden soll und die den Halbleiter-Wafer 40, auf den zugegriffen werden soll, umfasst, in der Kassettiereinheit 4 zusammenzustellen. Um die Latenzzeit zu verkürzen, ist es hier erforderlich, die Wafer-Kassetten 90 schnell zusammenzustellen.

[0347] Fig. 27 ist ein Diagramm zur Veranschaulichung der Kantenbearbeitung von Halbleiter-Wafern 40, die im Speichersystem 1 verwendet werden.

[0348] Wenn die in der Wafer-Lagereinheit 3 gelagerten Halbleiter-Wafer 40a bis 40c aufgrund von Fertigungsschwankungen im Durchmesser voneinander abweichen, kann der Vorgang der Ausrichtung zwischen der Vielzahl von Sondenstiften 51 und der Vielzahl von Pads 41 des Halbleiter-Wafers 40 in einigen Fällen viel Zeit in Anspruch nehmen, wie im linken Abschnitt von Fig. 27 gezeigt.

[0349] In dieser Ausführungsform wird eine Kantenbearbeitung durchgeführt, um die Durchmesser der Halbleiter-Wafer 40a bis 40c auf eine bestimmte Länge zu vereinheitlichen. Bei der Kantenbearbeitung wird der äußere Umfang des Halbleiter-Wafers 40 rasiert. In der Wafer-Lagereinheit 3 werden die Halbleiter-Wafer 40a bis 40c, die der Kantenbearbeitung unterzogen wurden, gelagert. Auf diese Weise wird es möglich, die Halbleiter-Wafer 40 leicht in der Mitte des Waferbefestigungsbereichs des unteren Gehäuses 21 zu platzieren, was es der Kassettiereinheit 4 ermöglicht, den Ausrichtungsvorgang schnell durchzuführen. Infolgedessen kann die Zeit, die für die Montage der Wafer-Kassette 90, auf die zugegriffen werden soll, benötigt wird, reduziert und die Latenzzeit verkürzt werden.

[0350] Nachfolgend wird eine weitere Konfiguration beschrieben, die eine schnelle Ausführung des Ausrichtungsvorgangs ermöglicht. Fig. 28 ist ein Diagramm, das drei Zentrierarme veranschaulicht, die im unteren Gehäuse 21 der im Speichersystem 1 verwendeten Wafer-Kassette 90 (d.h. Kassettengehäuse 80) vorgesehen sind.

[0351] Der linke Abschnitt von Fig. 28 ist eine Seitenansicht der Wafer-Kassette 90. Der rechte Abschnitt von Fig. 28 ist eine Draufsicht, die die Beziehung zwischen der Halbleiter-Wafer 40, die

auf dem unteren Gehäuse 21 platziert ist, und den drei Zentrierarmen 33a, 33b und 33c zeigt. Bei der Montage der Wafer-Kassette 90 legt die Kassettiereinheit 4 den Halbleiter-Wafer 40 in der Mitte des Wafer-Aufnahmebereichs des unteren Gehäuses 21 ab. In diesem Fall richtet die Kassettiereinheit 4 beispielsweise zunächst den Halbleiter-Wafer 40 grob aus, indem sie ein Armelement 403 mechanisch in eine am Außenumfang des Halbleiter-Wafers 40 ausgebildete Kerbe 45 drückt. Das Armelement 403 ist ein Element für einen Ausrichtungsvorgang zum Platzieren des Halbleiter-Wafers 40 in der Mitte des Waferbefestigungsbereichs. Das Armelement 403 ist in der Kassettiereinheit 4 vorgesehen. Dann verwendet die Kassettiereinheit 4 die drei Zentrierarme 33a, 33b und 33c, die im unteren Gehäuse 21 vorgesehen sind, um den Halbleiter-Wafer 40 in die Mitte des Wafer-Montagebereichs zu bringen.

[0352] Im unteren Gehäuse 21 sind die Zentrierarme 33a bis 33c in gleichen Abständen zueinander entlang eines Umfangs mit einem vorbestimmten Radius von der Mitte des Wafer-Montagebereichs angeordnet und in Richtung der Mitte des Wafer-Montagebereichs beweglich. Der Durchmesser dieses Umfangs ist größer als der Durchmesser des Halbleiter-Wafers 40.

[0353] Die Kassettiereinheit 4 bewegt jeden der Zentrierarme 33a bis 33c in Richtung der Mitte des Wafer-Montagebereichs. Jeder der Zentrierarme 33a bis 33c stößt an den äußeren Umfang der Halbleiter-Wafer 40. Dann wird der Halbleiter-Wafer 40 in der Mitte des Waferbefestigungsbereichs ausgerichtet, wenn die Zentrierarme 33a bis 33c bewegt werden, und wird in der Mitte des Waferbefestigungsbereichs durch die Zentrierarme 33a bis 33c fixiert.

[0354] In einem Fall, in dem die Sondenkarte 11 als ein Körper mit dem oberen Gehäuse 31 integriert ist, kann eine Ausrichtung zwischen der Vielzahl von Sondenstiften 51 und der Vielzahl von Pads 41 derart durchgeführt werden, dass die Sondenstifte 51 jeweils in Kontakt mit den Pads 41 sind, indem das untere Gehäuse 21, in dem der Halbleiter-Wafer 40 in der Mitte des Waferbefestigungsbereichs platziert ist, und das obere Gehäuse 31, das die Sondenkarte 11 umfasst, miteinander verbunden werden.

[0355] Durch die Verwendung eines solchen mechanischen Mechanismus, um den Halbleiter-Wafer 40 in der Mitte des Waferbefestigungsbereichs des unteren Gehäuses 21 zu platzieren, ist es daher möglich, den Ausrichtungsvorgang mit einer einfachen Konfiguration schnell durchzuführen, verglichen mit dem Fall der Verwendung einer Konfiguration, in der der Ausrichtungsvorgang ausgeführt wird, während die Position des Halbleiter-Wafers 40 mit einem optischen Sensor oder dergleichen fein eingestellt wird.

[0356] Es ist zu beachten, dass die Anzahl der Zentrierarme vier oder mehr betragen kann.

[0357] Als Nächstes wird noch eine weitere Konfiguration zur einfacheren Ausrichtung zwischen der Vielzahl von Sondenstiften 51 und der Vielzahl von Pads 41 beschrieben. **Fig. 29** ist ein Diagramm, das eine Umverteilungsschicht zeigt, die auf einem Halbleiter-Wafer 40 gebildet wird, der in dem Speichersystem 1 verwendet wird.

[0358] Die Anzahl der Pads 41, die auf einer nichtflüchtigen Vorrichtung 70, beispielsweise einem NAND-Flash-Speicher, vorgesehen sind, ist geringer als die Anzahl der Pads, die auf einem dynamischen RAM (DRAM)-Chip (oder CMOS-LSI-Chip) vorgesehen sind. Daher kann der Abstand (Pitch) zwischen den einzelnen Pads 41, die in dem Halbleiter-Wafer 40 umfasst sind, größer eingestellt werden als der Abstand (Pitch) zwischen den einzelnen Pads, die in einem Halbleiter-Wafer umfasst sind, auf dem eine Vielzahl von DRAM-Dies oder eine Vielzahl von CMOS-LSI-Dies ausgebildet sind.

[0359] Durch Ausnutzung der Eigenschaften des Halbleiter-Wafers 40, dass der Abstand der Pads relativ groß eingestellt werden kann, ist es möglich, die Ausrichtung zwischen der Vielzahl von Sondenstiften 51 und der Vielzahl von Pads 41 zu erleichtern.

[0360] Der in **Fig. 29** dargestellte Halbleiter-Wafer 40 umfasst eine auf dem Halbleiter-Wafer 40 ausgebildete Umverteilungsschicht (RDL) 42. Eine Vielzahl von Elektroden (Pads) 44, die in der Umverteilungsschicht 42 umfasst sind, sind jeweils durch eine interne Verdrahtung 43 in der Umverteilungsschicht 42 elektrisch mit der Vielzahl von Pads 41 des Halbleiter-Wafers 40 verbunden.

[0361] Die Größe jeder der Vielzahl von Pads 44, die in der Umverteilungsschicht 42 umfasst sind, ist größer eingestellt als die Größe jeder der Vielzahl von Pads 41 des Halbleiter-Wafers 40. Außerdem ist der Abstand zwischen den einzelnen der Vielzahl von Pads 44, die in der Umverteilungsschicht 42 umfasst sind, größer als der Abstand zwischen den einzelnen der Vielzahl von Pads 41 des Halbleiter-Wafers 40.

[0362] Diese Konfiguration ermöglicht eine einfache Ausrichtung zwischen der Vielzahl von Sondenstiften 51 und der Vielzahl von Pads 44. Infolgedessen können die Vielzahl von Sondenstiften 51 und die Vielzahl von Pads 41 leichter elektrisch miteinander verbunden werden. Hier ist es vorteilhaft, den Halbleiter-Wafer 40, der die Umverteilungsschicht 42 umfasst, in Kombination mit den Zentrierarmen zu verwenden, die unter Bezugnahme auf **Fig. 28** beschrieben sind.

[0363] Nachfolgend wird eine Ausgestaltung der Kassettiereinheit 4 zur Reduzierung des Zeitaufwands für den Zusammenbau einer Wafer-Kassette 90, auf die zugegriffen werden soll, beschrieben. **Fig. 30** ist ein Diagramm, das eine Konfiguration der Kassettiereinheit 4 veranschaulicht, die auch die Funktion einer Wafer-Lagereinheit hat und im Speichersystem 1 verwendet wird.

[0364] Wenn eine Wafer-Kassette 90, auf die zugegriffen werden soll und die einen Halbleiter-Wafer 40, auf den zugegriffen werden soll, umfasst, nicht mit einem Steckplatz der Host-Einheit 230 verbunden ist und die Wafer-Kassette 90, auf die zugegriffen werden soll, nicht in der Wafer-Kassetten-Lagereinheit 5 gelagert wird, ist es notwendig, die Wafer-Kassette 90, auf die zugegriffen werden soll und die den Halbleiter-Wafer 40, auf den zugegriffen werden soll, umfasst, in der Kassettiereinheit 4 zusammenzusetzen.

[0365] Wie in **Fig. 30** gezeigt, kann die Kassettiereinheit 4 eine Vielzahl von Halbleiter-Wafern 40 aufnehmen, wenn die Kassettiereinheit 4 auch die Funktion einer Wafer-Lagereinheit hat. Wenn ein Halbleiter-Wafer 40, auf den zugegriffen werden soll, in der Kassettiereinheit 4 gelagert wird, kann die Kassettiereinheit 4 daher schnell eine Wafer-Kassette 90 zusammenstellen, die die Halbleiter-Wafer 40 umfasst, auf die zugegriffen werden soll, ohne dass der Halbleiter-Wafer 40, auf den zugegriffen werden soll, von der Wafer-Lagereinheit 3 zur Kassettiereinheit 4 transportiert werden muss. Dadurch kann die Zeit, die benötigt wird, bis die Wafer-Kassette 90, die die Halbleiter-Wafer 40 umfasst, auf die zugegriffen werden soll, an einen Steckplatz der Kassettiereinheit 230 angeschlossen ist, verkürzt werden.

[0366] Es ist zu beachten, dass die Kassettiereinheit 4 nicht nur die Funktion einer Wafer-Lagereinheit, sondern auch die Funktion einer Wafer-Kassetten-Lagereinheit haben kann. In diesem Fall können mehrere leere Kassettengehäuse 80 und mehrere Wafer-Kassetten 90 in der Kassettiereinheit 4 gelagert werden.

[0367] Nachfolgend werden weitere Ausführungsbeispiele für die Kassettengehäuse 80 beschrieben. **Fig. 31** ist eine schematische Darstellung einer Konfiguration des Kassettengehäuses 80, das im Speichersystem 1 verwendet wird und das obere Gehäuse 31 umfasst, in das die Sondenkarte 11 eingebettet ist.

[0368] Der linke Abschnitt von **Fig. 31** zeigt eine Konfiguration einer Wafer-Kassette 90, die aus einem Halbleiter-Wafer 40 und einer Kassetteneinheit 80 zusammengesetzt ist. Der rechte Abschnitt von **Fig. 31** zeigt eine Konfiguration des Kassetten-

gehäuses 80. Wie in **Fig. 31** dargestellt, kann die Sondenkarte 11, da sie in das obere Gehäuse 31 des Kassettengehäuses 80 eingebettet ist, im Wesentlichen an der gleichen Stelle wie die Unterseite des oberen Gehäuses 31 angeordnet werden.

[0369] Infolgedessen kann der Abstand zwischen der Unterseite des oberen Gehäuses 31 und der Oberseite des unteren Gehäuses auf die Gesamtsumme der Länge der Sondenstifte 51 und der Dicke des Halbleiter-Wafers 40 reduziert werden. Als Ergebnis kann eine dünne Wafer-Kassette 90 realisiert werden, die für den Anschluss an einen Steckplatz der Host-Einheit 230 geeignet ist.

[0370] **Fig. 32** ist eine schematische Darstellung des im Speichersystem 1 verwendeten Kassettengehäuses 80, in dem die Sondenkarte 11 innerhalb des oberen Gehäuses 31 vorgesehen ist.

[0371] Der linke Abschnitt von **Fig. 32** zeigt eine Konfiguration des Kassettengehäuses 80, in dem die Sondenkarte 11 unterhalb des oberen Gehäuses 31 vorgesehen ist. Der rechte Abschnitt von **Fig. 32** zeigt die Konfiguration des Kassettengehäuses 80, bei der die Sondenkarte 11 unterhalb des oberen Gehäuses 31 vorgesehen ist und eine Vielzahl von Steuereinheiten 61 auf der Oberseite der Sondenkarte 11 angeordnet sind.

[0372] **Fig. 33** ist ein Diagramm, das eine Konfiguration des Kassettengehäuses 80 zeigt, bei der die Sondenkarte 11 auf der Oberseite des oberen Gehäuses 31 vorgesehen ist, wobei das Kassettengehäuse 80 im Speichersystem 1 verwendet wird.

[0373] Auf der Oberseite der Sondenkarte 11 können verschiedene elektronische Komponenten angebracht werden. Wie im linken Abschnitt von **Fig. 33** gezeigt, ist es möglich, die Wärmeableitungseffizienz der oberen Oberfläche der Sondenkarte 11 und die Wärmeableitungseffizienz der elektronischen Komponenten auf der oberen Oberfläche der Sondenkarte 11 zu verbessern, wenn die Sondenkarte 11 auf der oberen Oberfläche des oberen Gehäuses 31 vorgesehen ist.

[0374] Infolgedessen können die Oberseite der Sondenkarte 11 und die elektronischen Bauteile gekühlt werden. Es ist zu beachten, dass, solange zumindest die Oberseite der Sondenkarte 11 der äußeren Umgebung ausgesetzt ist, ein Abschnitt der Sondenkarte 11 im Inneren des oberen Gehäuses 31 angeordnet sein kann.

[0375] Wie im rechten Abschnitt von **Fig. 33** dargestellt, kann die Vielzahl von Steuereinheiten 61 auch auf der Oberseite der Sondenkarte 11 vorgesehen sein, die der äußeren Umgebung ausgesetzt ist. Mit

diesem Aufbau wird es möglich, die Steuereinheiten 61 zu kühlen.

[0376] Die in **Fig. 33** dargestellte Konfiguration des Kassettengehäuses 80 kann in Kombination mit der in **Fig. 26** beschriebenen Konfiguration zur Erhöhung der Temperatur des Halbleiter-Wafers 40 unter Verwendung der Heizung verwendet werden. In diesem Fall kann beim Erhöhen der Temperatur des Halbleiter-Wafers 40 der übermäßige Temperaturanstieg in den elektronischen Komponenten und der Steuereinheit 61, die auf der Oberseite der Sondenkarte 11 vorgesehen sind, unterdrückt werden.

[0377] **Fig. 34** ist ein Diagramm, das eine Konfiguration des im Speichersystem 1 verwendeten Kassettengehäuses 80 veranschaulicht, das ein unteres Gehäuse 21, das mit Nuten 34 versehen ist, und ein oberes Gehäuse 31 umfasst, das mit vorstehenden Teilen 23 versehen ist, die in die Nuten 34 des unteren Gehäuses 21 eingepasst werden können.

[0378] Die Nuten 34 im unteren Gehäuse 21 und die vorstehenden Teile 23 im oberen Gehäuse 31 dienen als Mechanismus zur mechanischen Verbindung des unteren Gehäuses 21 und des oberen Gehäuses 31 miteinander. Darüber hinaus können sie auch als Mechanismus für die Ausrichtung zwischen der Vielzahl von Pads 41 eines Halbleiter-Wafers 40, der auf dem unteren Gehäuse 21 platziert ist, und der Vielzahl von Sondenstiften 51 dienen. Mit anderen Worten, durch Einpassen der vorstehenden Teile 23 des oberen Gehäuses 31 in die Nuten 34 des unteren Gehäuses 21 ist es möglich, die Ausrichtung zwischen der Vielzahl von Pads 41 und der Vielzahl von Sondenstiften 51 beispielsweise so vorzunehmen, dass die Sondenstifte 51 in Kontakt mit der Vielzahl von Pads 41 stehen.

[0379] Die in **Fig. 34** gezeigte Konfiguration des Kassettengehäuses 80 kann in Kombination mit den in **Fig. 28** beschriebenen Zentrierarmen und/oder der in **Fig. 29** beschriebenen Umverteilungsschicht 42 verwendet werden. Mit der Umverteilungsschicht 42 ist es möglich, die Vielzahl von Sondenstiften 51 mit der Vielzahl von Pads 41 elektrisch zu verbinden, wobei lediglich eine grobe Ausrichtung der Vielzahl von Sondenstiften 51 bzw. der Vielzahl von Pads 44 zueinander erfolgt. So kann beispielsweise durch die Verwendung der Umverteilungsschicht 42 in Kombination mit der in **Fig. 34** gezeigten Konfiguration des Kassettengehäuses 80 der Zeitaufwand für den Zusammenbau der Wafer-Kassette 90 weiter verringert werden.

[0380] Es ist zu beachten, dass in dem oberen Gehäuse 31 Nuten 34 vorgesehen sein können und in dem unteren Gehäuse 21 vorstehende Teile 23, die in die Nuten 34 eingepasst werden können.

[0381] Als nächstes wird eine Konfiguration des Kassettengehäuses 80 zum Tragen des Halbleiter-Wafers 40, der auf dem unteren Gehäuse 21 angeordnet ist, beschrieben. **Fig. 35** ist ein Diagramm, das eine Konfiguration der im Speichersystem 1 verwendeten Wafer-Kassette 90 veranschaulicht, die den Halbleiter-Wafer 40 mit Hilfe einer Vakuumschicht 35 an dem unteren Gehäuse 21 hält.

[0382] Die Vakuumschicht 35 ist ein Element, das einen Halbleiter-Wafer 40 durch Vakuumsorption am Waferbefestigungsbereich des unteren Gehäuses 21 hält. Die Vakuumschicht 35 ist in dem unteren Gehäuse 21 vorgesehen. Der Halbleiter-Wafer 40 wird auf die Vakuumschicht 35 gesetzt. Mit der Vakuumschicht 35 kann verhindert werden, dass während des Transports der Wafer-Kassette 90 eine Fehlausrichtung zwischen der Vielzahl von Pads 41 und der Vielzahl von Sondenstiften 51 auftritt.

[0383] Als nächstes wird ein weiteres Beispiel für eine Konfiguration des Kassettengehäuses 80 zum Halten des Halbleiter-Wafers 40, der auf dem unteren Gehäuse 21 platziert ist, beschrieben.

[0384] **Fig. 36** ist ein Diagramm, das ein Beispiel für eine Konfiguration der Wafer-Kassette 90 zeigt, die das obere Gehäuse 31 mit einer Vielzahl von vorstehenden Teilen 24 umfasst, die an dem auf dem unteren Gehäuse 21 angeordneten Halbleiter-Wafer 40 anliegen. Im Beispiel der in **Fig. 36** gezeigten Konfiguration kann die Sondenkarte 11 in das obere Gehäuse 31 eingebettet sein. Im oberen Gehäuse 31 ist eine Vielzahl von vorstehenden Abschnitten 24 vorgesehen, die sich von der unteren Fläche des oberen Gehäuses 31 in Richtung des unteren Gehäuses 21 erstrecken. Wenn das untere Gehäuse 21 und das obere Gehäuse 31 zusammengefügt werden, stößt jeder der Vielzahl von vorstehenden Abschnitten 24 an einen Bereich auf der Oberfläche des Halbleiter-Wafers 40, der auf dem unteren Gehäuse 21 angeordnet ist, wobei der Bereich ein anderer als die Pads 41 auf der Oberfläche des Halbleiter-Wafers 40 ist. Daher wird die Halbleiter-Wafer 40 getragen.

[0385] Dementsprechend wird der Halbleiter-Wafer 40 durch den Kontakt zwischen der Vielzahl von Pads 41 und der Vielzahl von Sondenstiften 51 sowie zwischen der Vielzahl von vorstehenden Abschnitten 24 und der Oberfläche des Halbleiter-Wafers 40 getragen, und dadurch wird der Halbleiter-Wafer 40 an dem unteren Gehäuse 21 gehalten.

[0386] Mit der Vielzahl von vorstehenden Abschnitten 24, die so vorgesehen sind, ist es möglich, den Halbleiter-Wafer 40 an dem unteren Gehäuse 21 zu

halten, ohne die Pads 41 durch die Sondenstifte 51 stark zu drücken. Mit dieser Konfiguration kann die Wafer-Kassette 90 durch einfaches mechanisches Verbinden des unteren Gehäuses 21 und des oberen Gehäuses 31 schnell zusammengebaut werden.

[0387] Als nächstes wird noch ein weiteres Beispiel für eine Konfiguration des Kassettengehäuses 80 zum Halten des Halbleiter-Wafers 40, der auf dem unteren Gehäuse 21 platziert ist, beschrieben. **Fig. 37** ist ein Diagramm, das ein Beispiel für eine Konfiguration der im Speichersystem 1 verwendeten Wafer-Kassette 90 veranschaulicht, die ein oberes Gehäuse 31 umfasst, das mit einem Polstermaterial 25 versehen ist, das an dem auf dem unteren Gehäuse 21 platzierten Halbleiter-Wafer 40 anliegt und sich ausdehnt und zusammenzieht.

[0388] Der linke Abschnitt von **Fig. 37** zeigt einen Zustand, in dem das untere Gehäuse 21 und das obere Gehäuse 31 voneinander getrennt sind. Der rechte Abschnitt von **Fig. 37** zeigt einen Zustand, in dem das untere Gehäuse 21 und das obere Gehäuse 31 mechanisch miteinander verbunden sind.

[0389] Die Sondenkarte 11 kann in das obere Gehäuse 31 eingebettet sein. Das Polstermaterial 25 ist in dem oberen Gehäuse 31 vorgesehen. Jeder der Vielzahl von Sondenstiften 51 ist über ein leitendes elastisches Element 52 mit der Unterseite der Sondenkarte 11 verbunden, so dass er das Polstermaterial 25 durchdringt. Das elastische Element 52 besteht beispielsweise aus leitfähigem Gummi.

[0390] Wenn das untere Gehäuse 21 und das obere Gehäuse 31 miteinander verbunden sind, stößt das Polstermaterial 25 an einen Bereich auf der Oberfläche des Halbleiter-Wafers 40, der auf dem unteren Gehäuse 21 platziert ist, und zieht sich zusammen, wobei der Bereich ein anderer als das Pad 41 auf der Oberfläche des Halbleiter-Wafers 40 ist. Dadurch trägt das Polstermaterial 25 den Halbleiter-Wafer 40.

[0391] Wenn das untere Gehäuse 21 und das obere Gehäuse 31 zusammengefügt werden, ist jeder der Vielzahl von Sondenstiften 51 in Kontakt mit dem entsprechenden Pad 41 und somit zieht sich das elastische Element 52 zusammen.

[0392] Dementsprechend wird der Halbleiter-Wafer 40 durch den Kontakt zwischen der Vielzahl von Pads 41 und der Vielzahl von Sondenstiften 51 sowie zwischen dem Polstermaterial 25 und der Oberfläche des Halbleiter-Wafers 40 getragen, und dadurch wird der Halbleiter-Wafer 40 an dem unteren Gehäuse 21 gehalten. Da jeder der Vielzahl von Sondenstiften 51 über das leitende elastische Element 52 mit der unteren Oberfläche der Sondenkarte 11 verbunden ist, kann der Druck aller Sondenstifte 51 ausgeglichen werden.

[0393] Auf diese Weise ist es mit dem so vorgesehenen Polstermaterial 25 möglich, den Halbleiter-Wafer 40 am unteren Gehäuse 21 zu halten, ohne die Pads 41 durch die Sondenstifte 51 stark zu drücken. Mit dieser Konfiguration kann die Wafer-Kassette 90 durch einfaches mechanisches Zusammenfügen des unteren Gehäuses 21 und des oberen Gehäuses 31 schnell zusammengebaut werden.

[0394] Nachfolgend wird ein Beispiel für die Anordnung der Host-Schnittstelle in der Wafer-Kassette 90 beschrieben, die im Speichersystem 1 verwendet wird.

[0395] Der linke Abschnitt von **Fig. 38** zeigt ein Beispiel für eine Konfiguration einer Wafer-Kassette 90, bei der die Host-Schnittstelle auf der oberen Fläche des oberen Gehäuses 31 angeordnet ist. Als Host-Schnittstelle kann beispielsweise der in **Fig. 12** beschriebene Steckeranschluss 22 verwendet werden.

[0396] Der rechte Abschnitt von **Fig. 36** zeigt ein Beispiel für eine Konfiguration einer Wafer-Kassette 90, bei der die Host-Schnittstelle auf einer Seitenfläche des oberen Gehäuses 31 angeordnet ist. Als Host-Schnittstelle kann beispielsweise die in **Fig. 12** beschriebene Steckerklemme 22 verwendet werden.

[0397] Wie oben beschrieben, umfasst die Host-Einheit 230 gemäß dieser Ausführungsform einen Steckplatz, an den eine Wafer-Kassette 90 anschließbar ist. Die Host-Einheit 230 kann Daten von dem Halbleiter-Wafer 40, der in der an diesen Steckplatz angeschlossenen Wafer-Kassette 90 umfasst ist, lesen und auf diesen schreiben. Die Host-Einheit 230 bestimmt aus der Vielzahl der im Speichersystem 1 verwalteten Halbleiter-Wafer 40 einen Halbleiter-Wafer 40, auf den zugegriffen werden soll.

[0398] Wenn eine Wafer-Kassette 90, auf die zugegriffen werden soll und die den Halbleiter-Wafer 40, auf den zugegriffen werden soll, umfasst, an einen Steckplatz der Host-Einheit 230 angeschlossen wird, führt die Host-Einheit 230 das Lesen oder Schreiben von Daten von oder auf den Halbleiter-Wafer 40, auf den zugegriffen werden soll, aus.

[0399] Wenn die Wafer-Kassette 90, auf die zugegriffen werden soll, nicht mit einem Steckplatz der Host-Einheit 230 verbunden ist und in der Wafer-Kassetten-Lagereinheit 5 aufbewahrt wird, veranlasst die Host-Einheit 230 die Wafer-Kassetten-Transportvorrichtung 9, die Wafer-Kassette 90, auf die zugegriffen werden soll, zu einem Steckplatz der Host-Einheit 230 zu transportieren und sie mit dem Steckplatz zu verbinden.

[0400] Wenn die Wafer-Kassette 90, auf die zugegriffen werden soll, nicht mit einem Steckplatz der Host-Einheit 230 verbunden ist und nicht in der Wafer-Kassetten-Lagereinheit 5 aufbewahrt wird, veranlasst die Host-Einheit 230 die Wafer-Transportvorrichtung 8, den Halbleiter-Wafer 40, auf den zugegriffen werden soll, von der Wafer-Lagereinheit 3 zu der Kassettiereinheit 4 zu transportieren, den Kassettiereinheit 4 veranlasst, eine Wafer-Kassette 90, auf die zugegriffen werden soll und die den transportierten Halbleiter-Wafer 40, auf den zugegriffen werden soll, umfasst, zusammenzustellen, und die Wafer-Kassetten-Transportvorrichtung 9 veranlasst, die zusammengestellte Wafer-Kassette 90, auf die zugegriffen werden soll, zu einem Steckplatz der Host-Einheit 230 zu transportieren und sie mit dem Steckplatz zu verbinden.

[0401] Auf diese Weise wird in dem Speichersystem 1 die aus dem Kassettengehäuse 80 und dem Halbleiter-Wafer 40 zusammengesetzte Wafer-Kassette 90 mit einem Steckplatz der Host-Einheit 230 verbunden. Dadurch kann die Wafer-Kassette 90, die mit dem Steckplatz der Host-Einheit 230 verbunden ist, als eine von der Host-Einheit 230 zugängliche Speichervorrichtung verwendet werden. Daher kann die Host-Einheit 230 Daten von einem beliebigen Halbleiter-Wafer 40 aus der Vielzahl der im Speichersystem 1 verwalteten Halbleiter-Wafer 40 lesen oder darauf schreiben, indem sie einfach die mit einem Steckplatz der Host-Einheit 230 verbundene Wafer-Kassette 90 gegen eine andere Wafer-Kassette 90 austauscht.

[0402] Im Falle der Verwendung der Konfiguration, in der die Host-Vorrichtung über einen Prober auf einen Halbleiter-Wafer zugreift, wird, wenn auf einen Halbleiter-Wafer, der einmal aus dem Prober entfernt wurde, erneut zugegriffen werden soll, dieser Halbleiter-Wafer wieder auf den Tisch des Probers gelegt, und außerdem muss die Ausrichtung zwischen der Vielzahl von Sondenstiften der Sondenkarte und der Vielzahl von Elektroden des Halbleiter-Wafers erneut auf dem Tisch ausgeführt werden.

[0403] Wenn die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, in der Wafer-Kassetten-Lagereinheit 5 gelagert wird, muss die Wafer-Kassette 90, die den Halbleiter-Wafer 40 umfasst, auf den zugegriffen werden soll, in dieser Ausführungsform nicht erneut zusammengesetzt werden. Im Vergleich zu der Konfiguration, bei der die Vorrichtung über den Prober auf einen Halbleiter-Wafer zugreift, kann daher die Zeit, die benötigt wird, bis Daten tatsächlich von dem Halbleiter-Wafer 40, auf den zugegriffen werden soll, gelesen oder auf diesen geschrieben werden können, reduziert werden. Dadurch ist es möglich, das Speichersystem 1

zu realisieren, das für die Verarbeitung großer Datenmengen im Rechenzentrum geeignet ist.

[0404] Die Wafer-Transportvorrichtung 8 kann Halbleiter-Wafer 40 zwischen der Wafer-Lagereinheit 3a und der Wafer-Lagereinheit 3b durch die Öffnung a1 und die Öffnung b2 transportieren. Darüber hinaus kann die Wafer-Transportvorrichtung 8 Halbleiter-Wafer 40 zwischen der Wafer-Lagereinheit 3b und der Kassettiereinheit 4 durch die Öffnung a2 und die Öffnung b3 transportieren. Auf diese Weise können die Halbleiter-Wafer 40 schnell von jeder Wafer-Lagereinheit 3 zur Kassettiereinheit 4 transportiert werden.

[0405] Ferner kann die Wafer-Kassetten-Transportvorrichtung 9 durch die Öffnung a3 und die Öffnung b4 Wafer-Kassetten 90 zwischen der Kassettiereinheit 4 und der Wafer-Lagereinheit 5 transportieren. Außerdem kann die Wafer-Kassetten-Transportvorrichtung 9 Wafer-Kassetten 90 zwischen der Wafer-Kassetten-Lagereinheit 5 und dem Host-Computer 2 durch die Öffnung a4 und die Öffnung b5 transportieren. Daher können die Wafer-Kassetten 90 schnell zwischen der Kassettiereinheit 4, der Wafer-Kassetten-Lagereinheit 5 und dem Host-Computer 2 transportiert werden.

[0406] Auf diese Weise kann die Latenzzeit verkürzt werden, die erforderlich ist, bis Daten tatsächlich von dem Halbleiter-Wafer 40, auf den zugegriffen werden soll, gelesen oder auf diesen geschrieben werden können.

[0407] Ferner wird der Halbleiter-Wafer 40, auf den zugegriffen werden soll, zwischen der Kassettiereinheit 4 bzw. der Wafer-Kassetten-Lagereinheit 5 und dem Host-Rechner 2 transportiert, während dieser in der Wafer-Kassette 90 gespeichert ist. Auf diese Weise kann eine Beschädigung des Halbleiter-Wafers 40 während des Transports verhindert werden.

[0408] Während bestimmte Ausführungsformen der vorliegenden Erfindung beschrieben wurden, sind diese Ausführungsformen nur beispielhaft dargestellt worden und sollen den Umfang der vorliegenden Erfindungen nicht einschränken. In der Tat können die hierin beschriebenen neuen Ausführungsformen in einer Vielzahl von anderen Formen verkörpert werden; außerdem können verschiedene Auslassungen, Ersetzungen und Änderungen in der Form der hierin beschriebenen Ausführungsformen vorgenommen werden, ohne vom Geist der vorliegenden Erfindungen abzuweichen. Diese Ausführungsformen und Variationen davon sind im Umfang und Kern der vorliegenden Erfindung und ihrer in den Ansprüchen beschriebenen Äquivalente umfasst.

BEZUGSZEICHENLISTE

1	Speichersystem
2	Host-Computer
3	Wafer-Lagereinheit
4	Kassettiereinheit
5	Wafer-Kassetten-Lagereinheit
8	Wafer-Transportvorrichtung
9	Wafer-Kassetten-Transportvorrichtung
21	unteres Gehäuse
31	oberes Gehäuse
40	Halbleiter-Wafer
41	Elektrode (Pad)
51	Sondenstift (Sonde)
61	Steuereinheit
70	nichtflüchtige Speichervorrichtung
80	Kassettengehäuse
90	Wafer-Kassette
230	Host-Einheit

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2020194889 A [0005]
- JP 2020198354 A [0005]
- JP 2008227148 A [0005]

Patentansprüche

1. Ein Speichersystem, umfassend:
 eine Wafer-Lagereinheit, die in der Lage ist, eine Vielzahl von Halbleiter-Wafern zu lagern, wobei jeder der Vielzahl von Halbleiter-Wafern eine Vielzahl von nichtflüchtigen Speichervorrichtungen umfasst, die darin ausgebildet sind;
 eine Kassettiereinheit, die so konfiguriert ist, dass sie mindestens einen der Vielzahl von Halbleiter-Wafern in einem Kassettengehäuse unterbringt, das in der Lage ist, mindestens einen der Vielzahl von Halbleiter-Wafern aufzunehmen;
 eine Wafer-Kassetten-Lagereinheit, die in der Lage ist, eine Wafer-Kassette zu lagern, wobei die Wafer-Kassette ein Kassettengehäuse und einen Halbleiter-Wafer umfasst, der in dem Kassettengehäuse untergebracht ist; eine Host-Vorrichtung, die mindestens einen Steckplatz umfasst, an den die Wafer-Kassette anschließbar ist, und die so konfiguriert ist, dass sie Daten von dem Halbleiter-Wafer, der in der mit dem Steckplatz verbundenen Wafer-Kassette umfasst ist, liest und in diesen schreibt;
 eine Wafer-Transportvorrichtung, die so konfiguriert ist, dass sie den Halbleiter-Wafer zwischen der Wafer-Lagereinheit und der Kassettiereinheit transportiert; und
 eine Wafer-Kassetten-Transportvorrichtung, die so konfiguriert ist, dass sie die Wafer-Kassette zwischen der Kassettiereinheit, der Wafer-Kassetten-Lagereinheit und der Host-Vorrichtung transportiert, wobei die Host-Vorrichtung konfiguriert ist, zum:
 Bestimmen eines ersten Halbleiter-Wafers, auf den zugegriffen werden soll, aus der Vielzahl von Halbleiter-Wafern;
 wenn die Wafer-Kassette, auf die zugegriffen werden soll und die den ersten Halbleiter-Wafer umfasst, mit dem Steckplatz der Host-Vorrichtung verbunden ist, Ausführen von Lesen oder Schreiben von Daten von oder auf den ersten Halbleiter-Wafer;
 wenn die Wafer-Kassette, auf die zugegriffen werden soll, nicht mit dem Steckplatz der Host-Vorrichtung verbunden ist und in der Wafer-Kassetten-Lagereinheit gelagert ist, Veranlassen der Wafer-Kassetten-Transportvorrichtung, die Wafer-Kassette, auf die zugegriffen werden soll, zu dem Steckplatz der Host-Vorrichtung zu transportieren und sie mit dem Steckplatz zu verbinden; und
 wenn die Wafer-Kassette, auf die zugegriffen werden soll, nicht mit dem Steckplatz der Host-Vorrichtung verbunden ist und nicht in der Wafer-Lagereinheit gelagert ist, Veranlassen der Wafer-Transportvorrichtung, den ersten Halbleiter-Wafer von der Wafer-Lagereinheit zu der Kassettiereinheit zu transportieren, Veranlassen der Kassettiereinheit, den transportierten ersten Halbleiter-Wafer in dem Kassettengehäuse unterzubringen, und Veranlassen der Wafer-Kassetten-Transportvorrichtung, die Wafer-Kassette, auf die zugegriffen werden soll, die den ersten Halbleiter-Wafer umfasst, zu

dem Steckplatz der Host-Vorrichtung zu transportieren und sie mit dem Steckplatz zu verbinden.

2. Speichersystem nach Anspruch 1, wobei die Host-Vorrichtung konfiguriert ist, um:
 wenn die Wafer-Kassette, auf die zugegriffen werden soll und die mit dem Steckplatz verbunden ist, nicht als eine Speichervorrichtung erkannt wird, die Wafer-Kassetten-Transportvorrichtung zu veranlassen, die Wafer-Kassette, auf die zugegriffen werden soll, aus dem Steckplatz zu entfernen und sie wieder mit dem Steckplatz zu verbinden.

3. Speichersystem nach Anspruch 2, wobei die Host-Vorrichtung so konfiguriert ist, um wenn die Wafer-Kassette, auf die zugegriffen werden soll und die mit dem Steckplatz verbunden ist, auch nach dem erneuten Verbinden immer noch nicht als eine Speichervorrichtung erkannt wird,
 die Wafer-Transportvorrichtung zu veranlassen, die Wafer-Kassette, auf die zugegriffen werden soll, von dem Steckplatz der Host-Vorrichtung zu der Kassettiereinheit zu transportieren,
 die Kassetten-Transportvorrichtung zu veranlassen, die transportierte Wafer-Kassette, auf die zugegriffen werden soll, zu zerlegen und den ersten Halbleiter-Wafer, der aus der Wafer-Kassette, auf die zugegriffen werden soll, entfernt wurde, in einem ersten Kassettengehäuse unterzubringen, das das Kassettengehäuse ist, das durch Zerlegen der Wafer-Kassette, auf die zugegriffen werden soll, erhalten wurde,
 die Wafer-Kassetten-Transportvorrichtung zu veranlassen, eine Wafer-Kassette, die das erste Kassettengehäuse und den ersten Halbleiter-Wafer umfasst, zu transportieren und mit dem Steckplatz der Host-Vorrichtung zu verbinden,
 wenn die Wafer-Kassette, die das erste Kassettengehäuse umfasst und mit dem Steckplatz verbunden ist, selbst nach dem erneuten Verbinden der Wafer-Kassette, die das erste Kassettengehäuse umfasst, nicht als eine Speichervorrichtung erkannt wird,
 die Wafer-Kassetten-Transportvorrichtung zu veranlassen, die Wafer-Kassette einschließlich des ersten Kassettengehäuses von dem Steckplatz der Host-Vorrichtung zu der Kassettiereinheit zu transportieren,
 zu veranlassen, dass die Kassettiereinheit die transportierte Wafer-Kassette, die das erste Kassettengehäuse umfasst, zerlegt und den ersten Halbleiter-Wafer, der aus der Wafer-Kassette, die das erste Kassettengehäuse umfasst, entfernt wurde, in einem zweiten Kassettengehäuse unterbringt, das sich von dem ersten Kassettengehäuse unterscheidet; und
 die Wafer-Kassetten-Transportvorrichtung zu veranlassen, die Wafer-Kassette, die das zweite Kassettengehäuse und den ersten Halbleiter-Wafer umfasst, zu dem Steckplatz der Host-Vorrichtung

zu transportieren und sie mit dem Steckplatz zu verbinden.

4. Speichersystem nach Anspruch 1, wobei die Host-Vorrichtung konfiguriert ist, um: eine Priorität für jede der Vielzahl von Halbleiter-Wafern zu verwalten, und einen Ort zu steuern, an dem jede der Vielzahl von Halbleiter-Wafern vorhanden ist, basierend auf der Priorität jeder der Vielzahl von Halbleiter-Wafern, sodass die Wafer-Kassette, die einen Halbleiter-Wafer mit einer Priorität eines ersten Niveaus umfasst, mit dem Steckplatz der Host-Vorrichtung verbunden wird, die Wafer-Kassette, die einen Halbleiter-Wafer mit einer Priorität eines zweiten Niveaus, das niedriger als das erste Niveau ist, umfasst, in der Wafer-Kassetten-Lagereinheit gelagert wird, und einen Halbleiter-Wafer mit einer Priorität eines dritten Niveaus, das niedriger als das zweite Niveau ist, in der Wafer-Lagereinheit gespeichert wird.

5. Speichersystem nach Anspruch 4, wobei die Hostvorrichtung so konfiguriert ist, um: wenn eine Priorität eines zweiten Halbleiter-Wafers unter der Vielzahl von in der Wafer-Lagereinheit gelagerten Halbleiter-Wafern von dem dritten Niveau auf das zweite Niveau angehoben wird, die Wafer-Transportvorrichtung zu veranlassen, den zweiten Halbleiter-Wafer von der Wafer-Lagereinheit zu der Kassettiereinheit zu transportieren, die Kassettiereinheit zu veranlassen, den transportierten zweiten Halbleiter-Wafer in dem Kassettengehäuse aufzunehmen, und die Wafer-Transportvorrichtung zu veranlassen, die Wafer-Kassette mit dem zweiten Halbleiter-Wafer von der Kassette zum Wafer-Kassetten-Lagergerät zu transportieren.

6. Speichersystem nach Anspruch 1, wobei eine Vielzahl von Elektroden auf dem Halbleiter-Wafer ausgebildet ist, das Kassettengehäuse umfasst: ein unteres Gehäuse, auf das der Halbleiter-Wafer gelegt werden kann ein oberes Gehäuse; eine Sondenkarte, die eine Vielzahl von Sondenstiften umfasst, die mit der Vielzahl von Elektroden des Halbleiter-Wafers kontaktierbar sind, der auf dem unteren Gehäuse platziert ist; und eine Steuereinheit, die so konfiguriert ist, dass sie das Lesen oder Schreiben von Daten aus oder in mindestens eines der Vielzahl von nichtflüchtigen Speichervorrichtungen durch die Sondenkarte auf der Grundlage einer von der Host-Vorrichtung empfangenen Leseanforderung und Schreibanforderung ausführt, und die Kassettiereinheit so konfiguriert ist, dass sie die Vielzahl von Elektroden und die Vielzahl von Sondenstiften miteinander in Kontakt bringt, indem sie das obere Gehäuse und das

untere Gehäuse, auf dem der Halbleiter-Wafer angeordnet ist, miteinander verbindet.

7. Speichersystem nach Anspruch 6, wobei das untere Gehäuse eine Heizung umfasst, die eine Temperatur des auf dem unteren Gehäuse platzierten Halbleiter-Wafers erhöht, und die Heizung durch elektrische Energie betrieben wird, die von der Host-Vorrichtung zugeführt wird, wenn die Wafer-Kassette mit dem Steckplatz der Host-Vorrichtung verbunden ist.

8. Speichersystem nach Anspruch 6, wobei das untere Gehäuse drei oder mehr Zentrierelemente umfasst, wobei die drei oder mehr Zentrierelemente in gleichen Abständen voneinander entlang eines Umfangs mit einem vorbestimmten Radius von einer Mitte eines Waferbefestigungsbereichs in dem unteren Gehäuse angeordnet sind, und drei oder mehr Zentrierelemente in Richtung der Mitte des Waferbefestigungsbereichs bewegbar sind, und die Kassettiereinheit eine Mitte des Halbleiter-Wafers, der auf dem unteren Gehäuse platziert ist, mit der Mitte des Waferbefestigungsbereichs ausgerichtet, indem sie die drei oder mehr Zentrierelemente in Richtung der Mitte des Waferbefestigungsbereichs bewegt.

9. Speichersystem nach Anspruch 6, wobei eines von dem oberen Gehäuse und dem unteren Gehäuse eine Nut umfasst, und das andere von dem oberen Gehäuse und dem unteren Gehäuse ein vorstehendes Element umfasst, das in die Nut eingepasst werden soll.

10. Speichersystem nach Anspruch 6, wobei die Sondenkarte umfasst: eine erste Oberfläche, auf der die Vielzahl von Sondenstiften vorgesehen ist, und eine zweite Oberfläche auf einer der ersten Oberfläche gegenüberliegenden Seite, und die Sondenkarte in dem oberen Gehäuse so vorgesehen ist, dass zumindest die zweite Oberfläche zur Außenseite des Kassettengehäuses hin freiliegt.

11. Speichersystem nach Anspruch 6, wobei das obere Gehäuse eine Vielzahl von vorstehenden Abschnitten umfasst, die an einem Bereich auf einer Oberfläche des Halbleiter-Wafers anliegen, der auf dem unteren Gehäuse platziert ist, wenn das obere Gehäuse und das untere Gehäuse miteinander verbunden sind, wobei der Bereich ein anderer Bereich als die Vielzahl von Elektroden auf der Oberfläche des Halbleiter-Wafers ist.

12. Speichersystem nach Anspruch 6, wobei das obere Gehäuse ein Polstermaterial umfasst, das an einen Bereich auf einer Oberfläche des auf dem unteren Gehäuse platzierten Halbleiter-Wafers anstößt und sich zusammenzieht, wenn das obere

Gehäuse und das untere Gehäuse miteinander verbunden werden, wobei der Bereich ein anderer als die Vielzahl von Elektroden auf der Oberfläche des Halbleiter-Wafers ist, jeder der Vielzahl von Sondenstiften mit der Sondenkarte über ein leitendes Element mit Elastizität verbunden ist, und wenn das obere Gehäuse und das untere Gehäuse zusammengefügt werden, jeder der Vielzahl von Sondenstiften mit einer entsprechenden Elektrode in Kontakt ist und das leitende Element sich zusammenzieht.

13. Speichersystem nach Anspruch 6, wobei bei jeder der Vielzahl von in der Wafer-Lagereinheit gelagerten Halbleiter-Wafern eine Kantenbearbeitung zur Vereinheitlichung der Durchmesser der Vielzahl von Halbleiter-Wafern auf eine erste Länge durchgeführt wurde.

14. Speichersystem nach Anspruch 1, wobei die Wafer-Lagereinheit eine erste Seitenplatte umfasst, die eine erste Öffnung aufweist, die Kassettiereinheit eine zweite Seitenplatte umfasst, die der ersten Seitenplatte der Wafer-Lagereinheit gegenüberliegt, wobei die zweite Seitenplatte eine zweite Öffnung aufweist, die in einer der ersten Öffnung gegenüberliegenden Position angeordnet ist, und die Wafer-Transportvorrichtung den Halbleiter-Wafer zwischen der Wafer-Lagereinheit und der Kassettiereinheit durch die erste Öffnung und die zweite Öffnung transportiert.

15. Speichersystem nach Anspruch 14, wobei die Wafer-Transportvorrichtung einen ersten Roboterarm, der in der Wafer-Lagereinheit angeordnet ist, und einen zweiten Roboterarm, der in der Kassettiereinheit angeordnet ist, umfasst, und der Halbleiter-Wafer zwischen dem ersten Roboterarm und dem zweiten Roboterarm durch die erste Öffnung und die zweite Öffnung durchläuft.

16. Speichersystem nach Anspruch 15, wobei der erste Roboterarm in einer zentralen Position zwischen einer vorderen Oberfläche und einer hinteren Oberfläche der Wafer-Lagereinheit angeordnet ist, und in der Wafer-Lagereinheit sowohl ein erster Raum zwischen dem ersten Roboterarm und der vorderen Oberfläche als auch ein zweiter Raum zwischen dem ersten Roboterarm und der hinteren Oberfläche geeignet ist, den Halbleiter-Wafer zu lagern.

17. Speichersystem nach Anspruch 14, wobei die Kassettiereinheit eine dritte Seitenplatte umfasst, die auf einer der zweiten Seitenplatte gegenüberliegenden Seite angeordnet ist, und die dritte Seitenplatte eine dritte Öffnung aufweist, die Wafer-Kassetten-Lagereinheit eine vierte Seiten-

platte umfasst, die der dritten Seitenplatte der Kassettiereinheit gegenüberliegt, und eine fünfte Seitenplatte, die sich auf einer der vierten Seitenplatte gegenüberliegenden Seite befindet, wobei die vierte Seitenplatte eine vierte Öffnung aufweist, die sich an einer der dritten Öffnung gegenüberliegenden Position befindet, und die fünfte Seitenplatte eine fünfte Öffnung aufweist,

die Host-Vorrichtung in einem Server-Rack umfasst ist und das Server-Rack eine sechste Seitenplatte umfasst, die der fünften Seitenplatte der Wafer-Lagereinheit gegenüberliegt, und die sechste Seitenplatte eine sechste Öffnung aufweist, die sich an einer Position befindet, die der fünften Öffnung gegenüberliegt, und

die Wafer-Kassette-Transportvorrichtung konfiguriert ist, um:

die Wafer-Kassette zwischen der Kassettiereinheit und der Wafer-Kassetten-Lagereinheit durch die dritte Öffnung und die vierte Öffnung zu transportieren; und

die Wafer-Kassette zwischen der Wafer-Kassetten-Lagereinheit und dem Server-Rack, das die Host-Vorrichtung umfasst, durch die fünfte Öffnung und die sechste Öffnung zu transportieren.

18. Speichersystem nach Anspruch 17, wobei die Wafer-Transportvorrichtung einen ersten Roboterarm umfasst, der in der Wafer-Lagereinheit angeordnet ist, und einen zweiten Roboterarm, der in der Kassettiereinheit angeordnet ist, die Wafer-Kassetten-Transportvorrichtung einen dritten Roboterarm, der in der Wafer-Kassetten-Lagereinheit angeordnet ist, und einen vierten Roboterarm, der in dem Server-Rack angeordnet ist, das die Host-Vorrichtung umfasst, umfasst, der Halbleiter-Wafer zwischen dem ersten Roboterarm und dem zweiten Roboterarm durch die erste Öffnung und die zweite Öffnung durchläuft, und die Wafer-Kassette zwischen dem zweiten Roboterarm und dem dritten Roboterarm durch die dritte Öffnung und die vierte Öffnung durchläuft und zwischen dem dritten Roboterarm und dem vierten Roboterarm durch die fünfte Öffnung und die sechste Öffnung durchläuft.

19. Speichersystem nach Anspruch 1, wobei die Wafer-Kassette einen Steckeranschluss umfasst, und die Host-Vorrichtung umfasst: ein Host-Gehäuse, das den Steckplatz umfasst; und einen in dem Host-Gehäuse vorgesehenen Aufnahmeanschluss, der mit dem Steckeranschluss des Kassettengehäuses verbunden ist, wenn das Kassettengehäuse in den Steckplatz eingeführt wird.

20. Speichersystem nach Anspruch 1, wobei jede der Vielzahl von Halbleiter-Wafern eine Umverteilungsschicht umfasst, eine Vielzahl von Elektroden, die in der Umverteilungsschicht umfasst sind, jeweils mit einer Vielzahl

von Elektroden der nichtflüchtigen Speichervorrichtung durch interne Verdrahtung in der Umverteilungsschicht elektrisch verbunden sind, eine Größe jeder der Vielzahl von Elektroden, die in der Umverteilungsschicht umfasst sind, größer ist als eine Größe jeder der Vielzahl von Elektroden der nichtflüchtigen Speichervorrichtung, und ein Abstand zwischen jeder anderen der Vielzahl von Elektroden, die in der Umverteilungsschicht umfasst sind, größer ist als ein Innenabstand zwischen jeder anderen der Vielzahl von Elektroden der nichtflüchtigen Speichervorrichtung.

Es folgen 44 Seiten Zeichnungen

Anhängende Zeichnungen

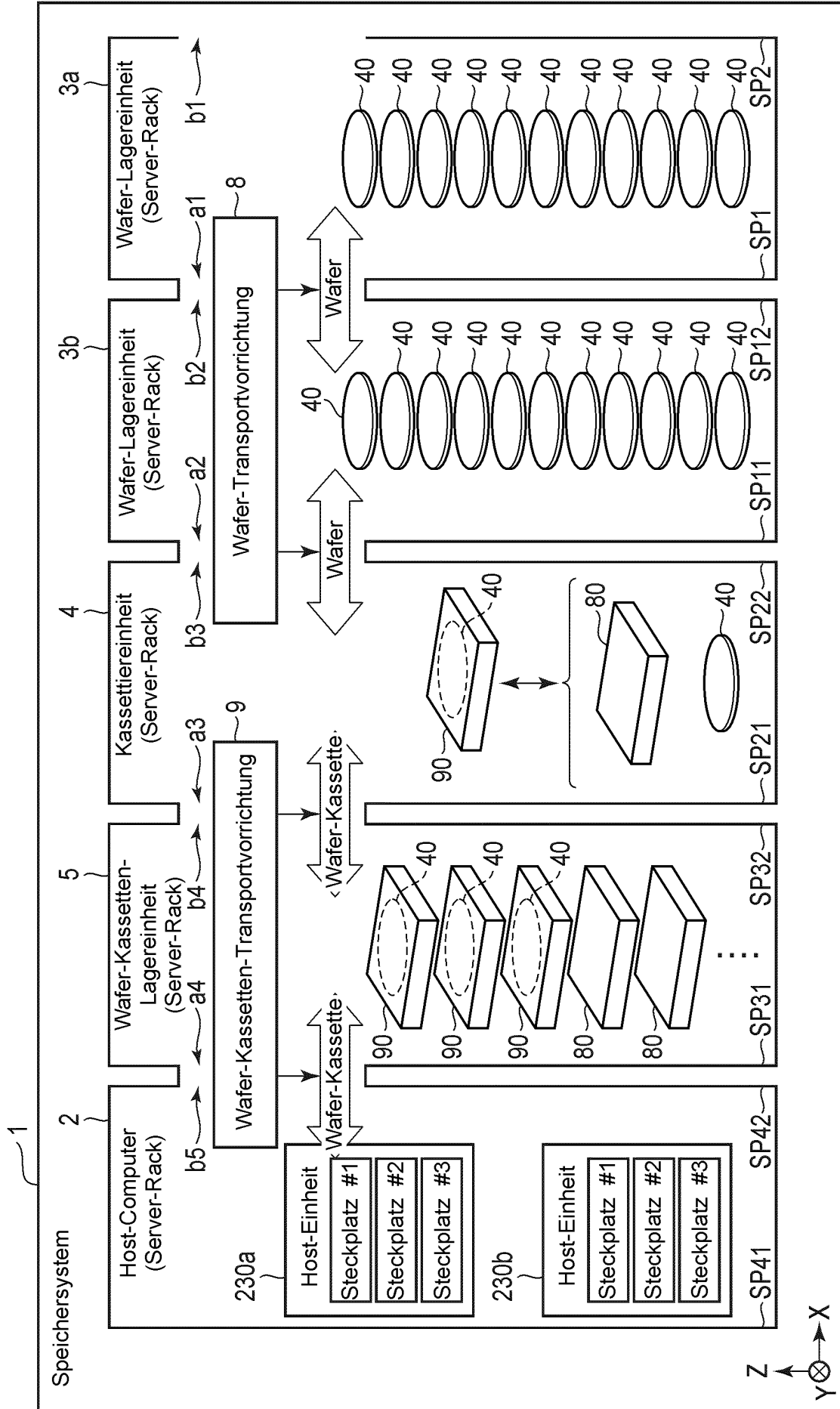


FIG. 1

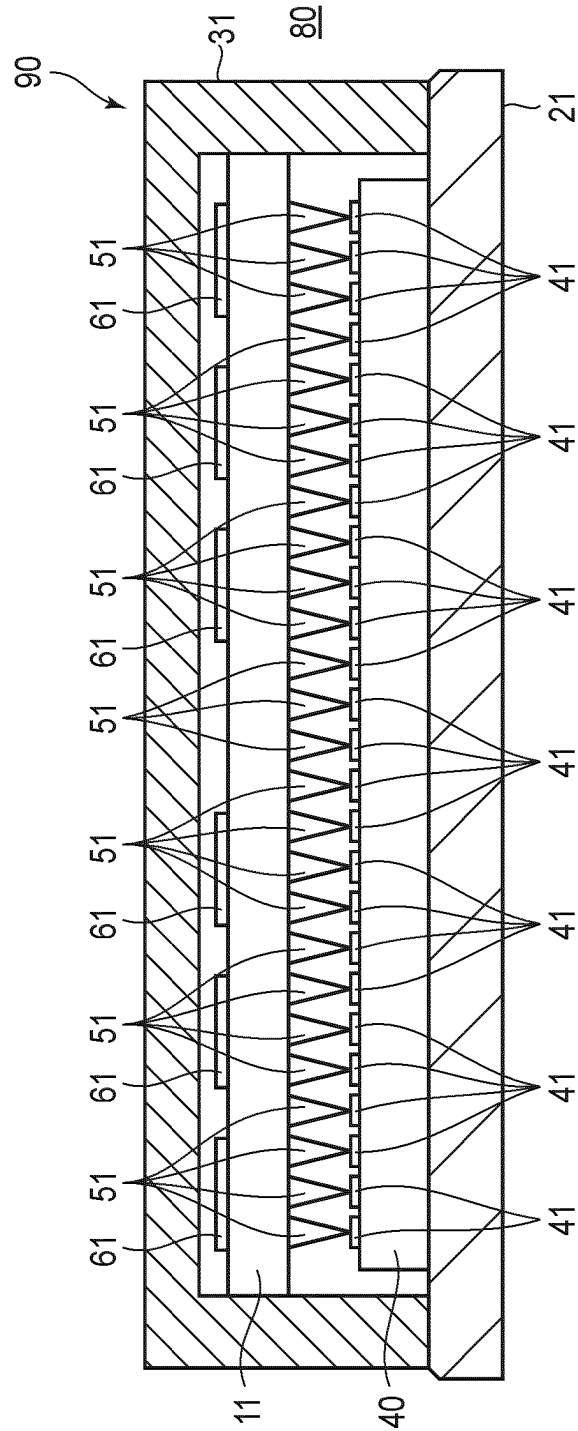


FIG. 3

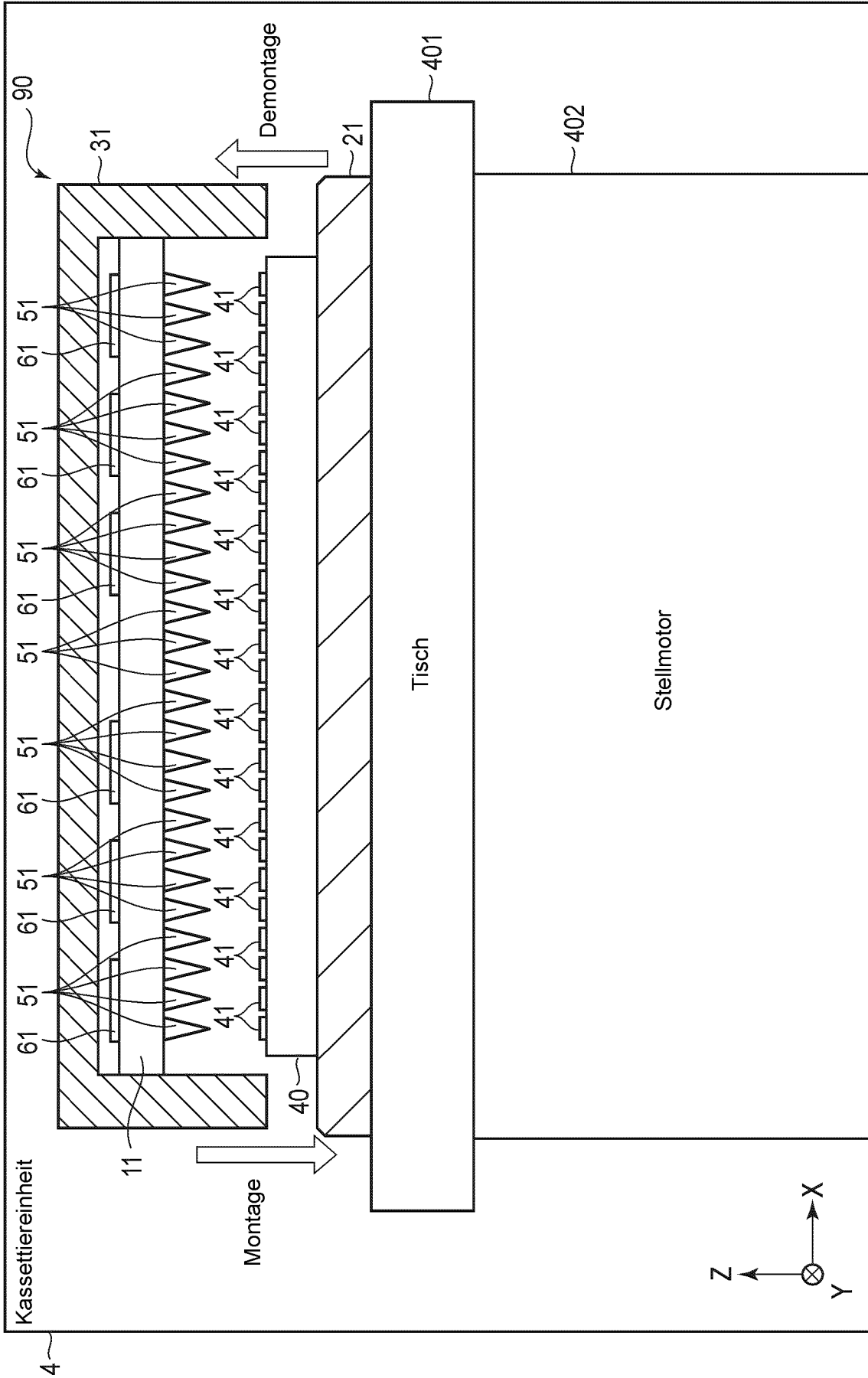


FIG. 4

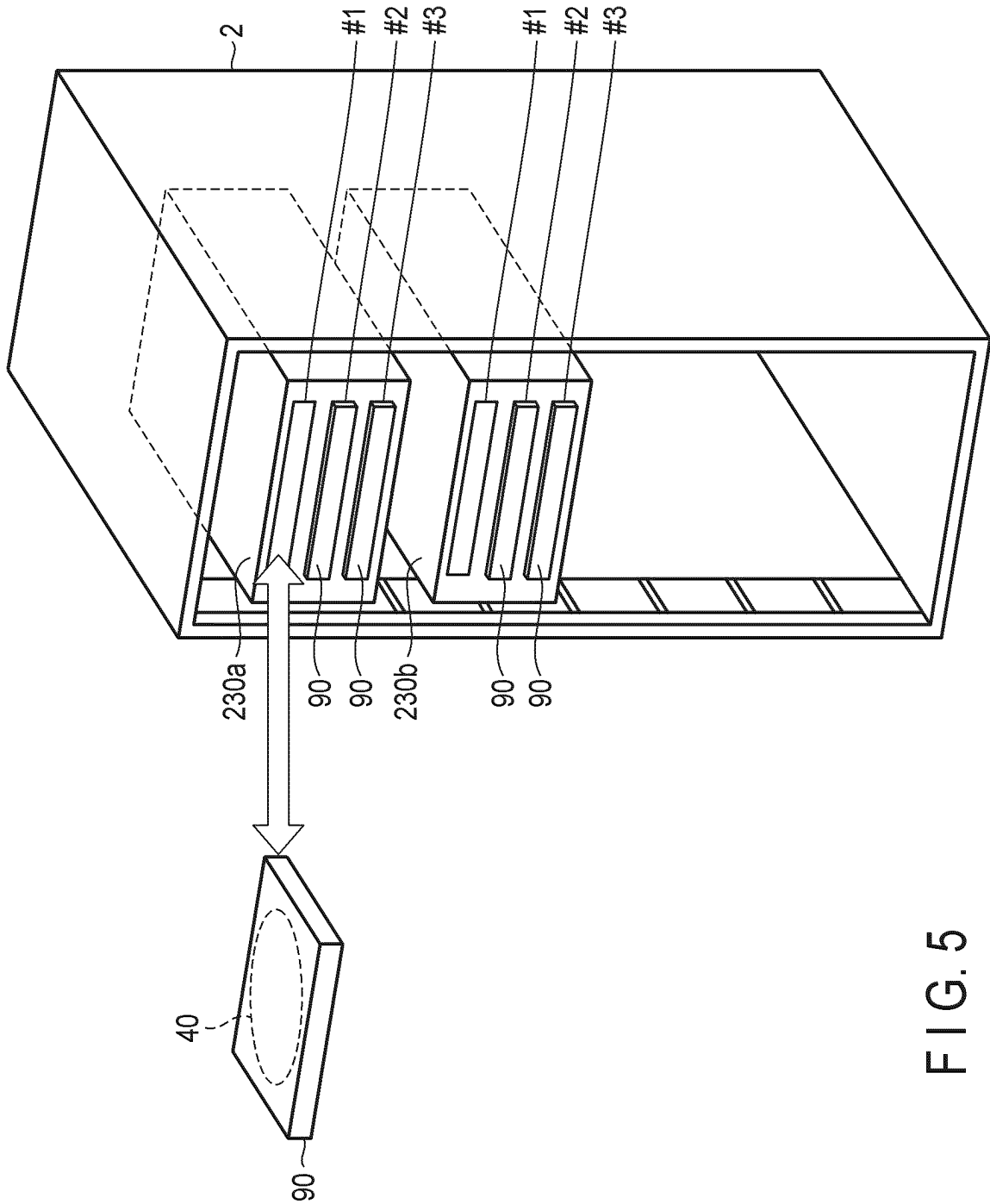


FIG. 5

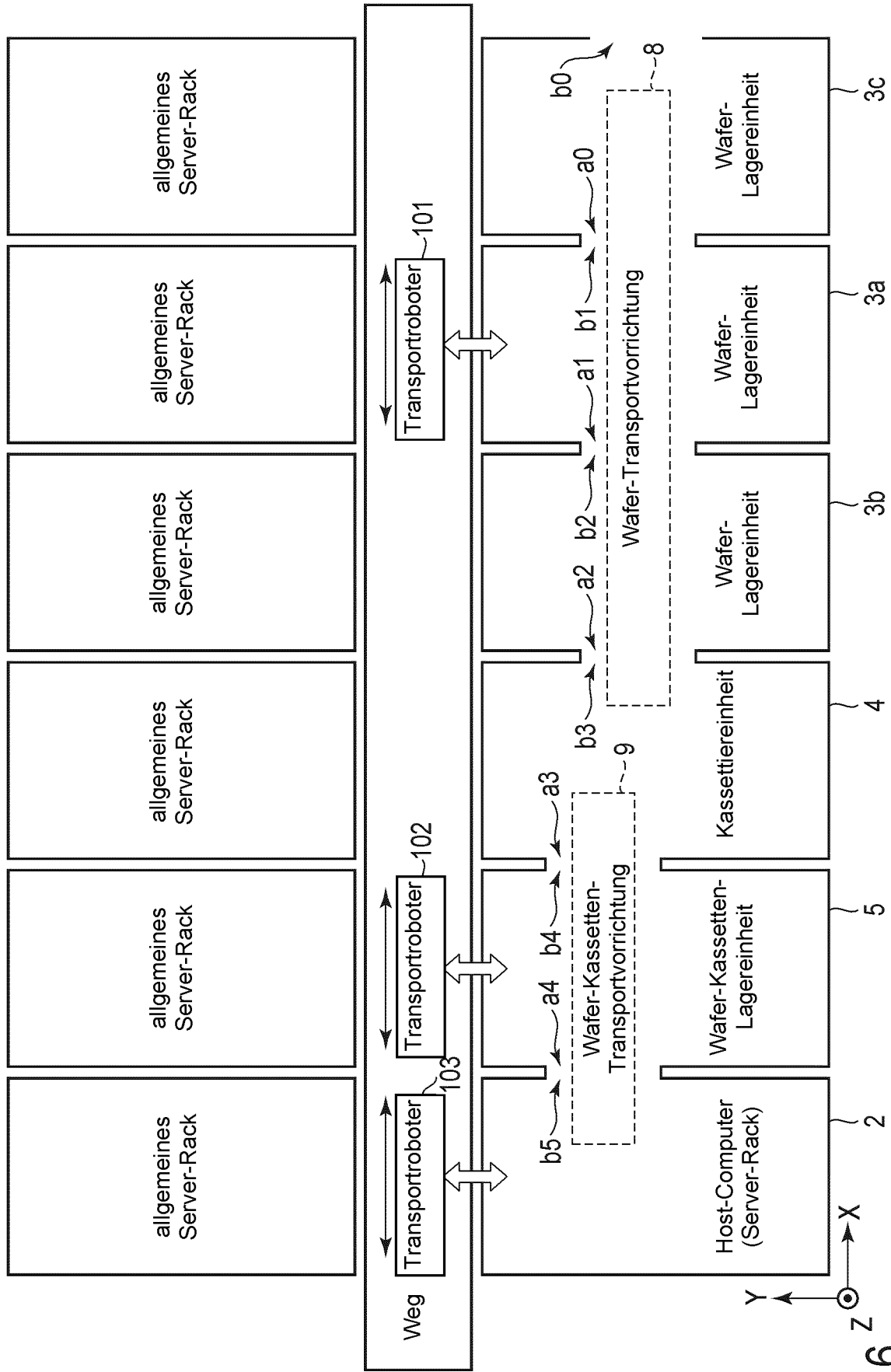


FIG. 6

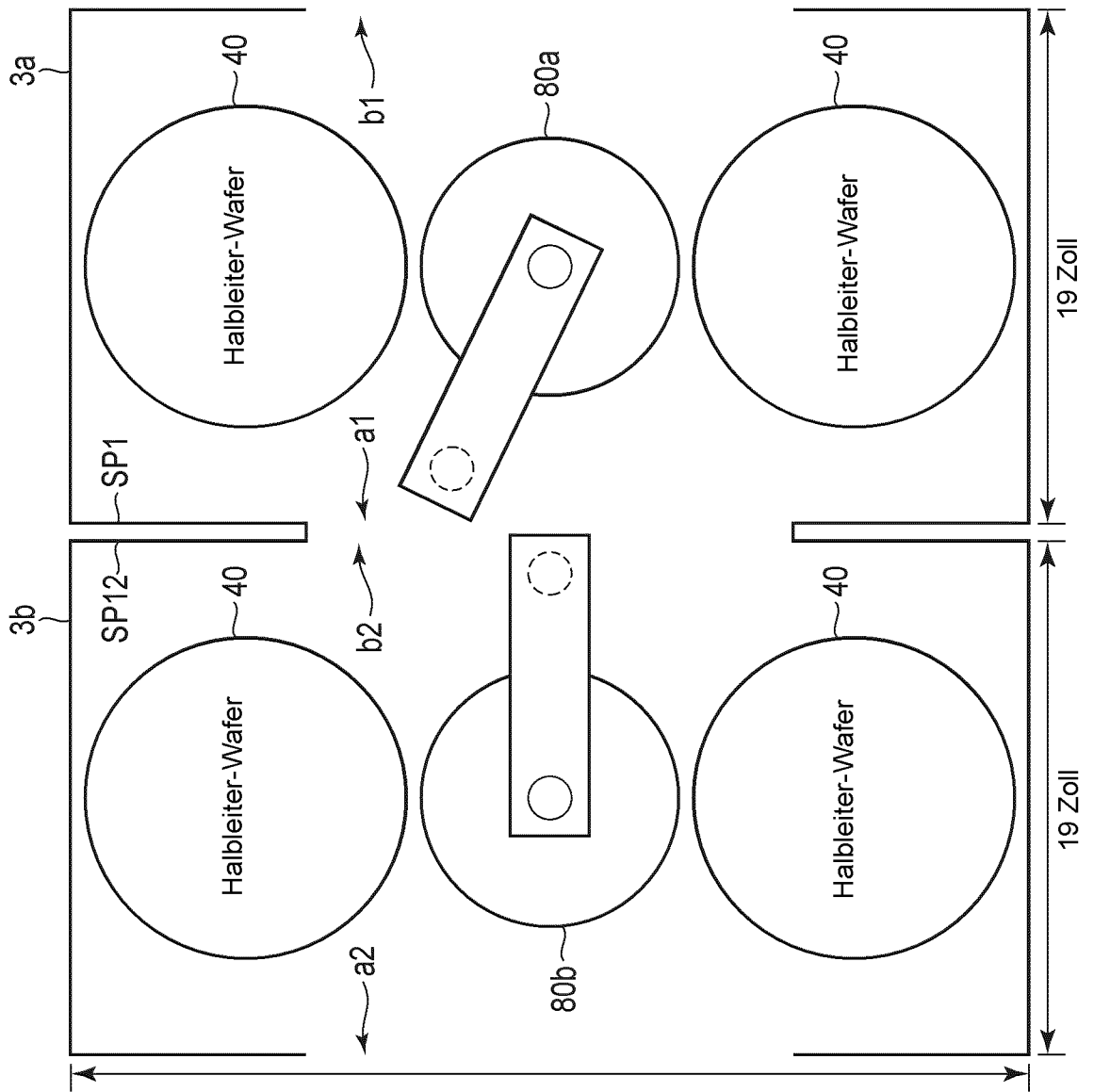


FIG. 7

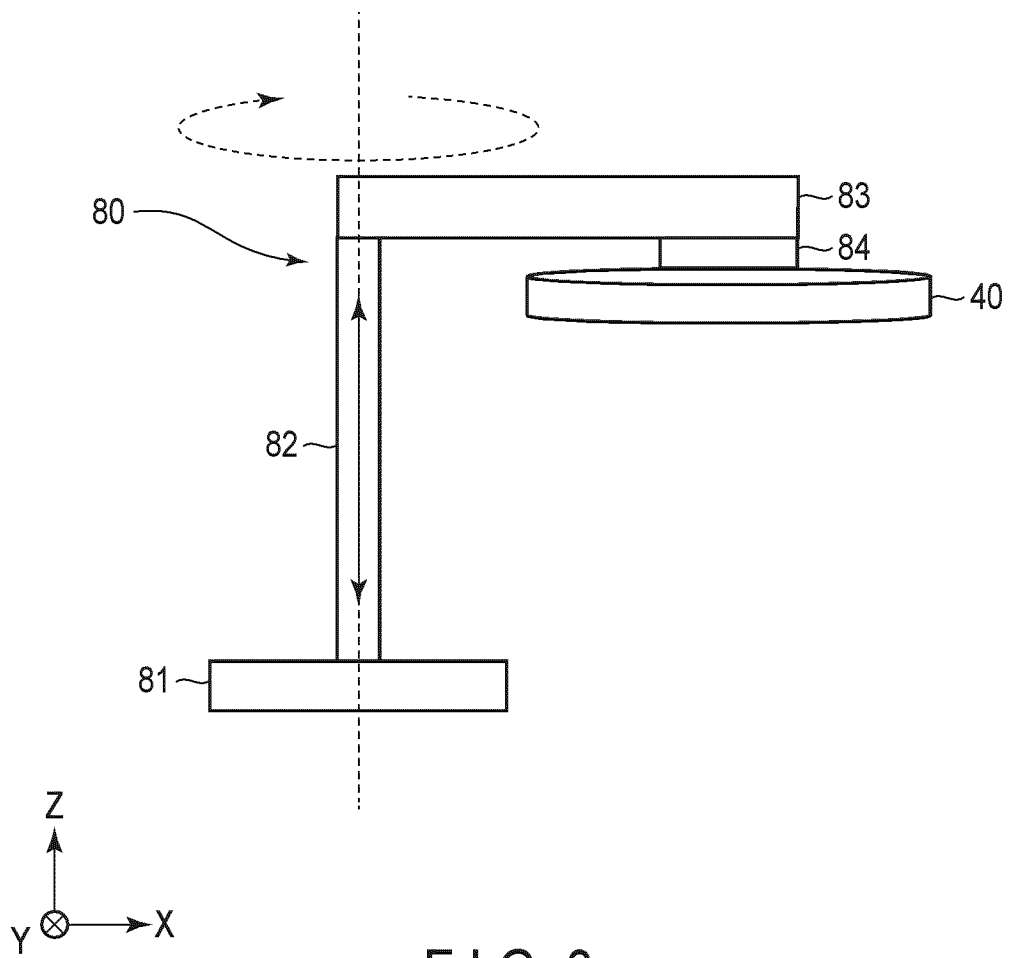


FIG. 8

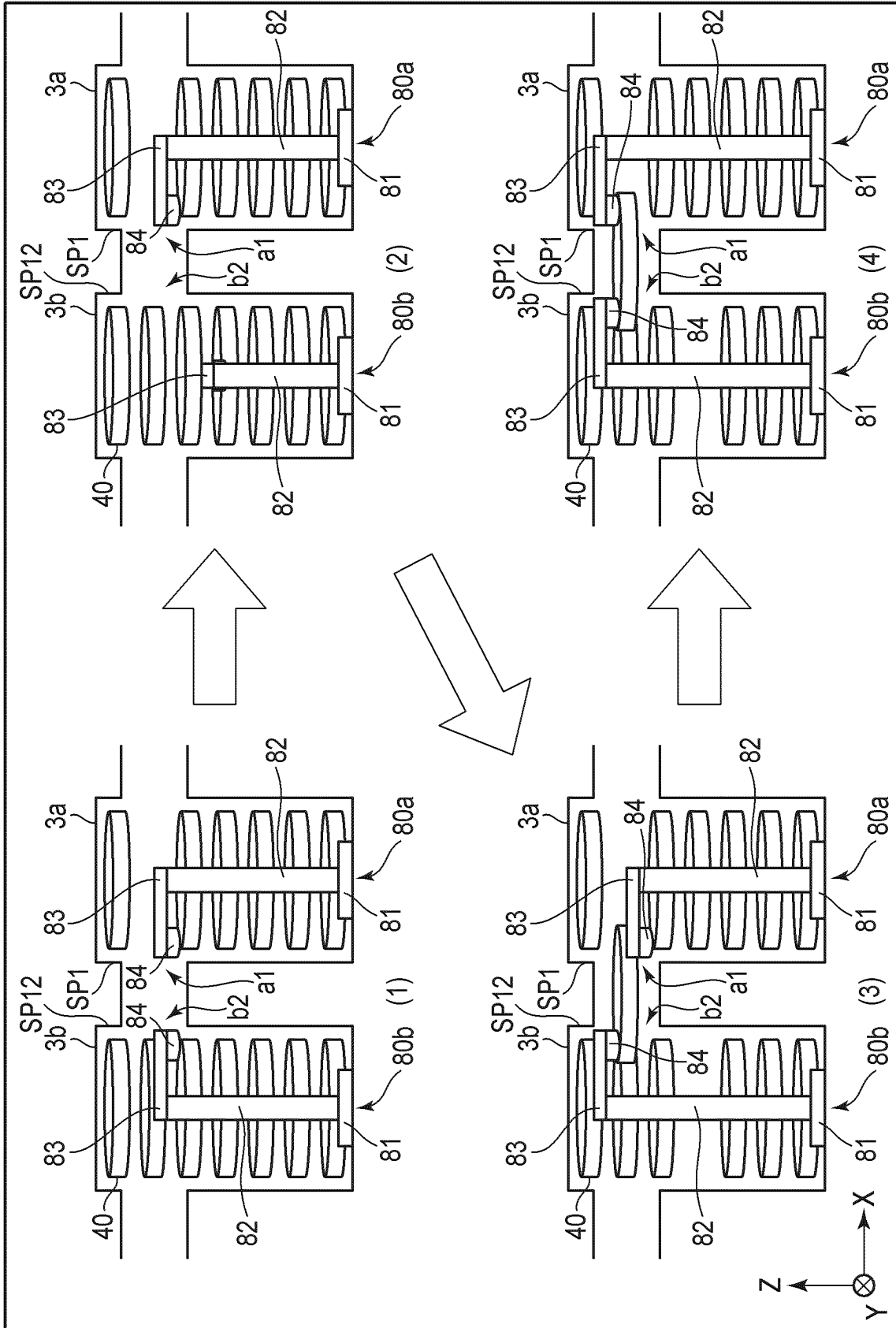


FIG. 9A

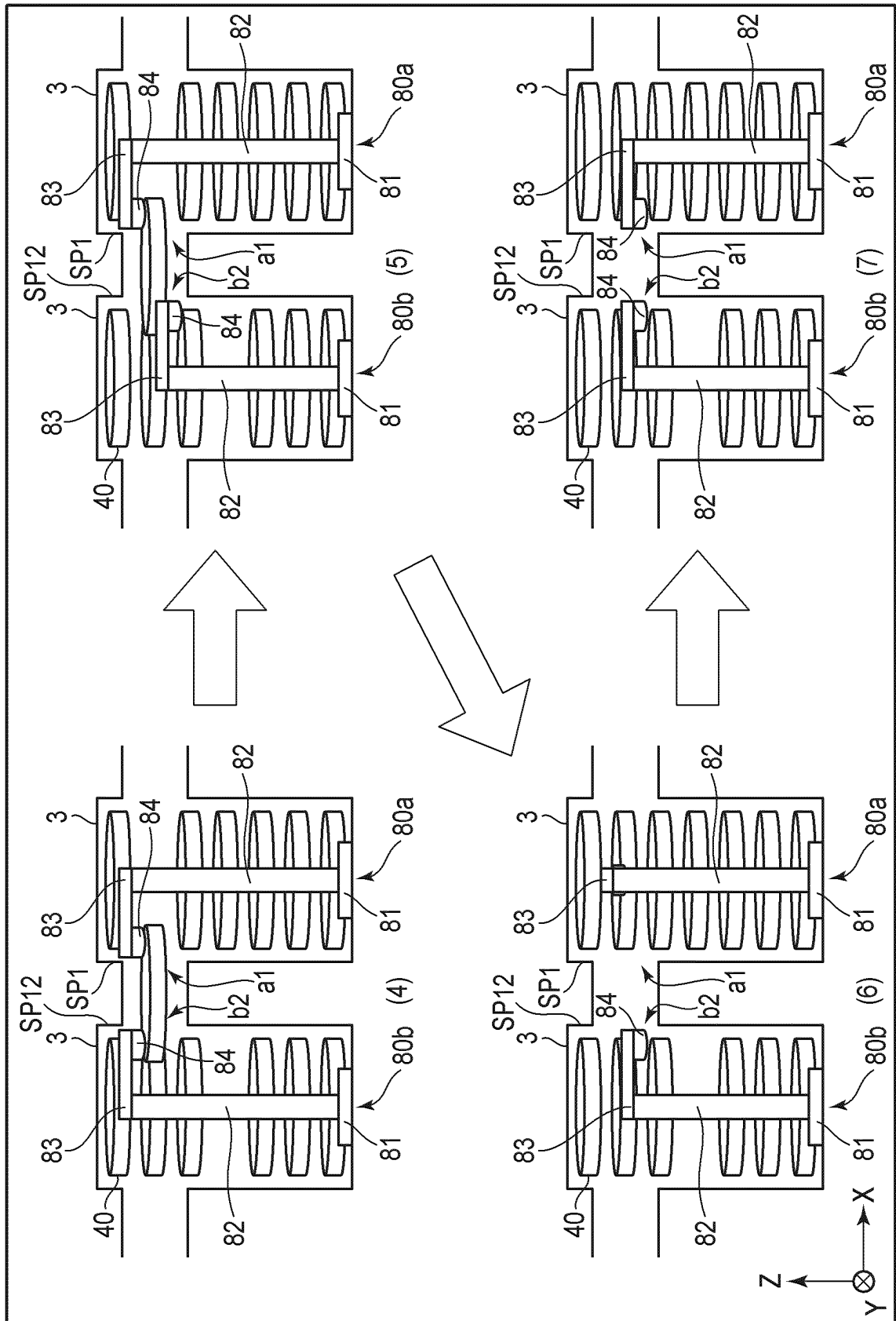


FIG. 9B

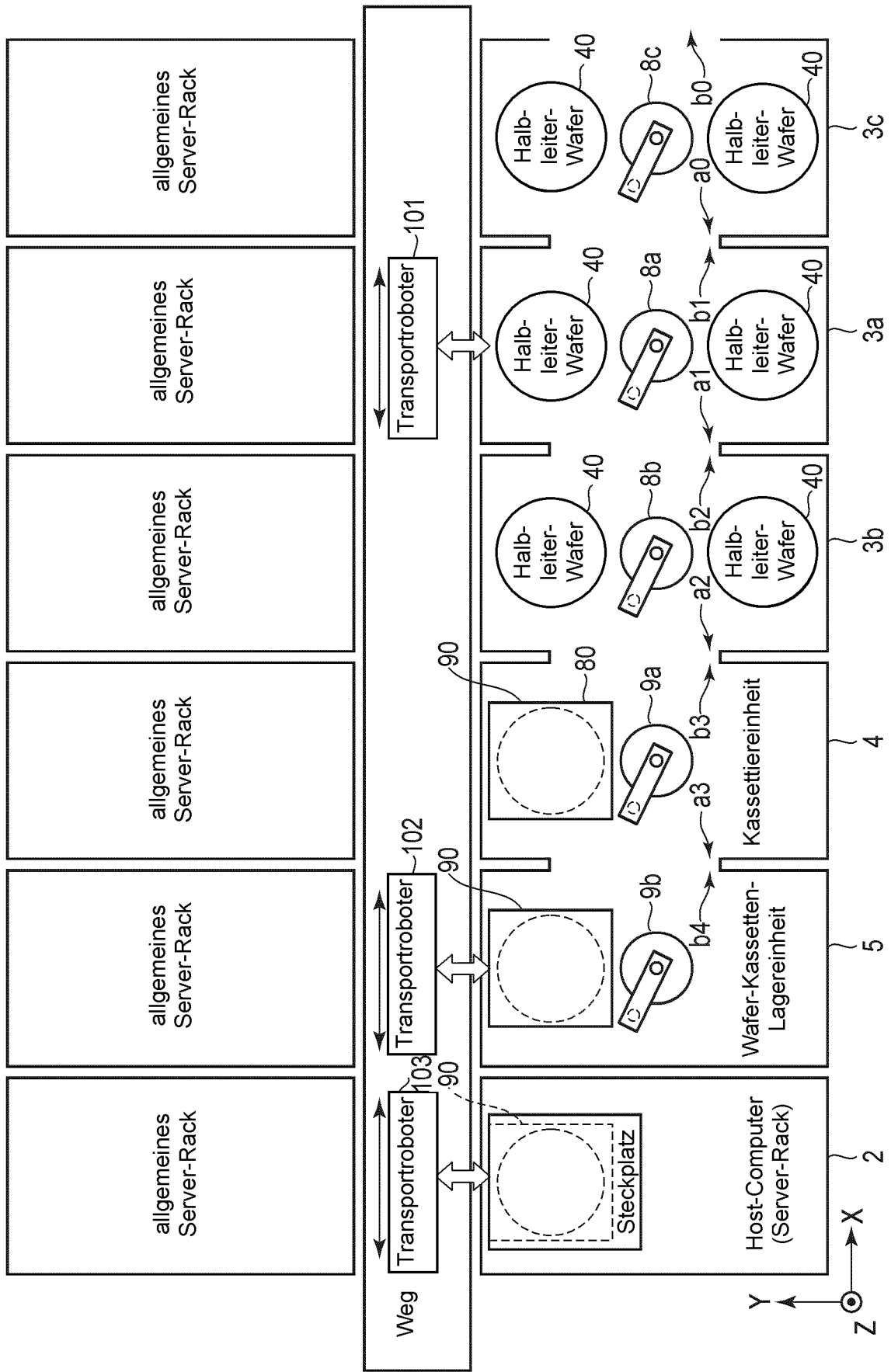


FIG. 10

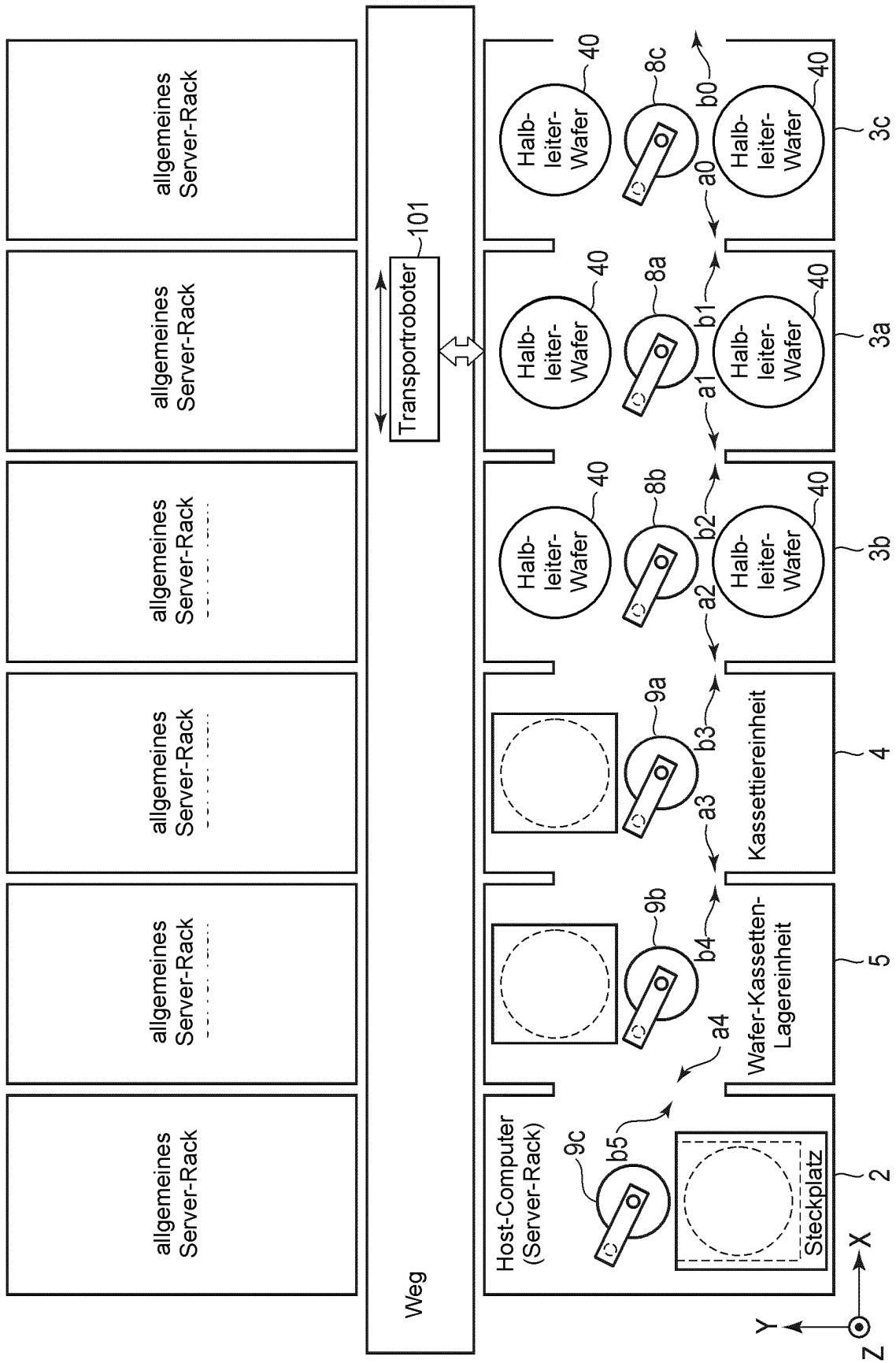


FIG. 11

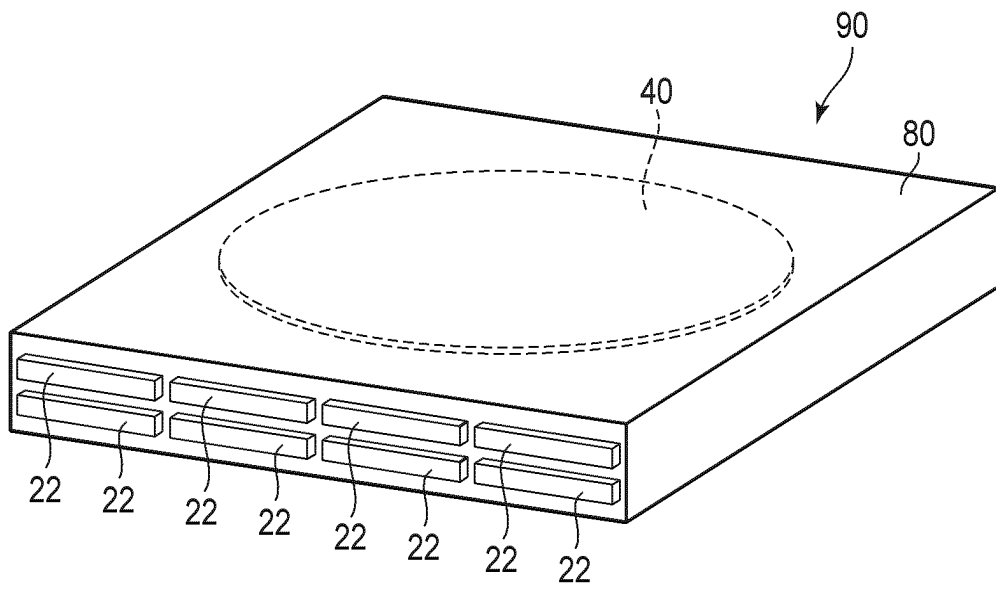


FIG. 12

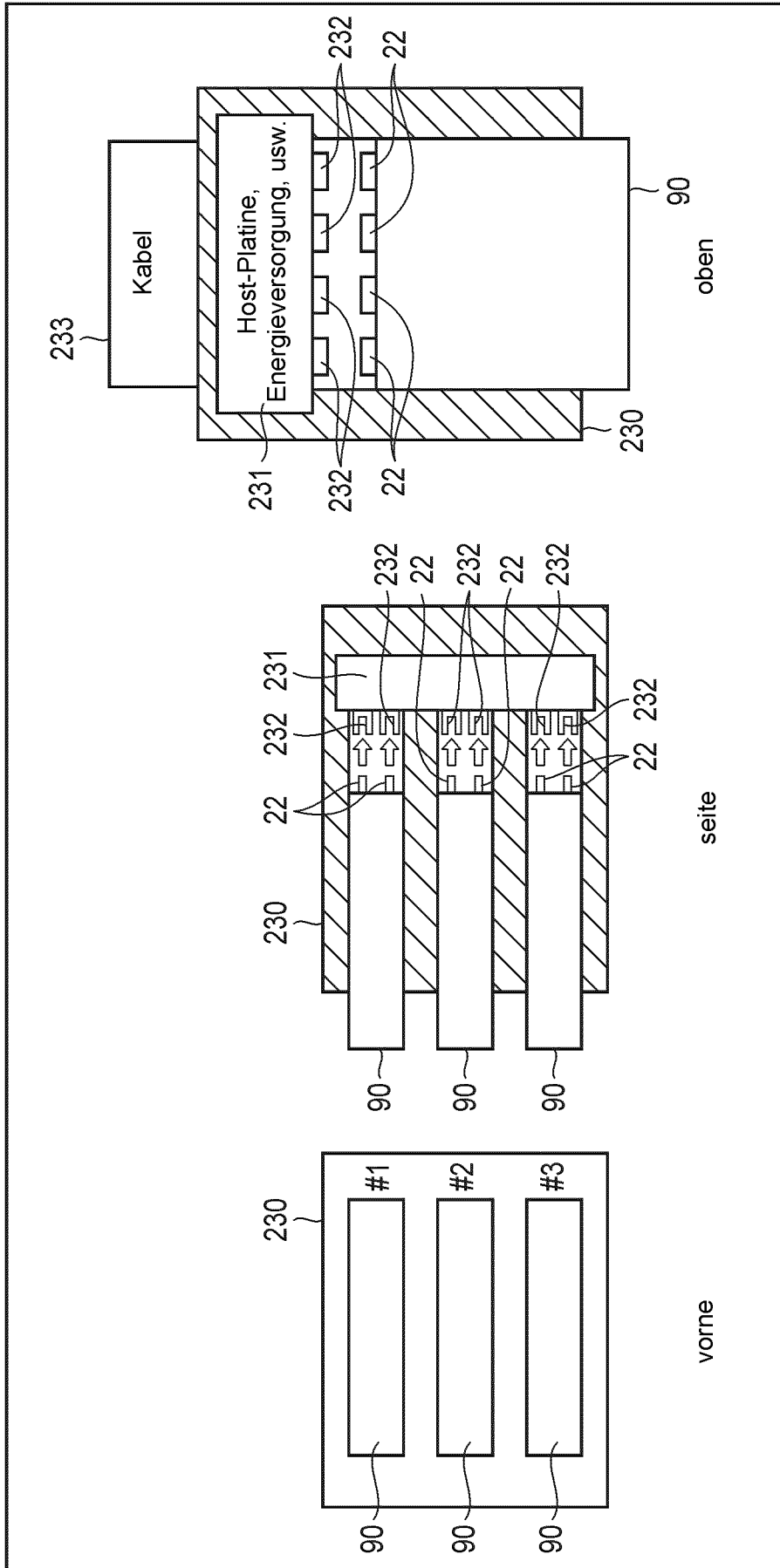


FIG. 13

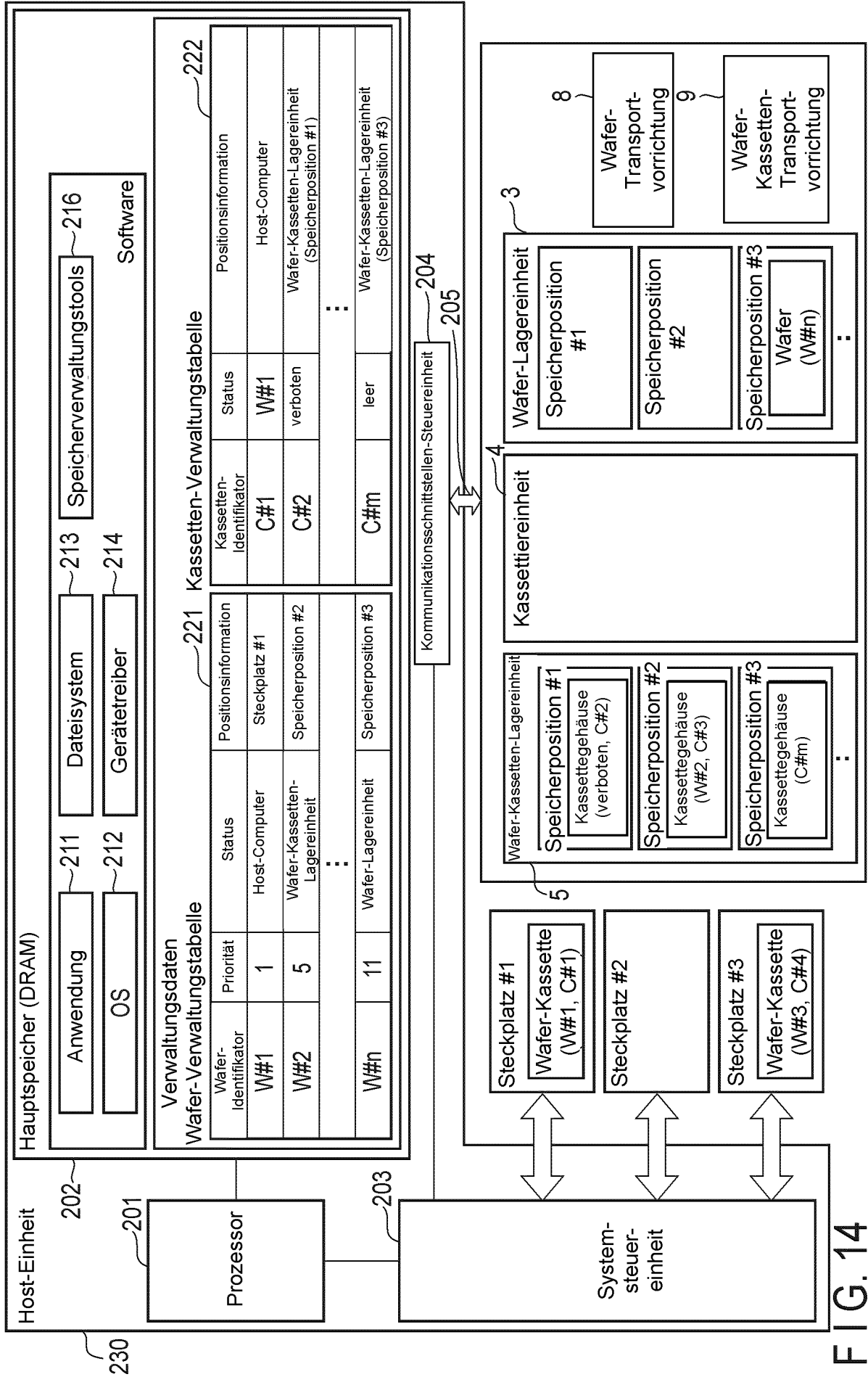


FIG. 14

221

• austauschen (wenn es keinen freien Steckplatz in Host-Einheit gibt und es einen Wafer in Wafer-Kassetten-Lagereinheit gibt, auf den zugegriffen werden soll)

Wafer-Verwaltungstabelle

Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1→2	Host-Computer	Steckplatz #1
Wafer B	2→3	Host-Computer → Wafer-Kassetten-Lagereinheit	Steckplatz #2 → Speicherposition #11
<u>Wafer C</u>	3→1	Wafer-Kassetten-Lagereinheit → Host-Computer	Speicherposition #11 → Steckplatz #2
Wafer D	4	Wafer-Kassetten-Lagereinheit	Speicherposition #12
Wafer E	5	Wafer-Lagereinheit	Speicherposition #111

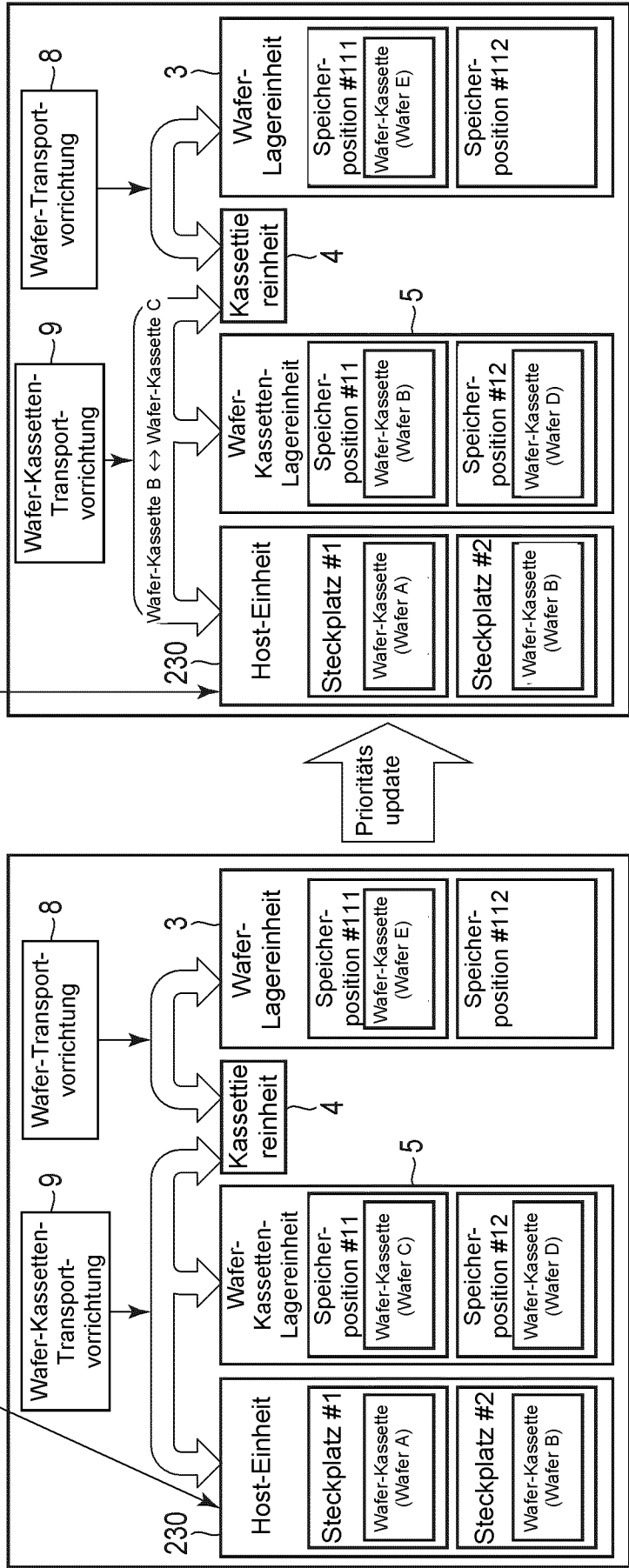


FIG. 15A

•wenn Wafer in Wafer-Lagereinheit eine Priorität höher hat als die von einem der Wafer in Wafer-Kassetten-Lagereinheit 221

Wafer-Verwaltungstabelle

Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1	Host-Computer	Steckplatz #1
Wafer B	2	Host-Computer	Steckplatz #2
Wafer C	3→4	Wafer-Kassetten-Lagereinheit	Speicherposition #11
Wafer D	4→5	Wafer-Kassetten-Lagereinheit → Host-Computer	Speicherposition #12 → #111
Wafer E	5→3	Wafer-Lagereinheit → Wafer-Kassetten-Lagereinheit	Speicherposition #111 → #12

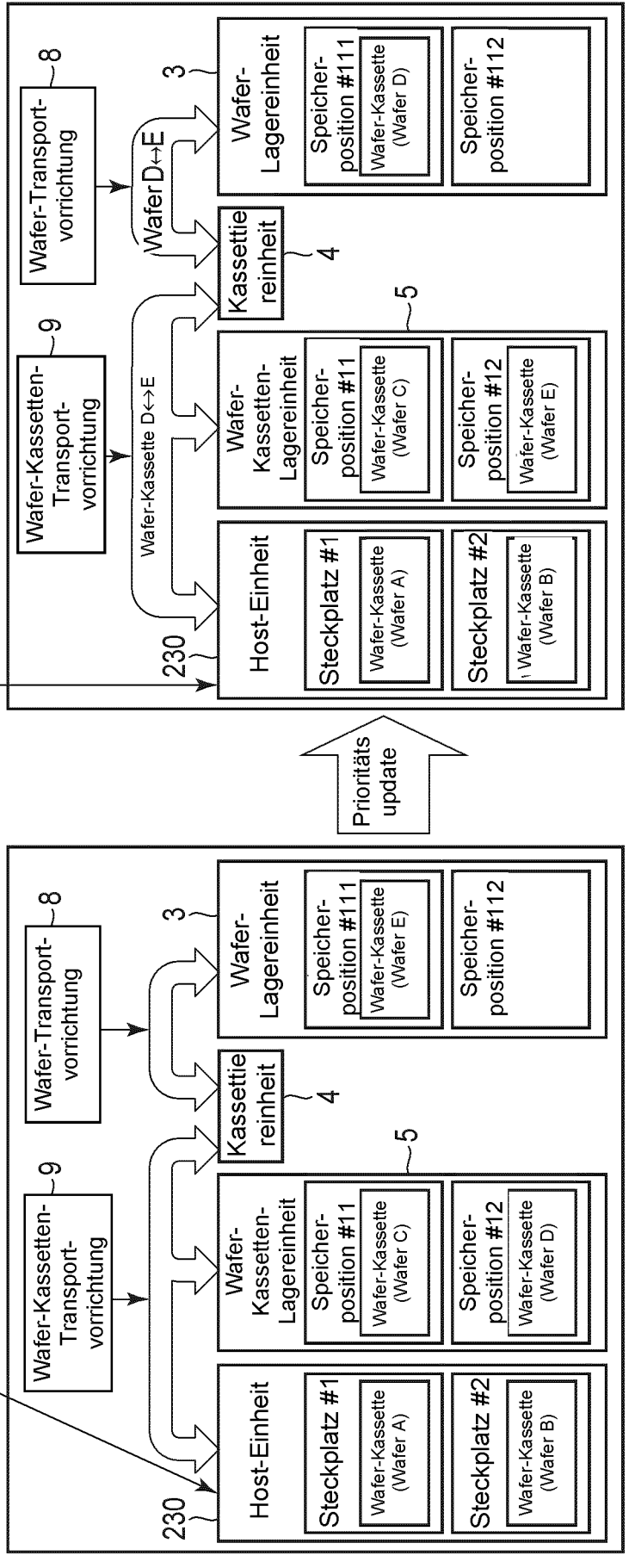


FIG. 15B

221

Wafer, auf den zugegriffen werden soll, ist bereits mit Host-Einheit verbunden

Waferverwaltungstabelle

Wafer-identifikator	Priorität	Status	Positionsinformation	Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1→2	Host-Computer	Steckplatz #1	Wafer F	6	Wafer-Kassetten-Lagereinheit	Speicherposition #12
Wafer B	2→3	Host-Computer	Steckplatz #2	Wafer G	7	Wafer-Kassetten-Lagereinheit	Speicherposition #13
Wafer C	3→4	Host-Computer	Steckplatz #3	Wafer H	8	Wafer-Kassetten-Lagereinheit	Speicherposition #14
Wafer D	4→1	Host-Computer	Steckplatz #4	Wafer I	9	Wafer-Lagereinheit	Speicherposition #111
Wafer E	5	Wafer-Kassetten-Lagereinheit	Speicherposition #11	Wafer J	10	Wafer-Lagereinheit	Speicherposition #112

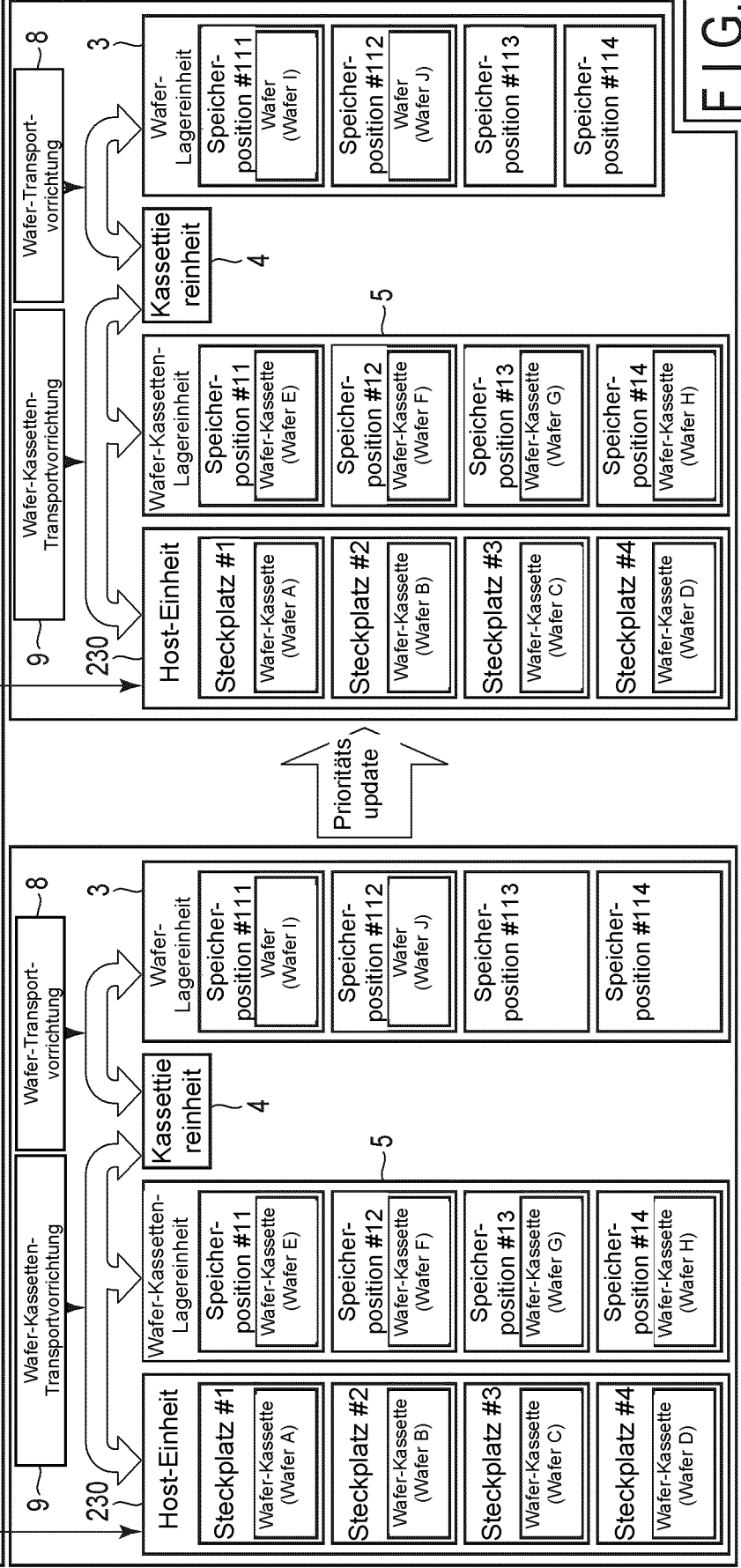


FIG. 16A

221

• wenn es einen freien Steckplatz in Host-Einheit gibt und es einen Wafer in Wafer-Kassetten-Lagereinheit gibt, auf den zugegriffen werden soll

Waferverwaltungstabelle

Wafer-Identifikator	Priorität	Status	Positionsinformation	Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1→2	Host-Computer	Steckplatz #1	Wafer F	6	Wafer-Kassetten-Lagereinheit	Speicherposition #13
Wafer B	2→3	Host-Computer	Steckplatz #2	Wafer G	7	Wafer-Kassetten-Lagereinheit	Speicherposition #14
Wafer C	3→4	Host-Computer	Steckplatz #3	Wafer H	8	Wafer-Lagereinheit	Speicherposition #111
Wafer D	4→1	Host-Computer Wafer-Kassetten-Lagereinheit → Computer	Speicherposition #11→#4	Wafer I	9	Wafer-Lagereinheit	Speicherposition #112
Wafer E	5	Wafer-Kassetten-Lagereinheit	Speicherposition #12	Wafer J	10	Wafer-Lagereinheit	Speicherposition #113

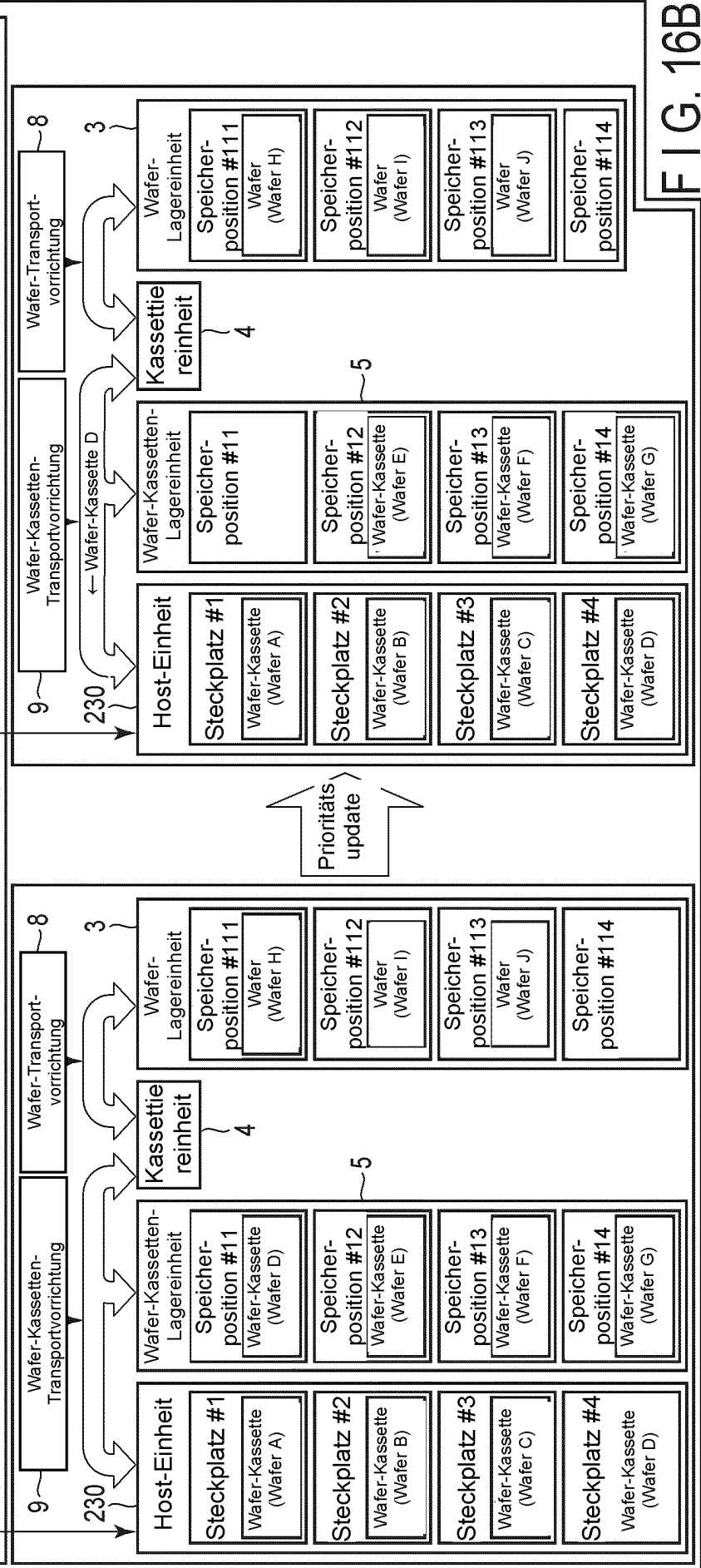


FIG. 16B

• wenn es einen freien Steckplatz in Host-Einheit gibt, keine leere Kasette in Wafer-Kassetten-Lagereinheit gibt, und Wafer-Kassette, auf die zugegriffen werden soll, nicht in Wafer-Kassetten-Lagereinheit ist

Waferverwaltungstabelle

Wafer-Identifikator	Priorität	Status	Positionsinformation	Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1 → 2	Host-Computer	Steckplatz #1	Wafer F	6 → 7	wafer cassette stocker	Speicherposition #13
Wafer B	2 → 3	Host-Computer	Steckplatz #2	Wafer G	7 → 8	Wafer-Kassetten-Lagereinheit → Wafer-Lagereinheit	Speicherposition #14 → #114
Wafer C	3 → 4	Host-Computer	Steckplatz #3	Wafer H	8 → 1	Wafer-Lagereinheit → Host-Computer	Speicherposition #111 → #4
Wafer D	4 → 5	Wafer-Kassetten-Lagereinheit	Speicherposition #11	Wafer I	9	Wafer-Lagereinheit	Speicherposition #112
Wafer E	5 → 6	Wafer-Kassetten-Lagereinheit	Speicherposition #12	Wafer J	10	Wafer-Lagereinheit	Speicherposition #113

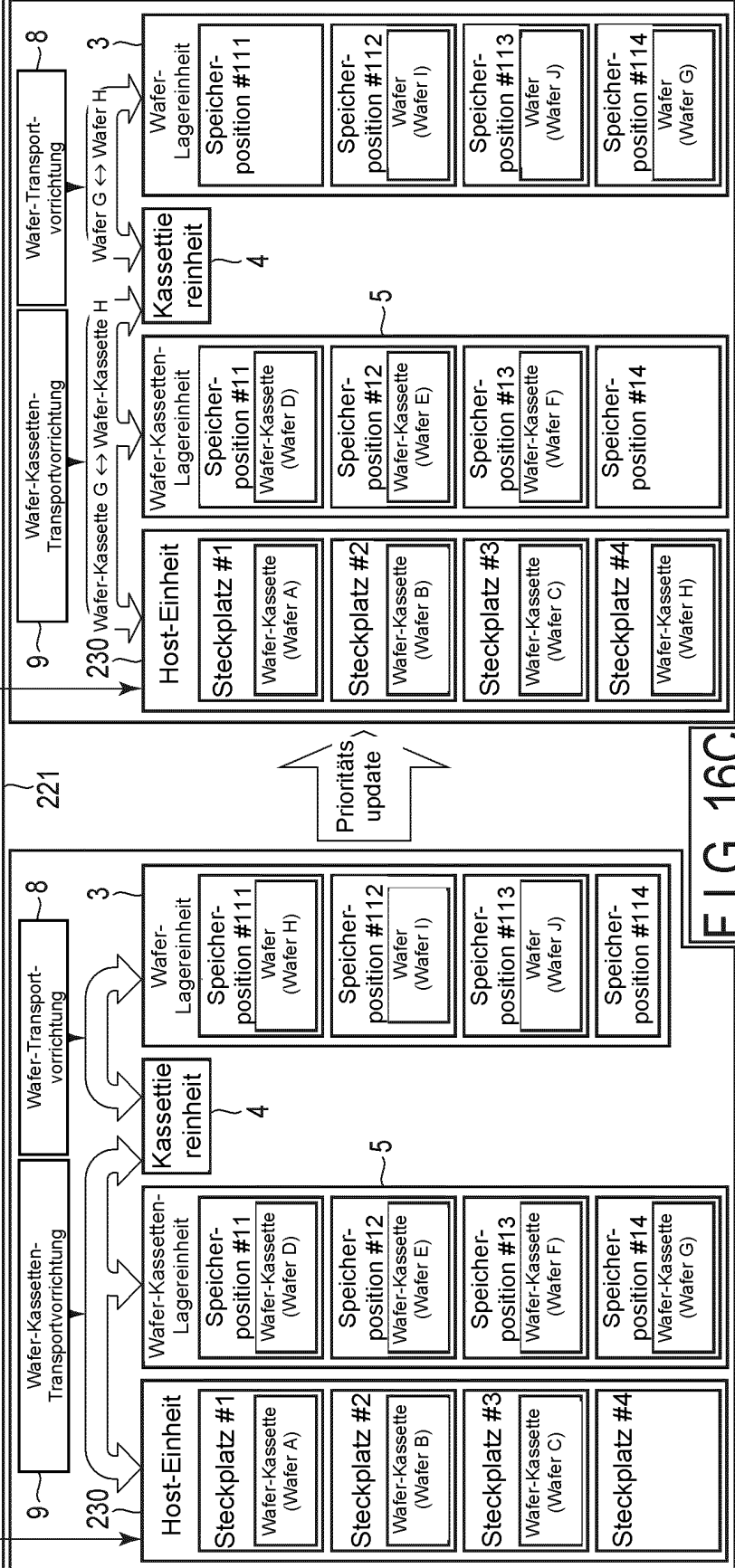


FIG. 16C

• wenn es einen freien Steckplatz in Host-Einheit gibt, eine leere Kasette in Wafer-Kassetten-Lagereinheit gibt, und Wafer-Kassette, auf die zugegriffen werden soll, nicht in Wafer-Kassetten-Lagereinheit ist

Waferverwaltungstabelle

Wafer-Identifikator	Priorität	Status	Positionsinformation	Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1→2	Host-Computer	Steckplatz #1	Wafer F	6→7	Wafer-Kassetten-Lagereinheit	Speicherposition #13
Wafer B	2→3	Host-Computer	Steckplatz #2	Wafer G	7→8	Wafer-Lagereinheit	Speicherposition #111
Wafer C	3→4	Host-Computer	Steckplatz #3	Wafer H	8→1	Wafer-Lagereinheit → Host-Computer	Speicherposition #112→#4
Wafer D	4→5	Wafer-Kassetten-Lagereinheit	Speicherposition #11	Wafer I	9	Wafer-Lagereinheit	Speicherposition #113
Wafer E	5→6	Wafer-Kassetten-Lagereinheit	Speicherposition #12	Wafer J	10	Wafer-Lagereinheit	Speicherposition #114

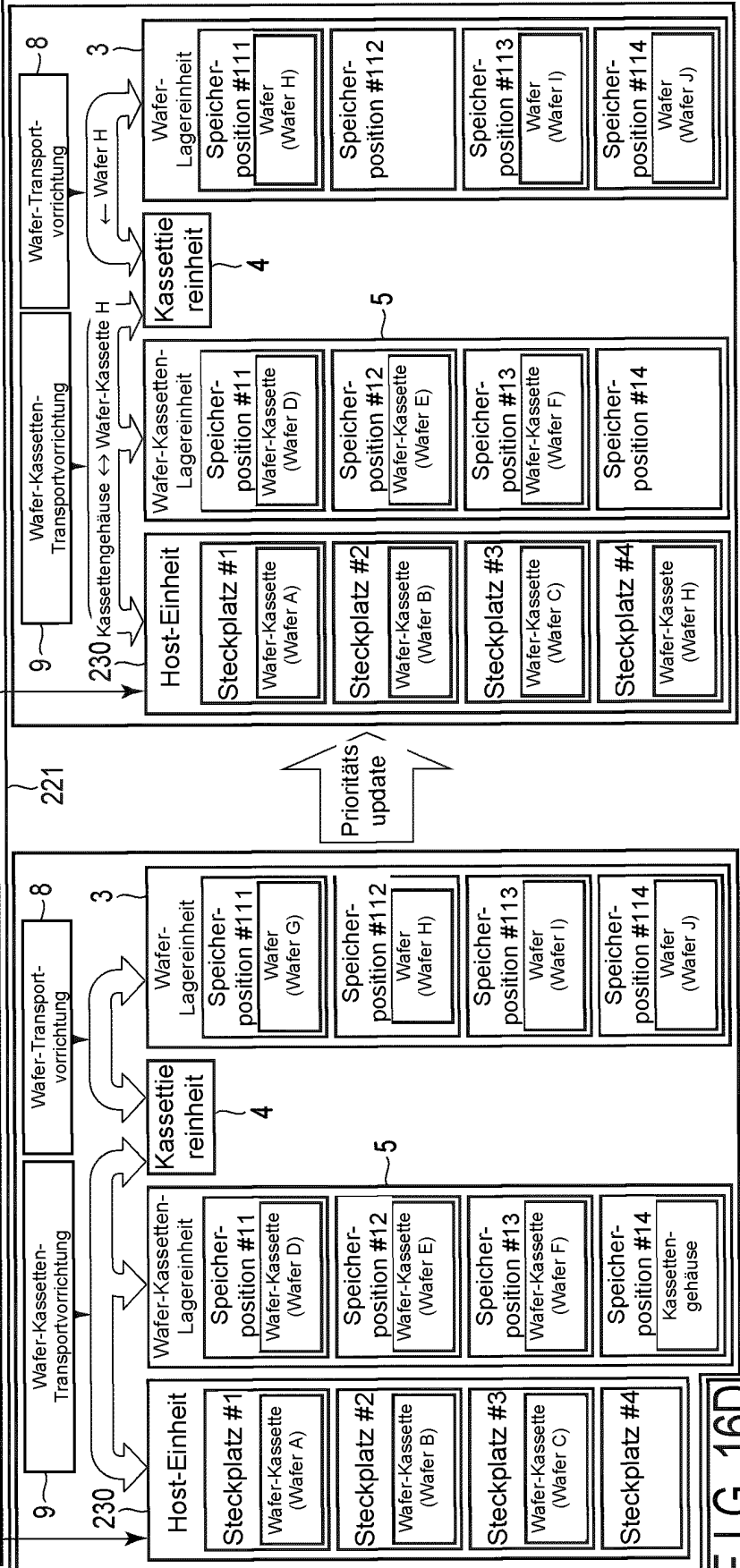


FIG. 16D

wenn es keinen freien Steckplatz in Host-Einheit gibt, einen freien Platz in Wafer-Kassetten-Lagereinheit gibt, und Wafer-Kassette, auf die zugegriffen werden soll, nicht in Wafer-Kassetten-Lagereinheit ist

221

Waferverwaltungstabelle

Wafer-Identifikator	Priorität	Status	Positionsinformation	Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1 → 2	Host-Computer	Steckplatz #1	Wafer F	6 → 7	Wafer-Kassetten-Lagereinheit	Speicherposition #12
Wafer B	2 → 3	Host-Computer	Steckplatz #2	Wafer G	7 → 8	Wafer-Kassetten-Lagereinheit → Wafer-Lagereinheit	Speicherposition #13 → #14
Wafer C	3 → 4	Host-Computer	Steckplatz #3	Wafer H	8 → 9	Wafer-Lagereinheit	Speicherposition #111
Wafer D	4 → 5	Host-Computer → Wafer-Kassetten-Lagereinheit	Steckplatz #4 → #14	Wafer I	9 → 1	Host-Computer	Speicherposition #112 → #4
Wafer E	5 → 6	Wafer-Kassetten-Lagereinheit	Speicherposition #11	Wafer J	10	Wafer-Lagereinheit	Speicherposition #113

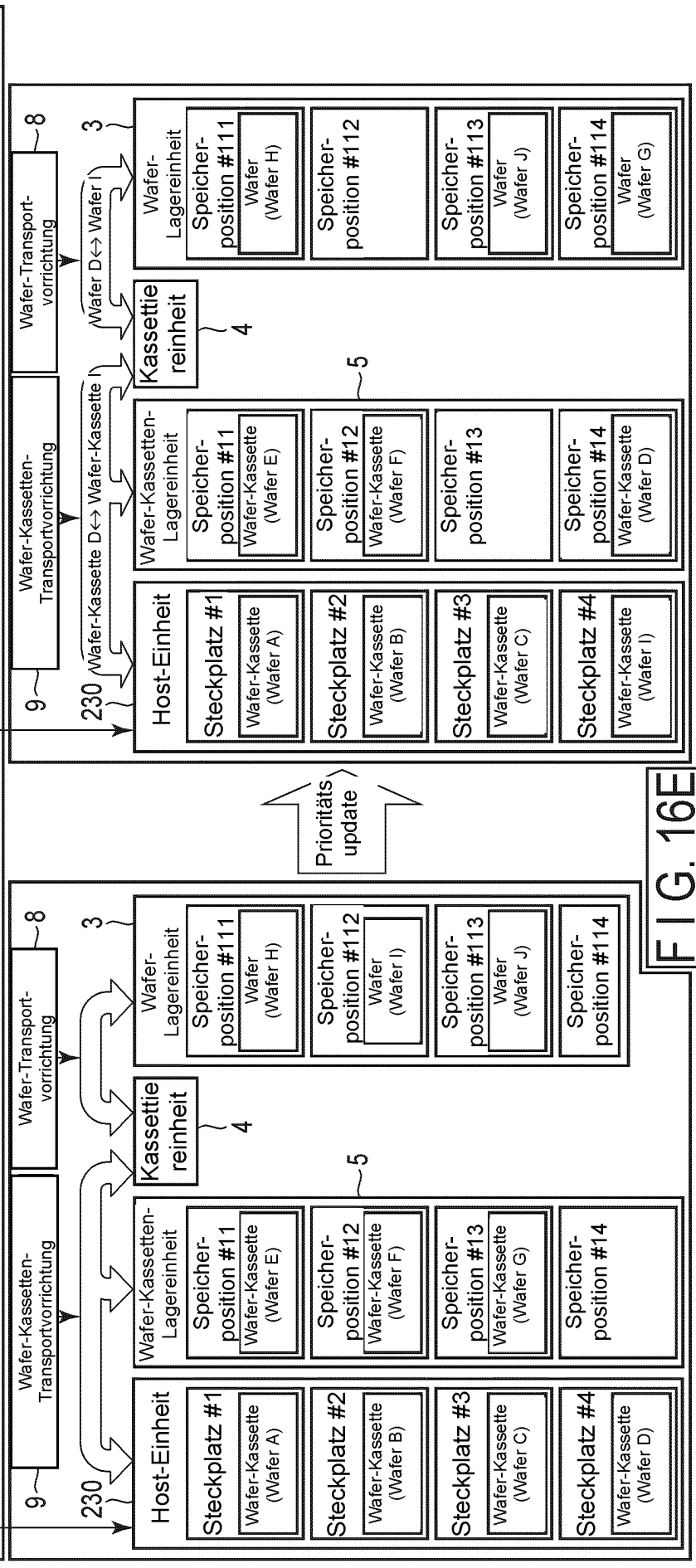


FIG. 16E

wenn es keinen freien Steckplatz in Host-Einheit gibt, keinen freien Platz in Wafer-Kassetten-Lagereinheit gibt, und Wafer-Kassette, auf die zugegriffen werden soll, nicht in Wafer-Kassetten-Lagereinheit ist

221

Waferverwaltungstabelle

Wafer-Identifikator	Priorität	Status	Positionsinformation	Wafer-Identifikator	Priorität	Status	Positionsinformation
Wafer A	1→2	Host-Computer	Steckplatz #1	Wafer F	6→7	Wafer-Kassetten-Lagereinheit	Speicherposition #12
Wafer B	2→3	Host-Computer	Steckplatz #2	Wafer G	7→8	Wafer-Kassetten-Lagereinheit	Speicherposition #13
Wafer C	3→4	Host-Computer	Steckplatz #3	Wafer H	8→9	Wafer-Kassetten-Lagereinheit → Wafer-Lagereinheit	Speicherposition #14→#113
Wafer D	4→5	Host-Computer → Wafer-Kassetten-Lagereinheit	Steckplatz #4→#14	Wafer I	9→1	Wafer-Lagereinheit → Host-Computer	Speicherposition #111→#4
Wafer E	5→6	Wafer-Kassetten-Lagereinheit	Speicherposition #11	Wafer J	10	Wafer-Lagereinheit	Speicherposition #112

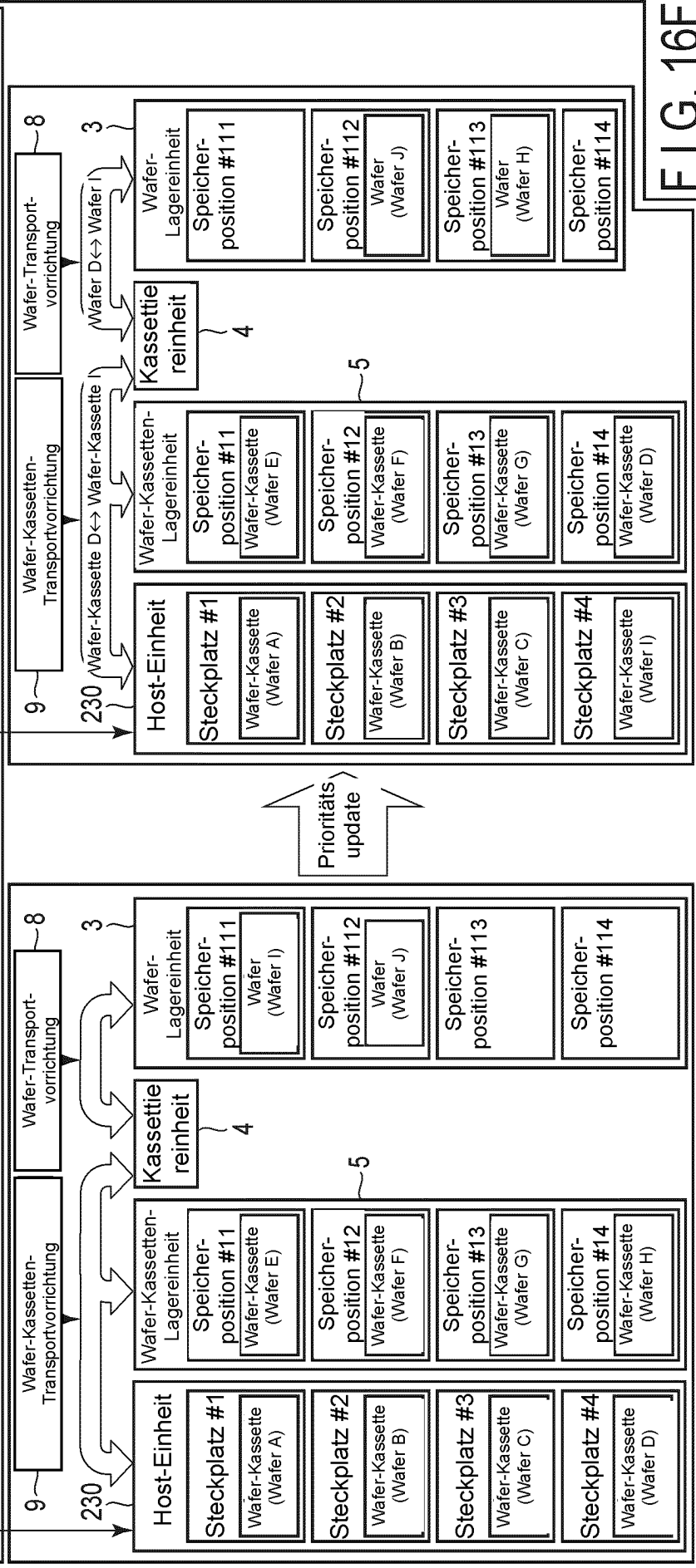


FIG. 16F

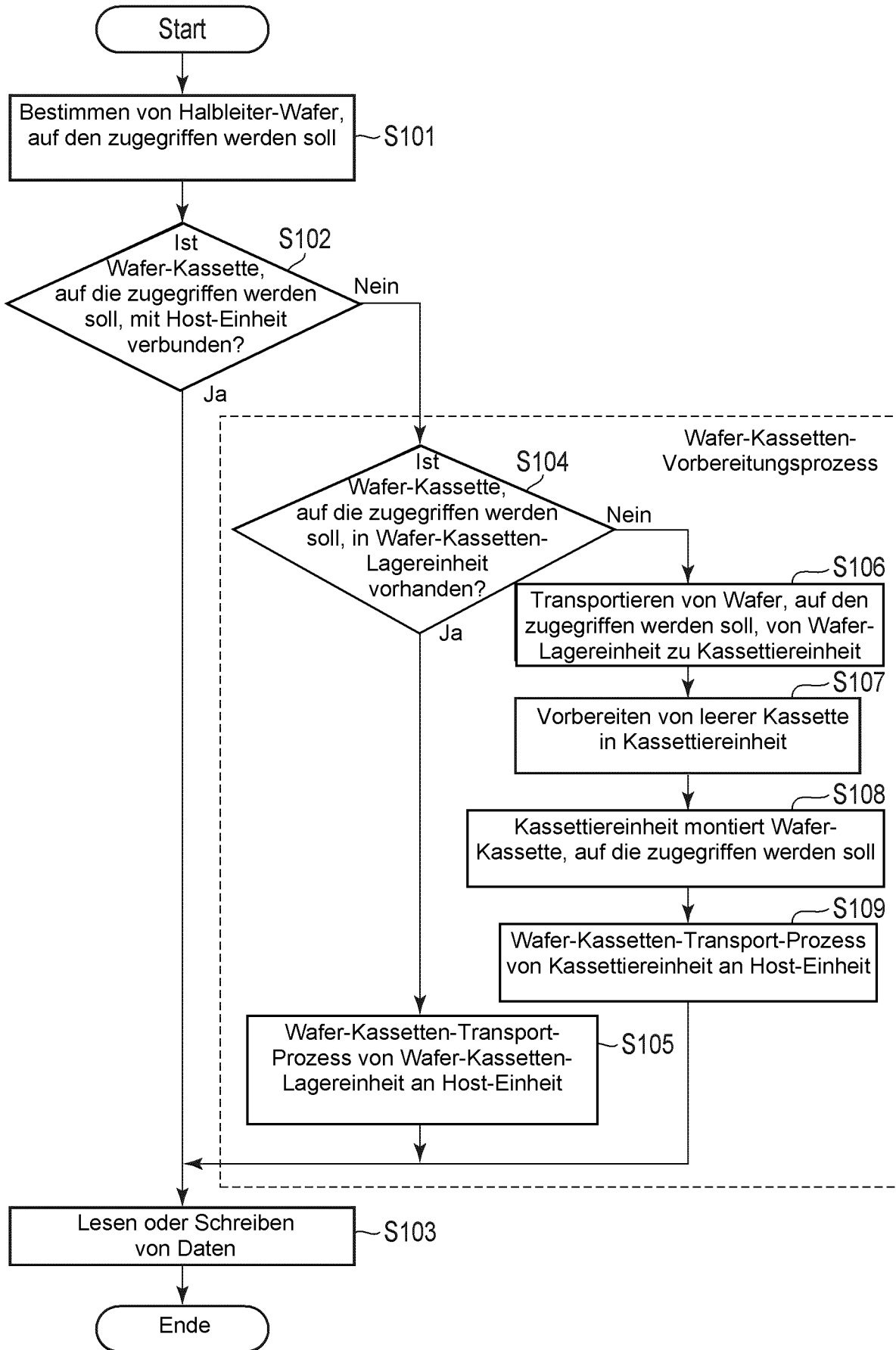


FIG. 17

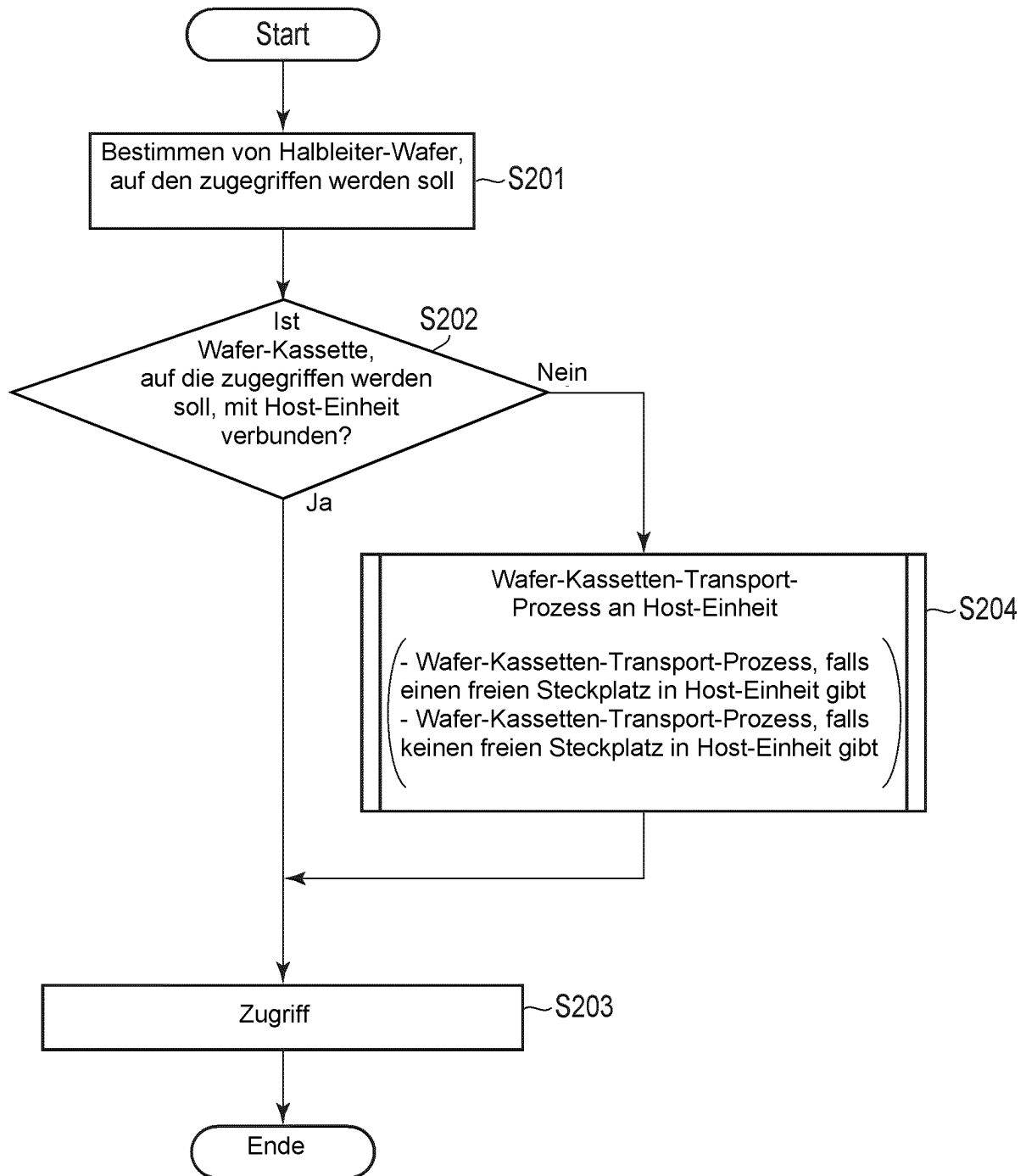


FIG. 18

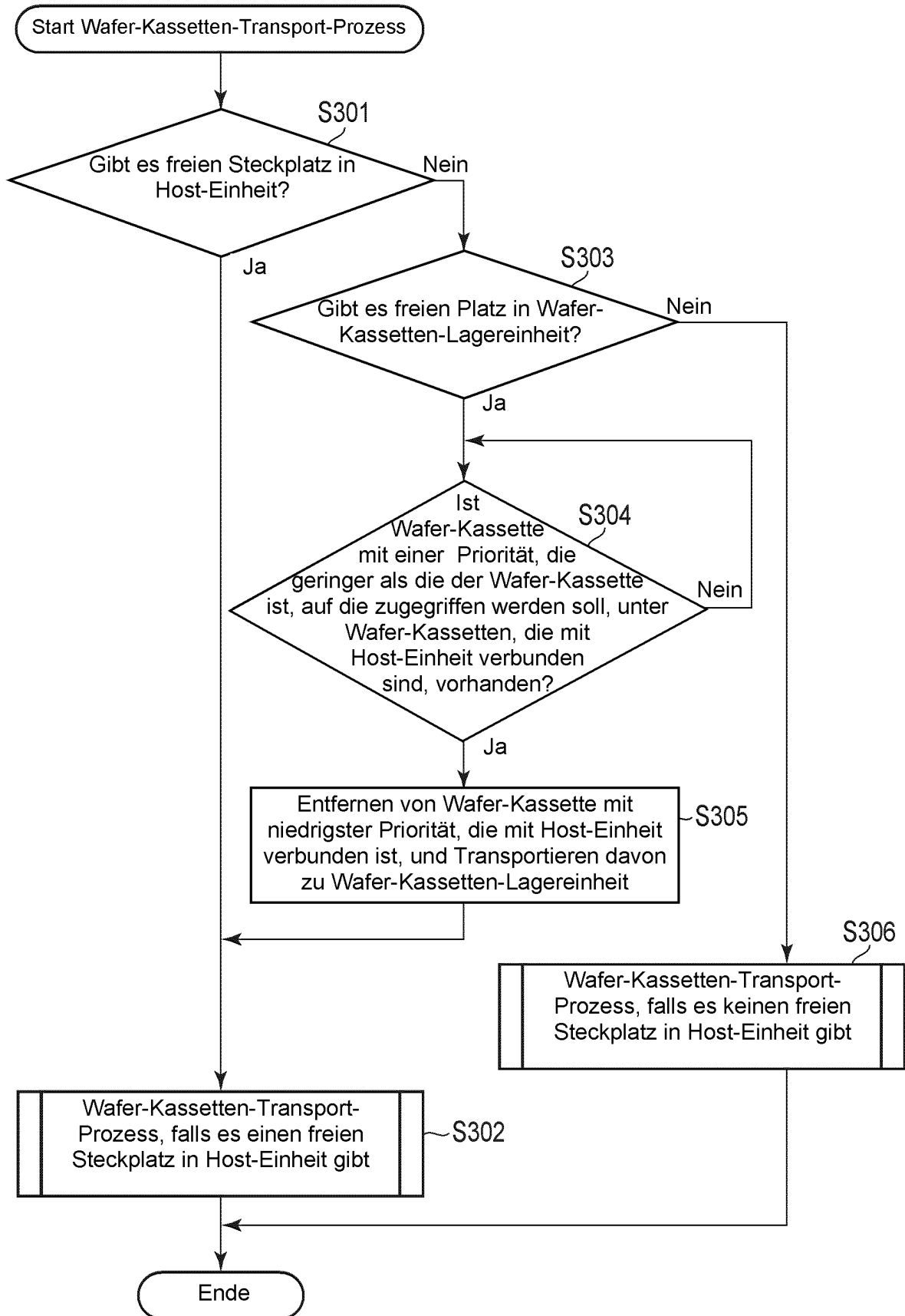


FIG. 19

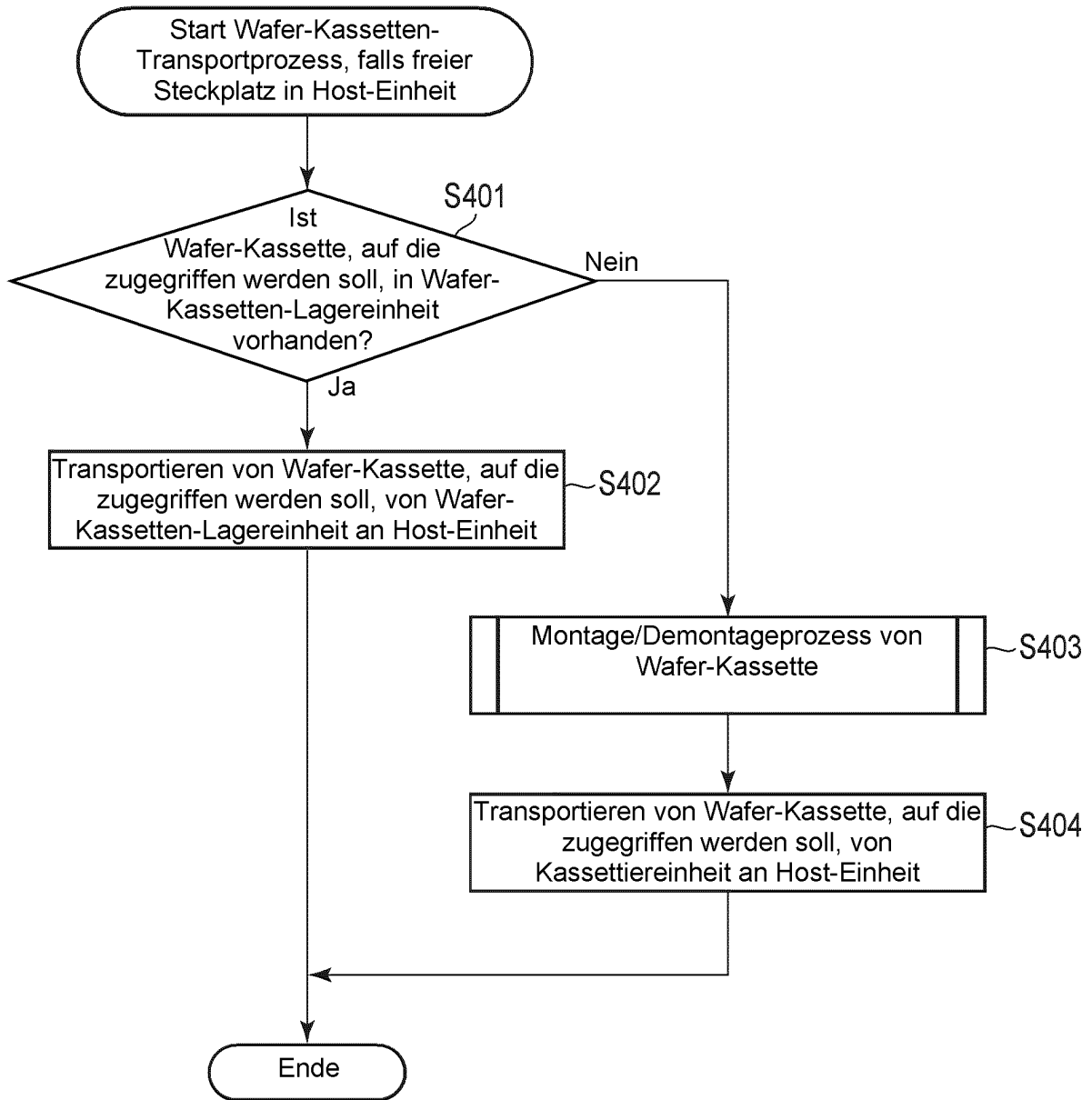


FIG. 20

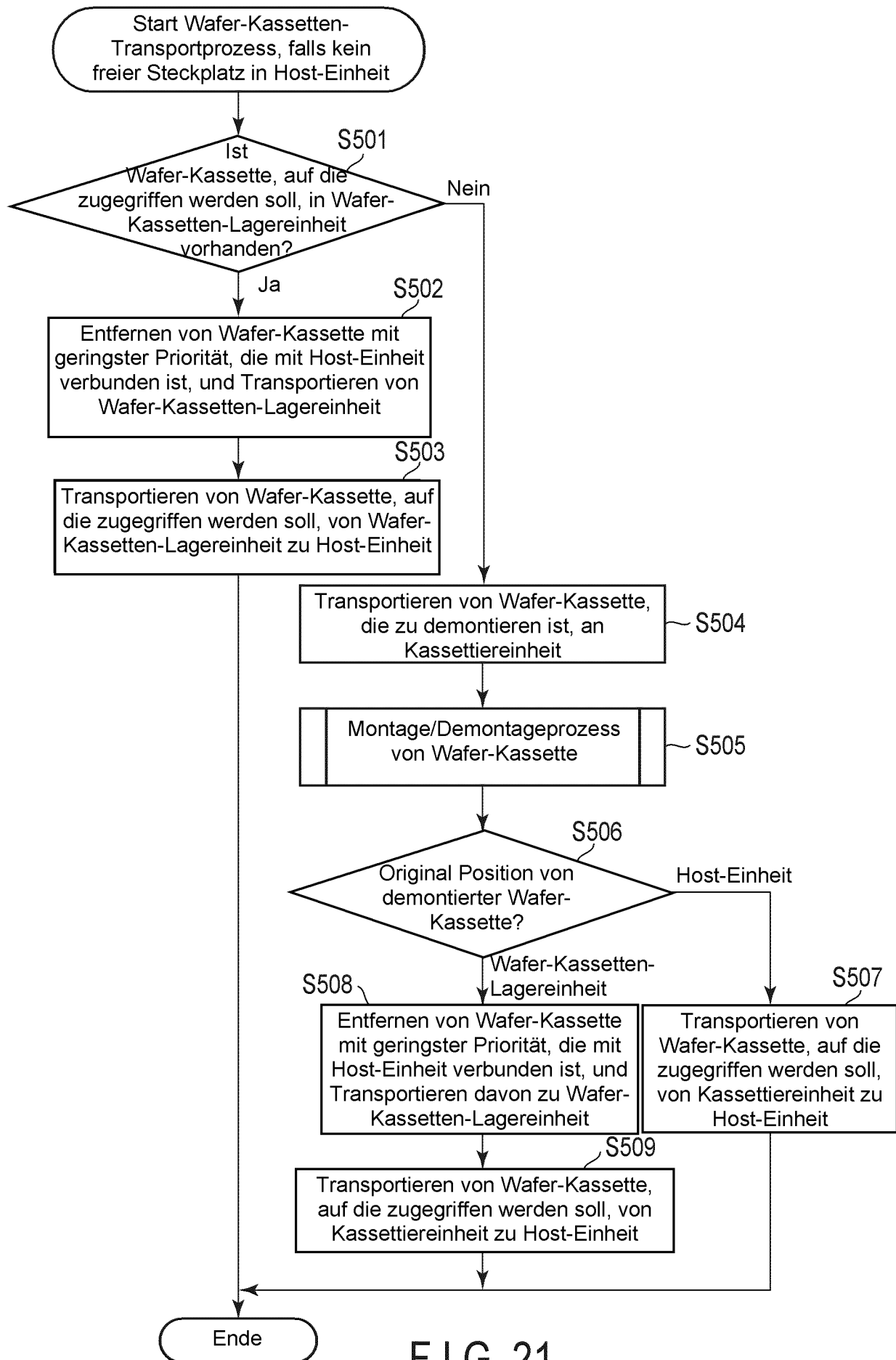


FIG. 21

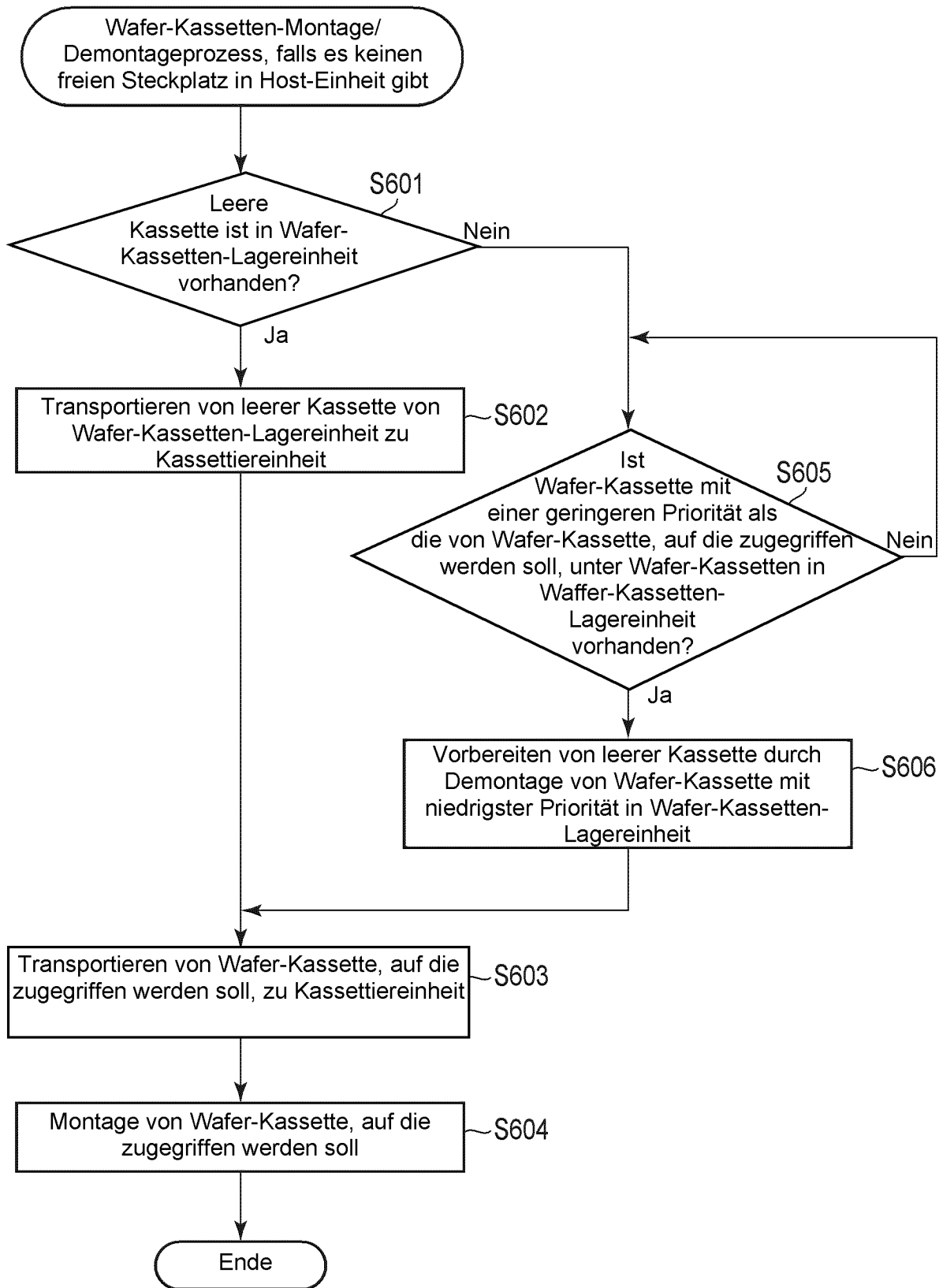


FIG. 22

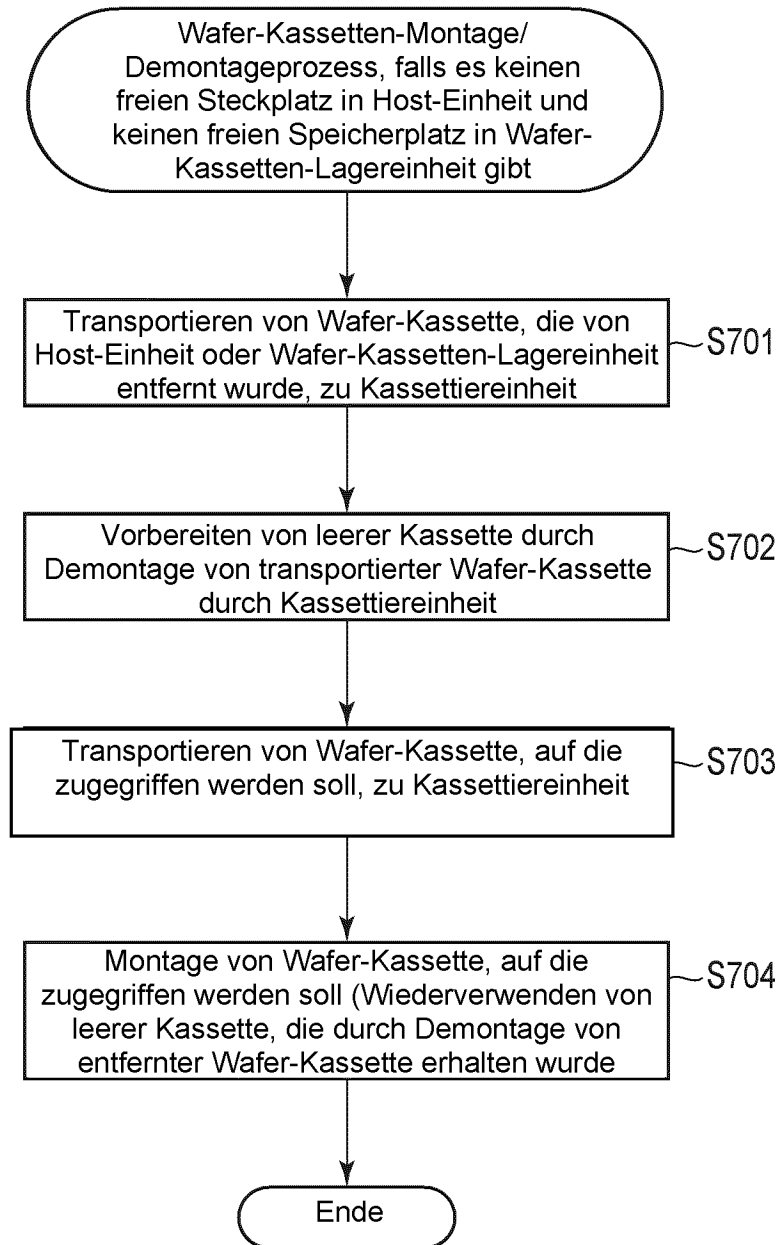


FIG. 23

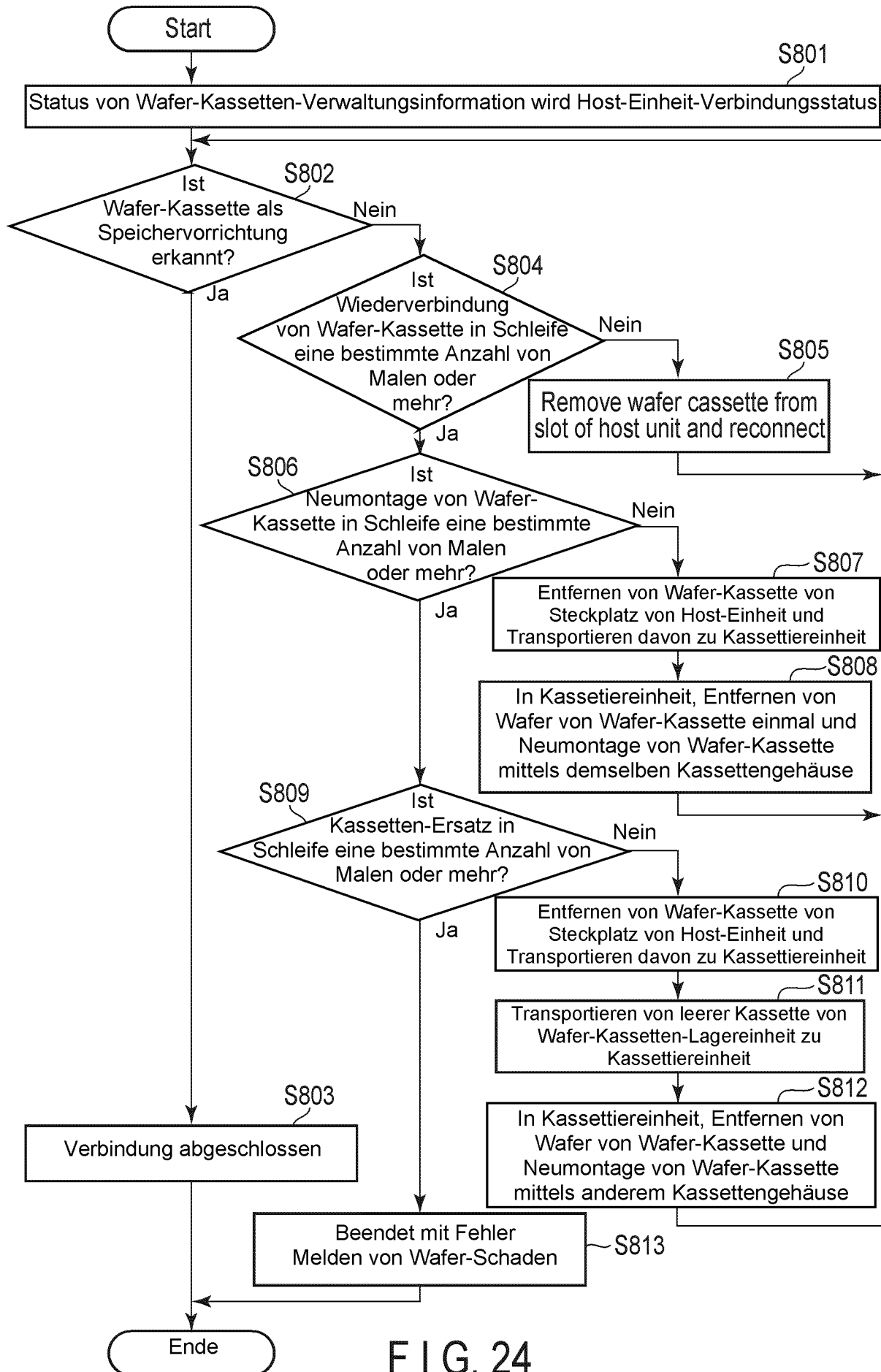


FIG. 24

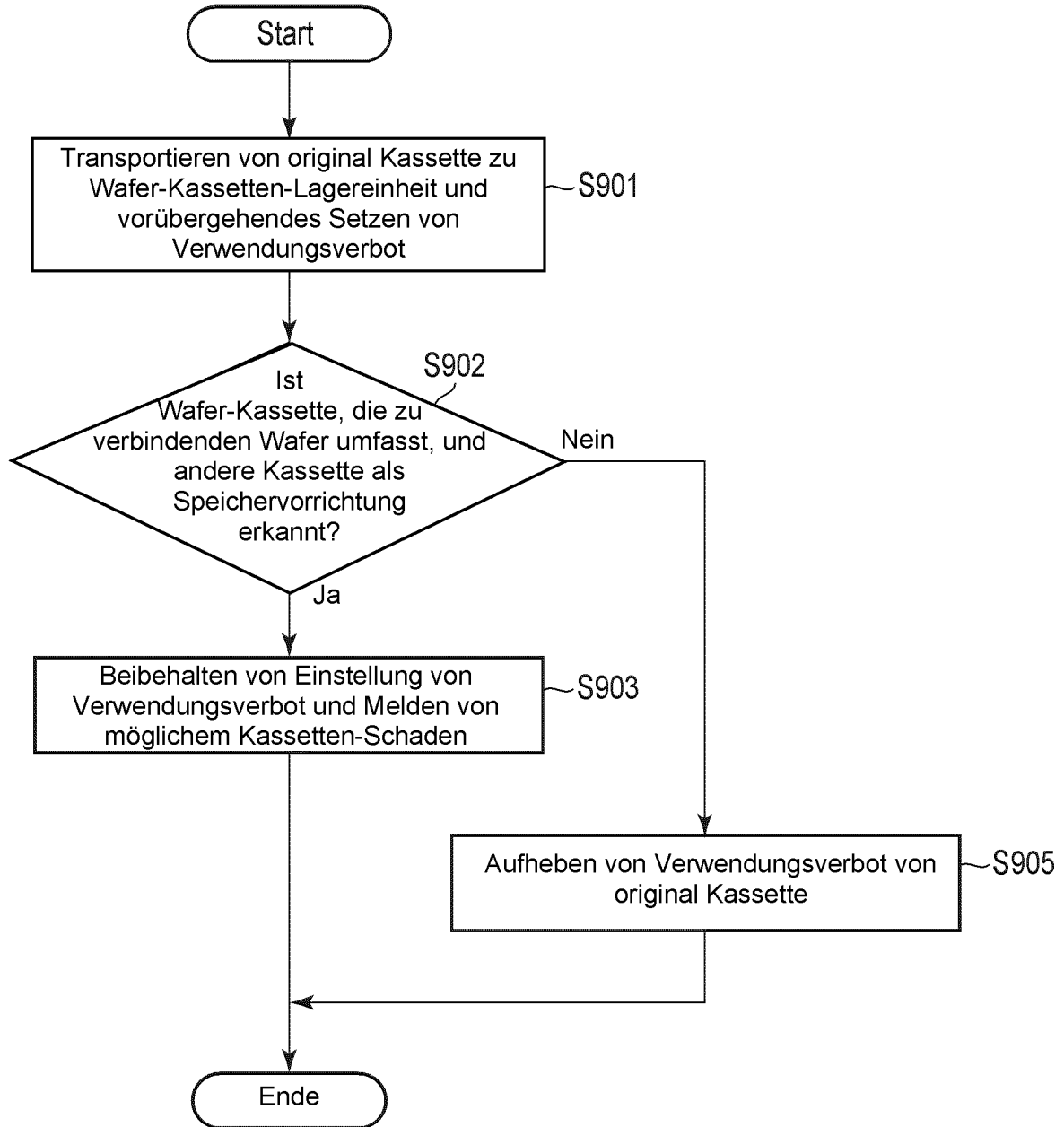


FIG. 25

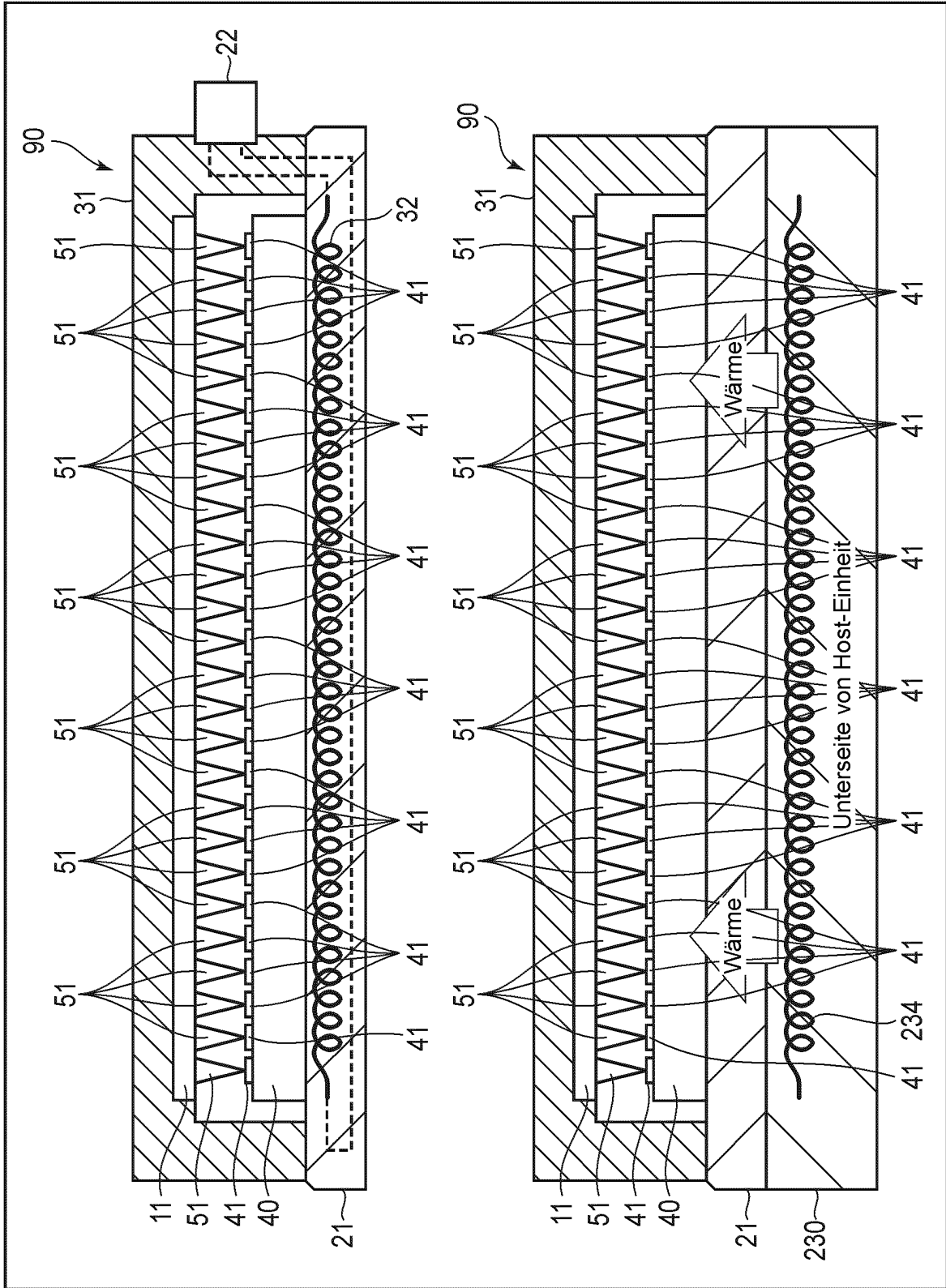


FIG. 26

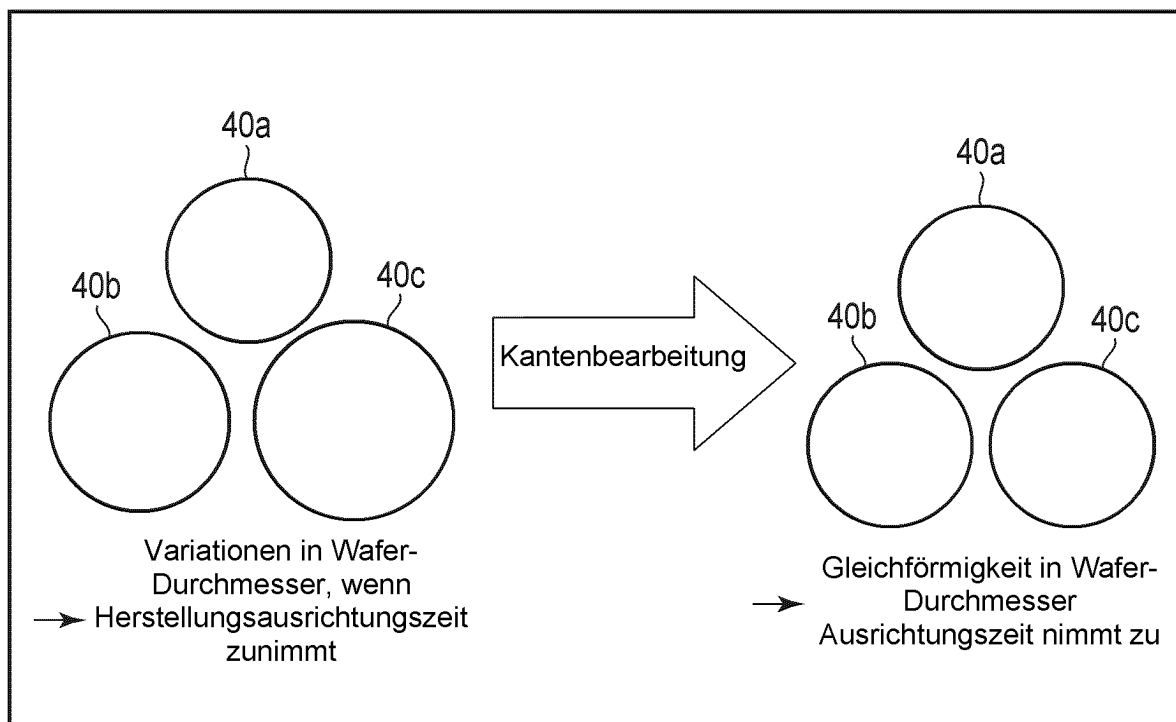


FIG. 27

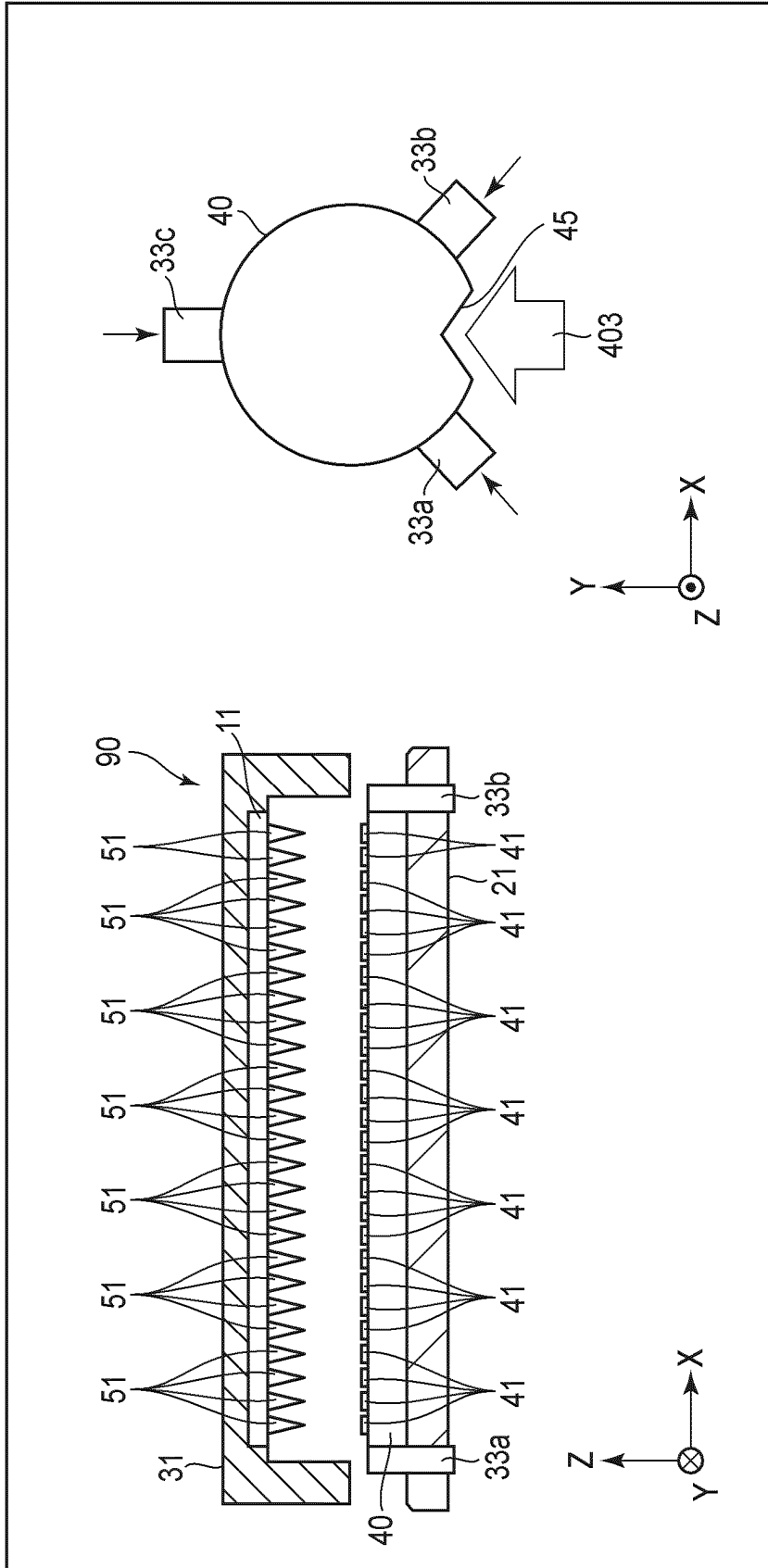


FIG. 28

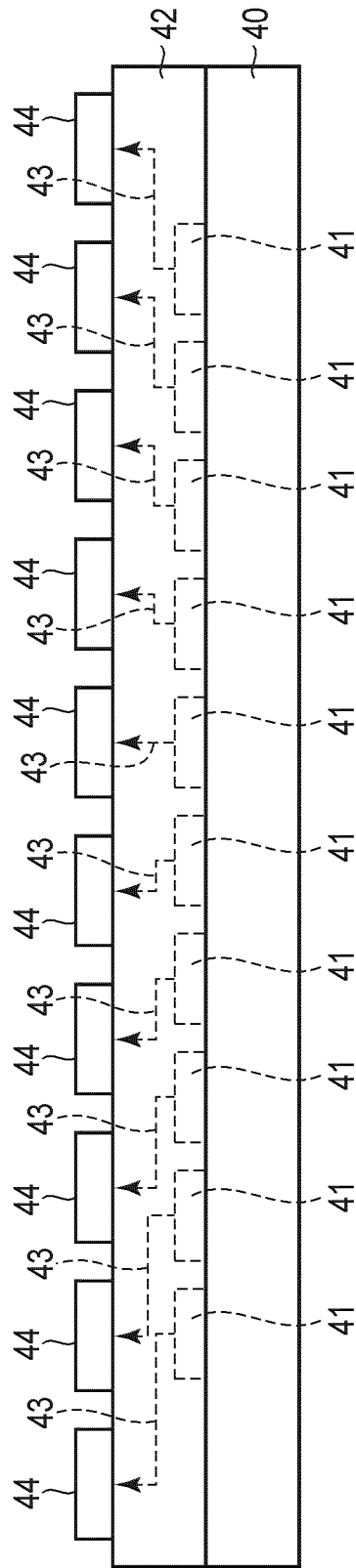


FIG. 29

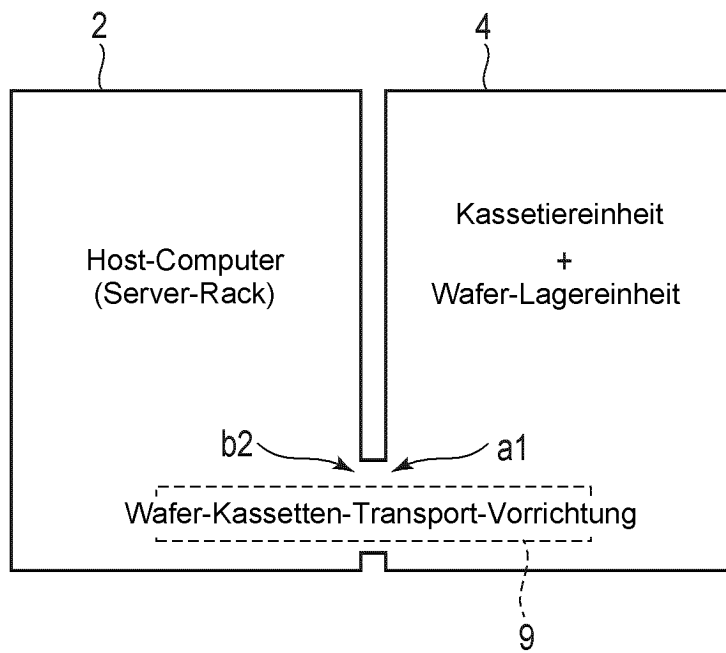


FIG. 30

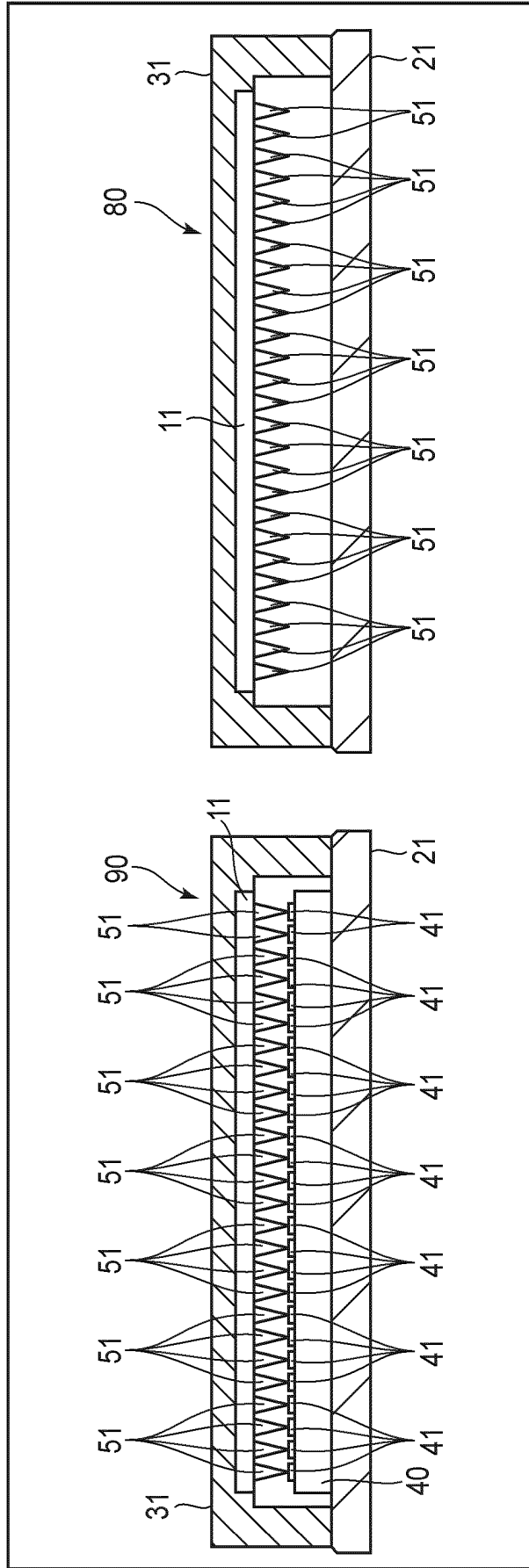


FIG. 31

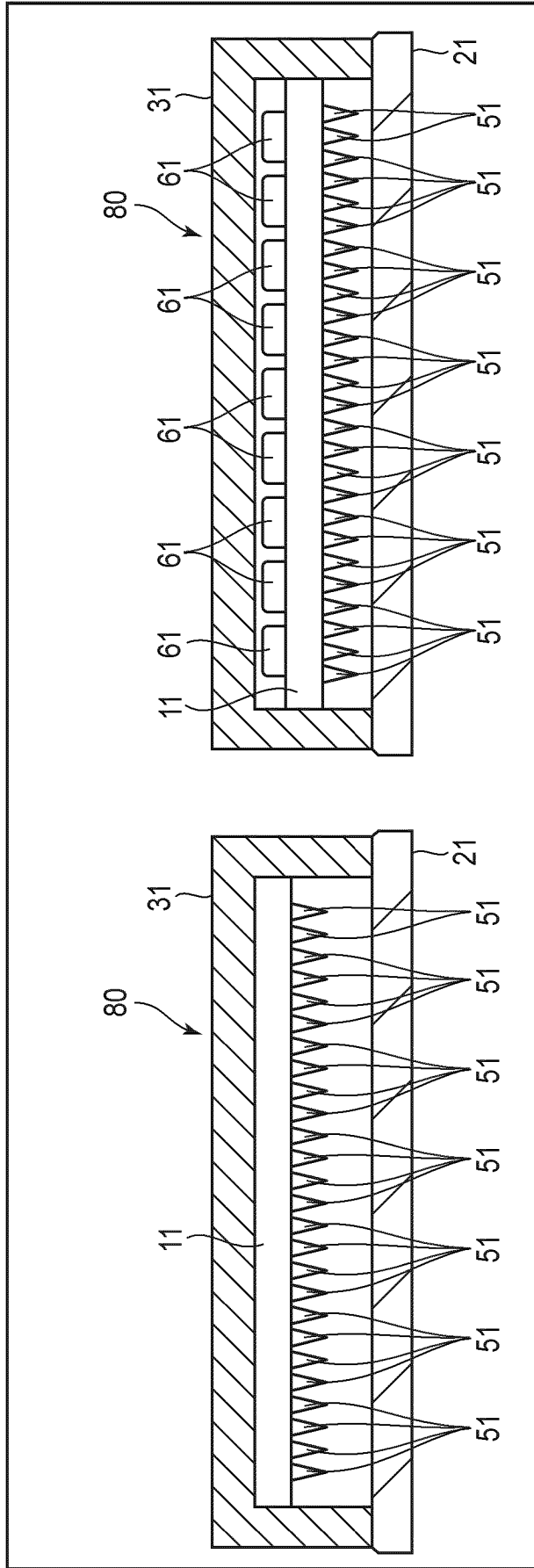


FIG. 32

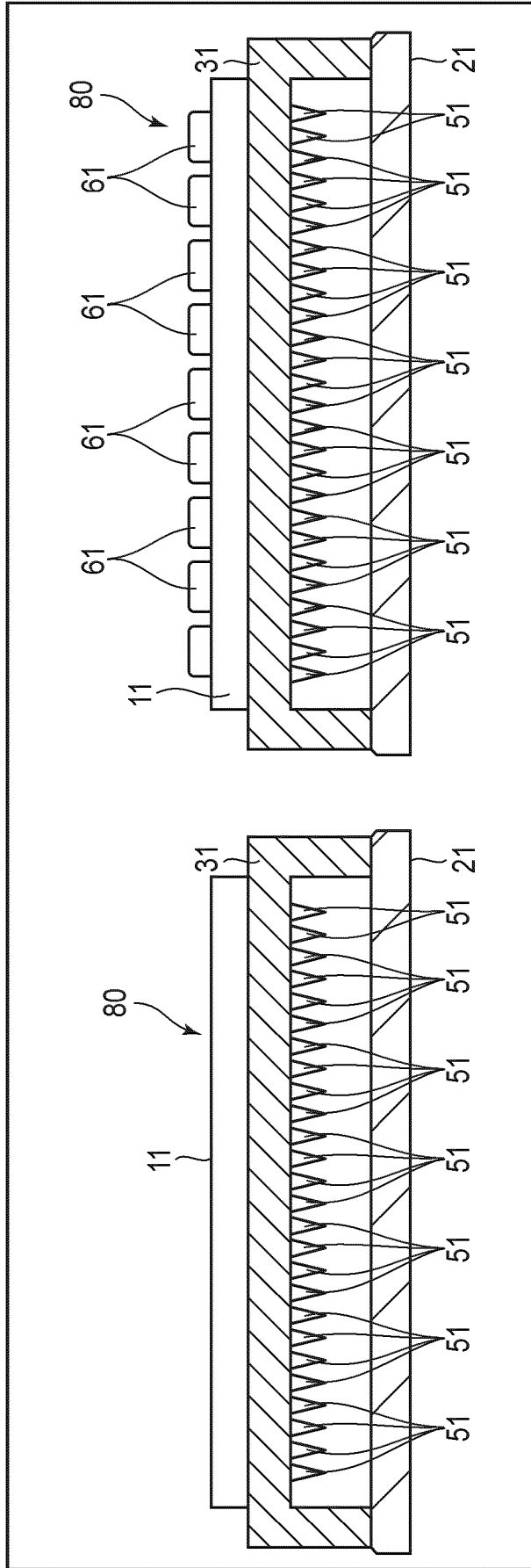


FIG. 33

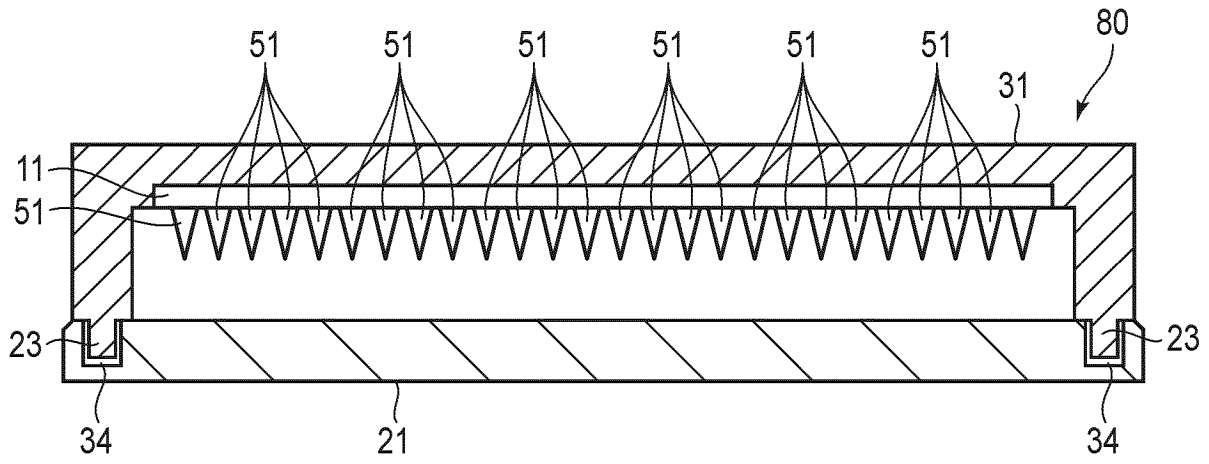


FIG. 34

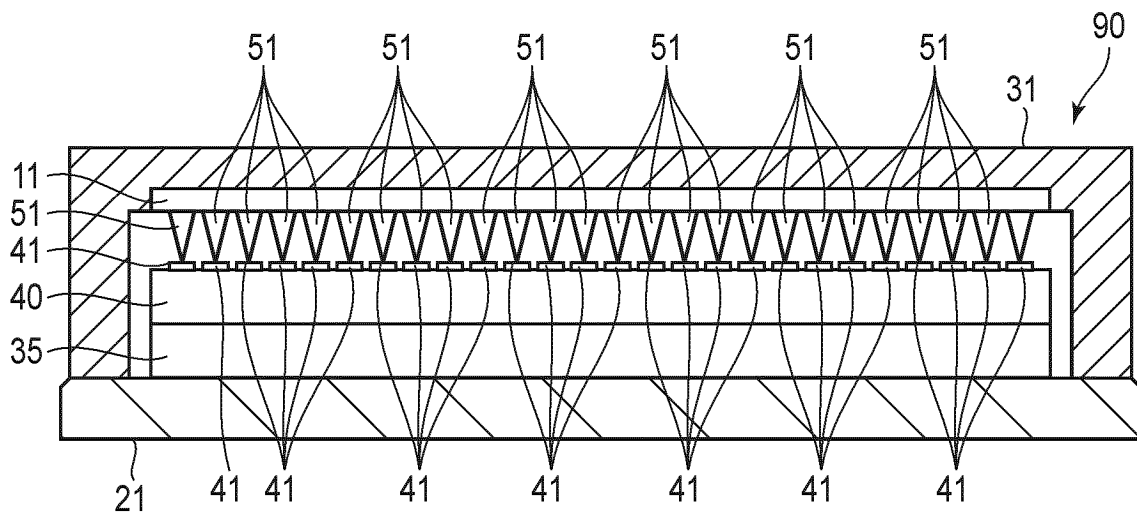


FIG. 35

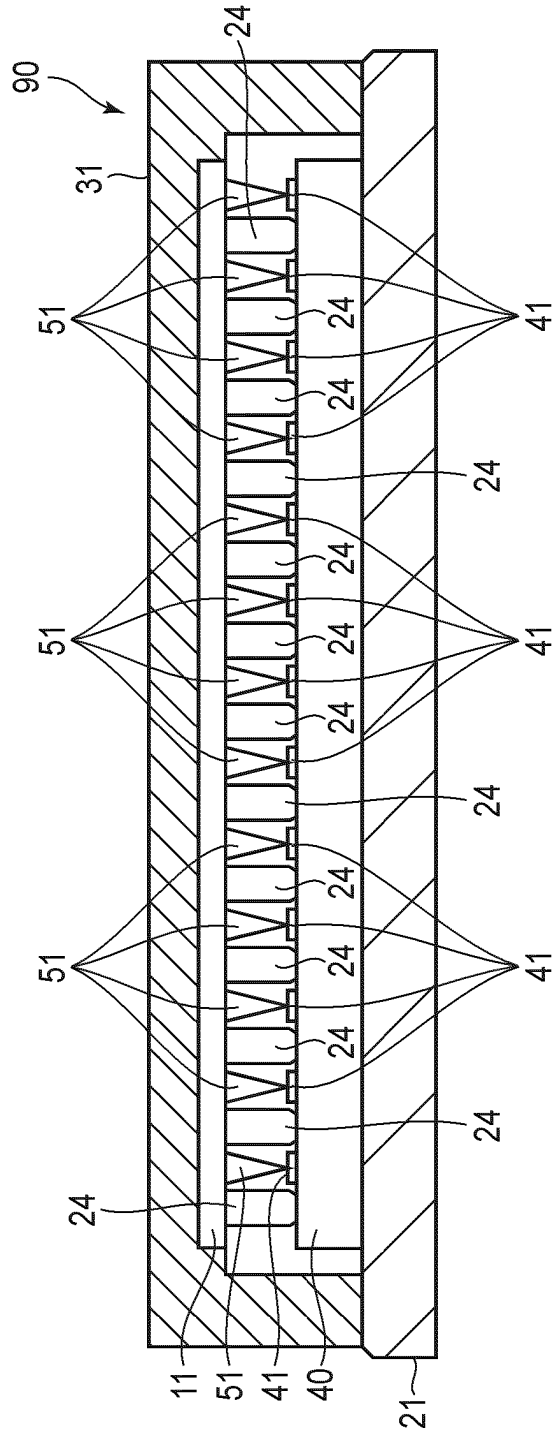


FIG. 36

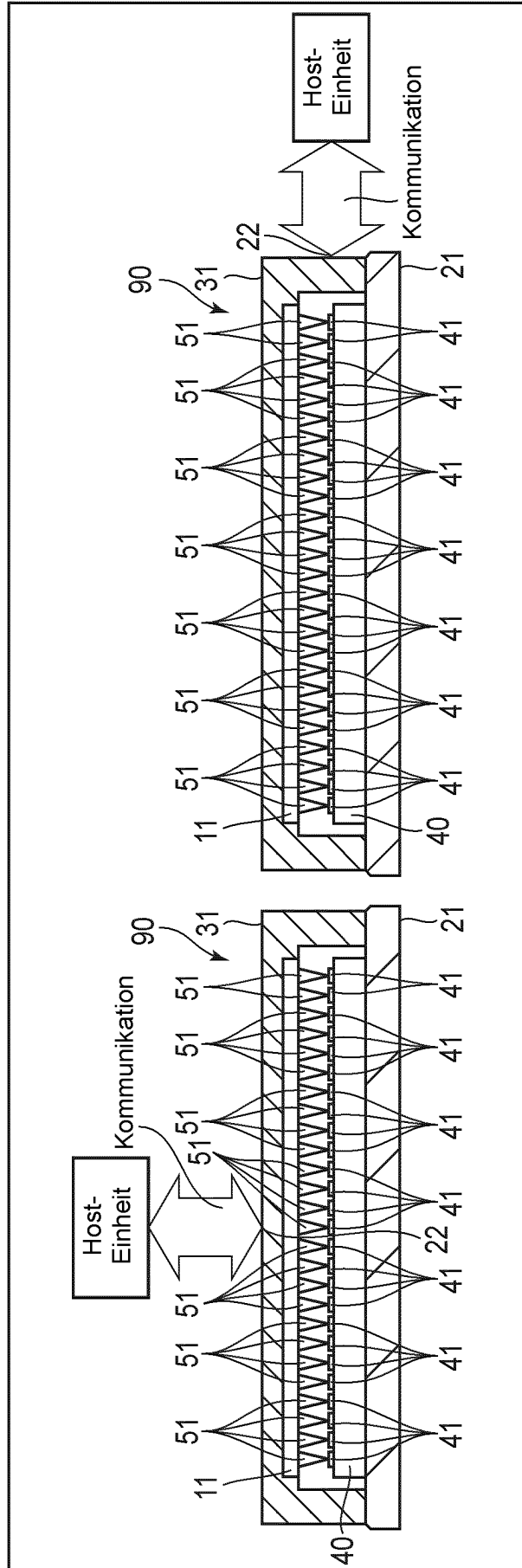


FIG. 38