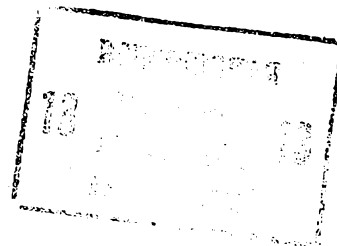




3 (51) G 06 F 7/64

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3455872/18-24

(22) 21.06.82

(46) 15.08.84. Бюл. № 30

(72) В.П.Боюн, Л.Г.Козлов

и В.Г.Тракай

(71) Ордена Ленина институт киберне-
тики им. В.М.Глушкова

(53) 681.32(088.8)

(56) 1. Верлань А.Ф. Методы решения
интегральных уравнений на аналоговых
вычислительных машинах. Киев, 1972,
с. 161, 163, рис. 111, 112.

2. Авторское свидетельство СССР
№ 687452, кл. G 06 F 7/64, 1979
(прототип).

(54) (57) УСТРОЙСТВО ДЛЯ РЕШЕНИЯ ИН-
ТЕГРАЛЬНЫХ РЕШЕНИЙ ФРЕДГОЛЬМА, содер-
жащее n генераторов функций, n блоков
сдвига, n сумматоров невязок, комму-
татор знаков невязок и блок управле-
ния, причем первый выход блока управ-
ления соединен с управляющим входом
коммутатора знаков невязок и с вхо-
дами генераторов функций, выходы
которых соединены с информационными
входами соответствующих блоков сдви-
га, о т л и ч а ю щ е е с я тем,
что, с целью повышения быстродейст-
вия, в него введены n групп элементов
ИЛИ, n кодирующих элементов с приори-
тетом, n регистров старших разрядов
невязок, n дешифраторов, n суммато-
ров искомой функции, n триггеров, n
элементов И, n элементов НЕ, n сумма-
торов адреса, n элементов ИЛИ, блок
сравнения, сумматор нормы невязок,
коммутатор старших разрядов, причем
выходы каждого из n блоков сдвига
соединены с первыми входами элемен-
тов ИЛИ соответствующей группы, вы-

ходы которых соединены с первыми
информационными входами соответст-
вующих сумматоров невязок, информаци-
онные выходы которых соединены с инфор-
мационными входами сумматора нормы
невязок и соответствующих кодирующих
элементов с приоритетом, выходы ко-
торых соединены с входами соответст-
вующих регистров старших разрядов не-
вязок, выходы которых соединены с
группой информационных входов комму-
татора старших разрядов невязок и
информационными входами соответст-
вующих дешифраторов, выходы которых
соединены с вторыми входами элемен-
тов ИЛИ соответствующей группы эле-
ментов ИЛИ и информационными входами
соответствующих сумматоров искомой
функции, выходы знаков сумматоров
невязок соединены с информационными
входами соответствующих триггеров,
выходы которых соединены с информа-
ционными входами коммутатора знаков
невязок и первыми входами соответст-
вующих элементов И, выходы которых
соединены с первыми входами соответст-
вующих элементов ИЛИ и входами знаков
соответствующих сумматоров искомой
функции, вход задания численного па-
раметра устройства соединен с первы-
ми входами каждого из n сумматоров
адреса, вторые входы которых соедине-
ны с выходом коммутатора старших раз-
рядов невязок, а выходы сумматоров
адреса соединены с управляющими вхо-
дами соответствующих блоков сдвига,
выход коммутатора знаков невязок
соединен с вторыми входами элементов
ИЛИ, выходы которых соединены через
соответствующие элементы НЕ с вторы-
ми информационными входами сумматоров

невязок, выход сумматора нормы невязок соединен с первым входом блока сравнения, второй вход которого соединен с входом задания точности устройства, выходы сумматоров искомой функции соединены с выходами устройства, причем блок управления содержит два триггера, элемент ИЛИ, счетчик, узел сравнения, два элемента И, два элемента задержки, причем выход элемента ИЛИ блока управления соединен с первым входом первого элемента И блока управления, второй вход которого соединен с выходом первого триггера блока управления, вход установки в ноль которого соединен с выходом блока сравнения, выход первого элемента И блока управления соединен через первый элемент задержки с входом установки в единицу второго триггера блока управления, выход которого соединен с входом второго элемента И блока управления, второй вход которого

соединен с входом тактовых импульсов устройства, выход второго элемента И блока управления соединен с управляющими входами коммутатора знаков невязок и со счетным входом счетчика блока управления, выход которого соединен с первым входом узла сравнения блока управления, второй вход которого соединен с входом задания порядка устройства, выход первого элемента И блока управления соединен с управляющими входами кодирующих элементов с приоритетом и триггеров, вход установки в единицу первого триггера соединен с входом начальной установки устройства, выход узла сравнения соединен с управляющими входами дешифраторов, входом установки в ноль второго триггера блока управления и через второй элемент задержки соединен с первым входом элемента ИЛИ блока управления, второй вход которого соединен с входом запуска устройства.

1

2

Изобретение относится к вычислительной технике и предназначено для решения интегральных уравнений Фредгольма второго рода.

Известно устройство для решения интегральных уравнений Фредгольма, содержащее блоки переменных коэффициентов, интеграторы, емкостное запоминающее устройство, переключатель, шаговый искатель. Устройство реализует метод простой итерации решения интегральных уравнений при дискретной форме аппроксимации ядра [1].

Недостатком известного устройства является низкая точность, поскольку использование аналоговых блоков не позволяет получить необходимую точность решения интегральных уравнений. При реализации алгоритма с использованием цифровых блоков интегрирования, умножения и суммирования устройство характеризуется большим объемом аппаратных затрат, обусловленным наличием сложных блоков интегрирования, умножения и блока памяти, при этом класс решаемых задач ограничен, так как простые итерации сходятся к

решению интегрального уравнения Фредгольма второго рода только в том случае, если параметр λ удовлетворяет необходимому условию.

Наиболее близким к предлагаемому является устройство для решения интегральных уравнений Фредгольма, содержащее n генераторов функций, n блоков сдвига, n сумматоров невязок, n узлов выделения знака, n реверсивных счетчиков, коммутатор знаков невязок и блок управления, причем первый выход блока управления соединен с входами генераторов функций, выходы которых соединены с информационными входами блоков сдвига, выходы которых соединены с первыми входами сумматоров невязок, вторые входы которых соединены с выходом коммутатора знаков невязок, выходы сумматоров невязок соединены с первыми входами соответствующих узлов выделения знака, вторые входы которых соединены с вторым выходом блока управления, выходы каждого узла выделения знака соединены с входом соответствующего реверсивного счетчика, с информацион-

ными входами коммутатора знака невязок и с третьим входом соответствующего сумматора невязки, вход задания численного параметра устройства соединен с управляющими входами блоков сдвига, третий выход блока управления соединен с управляющим входом коммутатора знаков невязок. В устройстве реализуется модифицированный метод последовательных приближений решения интегральных уравнений, в котором неизвестная функция на $k+1$ итерации ищется в n дискретных точках [2].

Недостатком известного устройства является низкое быстродействие, так как число итераций, которые необходимо выполнить, чтобы получить решение интегрального уравнения, пропорционально φ^p . При $p > 10$ оно может достигать большой величины, что ведет к резкому увеличению времени сдвига, где φ — основание системы счисления, p — разрядность представления чисел.

Цель изобретения — повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство дополнительно введены n групп элементов ИЛИ, n кодирующих элементов с приоритетом, n регистров старших разрядов невязок, n дешифраторов, n сумматоров искомой функции, n триггеров, n элементов И, n элементов НЕ, n сумматоров адреса, n элементов ИЛИ, блок сравнения, сумматор нормы невязок, коммутатор старших разрядов, причем выходы каждого из n блоков сдвига соединены с первыми входами элементов ИЛИ соответствующей группы, выходы которых соединены с первыми информационными входами соответствующих сумматоров невязок, информационные выходы которых соединены с информационными входами сумматора нормы невязок и соответствующих кодирующих элементов с приоритетом, выходы которых соединены с входами соответствующих регистров старших разрядов невязок, выходы которых соединены с группой информационных входов коммутатора старших разрядов невязок и информационными входами соответствующих дешифраторов, выходы которых соединены с вторыми входами элементов ИЛИ соответствующей группы элементов ИЛИ и информационными входами соответствующих сумматоров искомой функции, выходы зна-

ков сумматоров невязок соединены с информационными входами соответствующих триггеров, выходы которых соединены с информационными входами коммутатора знаков невязок и первыми входами соответствующих элементов И, выходы которых соединены с первыми входами соответствующих элементов ИЛИ и входами знаков соответствующих сумматоров искомой функции, вход задания численного параметра устройства соединен с первыми входами каждого из n сумматоров адреса, вторые входы которых соединены с выходом коммутатора старших разрядов невязок, а выходы сумматоров адреса соединены с управляющими входами соответствующих блоков сдвига, выход коммутатора знаков невязок соединен с вторыми входами элементов ИЛИ, выходы которых соединены через соответствующие элементы НЕ с вторыми информационными входами сумматоров невязок, выход сумматора нормы невязок соединен с первым входом блока сравнения, второй вход которого соединен с входом задания точности устройства, выходы сумматоров искомой функции соединены с выходами устройства, причем блок управления содержит два триггера, элемент ИЛИ, счетчик, узел сравнения, два элемента И, два элемента задержки, причем выход элемента ИЛИ блока управления соединен с первым входом первого элемента И блока управления, второй вход которого соединен с выходом первого триггера блока управления, вход установки в ноль которого соединен с выходом блока сравнения, выход первого элемента И блока управления соединен через первый элемент задержки с входом установки в единицу второго триггера блока управления, выход которого соединен с входом второго элемента И блока управления, второй вход которого соединен с входом тактовых импульсов устройства, выход второго элемента И блока управления соединен с управляющими входами коммутатора знаков невязок и со счетным входом счетчика блока управления, выход которого соединен с первым входом узла сравнения блока управления, второй вход которого соединен с входом задания порядка устройства, выход первого элемента И блока управления соединен с управляющими входами кодирующих элементов с приоритетом и

триггеров, вход установки в единицу первого триггера соединен с входом начальной установки устройства, выход узла сравнения соединен с управляющими входами дешифраторов, входом 5 установки в ноль второго триггера блока управления и через второй элемент задержки соединен с первым входом элемента ИЛИ блока управления, 10 второй вход которого соединен с входом запуска устройства.

Все элементы устройства, кроме блока сравнения, сумматора нормы невязок, коммутаторов знаков невязок и старших разрядов и блока управления, объединены в n идентичных строк, где n — число точек, в которых определяется искомая функция $y(x)$.

На фиг. 1 приведена блок-схема предлагаемого устройства; на фиг. 2 20 схема блока управления.

Предлагаемое устройство содержит n генераторов 1 функций, n блоков 2 сдвига, n групп элементов ИЛИ 3, n сумматоров 4 невязок, n кодирующих 25 элементов 5 с приоритетом, n регистров 6 старших разрядов невязок, n дешифраторов 7, n сумматоров 8 искомой функции, n триггеров 9, n элементов И 10, n элементов НЕ 11, n сумматоров 30 12 адреса, n элементов ИЛИ 13, блок 14 сравнения, сумматор 15 нормы невязок, коммутатор 16 знаков невязок, коммутатор 17 старших разрядов, блок 18 управления, вход 19 задания числен- 5 ного параметра устройства, вход 20 задания точности устройства, вход 21 тактовых импульсов устройства, вход 22 задания порядка устройства, вход 23 начальной установки устройства, 40 вход 24 запуска устройства, n выходов 25 устройства.

Блок 18 управления содержит первый 26 и второй 27 триггеры, элемент ИЛИ 28, счетчик 29, узел 30 сравне- 45 ния, первый 31 и второй 32 элементы И, первый 33 и второй 34 элементы задержки.

В устройстве первый выход блока 18 управления соединен с управляющим 50 входом коммутатора 16 знаков невязок и с входами генераторов 1 функций, выходы которых соединены с информационными входами соответствующих бло- 55 ков 2 сдвига, выходы каждого из n блоков 2 сдвига соединены с первыми входами элементов ИЛИ 3 соответствующей группы, выходы которых соединены

с первыми информационными входами соответствующих сумматоров 4 невязок, информационные выходы которых соединены с информационными входами сумматора 15 нормы невязок и соответствующих кодирующих элементов 5 с приоритетом, выходы которых соединены с 5 входами соответствующих регистров 6 старших разрядов невязок, выходы которых соединены с группой информацион- 10 ных входов коммутатора 17 старших разрядов невязок и информационными входами соответствующих дешифраторов 7, выходы которых соединены с вторыми 15 входами элементов ИЛИ соответствующей группы элементов ИЛИ 3 и информационными входами соответствующих сумматоров 8 искомой функции, выходы знаков сумматоров 4 невязок соединены с информационными входами со- 20 ответствующих триггеров 9, выходы которых соединены с информационными входами коммутатора 16 знаков невязок и первыми входами соответствующих 25 элементов И 10, выходы которых соединены с первыми входами соответствующих элементов ИЛИ 13 и входами знаков соответствующих сумматоров 8 искомой функции. Вход 19 задания числен- 30 ного параметра устройства соединен с первыми входами каждого из n сумматоров 12, вторые входы которых соединены с выходом коммутатора 17 старших разрядов невязок, а выходы сумматоров 12 адреса соединены с уп- 35 равляющими входами соответствующих блоков 2 сдвига, выход коммутатора 16 знаков невязок соединен с вторыми входами элементов ИЛИ 13, выходы ко- 40 торых соединены через соответствующие элементы НЕ 11 с вторыми информационными входами сумматоров 4 невязок. Выход сумматора 15 нормы невязок соединен с первым входом блока 14 сравнения, второй вход которого 45 соединен с входом 20 задания точности устройства. Выходы сумматоров 8 искомой функции соединены с выходами 25 устройства. Выход элемента ИЛИ 28 блока 18 управления соединен с пер- 50 вым входом первого элемента И 31 блока 18 управления, второй вход которого соединен с выходом первого триггера 26 блока 18 управления, 55 вход установки в ноль которого соединен с выходом блока 14 сравнения, выход первого элемента И 31 блока 18 управления соединен через первый элемент 33 задержки с входом уста-

новки в единицу второго триггера 27 блока 18 управления, выход которого соединен с входом второго элемента И 32 блока 18 управления, второй вход которого соединен с входом 21 тактовых импульсов устройства. Выход второго элемента И 32 блока 18 управления соединен с управляющими входами коммутатора 16 знаков невязок и со счетным входом счетчика 29 блока 18 управления, выход которого соединен с первым входом узла 30 сравнения блока 18 управления, второй вход которого соединен с входом 22 задания порядка устройства. Выход первого элемента И 31 блока 18 управления соединен с управляющими входами кодирующих элементов 5 с приоритетом и триггеров 9, вход установки в единицу первого триггера 26 соединен с входом 23 начальной установки устройства, выход узла 30 сравнения соединен с управляющими входами дешифраторов 7, входом установки в ноль второго триггера 27 блока 18 управления и через второй элемент 34 задержки соединен с первым входом элемента, ИЛИ 28 блока 18 управления, второй вход которого соединен с входом 24 запуска устройства.

В предлагаемом устройстве реализуется модифицированный метод последовательных приближений, приращение функции вычисляется по формуле

$$\Delta y_{k+1}(x_i) = \varphi^{\text{entier} \left\{ \log_{\varphi} |\varepsilon_k(x_i)| \right\}} \times \text{sign} [\varepsilon_k(x_i)], \quad i=1,2,\dots,n,$$

где φ - основание системы счисления, принятой в устройства;

k - номер итерации;

$\varepsilon_k(x_i)$ - значение невязки на k -й итерации,

$$\varepsilon_k(x_i) = \varepsilon_{k-1}(x_i) - \Delta y_k(x_i) - \lambda h \sum_{j=1}^n k(x_i, s_j) \times \Delta y_k(s_j),$$

где $k(x_i, s_j)$ - ядро интегрального уравнения;

λ - численный параметр;

h - шаг интегрирования.

Приращение искомой функции на каждой итерации в i -й точке равно по величине старшему разряду (обозначим его адрес через ℓ_i) невязки, полученной на предыдущей итерации в той же точке, а знак приращения опре-

деляется знаком невязки. Итерационный процесс заканчивается, если выполняется условие

$$\sum_{i=1}^n |\varepsilon_k(x_i)| \leq r,$$

где r - заданная точность решения интегрального уравнения.

Предлагаемое устройство работает следующим образом.

Перед началом работы начальное приближение функции $y_0(x_i) = 0$ заносится в сумматоры 8 искомой функции, а соответствующее ему значение невязок $\varepsilon_0(x_i) = f(x_i) - y_0(x_i)$ - правая часть интегрального уравнения - в сумматоры 4 невязок. На вход 19 задания численного параметра устройства подается значение m , определяемое из соотношения $\lambda h = \varphi^{-m}$, на вход 20 задания точности устройства - значение заданной точности r , на вход 21 тактовых импульсов устройства поступают тактовые импульсы, на вход 22 задания порядка устройства подается значение порядка n .

Затем на вход 23 начальной установки устройства подается сигнал "Начальная установка", а на вход 24 запуска устройства - сигнал "Запуск", после чего начинается работа устройства.

При выполнении очередной k -й итерации по сигналу блока 18 управления кодирующие элементы 5 с приоритетом выделяют адреса старших разрядов ℓ_i соответствующих невязок, вычисленных на $k-1$ итерации, которые заносятся для хранения в регистры 6 старших разрядов невязок, а с них поступают на группу входов коммутатора 17 старших разрядов. Триггеры 9 выделяют знаки тех же невязок, которые поступают на группу входов коммутатора 16 знаков невязок и на информационные входы элементов И 10. Затем блок 18 управления выдает последовательно n сигналов на входы генераторов 1 функций и управляющие входы коммутаторов знаков невязок 16 и старших разрядов 17. При этом адреса старших разрядов ℓ_i всех невязок последовательно поступают на вторые входы сумматоров 12 адреса, где происходит сложение $m + \ell_i$. Полученная сумма подается на управляющие входы блоков 2 сдвига. Генераторы 1 функций выдают последовательно по словам, параллельно по

разрядам значения ядер $k(x; S_j)$, которые через блоки 2 сдвига, где происходит сдвиг $k(x; S_j)$ на $m + l_j$ разрядов вправо, и группу элементов ИЛИ 3 поступают на первые информационные входы сумматоров 4 невязок, где они складываются или вычитаются в зависимости от знака невязок $\epsilon_{k-1}(x_i)$, которые последовательно поступают с выхода коммутатора 16 зна-

10 ков невязок через элементы ИЛИ 13 и элементы НЕ (знак меняется на противоположный) на вторые информационные входы сумматоров 4 невязок. Таким образом, в сумматорах 4 невязок

$$15 \quad \text{вычисляются величины } -\lambda h \sum_{j=1}^n k(x_i; S_j).$$

$\Delta y_k(S_j)$, которые складываются с величинами невязок $\epsilon_{k-1}(x_i)$, хранящимися в тех же сумматорах. После этого блок 18 управления выдает сигнал на дешифраторы 7, элементы И 10 и сумматор 15 нормы невязок. С выхода дешифраторов 7 величины старших разрядов невязок $\epsilon_{k-1}(x_i)$ поступают в сумматоры 8 искомой функции, туда же поступают знаки невязок, т.е. в сумматоры 8 подается приращение функции $\Delta y_k(x_i)$. В сумматорах 8 приращение функций складываются со значениями функции $y_{k-1}(x_i)$, полученными за предыдущую итерацию. Величины приращений функции с выхода дешифраторов 7 поступают также через группу элементов ИЛИ 3 на сумматоры 4 невязок, знаки этих приращений с выхода элементов И 10 тоже поступают на сумматоры 4 невязок через элементы ИЛИ 13 и НЕ 11. Этим достигается получение на выходах сумматоров 4 невязок значений невязок $\epsilon_k(x_i)$, которые поступают на сумматор 15 нормы невязки, где происходит вычисление величины

$$45 \quad \epsilon_k = \sum_{i=1}^n |\epsilon_k(x_i)|.$$

Эта величина сравнивается в блоке 14 сравнения с величиной r , которая характеризует точность решения интегрального уравнения. Если $\epsilon_k \leq r$, то процесс счета заканчивается. С выхода схемы блока 14 сравнения сигнал поступает в блок 18 управления, который останавливает работу устройства. При $\epsilon_k > r$ сигнал с выхода блока 14 сравнения не поступает и выполняется аналогично следующая итерация. После выполне-

ния k -й итерации в сумматорах 8 искомой функции содержатся значения функции $y_k(x_i)$, которые подаются на выходы 25 устройства, а в сумматорах 4 невязок - значения соответствующих невязок $\epsilon_k(x_i)$.

В блоке 18 управления сигнал "Начальная установка" устанавливает первый триггер 26 в состояние, открывающее первый элемент И 31. Сигнал "Запуск" (начало первой итерации) через элемент ИЛИ 28 и первый элемент И 31 поступает на управляющие входы кодирующих элементов 5 с приоритетом и триггеров 9. Через первый элемент 33 задержки задержанный сигнал поступает на второй триггер 27, который открывает второй элемент И 32. При этом тактовые импульсы с входа 21 устройства поступают на входы генераторов 1 функций и управляющие входы коммутаторов знаков невязок 16 и старших разрядов 17 до тех пор, пока узел 30 сравнения, который сравнивает величину порядка n , поступающую с входа 22 задания порядка устройства, с количеством поступивших на счетчик 29 импульсов, не выдает сигнал на триггер 27, который закрывает второй элемент И 32, прекращая подачу импульсов. Сигнал с узла 30 сравнения поступает на управляющие входы дешифраторов 7, элементов И 10, сумматора 15 нормы невязок и через второй элемент 34 задержки - на элемент ИЛИ 28, начиная следующую итерацию и т.д. После достижения заданной точности решения интегрального уравнения блок 14 сравнения выдает сигнал на первый триггер 26, который запирает первый элемент И 31, останавливая работу блока управления и всего устройства.

45 При решении интегральных уравнений Фредгольма второго рода методом простой итерации на универсальной ЭВМ для выполнения одной итерации требуется выполнить n^2 операций умножения, $2n$ операций сложения и n операций пересылки. Подразумевается, что известные функции - ядро и правая часть интегрального уравнения - вычислены заранее и занесены в запоминающее устройство. Время выполнения операций на ЭВМ БЭСМ-6 следующее: умножения - 2 мкс; сложения - 1,4 мкс; пересылки - 0,65 мкс.

Если для решения интегрального уравнения необходимо выполнить N итераций, то время T_1 решения его на ЭВМ БЭСМ-6 составит

$$T_1 = N(2n^2 + 2n \cdot 1,4 + 0,65n) = \\ = N(2n^2 + 3,45n) \text{ мкс.}$$

При решении того же уравнения на предлагаемом устройстве время выполнения одной итерации примерно равно времени работы одной из n строк. Для выполнения одной итерации в устройстве требуется выполнить одну операцию выделения адреса старшего разряда невязки и ее знака соответственно в кодирующем элементе 5 с приоритетом и триггере 9, $n+1$ операций сложения в сумматоре 4, одну операцию сложения в сумматоре 8 и n операций сложения в сумматоре 15 вычисления нормы невязки (здесь также полагаем, что значения ядра и правой части интегрального уравнения были вычислены заранее). Время выпол-

нения операции сложения в устройстве 1 мкс. Время выполнения операции выделения адреса можно принять равным 1 мкс. Учитывая, что число итераций, необходимое для решения интегрального уравнения на предлагаемом устройстве, равно $(1-3)N$, время T_2 этого решения составляет

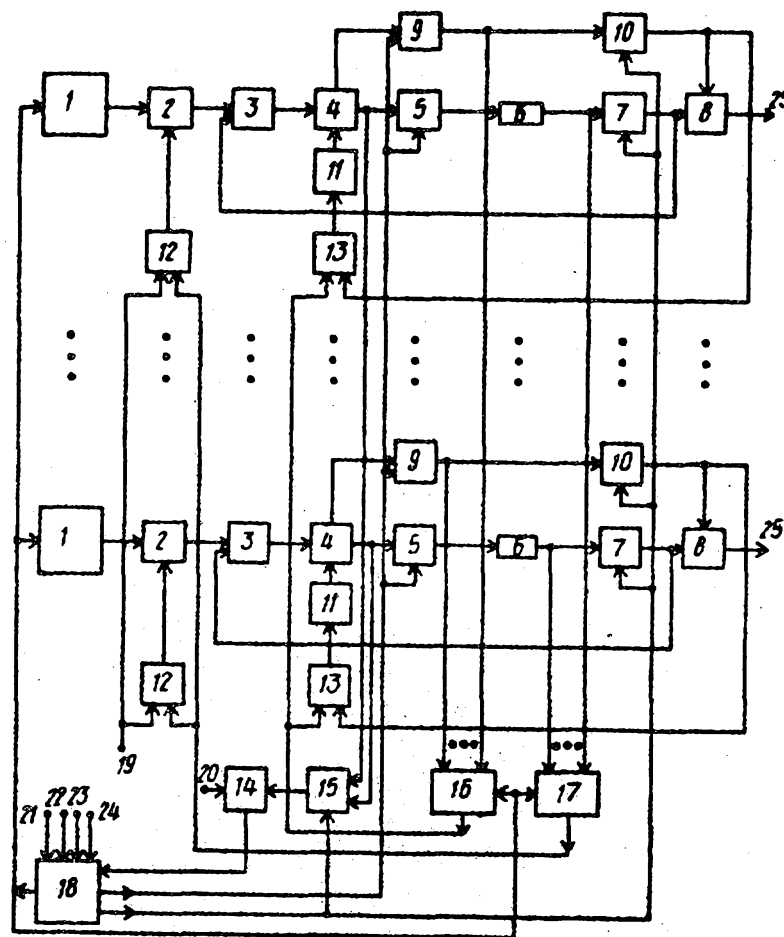
$$T_2 = (1-3)N(2n+3) \text{ мкс.}$$

Поделив T_1 на T_2 , определим число φ , показывающее, во сколько раз быстрее решаются интегральные уравнения на предлагаемом устройстве по сравнению с временем решения их на универсальной ЭВМ БЭСМ-6

$$\varphi = \frac{2n^2 + 3,45n}{(1-3)(2n+3)}$$

Из полученного выражения видно, что при $n = 100$

$$\varphi = \frac{2 \cdot 100^2 + 3,45 \cdot 100}{(1-3)(2 \cdot 100 + 3)} \approx 33 - 100.$$



Фиг. 1

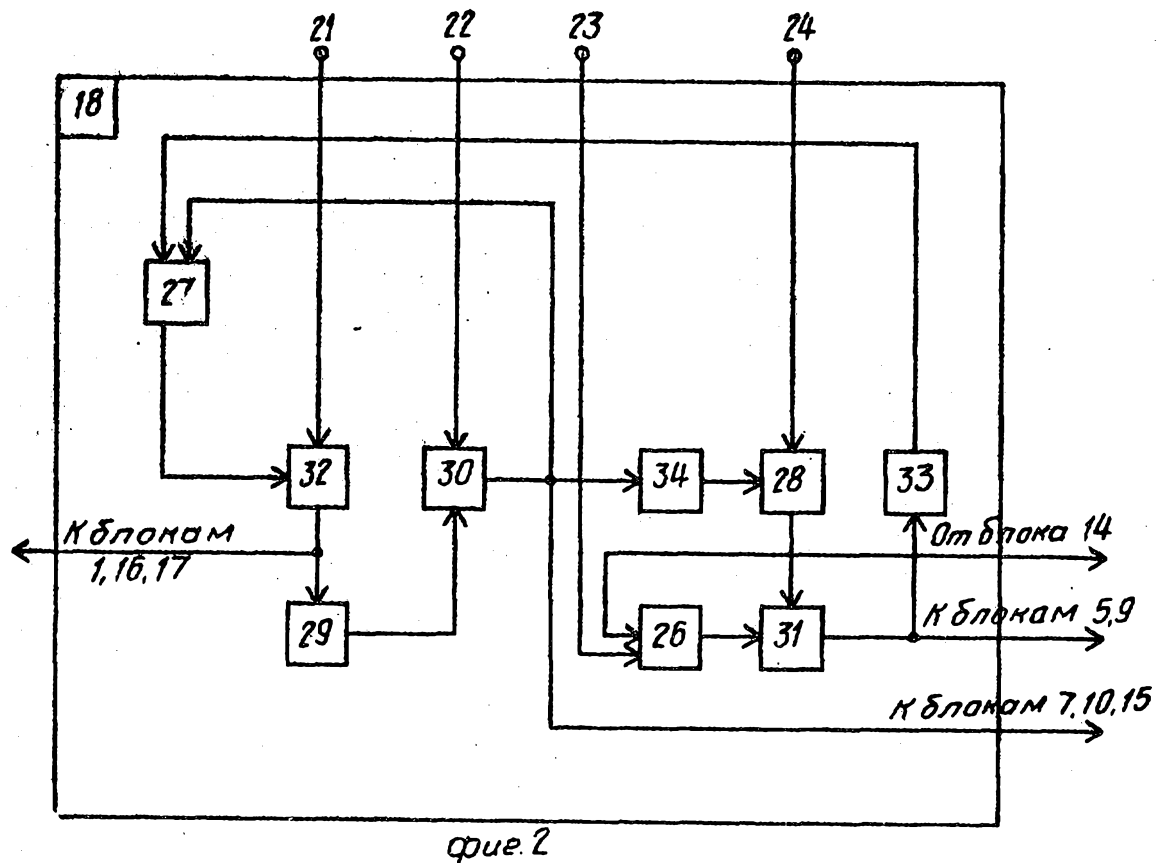


рис. 2

Редактор Л.Алексеев Составитель А.Чеканов Техред М.Надь Корректор О.Билак

Заказ 5866/35 Тираж 699 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4