

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本公开实施例公开了半导体器件、其制备方法及半导体存储装置, 包括: 半导体衬底, 多个字线沟槽, 字线结构; 字线沟槽包括第一字线沟槽和第二字线沟槽; 第一字线沟槽在半导体衬底的正投影位于浅沟道隔离区位于半导体衬底的正投影内; 第二字线沟槽在半导体衬底的正投影位于有源区在半导体衬底的正投影内; 字线结构包括相互连接的第一字线结构部和第二字线结构部; 第一字线结构部形成于第一字线沟槽中, 第二字线结构部形成于第二字线沟槽中; 其中, 一字线结构部具有避让区域, 避让区域的顶面与第二字线结构部的顶面齐平, 并且避让区域中具有绝缘物质。

半导体器件、其制备方法及半导体存储装置

相关申请的交叉引用

本申请要求在2021年08月16日提交中国专利局、申请号为202110934967.7、
申请名称为“半导体器件、其制备方法及半导体存储装置”的中国专利申请
5 的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体技术领域，特别涉及半导体器件、其制备方法及半导
体存储装置。

10

背景技术

动态随机存储器（Dynamic Random Access Memory，简称：DRAM）是
计算机中常用的半导体存储器件，由许多重复的半导体器件组成。每一个半
导体器件通常包括电容器和晶体管；晶体管的栅极与字线结构相连、漏极与
15 位线相连、源极与电容器相连；字线结构上的电压信号能够控制晶体管的打
开或关闭，进而通过位线读取存储在电容器中的数据信息，或者通过位线将
数据信息写入到电容器中进行存储。然而，字线结构之间的干扰，影响半导
体器件的性能和可靠性。

20

发明内容

根据一些实施例，本公开实施例第一方面提供了半导体器件，包括：

半导体衬底，包括：浅沟道隔离区，以及由所述浅沟道隔离区界定出的
若干个间隔排布的有源区；

多个字线沟槽，形成于所述半导体衬底中，并且所述字线沟槽与相应的
25 有源区相交设置；其中，所述字线沟槽包括第一字线沟槽和第二字线沟槽；
所述第一字线沟槽在所述半导体衬底的正投影位于所述浅沟道隔离区位于所

述半导体衬底的正投影内；所述第二字线沟槽在所述半导体衬底的正投影位于所述有源区在所述半导体衬底的正投影内；

字线结构，埋置于所述字线沟槽中；其中，所述字线结构包括相互连接的第一字线结构部和第二字线结构部；所述第一字线结构部形成于所述第一字线沟槽中，所述第二字线结构部形成于所述第二字线沟槽中；

其中，所述第一字线结构部具有避让区域，所述避让区域的顶面与所述第二字线结构部的顶面齐平，并且所述避让区域中具有绝缘物质。

根据一些实施例，本公开实施例第二方面提供了半导体器件的制备方法，包括：

提供半导体衬底；

在所述半导体衬底中形成浅沟道隔离区，以及由所述浅沟道隔离区界定出若干个间隔排布的有源区；

在所述半导体衬底中形成与相应的有源区相交设置的多个字线沟槽；其中，所述字线沟槽包括第一字线沟槽和第二字线沟槽；所述第一字线沟槽在所述半导体衬底的正投影位于所述浅沟道隔离区位于所述半导体衬底的正投影内；所述第二字线沟槽在所述半导体衬底的正投影位于所述有源区在所述半导体衬底的正投影内；

在所述字线沟槽中形成埋置的字线结构；其中，所述字线结构包括相互电连接的第一字线结构部和第二字线结构部；所述第一字线结构部形成于所述第一字线沟槽中，所述第二字线结构部形成于所述第二字线沟槽中；所述第一字线结构部具有避让区域，所述避让区域的顶面与所述第二字线结构部的顶面齐平，并且所述避让区域中具有绝缘物质。

根据一些实施例，本公开实施例第三方面提供了半导体存储装置，包括上述半导体器件。

附图说明

图 1 为本公开实施例中半导体衬底的俯视结构示意图；

图 2A 为图 1 所示的半导体衬底沿 AA'方向上的一些剖视结构示意图;

图 2B 为图 1 所示的半导体衬底沿 BB'方向上的一些剖视结构示意图;

图 3A 为本公开实施例提供的半导体器件的制备过程中的一些剖视结构示意图;

5 图 3B 为本公开实施例提供的半导体器件的制备过程中的另一些剖视结构示意图;

图 3C 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

10 图 3D 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

图 3E 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

图 3F 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

15 图 3G 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

图 3H 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

20 图 3I 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

图 3J 为本公开实施例提供的半导体器件的制备过程中的又一些剖视结构示意图;

图 4A 为图 1 所示的半导体衬底沿 AA'方向上的另一些剖视结构示意图;

图 4B 为图 1 所示的半导体衬底沿 BB'方向上的另一些剖视结构示意图;

25 图 5 为图 1 所示的半导体衬底沿 AA'方向上的又一些剖视结构示意图;

图 6 为图 1 所示的半导体衬底沿 AA'方向上的又一些剖视结构示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。并且在5 不冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分10 不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。

15 需要注意的是，附图中各图形的尺寸和形状不反映真实比例，目的只是示意说明本公开内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

参见图 1-图 2B，图 1 为本公开实施例提供的半导体器件的俯视结构示意图。图 2A 为图 1 所示的半导体器件沿 AA'方向上的剖视结构示意图。图 2B 20 为图 1 所示的半导体器件沿 BB'方向上的剖视结构示意图。本公开实施例提供的半导体器件可以包括：半导体衬底 10。示例性地，半导体衬底 10 的材质可以包括硅、锗或绝缘体上硅(SOI)的半导体，或者包括锗硅化合物、碳化硅或者其他已知材料，例如砷化镓等Ⅲ、Ⅴ族化合物。在半导体衬底 10 中还可以根据设计需求注入一定的掺杂离子以改变电学参数。示例性地，半导体衬底 25 10 可以为硅衬底。

在本公开实施例中，半导体衬底 10 可以具有阵列（Array）区与外围区。其中，阵列区可以具有存储单元、字线结构、位线，存储单元具有晶体管和

柱状电容器。并且,外围区可以具有一些控制电路、保护电路(例如熔断(fuse)器件)等。

在本公开实施例中,参考图 1-图 2B,半导体衬底 10 的阵列区中可以包括:浅沟道隔离区 300(STI, Shallow Trench Isolation),由浅沟道隔离区 300 界定出的若干个间隔排布的有源区 100。本实施例中,浅沟道隔离区 300 可以包括浅沟槽以及填充于浅沟槽内的绝缘材料,其作用为隔离浅沟槽漏电以及减轻电耦合(Coupling)。并且,填充于浅沟槽中的绝缘材料可以为氧化硅、氮化硅等材料。并且,浅沟槽深度可以根据实际应用的需要设定,以控制晶体管隔离程度。

在本公开实施例中,参考图 1-图 2B,半导体衬底 10 的阵列区中可以包括:形成于半导体衬底 10 中的多个,以及埋置于字线沟槽中的字线结构 200。其中,字线沟槽与相应字线沟槽的有源区 100 相交设置,也就是说,字线结构与相应的有源区 100 也相交设置。并且,字线沟槽包括第一字线沟槽 400A 和第二字线沟槽 400B;第一字线沟槽 400A 在半导体衬底 10 的正投影位于浅沟道隔离区 300 位于半导体衬底 10 的正投影内;第二字线沟槽 400B 在半导体衬底 10 的正投影位于有源区 100 在半导体衬底 10 的正投影内。以及,字线结构 200 包括相互电连接的第一字线结构部 200A 和第二字线结构部 200B;第一字线结构部 200A 形成于第一字线沟槽 400A 中,第二字线结构部 200B 形成于第二字线沟槽 400B 中。

需要说明的是,可以将与有源区 100 直接接触的第二字线结构部 200B 作为存储单元中相应的晶体管的栅极,并且在形成字线结构的过程中或者形成字线结构之后,可以在有源区 100 中一个源/漏区,如两字线结构之间的源/漏区 151,作为相应的晶体管的源极;并在另一源/漏区,如字线结构和浅沟道隔离区 300 之间的源/漏区 152、153,可作为相应的晶体管的漏极。

在本公开实施例中,参考图 1-图 2B,第一字线结构部 200A 具有避让区域 BR,避让区域 BR 的顶面与第二字线结构部 200B 的顶面齐平(即避让区域 BR 的顶面与第二字线结构部 200B 的顶面与平面 S0 齐平),并且避让区域

BR 中具有绝缘物质。这样在可以使第一字线结构部 200A 和第二字线结构部 200B 能够实现电流流通的情况下, 通过在第一字线结构部 200A 中设置避让区域 BR, 可以使电荷大致集中于第一字线结构部 200A 的非避让区域 BRNBR, 第一字线结构部 200A 的避让区域 BR 处的电荷降低, 从而使得第一字线结构部 200A 的避让区域 BR 处与相邻字线结构的第二字线结构部 200B 之间的耦合电场降低, 进而降低字线结构之间的干扰, 提高半导体器件的性能和可靠性。

在本公开实施例中, 参考图 1-图 2B, 在垂直于半导体衬底 10 所在平面的方向 F0 上, 第一字线沟槽 400A 的深度大于第二字线沟槽 400B 的深度。示例性地, 第一字线沟槽 400A 的顶面与第二字线沟槽 400B 的顶面齐平, 即第一字线沟槽 400A 的顶面与第二字线沟槽 400B 的顶面与平面 S0 齐平。其中, 平面 S0 可以为半导体衬底 10 的有源区 100 的顶面所在的平面。在实际应用中, 可以根据实际应用的需求设计第一字线沟槽 400A 的深度和第二字线沟槽 400B 的深度的具体数值, 在此不作限定。

在本公开实施例中, 参考图 1-图 2B, 在字线结构的延伸方向上, 同一字线沟槽中, 第一字线沟槽 400A 的边界与第二字线沟槽 400B 的边界重合。并且, 在字线结构的延伸方向上, 同一字线结构中, 第一字线结构部 200A 的边界与第一字线结构部 200A 的边界重合。

在本公开实施例中, 参考图 1-图 2B, 第二字线结构部 200B 为实心结构。并且, 在垂直于字线结构的延伸方向上, 第一字线结构部 200A 的截面具有凹陷区域 AC0。也就是说, 在垂直于半导体衬底 10 的方向上, 对第一字线结构部 200A 进行了挖凹槽, 以在第一字线结构部 200A 中形成了凹槽。示例性地, 凹陷区域 AC0 可以为避让区域 BR。这样在第一字线结构部 200A 中挖凹槽, 可以使电荷主要集中于凹槽底部, 而使凹槽侧壁上的电荷较少, 从而使得第一字线结构部 200A 的凹槽侧壁处与相邻字线结构的第二字线结构部 200B 之间的耦合电场降低, 进而降低字线结构之间的干扰, 提高半导体器件的性能和可靠性。

在本公开实施例中，参考图 1-图 2B，在垂直于半导体衬底 10 的方向 F0 上，凹陷区域 AC0 的顶面与第二字线结构部 200B 的顶面齐平，即凹陷区域 AC0 的顶面与第二字线结构部 200B 的顶面均与平面 S1 齐平。即，在垂直于半导体衬底 10 的方向 F0 上，平面 S1 低于平面 S0，或者，平面 S1 与半导体衬底 10 的底面（即半导体衬底 10 背离设置字线沟槽一侧的一面）之间的距离小于平面 S0 与半导体衬底 10 的底面（即半导体衬底 10 背离设置字线沟槽一侧的一面）之间的距离。

在本公开实施例中，参考图 1-图 2B，在垂直于半导体衬底 10 的方向 F0 上，凹陷区域 AC0 的底面 AXS1 高于第二字线结构部 200B 的底面 ZS2，第一字线结构部 200A 的底面 ZS1 低于第二字线结构部 200B 的底面 ZS2。即，凹陷区域 AC0 的底面 AXS1 与半导体衬底 10 的底面之间的距离大于第二字线结构部 200B 的底面 ZS2 与半导体衬底 10 的底面之间的距离，且第一字线结构部 200A 的底面 ZS1 与半导体衬底 10 的底面之间的距离小于第二字线结构部 200B 的底面 ZS2 与半导体衬底 10 的底面之间的距离。这样可以使同一字线结构中的第一字线结构部 200A 和第二字线结构部 200B 可以更好的电连接，以进行信号传输。并且，由于电荷集中处位于第一字线结构部 200A 的凹槽底部，且第一字线结构部 200A 的凹槽底部与相邻字线结构的第二字线结构部 200B 之间的正对面积尽可能的降低，从而可以使第一字线结构部 200A 的凹槽底部与相邻字线结构的第二字线结构部 200B 之间的耦合电场尽可能的降低，进一步降低字线结构之间的干扰，提高半导体器件的性能和可靠性。

在本公开实施例中，参考图 1-图 2B，字线结构可以包括：栅极氧化层 230 与字线；其中，栅极氧化层 230 覆盖于字线沟槽的侧壁；且栅极氧化层 230 位于字线和字线沟槽之间。并且，示例性地，与第二字线结构部 200B 接触的栅极氧化层 230 与半导体衬底 10 直接接触。与第一字线结构部 200A 接触的栅极氧化层 230 与半导体衬底 10 之间具有浅沟道隔离层 300。

在本公开实施例中，参考图 1-图 2B，可以使凹陷区域 AC0 位于第一字线结构部 200A 中的字线内。示例性地，字线包括第一导电膜层 210 和第二导电

膜层 220; 其中, 第一导电膜层 210 设置于字线沟槽的侧壁, 且第一导电膜层 210 位于第二导电膜层 220 与栅极氧化层 230 之间。示例性地, 凹陷区域 AC0 可以位于第一字线结构部 200A 中的第二导电膜层 220 内。例如, 在制备时, 可以对第一字线结构部 200A 中的第二导电膜层 220 进行气相刻蚀, 以在第一字线结构部 200A 中的第二导电膜层 220 中形成凹陷区域 AC0, 以作为避让区域 BR。

在本公开实施例中, 参考图 1-图 2B, 避让区域 BR 中的绝缘物质可以为空气。示例性地, 可以采用空气隙(Air Gap)工艺在第一字线结构部 200A 形成空气隙。

以图 1 至图 2B 所示的半导体器件为例, 参见图 3A 至图 3J, 图 3A 至图 3J 分别为本公开实施例提供的半导体器件的制备过程中的剖视结构示意图。

本公开实施例提供的制备方法可以包括如下步骤:

S10、提供半导体衬底 10。

示例性地, 半导体衬底 10 的材质可以包括硅、锗或绝缘体上硅(SOI)的半导体, 或者包括锗硅化合物、碳化硅或者其他已知材料, 例如砷化镓等 III、V 族化合物。在半导体衬底 10 中还可以根据设计需求注入一定的掺杂离子以改变电学参数。示例性地, 半导体衬底 10 可以为硅衬底。

S20、在半导体衬底 10 中形成浅沟道隔离区 300, 以及由浅沟道隔离区 300 界定出若干个间隔排布的有源区 100。

示例性地, 步骤 S20, 例如, 具体可以为: 先在半导体衬底 10 上形成 STI 掩膜, STI 掩膜覆盖的半导体衬底 10 的区域为有源区 100。之后以 STI 掩膜为刻蚀掩膜, 采用气相刻蚀工艺, 刻蚀气体可以为 SF_6 、 CF_4 、 Cl_2 、 CHF_3 、 O_2 以及 Ar 中的一种或多种, 以达到一定刻蚀选择比, 对暴露出的半导体衬底 10 进行刻蚀, 形成浅沟道隔离槽, 使将要形成有源区 100 的半导体衬底 10 的区域保留下来。之后, 去除 STI 掩膜, 形成图 3A 所示的具有浅沟道隔离槽 ST0 的半导体衬底 10。

之后, 参见图 3B, 在浅沟道隔离槽 ST0 中填充 SiN 作为浅沟道隔离层 300,

从而形成浅沟道隔离区 300，以及由浅沟道隔离区 300 在半导体衬底 10 界定出若干个间隔排布的有源区 100。

S30、在半导体衬底 10 中形成与相应的有源区 100 相交设置的多个字线沟槽。

5 在本公开实施例中，步骤 S30、例如，具体可以为：

首先，可以采用光刻工艺和刻蚀工艺在浅沟道隔离区 300 中形成第一字线沟槽 400A。例如，采用光刻工艺形成第一字线沟槽 400A 掩膜，第一字线沟槽 400A 掩膜暴露出浅沟道隔离区 300 中将要形成第一字线沟槽 400A 的区域。以第一字线沟槽 400A 掩膜为刻蚀掩膜，采用气相刻蚀工艺，刻蚀气体可
10 以为 SF_6 、 CF_4 、 Cl_2 、 CHF_3 、 O_2 以及 Ar 中的一种或多种，以达到一定刻蚀选择比，对暴露出的浅沟道隔离区 300 中的 SiN 进行刻蚀，以在浅沟道隔离区 300 中的 SiN 中形成第一字线沟槽 400A。之后，采用气相刻蚀去除第一字线沟槽 400A 掩膜，从而形成图 3C 所示的半导体器件的结构，即在浅沟道隔离区 300 中的 SiN 中形成第一字线沟槽 400A。

15 之后，可以采用光刻工艺和刻蚀工艺在有源区 100 中形成第二字线沟槽 400B。例如，采用光刻工艺形成第二字线沟槽 400B 掩膜，第二字线沟槽 400B 掩膜暴露出半导体衬底 10 的有源区 100 中将要形成第二字线沟槽 400B 的区域。以第二字线沟槽 400B 掩膜为刻蚀掩膜，采用气相刻蚀工艺，刻蚀气体可
20 以为 SF_6 、 CF_4 、 Cl_2 、 CHF_3 、 O_2 以及 Ar 中的一种或多种，以达到一定刻蚀选择比，对暴露出的有源区 100 进行刻蚀，以在有源区 100 中形成第二字线沟槽 400B。之后，采用气相刻蚀去除第二字线沟槽 400B 掩膜，从而形成图 3D 所示的半导体器件的结构，即有源区 100 中形成第二字线沟槽 400B。

需要说明的是，在沿字线结构的延伸方向上，同一字线沟槽中的第一字线沟槽 400A 和第二字线沟槽 400B 交替排列。

25 S40、在字线沟槽中形成埋置的字线结构。

在本公开实施例中，步骤 S40、例如，具体可以为：

首先，可以在字线沟槽的侧壁上覆盖栅极氧化层 230。示例性地，参见图

3E, 栅极氧化层 230 形成于字线沟槽的侧壁上。例如, 栅极氧化层 230 的材质可包括氧化硅、氮化硅、氮氧化物、硅氮化物、氧化物/氮化物/氧化物(ONO)中的一种或多种。栅极氧化层 230 可以通过诸如在包括氧化物、水蒸气、一氧化氮或它们的组合的环境中的湿或干热氧化工艺形成, 或者通过在氧气、水蒸气、一氧化氮或它们的组合的环境中的原位蒸汽生成(ISSG)工艺生成, 或者通过使用正硅酸乙酯(TEOS)和氧气作为前驱体的化学汽相沉积(CVD)技术形成。

之后, 可以在形成有栅极氧化层 230 的字线沟槽内填充导电材料, 形成初始字线结构。示例性地, 字线结构的材质可以包括 Ti、TiN、Ta、TaN、W、WN、TiSiN 以及 WSiN 中的一种或多种。示例性地, 字线结构可以采用单层结构。例如, 采用 Ti、TiN、Ta、TaN、W、WN、TiSiN 以及 WSiN 中的一种形成。或者, 字线结构也可以采用叠层结构。例如, 参见图 3F, 以设定的沉积速率, 在具有栅极氧化层 230 的字线沟槽内的侧壁上沉积一层 TiN 层 210, 以作为字线结构中的第一导电膜层 210。之后, 参见图 3G, 以设定的沉积速率, 在具有 TiN 层 210 的字线沟槽内沉积一层 W 层 220, 以作为字线结构中的第二导电膜层 220。其中, 第一导电膜层 210 位于第二导电膜层 220 与栅极氧化层 230 之间。这样可以使 TiN 层 210 和 W 层 220 作为一个整体, 形成初始字线结构。需要说明的是, 上述沉积方式的选择上本领域技术人员可以从化学气相沉积、物理气相沉积、原子层沉积、高密度等离子化学气相沉积、金属有机化学气相沉积、等离子体增强化学气相沉积或其他适合的沉积工艺中选择, 本公开并不以此为限。并且, 沉积速率可以根据实际应用的需求进行设计确定, 在此不作限定。

之后, 对初始字线结构进行刻蚀, 使初始字线结构的顶面低于半导体衬底 10 的顶面, 以形成第二字线结构部 200B 和位于第一字线沟槽 400A 中的第一初始字线结构部。示例性地, 参见图 3H, 可以采用气相刻蚀工艺, 刻蚀气体可以为 SF₆、CF₄、Cl₂、CHF₃、O₂ 以及 Ar 中的一种或多种, 以达到一定刻蚀选择比, 对初始字线结构进行刻蚀, 以使初始字线结构的顶面 S01 低于半

导体衬底 10 的顶面 S02，从而可以形成埋置于半导体衬底 10 中的字线结构。

之后，对第一初始字线结构部进行刻蚀，使第一初始字线结构部形成避让区域 BR，以形成第一字线结构部 200A。示例性地，可以采用光刻工艺和刻蚀工艺对第一初始字线结构部进行刻蚀，使第一初始字线结构部形成避让区域 BR，以形成第一字线结构部 200A。例如，参见图 3I，采用光刻工艺形成避让掩膜 BRM，避让掩膜 BRM 暴露出第一初始字线结构部中要形成避让区域 BR 的部分。之后，参见图 3J，以避让掩膜 BRM 为刻蚀掩膜，采用气相刻蚀工艺，刻蚀气体可以为 SF_6 、 CF_4 、 Cl_2 、 CHF_3 、 O_2 以及 Ar 中的一种或多种，以达到一定刻蚀选择比，对暴露出的第一初始字线结构部中的 W 层进行气相刻蚀，以在第一初始字线结构部的 W 层中形成凹陷区域 AC0，以作为避让区域 BR。

在步骤 S40 之后，可以形成覆盖整个半导体器件的绝缘阻挡层，并使避让区域 BR 中填充有绝缘物质。示例性地，参见图 2A，可以采用形成空气隙工艺，在形成覆盖整个半导体器件的绝缘阻挡层的同时，在第一字线结构部 200A 的避让区域 BR 形成空气隙。示例性地，绝缘阻挡层的材料可包括氧化硅、氮化硅、氮氧化物、硅氮化物、氧化物/氮化物/氧化物(ONO)中的一种或多种。例如，可以采用形成空气隙工艺，在形成覆盖整个半导体器件的 SiN 层，作为绝缘阻挡层，并且同时第一字线结构部 200A 的避让区域 BR 形成空气隙。

需要说明的是，在实际制备工艺中，由于工艺条件的限制或其他因素，上述所说的齐平可能并不会完全齐平，可能会有一些偏差，因此上述所说的齐平关系只要大致满足上述条件即可，均属于本公开的保护范围。例如，上述所说的齐平可以是在误差允许范围之内所允许的齐平。

本公开实施例提供了另一些半导体器件的结构示意图，如图 4A 与图 4B 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其相同之处在此不作赘述。

参见图 4A 与图 4B，图 4A 为图 1 所示的半导体衬底沿 AA'方向上的另一

些剖视结构示意图；图 4B 为图 1 所示的半导体衬底沿 BB'方向上的另一些剖视结构示意图。在本公开实施例中，在制备方法中，对第一初始字线结构部进行刻蚀，使第一初始字线结构部形成避让区域 BR，以形成第一字线结构部 200A。示例性地，可以为在字线结构采用例如，TiN 层 210 和 W 层 220 的叠层结构时，可以在具有 TiN 层的字线沟槽内形成 W 层之后，对形成于第一字线沟槽 400A 中的 W 层进行气相刻蚀，去除一定距离（可以根据实际应用进行设计确定）的 W 层，以使第一字线沟槽 400A 中的 W 层为实心结构，从而使剩余的 W 层与 TiN 层形成凹陷区域 AC0。其中，第一字线沟槽 400A 中的 W 层以及 W 层下面的 TiN 层作为凹陷区域 AC0 的底部，字线沟槽侧壁上的 TiN 层作为凹陷区域 AC0 的侧壁。需要说明的是，本实施例中半导体器件的制备方法的其余步骤与上述制备方法中的其余步骤基本相同，在此不作赘述。

在本公开实施例中，如图 4A 与图 4B 所示，第一字线结构部 200A 中的第二导电膜层 220（例如 W 层）为实心结构。并且，第一字线结构部 200A 中，第二导电膜层 220（例如 W 层）的顶面 AXS2 低于第一导电膜层 210（例如 TiN 层）的顶面 AXS3，以及第二导电膜层 220（例如 W 层）作为凹陷区域 AC0 的底部，设置于字线沟槽的侧壁的第一导电膜层 210（例如 TiN 层）作为凹陷区域 AC0 的侧壁。

本公开实施例提供了另一些半导体器件的结构示意图，如图 5 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其相同之处在此不作赘述。

参见图 5，图 5 为图 1 所示的半导体衬底沿 AA'方向上的又一些剖视结构示意图。在本公开实施例中，在制备方法中，对第一初始字线结构部进行刻蚀，使第一初始字线结构部形成避让区域 BR，以形成第一字线结构部 200A。示例性地，可以为在字线结构采用例如，TiN 层 210 和 W 层 220 的叠层结构时，可以在具有 TiN 层的字线沟槽内形成 W 层之后，对形成于第一字线沟槽 400A 中的 W 层和 TiN 层均进行气相刻蚀，去除一定距离（可以根据实际应

用进行设计确定)的 W 层和 TiN 层,以使第一字线沟槽 400A 中的 W 层和 TiN 层作为一个整体形成实心结构,从而可以使剩余的 W 层与 TiN 层和栅极氧化层 230 形成凹陷区域 AC0。其中,第一字线沟槽 400A 中的 W 层以及 W 层下面的 TiN 层可以作为凹陷区域 AC0 的底部,字线沟槽侧壁上的栅极氧化层 230 作为凹陷侧壁的侧壁。需要说明的是,本实施例中半导体器件的制备方法的其余步骤与上述制备方法中的其余步骤基本相同,在此不作赘述。

在本公开实施例中,如图 5 所示,第一字线结构部 200A 中的 W 层 220 的顶面 AXS2 可以高于第二字线结构部 200B 中的 TiN 层的底面,并且,第一字线结构部 200A 中的 TiN 层的底面可以低于第二字线结构部 200B 中的 TiN 层的底面。

在本公开实施例中,如图 5 所示,第一字线结构部 200A 中的字线为实心结构。并且,第一字线结构部 200A 中,字线的顶面 AXS4 低于栅极氧化层 230 的顶面 AXS5 (例如可以为 S0 平面)。以及,第一字线结构部 200A 中,字线作为凹陷区域 AC0 的底部,且设置于字线沟槽的侧壁的栅极氧化层 230 作为凹陷区域 AC0 的侧壁。

本公开实施例提供了另一些半导体器件的结构示意图,如图 6 所示,其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处,其相同之处在此不作赘述。

在本公开实施例中,如图 6 所示,避让区域 BR 中绝缘物质也可以为无机绝缘材料。示例性地,无机绝缘材料可包括氧化硅、氮化硅、氮氧化物、硅氮化物、氧化物/氮化物/氧化物(ONO)中的一种或多种。

参见图 6,图 6 为图 1 所示的半导体衬底沿 AA'方向上的又一些剖视结构示意图。在本公开实施例中,在制备方法中,以设定的沉积速率,在整个半导体器件上沉积 SiN 层,作为绝缘阻挡层,并同时在第一字线结构部 200A 的避让区域 BR 中沉积填充 SiN 层。需要说明的是,本实施例中半导体器件的制备方法的其余步骤与上述制备方法中的其余步骤基本相同,在此不作赘述。

本公开实施例还提供了一些半导体存储装置。该半导体存储装置可以包

括本公开实施例提供的上述半导体器件。该半导体存储装置解决问题的原理与前述半导体器件相似，因此该半导体存储装置的实施可以参见前述半导体器件的实施，重复之处在此不再赘述。

5 在具体实施时，在本公开实施例中，半导体器件例如为 DRAM。半导体存储装置可以包括半导体器件。并且，半导体存储装置可以为具有存储功能的产品或部件。对于该半导体存储装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

10 显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1、一种半导体器件，包括：

半导体衬底，包括：浅沟道隔离区，以及由所述浅沟道隔离区界定出的若干个间隔排布的有源区；

5 多个字线沟槽，形成于所述半导体衬底中，并且所述字线沟槽与相应的有源区相交设置；其中，所述字线沟槽包括第一字线沟槽和第二字线沟槽；所述第一字线沟槽在所述半导体衬底的正投影位于所述浅沟道隔离区位于所述半导体衬底的正投影内；所述第二字线沟槽在所述半导体衬底的正投影位于所述有源区在所述半导体衬底的正投影内；

10 字线结构，埋置于所述字线沟槽中；其中，所述字线结构包括相互连接的第一字线结构部和第二字线结构部；所述第一字线结构部形成于所述第一字线沟槽中，所述第二字线结构部形成于所述第二字线沟槽中；

其中，所述第一字线结构部具有避让区域，所述避让区域的顶面与所述第二字线结构部的顶面齐平，并且所述避让区域中具有绝缘物质。

15 2、如权利要求1所述的半导体器件，其中，所述第二字线结构部为实心结构；在垂直于所述字线结构的延伸方向上，所述第一字线结构部的截面具有凹陷区域；

所述避让区域包括所述凹陷区域。

20 3、如权利要求2所述的半导体器件，其中，在垂直于所述半导体衬底的方向上，所述凹陷区域的顶面与所述第二字线结构部的顶面齐平；

并且，在垂直于所述半导体衬底的方向上，所述凹陷区域的底面高于所述第二字线结构部的底面，所述第一字线结构部的底面低于所述第二字线结构部的底面。

25 4、如权利要求3所述的半导体器件，其中，所述字线结构包括：栅极氧化层与字线；其中，所述栅极氧化层覆盖于所述字线沟槽的侧壁；且所述栅极氧化层位于所述字线和所述字线沟槽之间；

所述凹陷区域位于所述第一字线结构部中的字线内。

5、如权利要求4所述的半导体器件，其中，所述字线包括第一导电膜层和第二导电膜层；其中，所述第一导电膜层设置于所述字线沟槽的侧壁，且所述第一导电膜层位于所述第二导电膜层与所述栅极氧化层之间；

5 所述凹陷区域位于所述第一字线结构部中的第二导电膜层内；或者，

所述第一字线结构部中的第二导电膜层为实心结构；且所述第一字线结构部中，所述第二导电膜层的顶面低于所述第一导电膜层的顶面，以及所述第二导电膜层作为所述凹陷区域的底部，设置于所述字线沟槽的侧壁的所述第一导电膜层作为所述凹陷区域的侧壁。

10 6、如权利要求3所述的半导体器件，其中，所述字线结构包括：栅极氧化层与字线；其中，所述栅极氧化层覆盖于所述字线沟槽的侧壁；且所述栅极氧化层位于所述字线和所述字线沟槽之间；

所述第一字线结构部中的字线为实心结构；

所述第一字线结构部中，所述字线的顶面低于所述栅极氧化层的顶面；

15 所述第一字线结构部中，所述字线作为所述凹陷区域的底部，且设置于所述字线沟槽的侧壁的栅极氧化层作为所述凹陷区域的侧壁。

7、如权利要求4或6所述的半导体器件，其中，与所述第二字线结构部接触的栅极氧化层与所述半导体衬底直接接触；

20 与所述第一字线结构部接触的栅极氧化层与所述半导体衬底之间具有浅沟道隔离层。

8、如权利要求1-6任一项所述的半导体器件，其中，所述绝缘物质包括空气和无机绝缘材料中的至少一种。

9、如权利要求1-6任一项所述的半导体器件，其中，在垂直于所述半导体衬底所在平面的方向上，所述第一字线沟槽的深度大于所述第二字线沟槽的深度。

25

10、一种如权利要求1-9任一项所述的半导体器件的制备方法，包括：
提供半导体衬底；

在所述半导体衬底中形成浅沟道隔离区，以及由所述浅沟道隔离区界定出若干个间隔排布的有源区；

在所述半导体衬底中形成与相应的有源区相交设置的多个字线沟槽；其中，所述字线沟槽包括第一字线沟槽和第二字线沟槽；所述第一字线沟槽在所述半导体衬底的正投影位于所述浅沟道隔离区位于所述半导体衬底的正投影内；所述第二字线沟槽在所述半导体衬底的正投影位于所述有源区在所述半导体衬底的正投影内；

在所述字线沟槽中形成埋置的字线结构；其中，所述字线结构包括相互电连接的第一字线结构部和第二字线结构部；所述第一字线结构部形成于所述第一字线沟槽中，所述第二字线结构部形成于所述第二字线沟槽中；所述第一字线结构部具有避让区域，所述避让区域的顶面与所述第二字线结构部的顶面齐平，并且所述避让区域中具有绝缘物质。

11、如权利要求 10 所述的制备方法，其中，所述在所述半导体衬底中形成与相应的有源区相交设置的多个字线沟槽，包括：

在所述浅沟道隔离区中形成所述第一字线沟槽；

在所述有源区中形成所述第二字线沟槽。

12、如权利要求 11 所述的制备方法，其中，所述在所述字线沟槽中形成埋置的字线结构，包括：

在所述字线沟槽的侧壁上覆盖栅极氧化层；

在形成有所述栅极氧化层的所述字线沟槽内填充导电材料，形成初始字线结构；

对所述初始字线结构进行刻蚀，使所述初始字线结构的顶面低于所述半导体衬底的顶面，以形成第二字线结构部和位于所述第一字线沟槽中的第一初始字线结构部；

对所述第一初始字线结构部进行刻蚀，使所述第一初始字线结构部形成避让区域，以形成第一字线结构部；

在所述字线沟槽中形成埋置的字线结构之后，还包括：形成覆盖整个所

述半导体器件的绝缘阻挡层，并使所述避让区域中填充有绝缘物质。

13、如权利要求 12 所述的制备方法，其中，所述形成覆盖整个所述半导体器件的绝缘阻挡层，并使所述避让区域中填充有绝缘物质，包括：

5 形成覆盖整个所述半导体器件的绝缘阻挡层，并在所述第一字线结构部的避让区域形成空气隙。

14、如权利要求 12 所述的制备方法，其中，所述形成覆盖整个所述半导体器件的绝缘阻挡层，并使所述避让区域中填充有绝缘物质，包括：

形成覆盖整个所述半导体器件的绝缘阻挡层，并在所述第一字线结构部的避让区域填充所述绝缘阻挡层。

10 15、一种半导体存储装置，包括如权利要求 1-9 任一项所述的半导体器件。

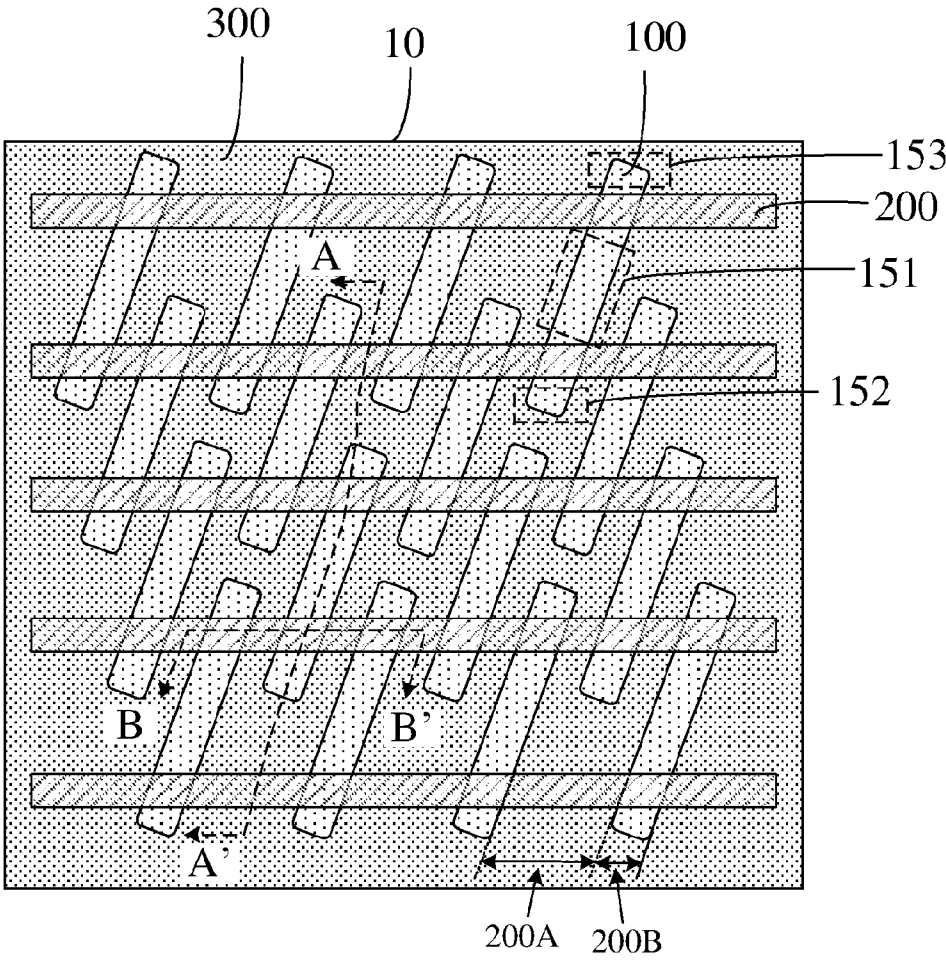


图 1

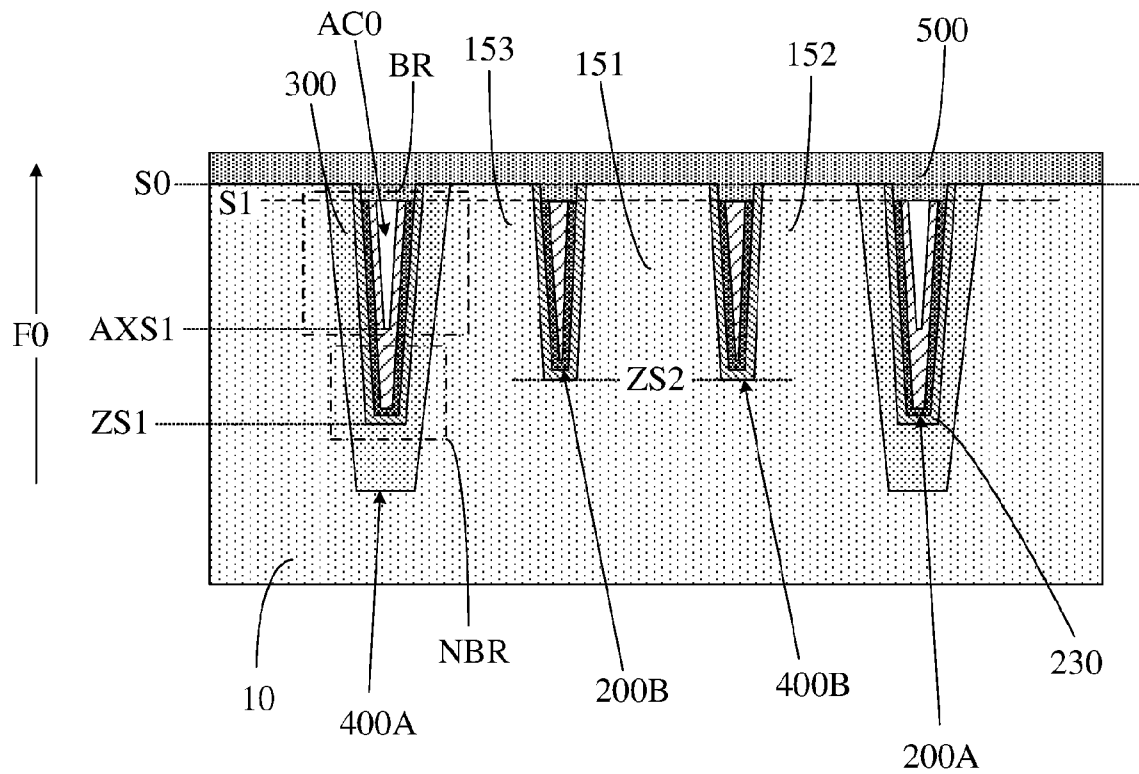


图 2A

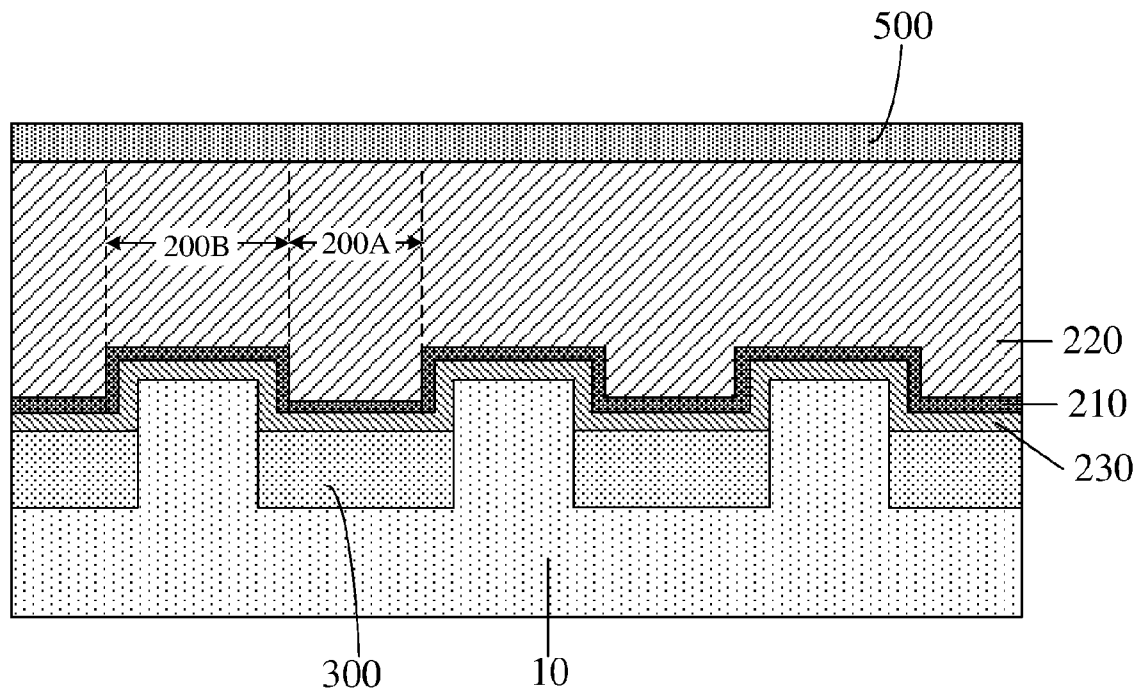


图 2B

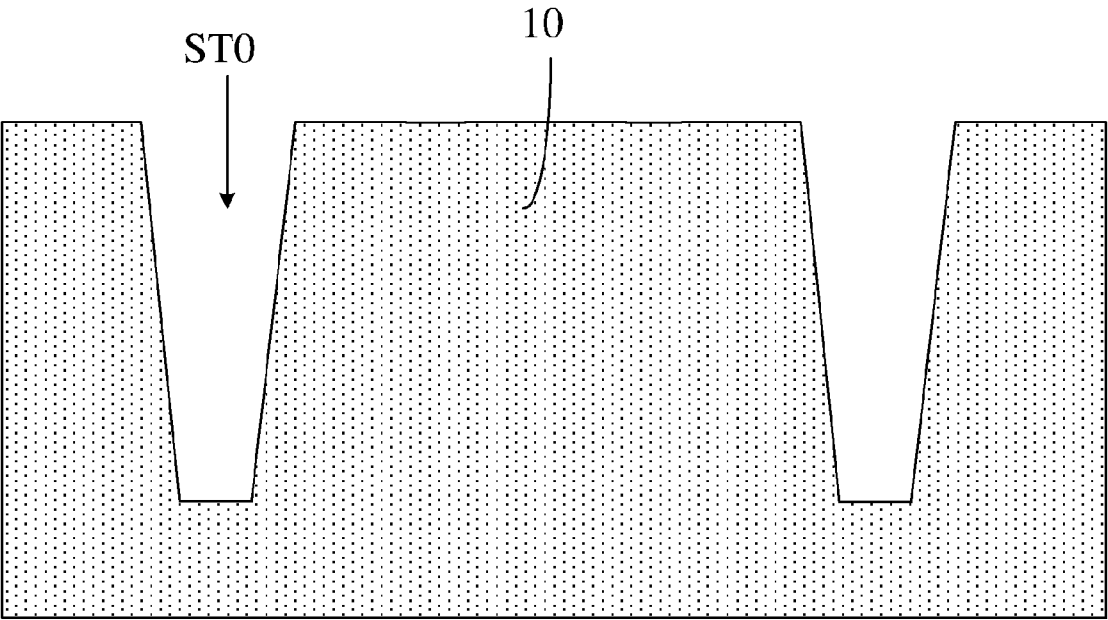


图 3A

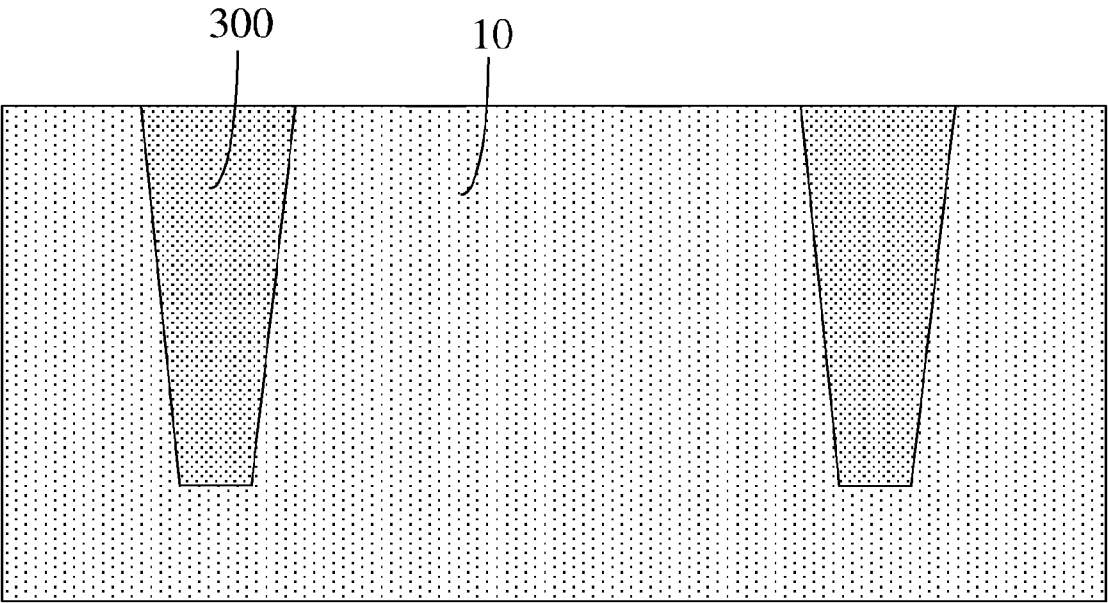


图 3B

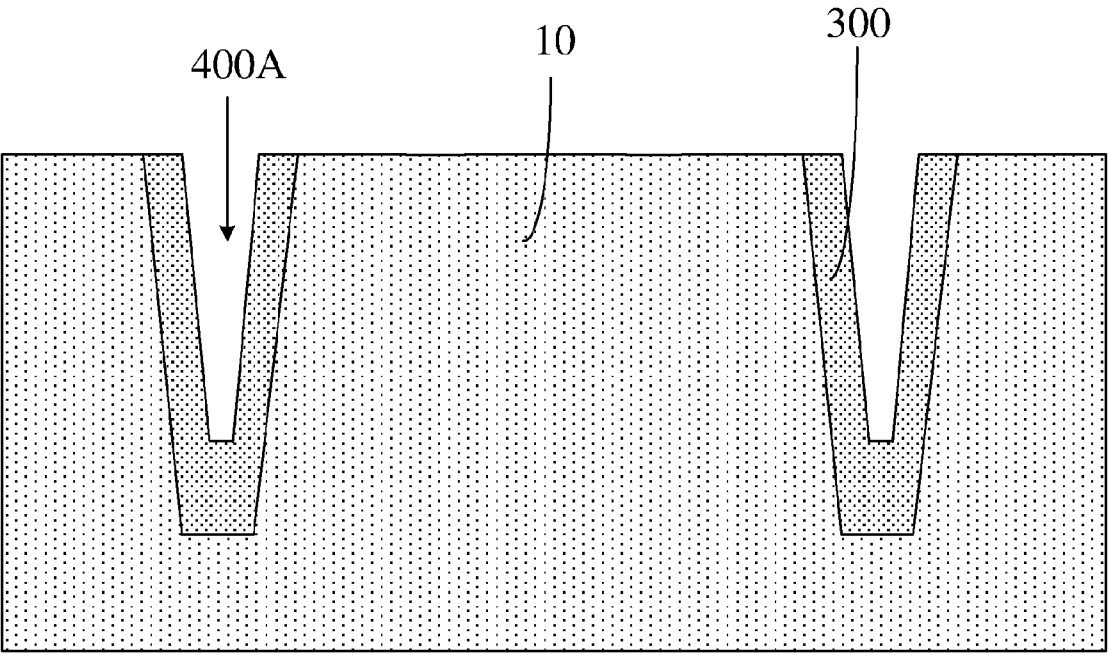


图 3C

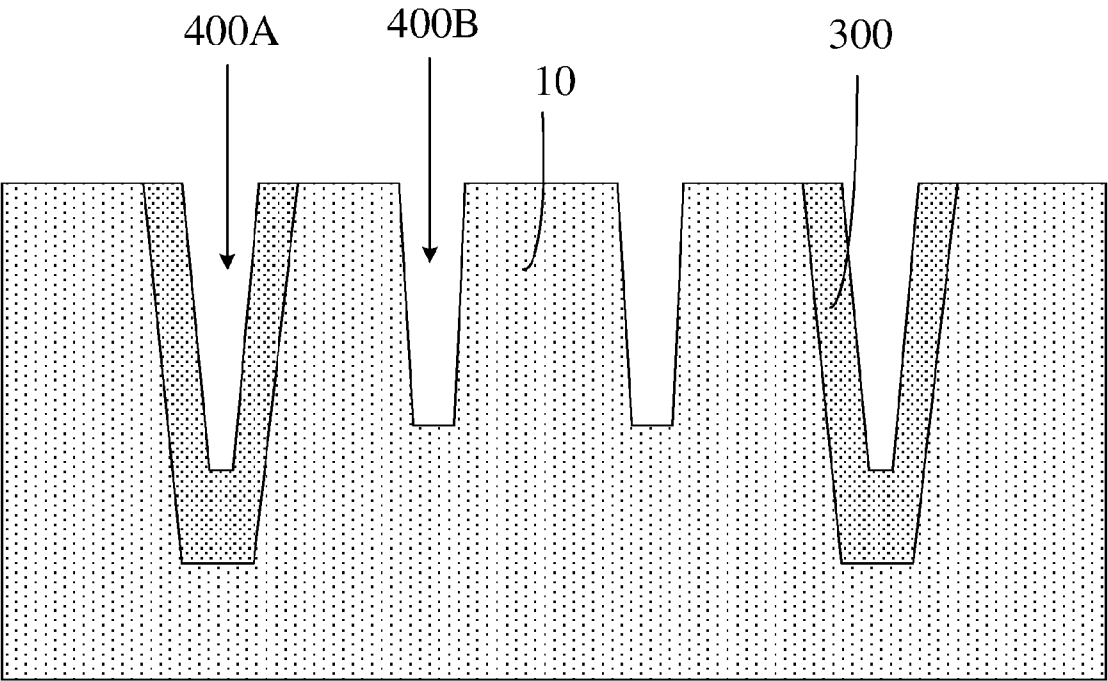


图 3D

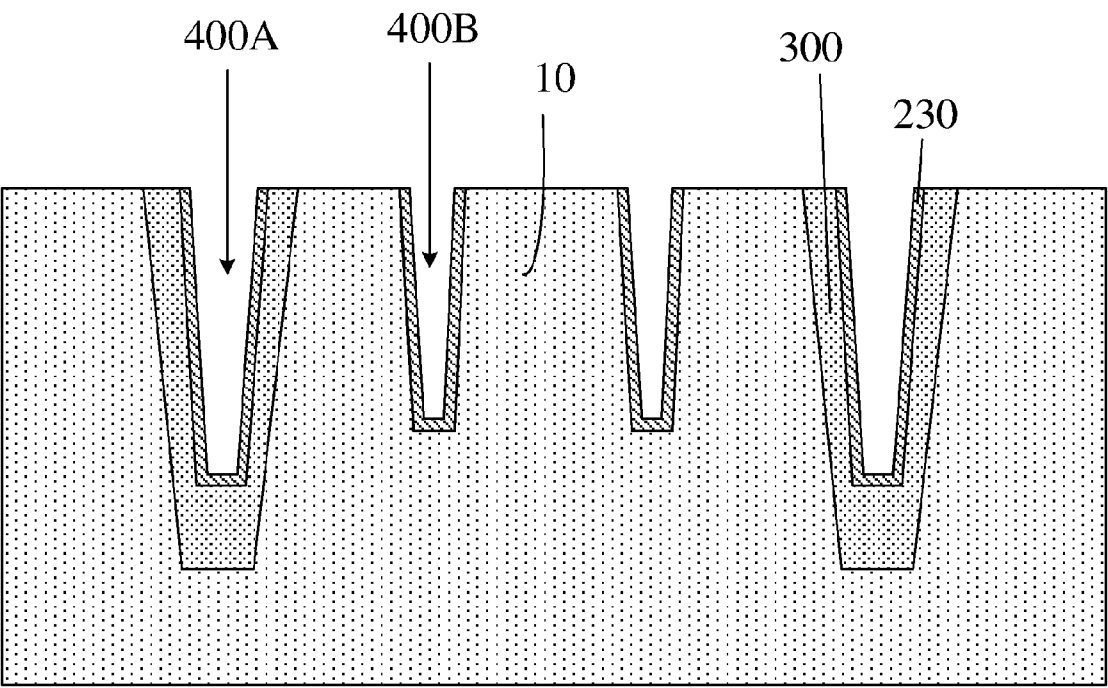


图 3E

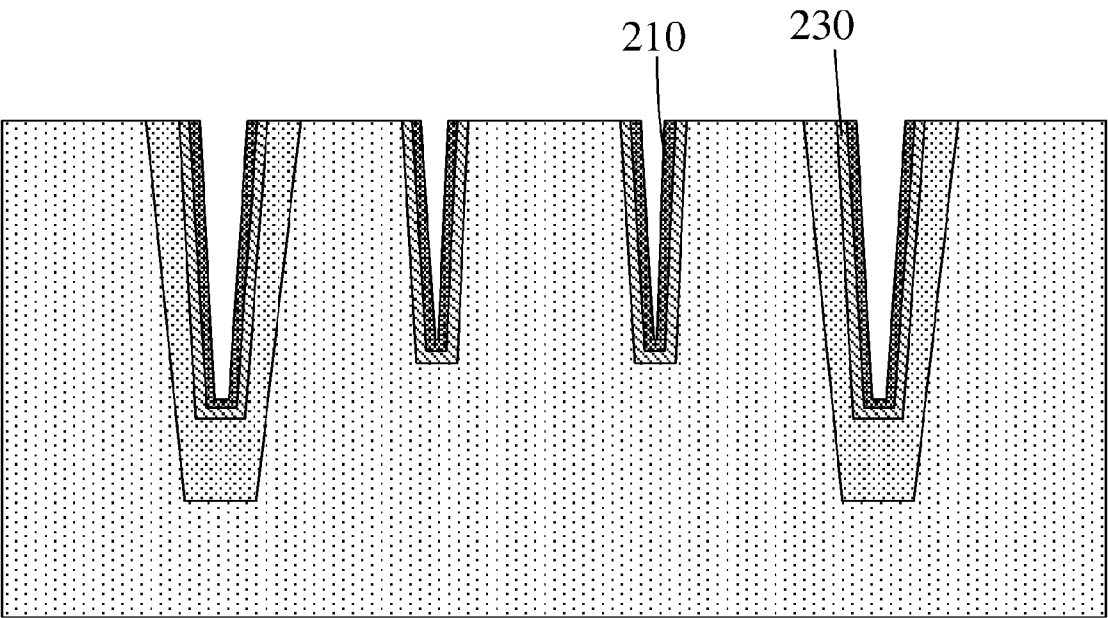


图 3F

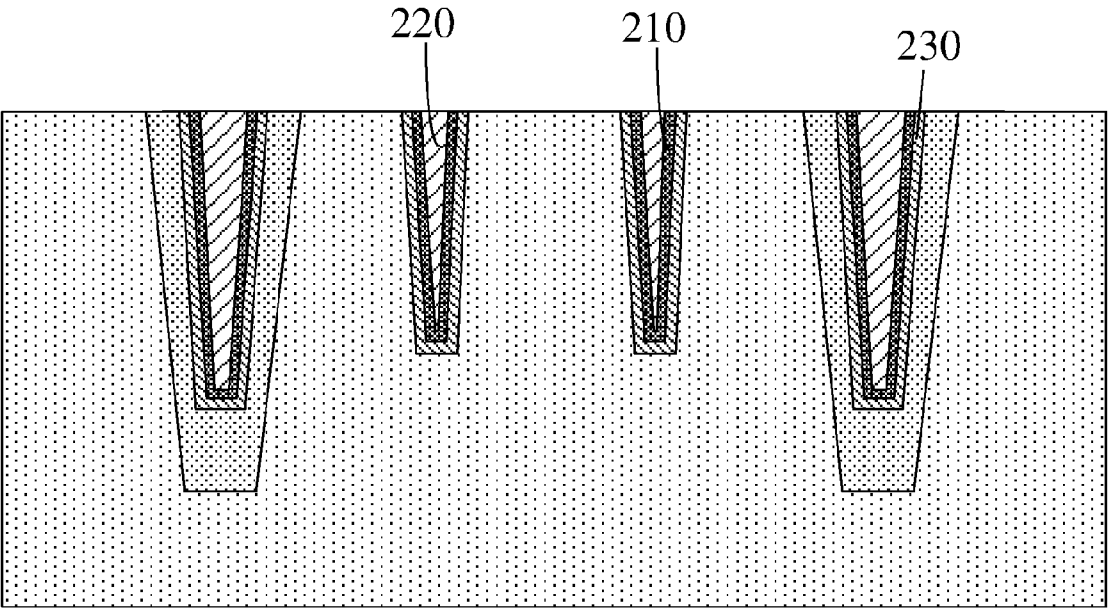


图 3G

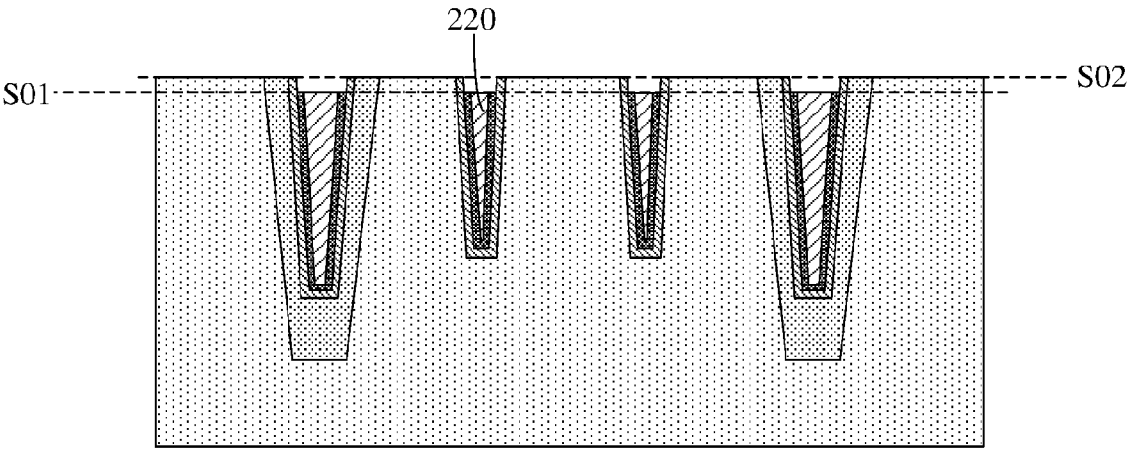


图 3H

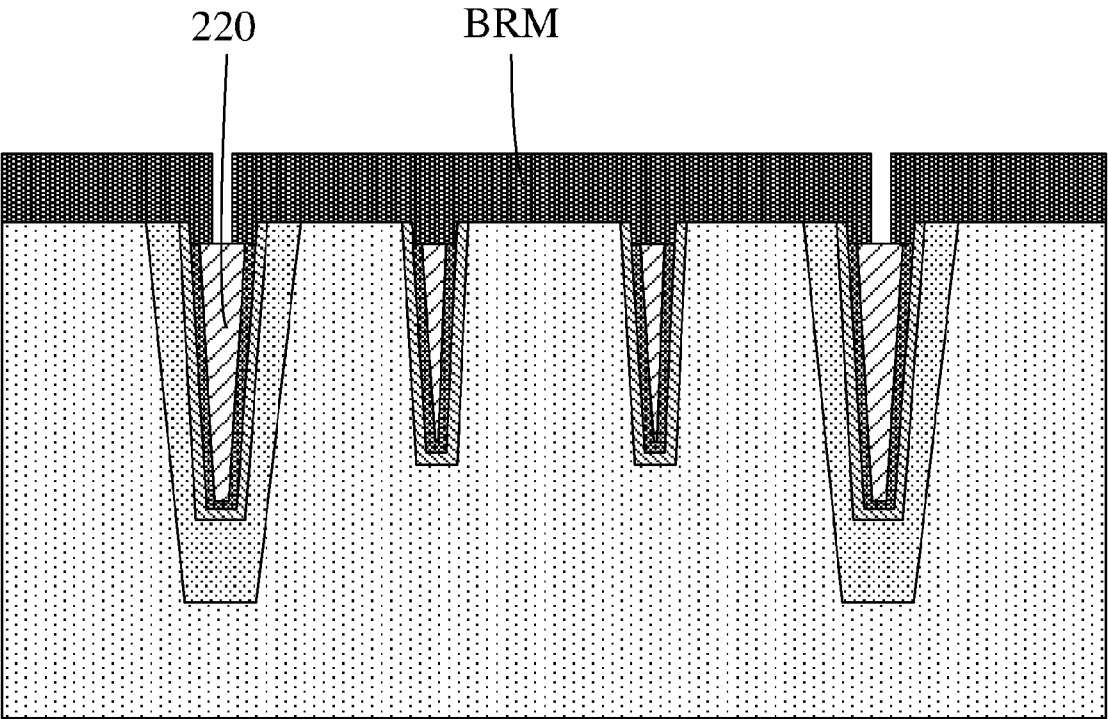


图 3I

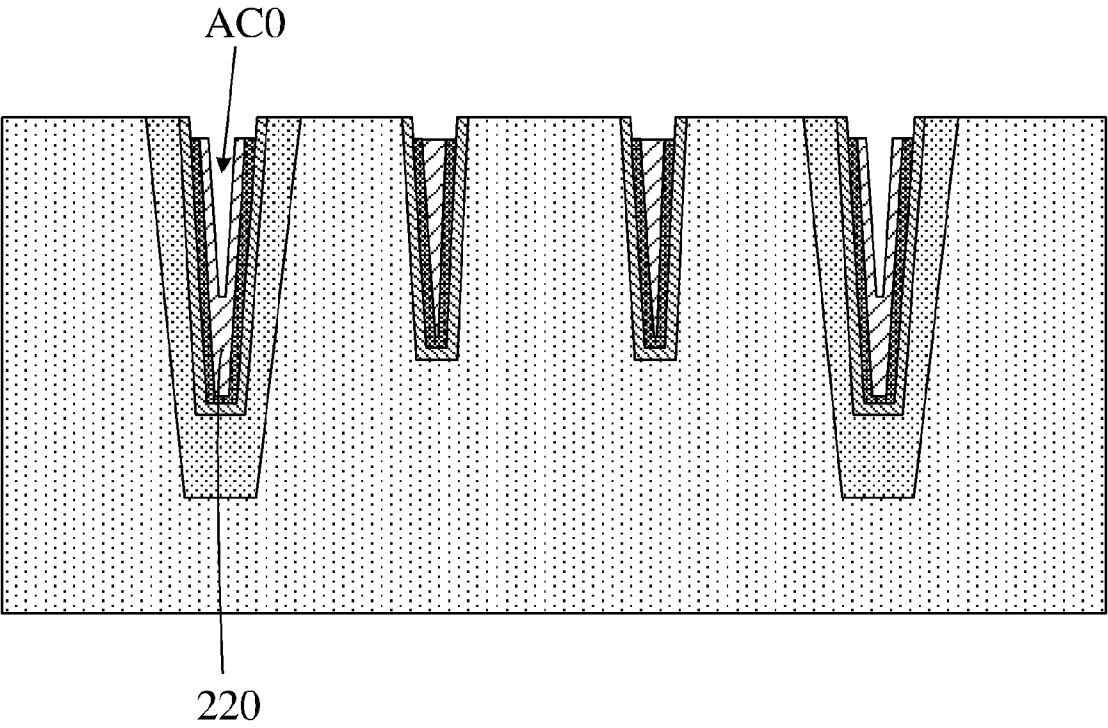


图 3J

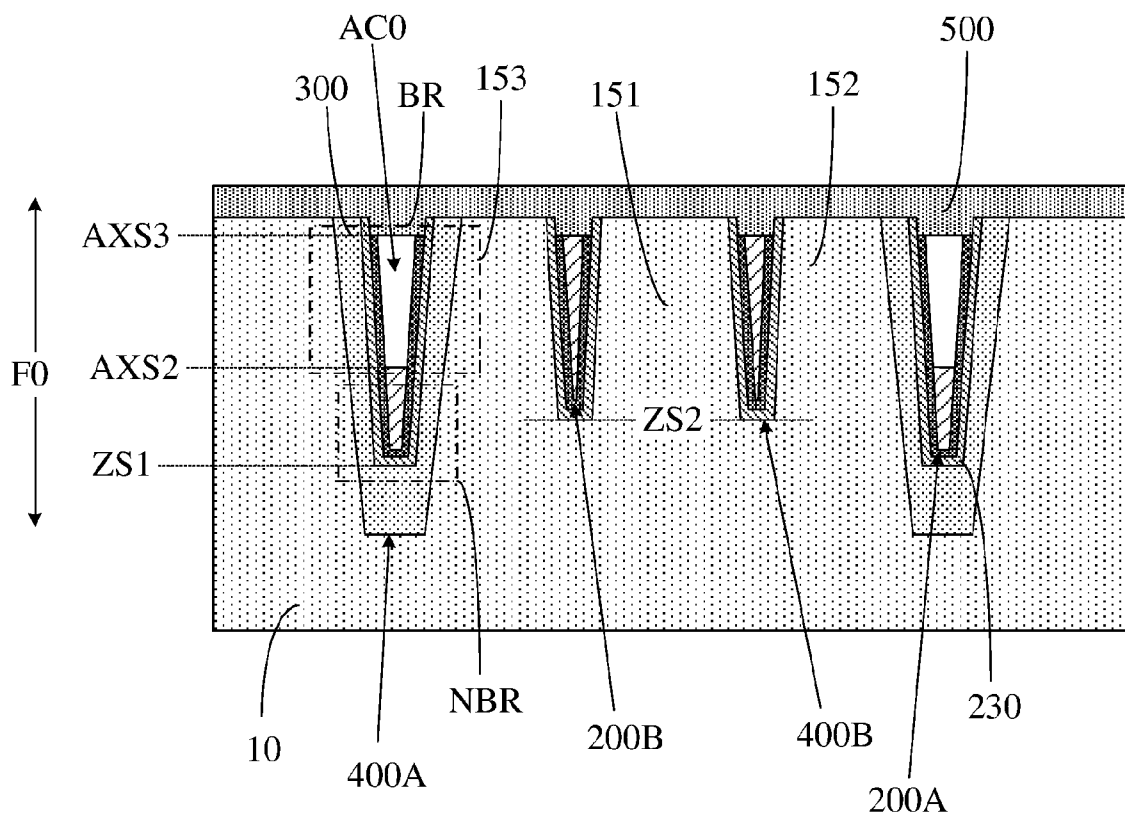


图 4A

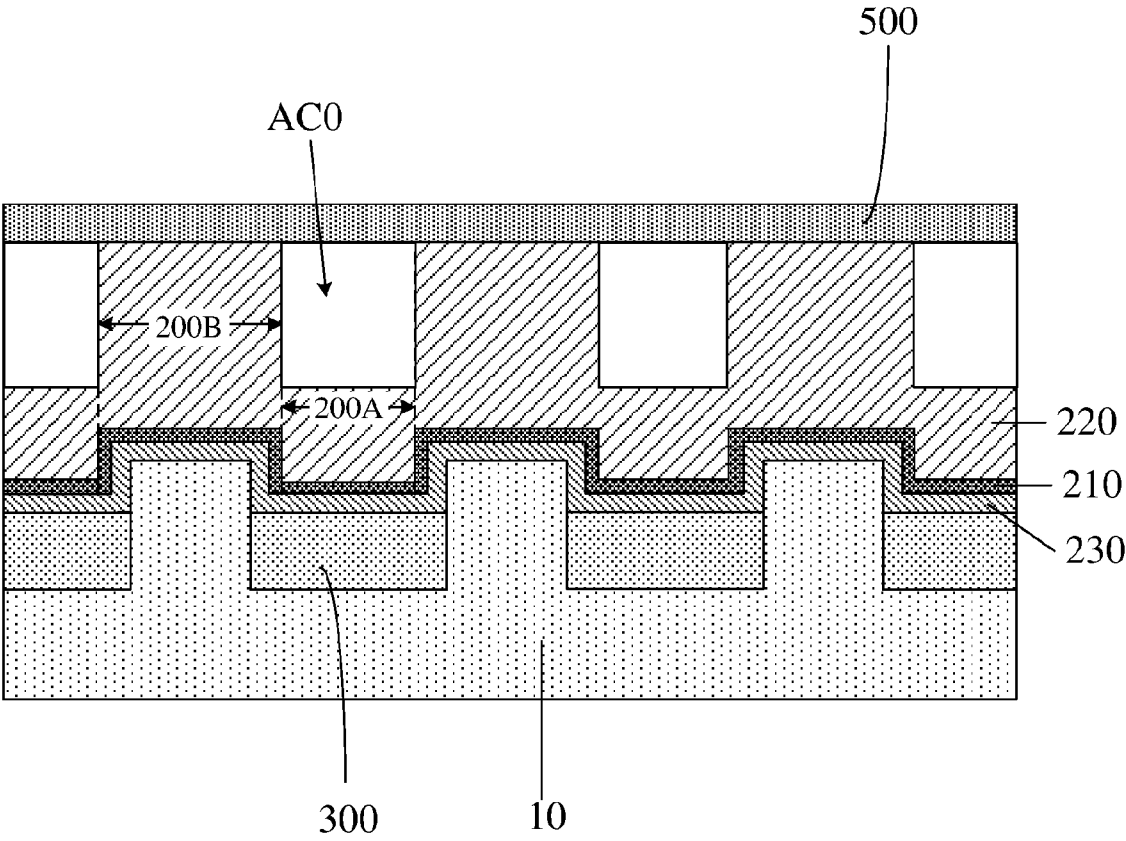


图 4B

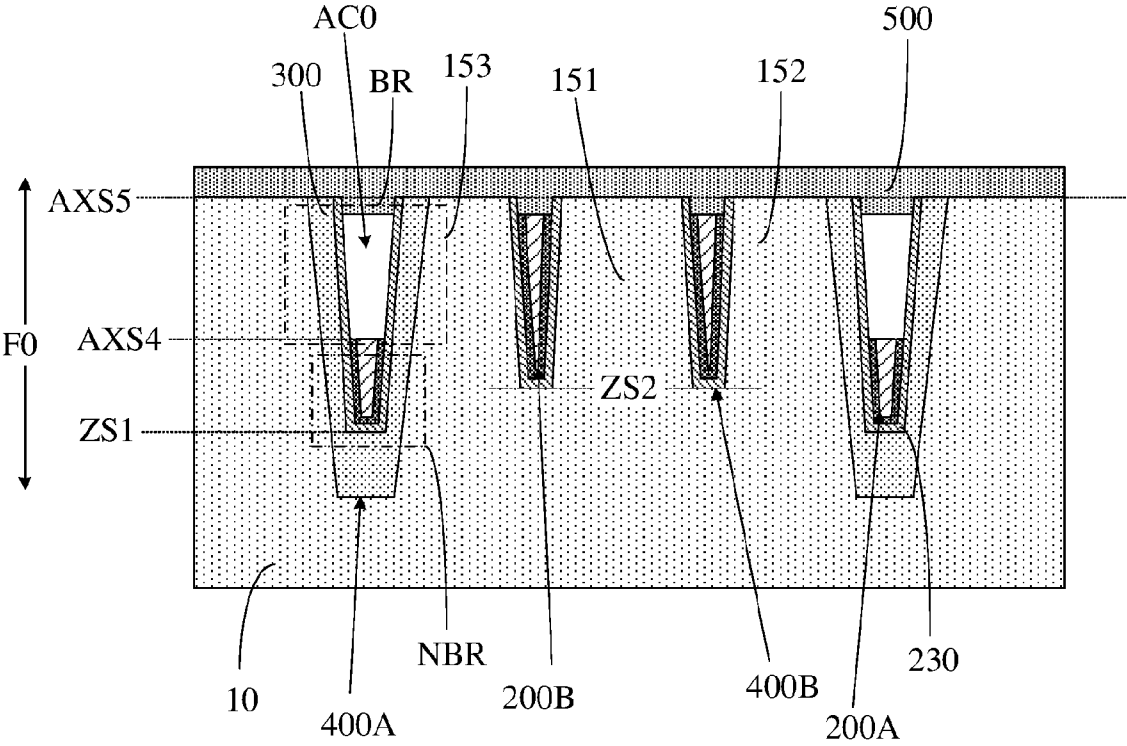


图 5

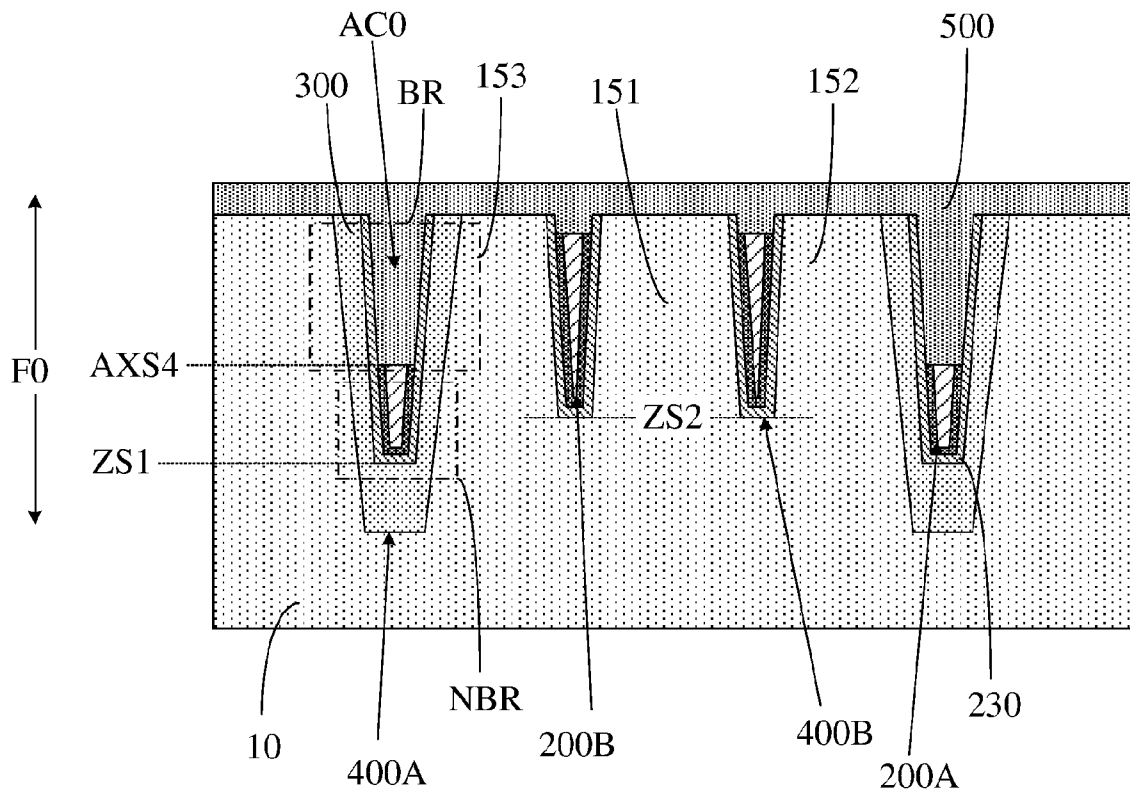


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/113316

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, IEEE: 字线, 凹陷, 耦合, 串扰, 干扰, 空气隙, 空隙, 避让, 浅沟槽隔离, 沟槽, trench, STI, WL, word line, recess, air gap, buried, insulate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108695327 A (SAMSUNG ELECTRONICS CO., LTD.) 23 October 2018 (2018-10-23) description, paragraphs [0014]-[0048] and [0110]-[0149], and figures 1-2 and 6-18	1-15
A	CN 210296374 U (FUJIAN JINHUA INTEGRATED CIRCUIT CO., LTD.) 10 April 2020 (2020-04-10) entire document	1-15
A	CN 106298673 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 04 January 2017 (2017-01-04) entire document	1-15
A	CN 112885833 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 01 June 2021 (2021-06-01) entire document	1-15
A	CN 211555887 U (FUJIAN JINHUA INTEGRATED CIRCUIT CO., LTD.) 22 September 2020 (2020-09-22) entire document	1-15
A	US 2021242211 A1 (NANYA TECHNOLOGY CORP.) 05 August 2021 (2021-08-05) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 May 2022

Date of mailing of the international search report

12 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)

No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/113316

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011027988 A1 (HWANG, S. H. et al.) 03 February 2011 (2011-02-03) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/113316

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108695327	A	23 October 2018	US	2019296017	A1	26 September 2019
				KR	20180115158	A	22 October 2018
				US	2018301456	A1	18 October 2018
CN	210296374	U	10 April 2020	None			
CN	106298673	A	04 January 2017	None			
CN	112885833	A	01 June 2021	WO	2021103505	A1	03 June 2021
				EP	3896724	A1	20 October 2021
CN	211555887	U	22 September 2020	CN	111430348	A	17 July 2020
US	2021242211	A1	05 August 2021	TW	202131391	A	16 August 2021
				US	2022045067	A1	10 February 2022
				CN	113299653	A	24 August 2021
US	2011027988	A1	03 February 2011	KR	20110013032	A	09 February 2011

国际检索报告

国际申请号

PCT/CN2021/113316

A. 主题的分类 H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI, CNPAT, WPI, IEEE: 字线, 凹陷, 耦合, 串扰, 干扰, 空气隙, 空隙, 避让, 浅沟槽隔离, 沟槽, trench, STI, WL, word line, recess, air gap, buried, insulate		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 108695327 A (三星电子株式会社) 2018年10月23日 (2018 - 10 - 23) 说明书第[0014]-[0048], [0110]-[0149]段、附图1-2, 6-18	1-15
A	CN 210296374 U (福建省晋华集成电路有限公司) 2020年4月10日 (2020 - 04 - 10) 全文	1-15
A	CN 106298673 A (中芯国际集成电路制造上海有限公司) 2017年1月4日 (2017 - 01 - 04) 全文	1-15
A	CN 112885833 A (长鑫存储技术有限公司) 2021年6月1日 (2021 - 06 - 01) 全文	1-15
A	CN 211555887 U (福建省晋华集成电路有限公司) 2020年9月22日 (2020 - 09 - 22) 全文	1-15
A	US 2021242211 A1 (NANYA TECHNOLOGY CORP.) 2021年8月5日 (2021 - 08 - 05) 全文	1-15
A	US 2011027988 A1 (HWANG, S. H. 等) 2011年2月3日 (2011 - 02 - 03) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2022年5月5日		国际检索报告邮寄日期 2022年5月12日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 树奇 电话号码 86-(10)-53961220

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/113316

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108695327	A	2018年10月23日	US	2019296017	A1	2019年9月26日
				KR	20180115158	A	2018年10月22日
				US	2018301456	A1	2018年10月18日
CN	210296374	U	2020年4月10日	无			
CN	106298673	A	2017年1月4日	无			
CN	112885833	A	2021年6月1日	WO	2021103505	A1	2021年6月3日
				EP	3896724	A1	2021年10月20日
CN	211555887	U	2020年9月22日	CN	111430348	A	2020年7月17日
US	2021242211	A1	2021年8月5日	TW	202131391	A	2021年8月16日
				US	2022045067	A1	2022年2月10日
				CN	113299653	A	2021年8月24日
US	2011027988	A1	2011年2月3日	KR	20110013032	A	2011年2月9日