



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I475653 B

(45)公告日：中華民國 104 (2015) 年 03 月 01 日

(21)申請案號：098138216

(22)申請日：中華民國 98 (2009) 年 11 月 11 日

(51)Int. Cl. : H01L23/48 (2006.01)

H01L23/12 (2006.01)

H01L21/31 (2006.01)

(30)優先權：2008/12/04 美國

12/328,319

(71)申請人：飛思卡爾半導體公司 (美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國(72)發明人：瓊斯 傑佛瑞 K JONES, JEFFREY K. (US)；席瑪諾斯基 瑪格利特 A
SZYMANOWSKI, MARGARET A. (CA)；麥拉 米歇爾 L MIERA, MICHELE L.
(US)；任紹偉 REN, XIAOWEI (US)；柏格 維尼 R BURGER, WAYNE R. (US)；
班奈特 馬克 A BENNETT, MARK A. (GB)；柯爾 柯林 KERR, COLIN (GB)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

CN 1655338A

US 6621136B1

US 2003/0062588A1

審查人員：邱青松

申請專利範圍項數：10 項 圖式數：31 共 49 頁

(54)名稱

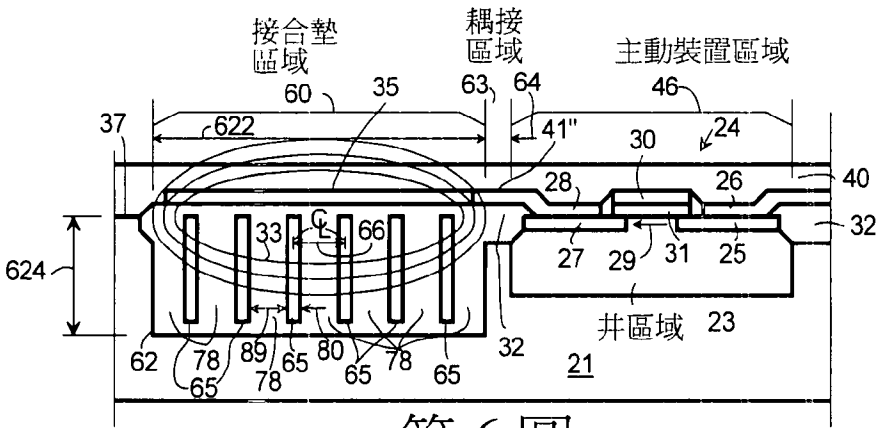
具接合墊形貌體下溝槽之射頻裝置及方法

RF DEVICE AND METHOD WITH TRENCH UNDER BOND PAD FEATURE

(57)摘要

在一共用基體上具有一主動裝置區域及接合墊(BP)區域的電子元件期望地包括位於該 BP 下的一電介質區域，以隨著該等電子元件縮放為較高的電力及/或操作頻率而減小該 BP 及其互連體的寄生阻抗。由簡單(例如僅氧化物)的電介質區域所產生的機械應力可能不利地影響性能、製造良率、墊至裝置的接近度，且佔據面積。這可以透過提供具有經電氣隔離之包含物的一合成電介質區域來避免，該等包含物具有一熱膨脹係數(TEC)，且其 TEC 小於供其等嵌入之該電介質材料的 TEC，且/或較接近於該基體之 TEC。對於矽基體，聚合矽或非晶質矽適合於該等包含物，且氧化矽適合於該電介質材料。該等包含物較佳地具有由該電介質材料所分離且包圍的一刀片狀形狀。

Electronic elements having an active device region and bonding pad (BP) region on a common substrate desirably include a dielectric region underlying the BP to reduce the parasitic impedance of the BP and its interconnection as the electronic elements are scaled to higher power and/or operating frequency. Mechanical stress created by plain (e.g., oxide only) dielectric regions can adversely affect performance, manufacturing yield, pad-to-device proximity and occupied area. This can be avoided by providing a composite dielectric region having electrically isolated inclusions of a thermal expansion coefficient (TEC) less than that of the dielectric material in which they are embedded and/or closer to the substrate TEC. For silicon substrates, poly or amorphous silicon is suitable for the inclusions and silicon oxide for the dielectric material. The inclusions preferably have a blade-like shape separated by and enclosed within the dielectric material.



第 6 圖

- 21 . . . 基體
- 22 . . . 主動裝置區域
- 24 . . . 場效電晶體/MOSFET
- 25 . . . 源極區域
- 26 . . . 源極接觸
- 27 . . . 汲極區域
- 28 . . . 汲極接觸
- 29 . . . 通道區域
- 30 . . . 閘極
- 31 . . . 閘極氧化物
- 32 . . . 電介質區域
- 33 . . . 電-磁(E-M)場
- 35 . . . 接合墊
- 46 . . . ARD/主動裝置區域
- 40 . . . 鈍化層
- 41" . . . 互連體
- 60 . . . 接合墊區域
- 62 . . . CDR
- 63 . . . 耦接區域
- 64 . . . 長度
- 65 . . . 包含物
- 66 . . . 中心線間隔
- 78 . . . 氧化區域
- 80 . . . 寬度
- 89 . . . 分離間隔
- 622 . . . 寬度/橫向尺寸
- 624 . . . 長度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98138216

※申請日：98.11.11

※IPC 分類：

H01L 23/48

E2006.02

H01L 23/12

E2006.02

H01L 21/31

E2006.02

一、發明名稱：(中文/英文)

具接合墊形貌體下溝槽之射頻裝置及方法

RF DEVICE AND METHOD WITH TRENCH UNDER BOND PAD
FEATURE

二、中文發明摘要：

在一共用基體上具有一主動裝置區域及接合墊(BP)區域的電子元件期望地包括位於該BP下的一電介質區域，以隨著該等電子元件縮放為較高的電力及/或操作頻率而減小該BP及其互連體的寄生阻抗。由簡單(例如僅氧化物)的電介質區域所產生的機械應力可能不利地影響性能、製造良率、墊至裝置的接近度，且佔據面積。這可以透過提供具有經電氣隔離之包含物的一合成電介質區域來避免，該等包含物具有一熱膨脹係數(TEC)，且其TEC小於供其等嵌入之該電介質材料的TEC，且/或較接近於該基體之TEC。對於矽基體，聚合矽或非晶質矽適合於該等包含物，且氧化矽適合於該電介質材料。該等包含物較佳地具有由該電介質材料所分離且包圍的一刀片狀形狀。

三、英文發明摘要：

Electronic elements having an active device region and bonding pad (BP) region on a common substrate desirably include a dielectric region underlying the BP to reduce the parasitic impedance of the BP and its interconnection as the electronic elements are scaled to higher power and/or operating frequency. Mechanical stress created by plain (e.g., oxide only) dielectric regions can adversely affect performance, manufacturing yield, pad-to-device proximity and occupied area. This can be avoided by providing a composite dielectric region having electrically isolated inclusions of a thermal expansion coefficient (TEC) less than that of the dielectric material in which they are embedded and/or closer to the substrate TEC. For silicon substrates, poly or amorphous silicon is suitable for the inclusions and silicon oxide for the dielectric material. The inclusions preferably have a blade-like shape separated by and enclosed within the dielectric material.

四、指定代表圖：

(一)本案指定代表圖為：第（ 6 ）圖。

(二)本代表圖之元件符號簡單說明：

21...基體	40...鈍化層
22...主動裝置區域	41...互連體
24...場效電晶體/MOSFET	60...接合墊區域
25...源極區域	62...CDR
26...源極接觸	63...耦接區域
27...汲極區域	64...長度
28...汲極接觸	65...包含物
29...通道區域	66...中心線間隔
30...閘極	78...氧化區域
31...閘極氧化物	80...寬度
32...電介質區域	89...分離間隔
33...電-磁(E-M)場	622...寬度/橫向尺寸
35...接合墊	624...長度
46... ARD/主動裝置區域	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

參照先前申請案

此申請案已經在 2008 年 12 月 4 日於美國提出申請，
為專利申請案第 12/328319 號案。

【發明所屬之技術領域】

本發明之領域

本發明大體上有關於半導體(SC)裝置及積體電路(IC)，及其等的製造方法，且更特別的是，有關於用以提供射頻(RF)電力裝置及 IC 的結構及方法，該射頻(RF)電力裝置及 IC 包含在接合墊形貌體下由絕緣體所填充的溝槽。

【先前技術】

本發明之背景

射頻(RF)電力裝置及積體電路(IC)的性能對相關聯於該等裝置或 IC 之連接體的終端阻抗尤其敏感。這對於金屬氧化物半導體(MOS)場效電晶體(MOSFET)及橫向擴散金屬氧化物半導體(LDMOS)場效電晶體(FET)尤其真實，其中低電阻率基體(例如 <0.1 歐姆-公分(Ohm-cm))通常用以增強該主動裝置的性能。此等低電阻率基體的電-磁(E-M)耦接可能使在此等裝置之輸入-輸出(I/O)終端處提供所期望的阻抗匹配，及保存該所期望的電力輸出及效率很困難或不可能。而且，此 E-M 耦接可引起該基體中的渦流損失，其可能進一步降低裝置及 IC 的性能。因為該本質裝置的阻抗隨著周邊的增加及頻率的增加而降低，且 E-M 損失隨著該等終端連接體(例如該等接合墊)大小的增加而增加，所以此

等問題對於高周邊裝置及較高頻率(例如 $> \sim 1\text{GHz}$)裝置更加嚴重。

第 1 圖顯示場效電晶體(FET)24(例如一 MOSFET)的簡化電氣示意方塊圖 10，其閘極 14 藉由輸入互連體 13 耦接於一輸入接合墊(IP-BP)12，且其汲極 16 藉由輸出互連體 41 耦接於一輸出接合墊(OP-BP)35。在 RF 頻率下，互連體 13 及 41 可表現為傳輸線，且因此也稱為輸入傳輸線(IP-TL)13 及輸出傳輸線(OP-TL)41。外部連接體 11(例如一導線接合或其他互連體)看到在輸入接合墊(IP-BP)12 處的輸入阻抗 Z'_{in} ，且外部連接體 19(例如一導線接合或其他互連體)看到在輸出接合墊(OP-BP)35 處的輸出阻抗 Z'_{out} 。輸入互連體(例如傳輸線(IP-TL))13 將輸入接合墊(IN-BP)12 耦接於在閘極 14 處具有本質輸入阻抗 Z_{in} 的 MOSFET 24，且輸出互連體(例如傳輸線(OP-TL))41 將在汲極 16 處具有本質輸出阻抗 Z_{out} 之 FET 24 的汲極輸出 16 耦接於輸出接合墊(OP-BP)35。第 2 圖顯示第 1 圖之方塊圖的簡化等效電路圖 10'。電導 G_1 、 G_2 ，電容 C_1 、 C_2 ，電感 L_1 及電阻 R_1 表示 IN-BP 12。電導 G_3 、 G_4 ，電容 C_3 、 C_4 ，電感 L_2 及電阻 R_2 表示 IN-TL 13。電晶體 24 由本質阻抗 Z_{in} 與 Z_{out} 及放大器 A 表示。電導 G_5 、 G_6 ，電容 C_5 、 C_6 ，電感 L_3 及電阻 R_3 表示 OP-TL 41。電導 G_7 、 G_8 ，電容 C_7 、 C_8 ，電感 L_4 及電阻 R_4 表示 OP-BP 35。

隨著操作頻率及/或電晶體之閘極周邊的增加，該本質的電晶體終端阻抗 Z_{in} 及 Z_{out} 變小，因為其等隨頻率及閘極周

邊而縮放。忽略在閘極長度與通道長度之間可能存在的細微差，該閘極周邊是該閘極寬度加上閘極長度之和的兩倍。閘極周邊隨著電力處理能力的增加而增加，因為越來越多的FET並行地予以有效操作。此在各種FET中可見的是，使用多個並行耦接的“指標”，每一指標形成一個別的FET。因而，本質阻抗的降低是裝置在較高電力及/或較高頻率下操作，且特別的是對於在大概1GHz或在其之上操作的一直接結果。隨著該本質阻抗 Z_{in} 及 Z_{out} 變小，第1-2圖所繪示之該等互連體(例如IP-TL 13、OP-TL 41)及接合墊(例如IP-BP 12及OP-BP 35)的寄生阻抗可占主導地位，使得難以或不可能將能量有效地耦接於裝置24內及外。此等寄生阻抗可作為信號竊取電壓的分壓器。例如，現在參照第2圖，在終端11處所呈現的一輸入信號在閘極14處出現用以驅動電晶體24的部分，由 Z_{in} 除以 Z_{in} 加上 $Z_{(IN-BP)} + Z_{(IP-TL)}$ 之和的比所給定，其中 $Z_{(IN-BP)}$ 是由輸入接合墊(IN-BP) 12所呈現的串列阻抗，且 $Z_{(IP-TL)}$ 是由輸入傳輸線(IN-TL)13所呈現的串列阻抗。在由方塊圖10及等效電路10'所呈現的電子元件打算用於在較高頻率及/或較高電力下操作(從而具有較小的 Z_{in})的情況下，項次 $Z_{(IN-BP)}$ 及 $Z_{(IP-TL)}$ 開始占主導地位，且此分壓器的行動減少了到達電晶體24之驅動信號的數量。在電晶體24的汲極16與輸出終端19之間的輸出處發生了一相似效應。除非在該等本質輸入-輸出裝置阻抗隨頻率及/或電力處理能力而縮放的同時，採取動作來縮放該接合墊及傳輸線阻抗，否則不能合理地實現整體較高的頻率操

作及較高電力處理能力。

因而，存在一需求，需要繼續改良裝置結構及製造方法，從而減少與此等高頻率裝置及IC之終端及耦接元件相關聯的寄生E-M耦接，典型的是，該等接合墊及/或用以將此等高頻率裝置及/或IC耦接於此等接合墊及外部引線及/或其他元件的互連體。

【發明內容】

依據本發明之一實施例，係特地提出一種電子元件，包含：一半導體(SC)基體，其具有一第一熱膨脹係數(TEC)及一主動裝置區域及一接合墊區域；一接合墊，其位於該接合墊區域中；一合成電介質區域，其位於該接合墊區域中在該接合墊下，且包含具有一第二TEC的一絕緣材料；多個另一材料的包含物，其等位於該合成電介質區域中，該另一材料具有小於該第二TEC的一第三TEC，其中該等包含物與該基體及該接合墊電氣隔離；及一主動裝置，其位於該主動裝置區域中且接近該合成電介質區域，具有藉由一互連體電氣耦接於該接合墊的一第一終端。

圖式之簡單描述

本發明將在其後結合下面的圖式予以描述，其中相同的數字表示相同的元件，且其中：

第1圖是一場效電晶體(FET)的一簡化電氣示意方塊圖，其閘極耦接於一輸入接合墊，且其汲極耦接於一輸出接合墊；

第2圖是第1圖之該方塊圖的一簡化等效電路圖；

第3圖是一電子裝置的一簡化示意平面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第4圖是根據先前技術，與第3圖相一致之一電子裝置的一簡化示意截面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第5圖是與第3圖相一致之另一電子裝置的一簡化示意截面視圖，該另一電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第6圖是根據本發明之一實施例之一電子裝置的一簡化示意截面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第7-8圖是根據本發明之另一些實施例，為第6圖之電子裝置的一簡化示意平面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第9-14圖是根據本發明之又一些實施例，位於在第6-8圖之該裝置的接合墊區域下的各種電介質區域的簡化示意平面視圖；

第15-23圖顯示根據本發明之再一些實施例，在適合於支撐接合墊之第6-8及9-14圖的電介質區域的不同製造步驟中，穿過一半導體基體的簡化示意截面視圖；

第24-26圖顯示根據本發明之另一些實施例，在適合於

支撐接合墊之第6-14圖的電介質區域的不同製造步驟中，穿過一半導體基體的簡化示意截面視圖；以及

第27-31圖顯示根據本發明之又一些實施例，在適合於支撐接合墊之第6-14圖的電介質區域的不同製造步驟中，穿過一半導體基體的簡化示意截面視圖。

【實施方式】

本發明之詳細描述

下面的詳細描述性質上僅是示範，且不打算限制本發明或申請案及本發明的使用。再者，其不打算由呈現於該先前技術領域、背景或下面的詳細描述中之任何所表示或暗示的理論來限定。

為了使說明簡單且清晰，該等繪製圖說明構造或製造步驟的整體方式，且已知特徵及技術的描述及細節可予以省略，以避免非必要地模糊了本發明。此外，在該等繪製圖中的元件不一定按照比例繪製。例如，在該等圖中一些元件或區域或層的尺寸可相對於其他元件或區域或層予以放大，以幫助改善對本發明之實施例的理解。

在該描述及該等申請專利範圍中，如果有用語“第一”、“第二”、“第三”、“第四”等，可用於區別相似的元件，且不一定用於描述一特定的序列或順序。應理解的是，如此使用的用語在適當的環境下是可互換的，使得例如本文所述之本發明的實施例能夠，由除了本文中以此等方式所說明或以另外方式所述序列之外的序列來操作或製造。再者，用語“包含”、“包括”、“具有”及其中的任何變化是打算

涵蓋一未排除的包含物，使得包含一串元件或步驟的一製程、方法、物品或設備不一定限於此等元件或步驟，而可包括此製程、方法、物品或設備沒有明確列出或固有的其他元件或步驟。本文所使用的用語“耦接”定義為以一電氣或非電氣的方式直接地或間接地連接。

如在此所使用的，用語“半導體”是打算大體上包括無論單一晶體、多晶體或非晶質的任何半導體，且包括類型 IV 半導體、非類型 IV 半導體、化合物半導體及有機與無機半導體。而且，用語“基體”及“半導體基體”是打算包括例如單一晶體結構、多晶體及非晶質結構、薄膜結構、分層結構，且不算限制絕緣層上半導體(SOI)的結構及其結合。該用語“半導體”被縮寫為“SC”。用語“晶圓”或“基體”(單數的或複數的)打算是指支撐相比於其等橫向表面區域相對薄的結構，且用於電子裝置的批量製造中。此等晶圓及基體的非限制性範例包括：半導體晶圓、SOI 晶圓、及製造主動及/或被動電子元件於其中或其上，或用於此等元件之製造中的其他類型的支撐結構。

為了方便說明，且不打算是限制性的，電子結構(例如主動及被動裝置及元件及其結合)及本發明之各種實施例的製造方法在本文針對於矽半導體及由矽氧化物形成的電介質來描述，但是在該技藝中具有通常知識者應理解的是，也可使用其他的半導體及電介質材料。而且，為了方便說明，MOSFET 裝置及/或 LDMOS 電晶體形式的主動裝置可予以說明或描述，但是在該技藝中具有通常知識者應

理解的是，其不打算限於可用於本發明之各種實施例之主動裝置區域中的任何類型的主動裝置，且與任何此等裝置相結合的用語金屬氧化物半導體(且該縮寫為 MOS)不僅限於氧化物閘極電介質及/或金屬閘極或源極-汲極導體，還包括在此等裝置中替代“氧化物”的任何類型的絕緣電介質(有機的或無機的)，及替代“金屬”的任何類型的導體(有機的或無機的)。

在下面的描述中，各種範例都描述耦接於一主動裝置(例如一 MOSFET)的輸出終端(例如汲極)的一接合墊，但是這僅打算是為了描述的方便，而不打算是限制性的。在該技藝中具有通常知識者應理解的是，本文針對於一裝置輸出終端及相關聯輸出接合墊及互連體所提供的討論及範例也可用於一裝置輸入終端及相關聯輸入接合墊及互連體。而且，用以提供改良性能、成本減少及效率的結構及方法適用於一電子結構形成於一半導體基體上而不與該基體連接的所有終端，也就是說，適用於其 E-M 基體耦接可能產生有害影響的所有裝置及元件終端。

第 3 圖是電子裝置之一簡化示意平面視圖，且第 4 圖是電子裝置 20 的一簡化示意截面視圖，該電子裝置 20 包含在主動裝置區域 22 中的 MOS 場效電晶體(FET)24，其藉由耦接區域 38 的互連體 41 耦接於在接合墊區 34 中的接合墊 35。第 4 圖是根據先前技術。電子裝置 20 包含已經形成摻雜井區域 23 的半導體基體 21(例如矽)，MOSFET 24 形成於該摻雜井區域 23 中。假定基體 21 是低電阻率的材料，

例如具有小於大約 0.1 Ohm-cm 的一片電阻，但也可使用較高或較低的數值。位於井區域 23 中的是間隔開的元件：(i) 具有源極接觸 26 的源極區域 25，及(ii)具有汲極接觸 28 的汲極區域 27。在閘極氧化物 31 及閘極 30 下的通道區域 29 位於源極-汲極區域 25、27 之間。當向裝置 24 施以電壓時，在源極 25 與汲極 27 之間的電流流過場致通道區域 29，該電流的極性依據電晶體 24 是否為一 N-通道或 P-通道類型的 FET 而定。儘管電晶體或裝置 24 被說明為一 MOSFET，但是可以替換為任何類型的主動裝置，例如且不打算限制性的 JFET 裝置、LDMOS 裝置、雙極裝置等。不管被稱為 MOSFET 電晶體或裝置 24，裝置 24 也打算代表此等其他的裝置類型，且汲極電極 28 也打算代表此等其他裝置類型的一主要終端。

接合墊 35 藉由互連體 41 耦接於汲極電極 28。對於具有大概 80 毫米(mm)之總閘極周邊的一 FET，接合墊 35 典型地具有在大約 3 至 7 毫米之範圍中的寬度 351，及在大約 75 至 200 微米之範圍中的長度 361，或在大約 0.225 至 1.4 平方毫米(mm²)之範圍中的面積，但是也可以使用較大或較小的數值。互連體 41 典型地具有在大約每毫米閘極周邊 7 至 60 微米之範圍中的寬度 411，但是也可以使用較大或較小的數值，且互連體 41 的長度 412、412'可依據該設計者的需求而定，在一廣泛的範圍上變化。互連體 41 藉由電介質區域 32(例如矽氧化物)與基體 21 絕緣，且接合或連接墊 35 藉由厚度為 361 的電介質區域 36(例如矽氧化物)與基體

21 絕緣。如本文所使用的，用語“接合墊”及“墊”(單數的或複數的)打算是指本文所述之該等電子裝置之任何類型的重要區域 I/O 連接體。在第 4 圖中，類似於第 3 圖之長度 412 之長度為 39 的耦接區域 38 存在於主動裝置區域 22 與接合墊區域 34 之間。儘管在第 3-4 圖僅顯示了一個接合墊(例如墊 35)(且類似於隨後的圖)，但是在該技藝中具有通常知識者應理解的是，通常存在耦接於電晶體 24 之閘極 30 或其他主動終端之一大體上相似的接合墊。

當向具有電晶體 24 的裝置 20 施以電壓時，電-磁(E-M)場 33 形成於接合墊區域 34 中接合墊 35 周圍。由於相比於汲極接觸 28，墊 35 相對大的面積及相對短的互連體 41，與墊 35 相關聯的 E-M 場 33 可主導與高頻率(例如 RF)裝置 20 之特性相關聯的寄生效應。就該 E-M 場 33 穿透低電阻率基體 21 的程度而言，寄生耦接可能例如由於主導該終端 I/O 阻抗使得難以或不可能實現至電晶體 24 內及外之適合的輸入-輸出(I/O)阻抗匹配及耦接，而發生降低裝置 20 的性能的情況，如上所述。在此種情況下，可能嚴重地降低裝置 20 的電力處理能力及最大操作頻率。

第 5 圖是電子裝置 20' 的一簡化示意截面視圖，其包含在主動裝置區域 22 中的場效電晶體(FET)24，其耦接於在接合墊區域 34' 中的接合墊 35。第 5 圖的電子裝置 20' 藉由提供位於墊 35 下之相對深的電介質區域(DDR)36'(例如氧化矽)，也就是說，具有實質上大於第 4 圖之場氧化物電介質區域 36 之厚度 361 的深度 361'，而不同於第 4 圖的電子

裝置 20。深度 361' 有利地等於或大於大約 5 微米，較合宜地等於或大於大約 10 微米，且較佳地等於或大於大約 15 微米，但是也可使用較大或較小的數值。由於存在 DDR 36'，E-M 場 33 不再與基體 21 如此顯著地相互作用。在墊 35 與基體 21 之間的 E-M 耦接獲得極大減小，儘管在互連體 41' 與基體 21 之間的 E-M 耦接可依據互連體 41' 的長度 39'、412' (及寬度 411) 及下方電介質 32 的厚度而較大或較小。因而，相關聯於墊 35 的阻抗較容易匹配，且以其他方式出現於第 4 圖之安排中的渦流損失及其他寄生效應可較不重要。因而，相比於第 4 圖的安排，第 5 圖的安排可減小整體裝置性能的降低。

然而，發現了可能使第 5 圖的安排低於理想的另一問題。這必須處理由於 DDR 36' 的存在而在基體 21 中所產生的機械應力。例如，用於形成 DDR 36' 之矽氧化物的熱膨脹係數 (TEC) 大於例如矽之基體 21 的 TEC。在裝置 20 在製造期間及之後遭受各種熱循環時，在基體 21 中產生顯著的應力。此應力可反過來影響位於主動裝置區域 (ADR) 22 中之任何主動裝置 24 的特性。設置 DDR 36' 距離主動裝置區域 (ADR) 22 越近，也就是說，耦接區域 38' 的長度 39' 及互連體 41' 的長度 412' 越小，由 DDR 36' 所產生之機械應力可能對於主動裝置 24 的有害影響就越大。這大體上對用於主動裝置區域 (ADR) 22 中之任何類型的主動裝置都是真實的，且不僅限於該等圖中所示的示範 MOSFET 24。因而，為了有利地使由第 5 圖之結構所提供的寄生 E-M 效應減

小，而在 DDR 36' 接近於 ADR 22 時不遭受由此效應所引起的有害應力，通常需要增加耦接區域 38' 的長度 39' 及互連體 41' 的長度 412'。這導致裝置 20' 佔據較大的面積(稱為“面積膨脹”)，其接著降低可同時在一單一晶圓上製造之裝置或包含裝置 20' 之 IC 的數量。這就導致了較高的製造成本。而且，由於增加耦接區域 38' 之長度 39' 而導致之互連體 41' 的長度 412' 增加，可能會加入一系列不期望的阻抗，如結合第 1-2 圖所說明，從而也限制裝置 20' 的整體性能。

第 6 圖顯示根據本發明之一實施例，穿過作為範例包含在共用半導體基體 21 上在主動裝置區域(ADR)46 中的 MOSFET 24 及在接合墊區域 60 中的接合墊 35 的電子元件 44 的一簡化示意截面視圖。第 7-8 圖是根據本發明之又一些實施例，第 6 圖之該電子裝置的簡化示意平面視圖。將第 6-8 圖一起考慮，ADR 46 藉由長度為 64 的耦接區域 63 與接合墊區域 60 分離。ADR 46 及示範主動裝置 24 實質上與結合第 3-5 圖之 ADR 22 及裝置 24 所示的及所述的相同，且該描述在此以參照的形式被併入本文。MOSFET 24 是習知的主動裝置，且表示任何類型的主動裝置。在接合墊區域 60 中的接合墊 35 覆蓋在深度為 624 且橫向尺寸為 621、622(參見第 6-8 圖)的合成電介質區域(CDR)62 上。CDR 62 的橫向尺寸 621、622 由設計者選擇，以調節設置於合成電介質區域(CDR)62 上之寬度為 351 且長度為 352(參見第 7-8 圖)的接合墊 35。CDR 62 的深度 624 應該足以實質上減小在裝置操作期間，由接合墊 35 所產生的 E-M 場 33 與基

體 21 的相互作用。在大多數情況下，深度 624 有利地等於或大於大約 5 微米，較合宜地等於或大於大約 10 微米，且較佳地等於或大於大約 15 微米。

已經發現的是，可能與第 3 圖的深電介質區域 36' 相關聯之不利的電路損失、不利的裝置產率影響及不利的佈局密度影響(面積膨脹)可透過提供位於第 6-8 圖之接合墊 35 下的合成電介質區域(CDR)62 來改進或避免，其中區域 62 包括藉由電介質(例如氧化物)部分 78 相互分離的多個電氣浮動的柱狀或刀片狀多晶體或非晶質(例如非單一晶體)區域或包含物 65。在基體 21 是矽的一較佳實施例中，包含物 65 是多晶矽，但是也可使用具有適當的熱膨脹係數(TEC)的其他材料。包含物 65 具有寬度 80、分離間隔 89 及中心至中心間隔 66。已經發現的是，第 6 圖所繪示的結構不會在基體 21 中產生可能由於第 5 圖之安排而出現的不期望應力，且從而最小化或避免由於此應力而出現之對於製造產率、裝置特性及面積膨脹的不利影響。相比於出現於第 5 圖之包含深電介質區域 36' 而不具有包含物 65 之元件 20' 的 ADR 22 中的應力，出現於第 6-8 圖之包含合成電介質區域(CDR)62 之電子裝置 44 的基體 21 及相鄰主動裝置區域(ADR)46 中的應力獲得極大地減小。因而，包含具有墊區域 60 下之 CDR 62，且具有第 5-8 圖之相鄰 ADR 46 之基體 21 的元件 44 不僅由於減小了從接合墊 35 至基體 21 的 E-M 耦接，而具有優越的性能特性，而且也避免了與第 5 圖之安排相關聯的過多的製造良率損失及面積膨脹。已經發現

的是，與第 6 圖之元件 44 結構相關聯的製造良率顯著大於與第 5 圖中以其他方式所識別之元件 20' 相關聯的製造良率。進一步發現的是，耦接區域 63 的長度 64 相比於 CDR 62 通常製作得小得多，但是沒有不利的影響，而第 5 圖之實質上較大的耦接區域 38' 可能必須提供於第 5 圖中元件 20' 的墊區域 34' 與主動裝置區域 22 之間，以減小由深度氧化區域 36' 所產生之應力對主動裝置區域 22 的影響。例如且不打算限制性的，在裝置 44 中將接合墊區域 60 與主動裝置區域 46 分離的耦接區域的長度 64 可以製成 20 微米小，而對於第 3 圖的結構，在裝置 20' 的墊區域 34 與主動裝置區域 22 之間的耦接區域的長度 39 必須大體上是 100 至 200 微米的等級，以避免不利的應力影響。從而，避免對深度氧化區域 36' 之電路封裝密度的不利影響。概要地來說，透過使用第 6 圖的結構：(i)減小了對接合墊及互連體阻抗及對基體損失的不利的寄生 E-M 耦接影響；(ii)改良了整體的電路效率；(iii)最小化或避免了基體應力及其對主動裝置特性的不利影響，及(iv)可設置接合墊區域 60 接近於主動裝置區域 46，從而避免電路封裝密度(即面積膨脹)的損失及以其他方式常見於第 5 圖之安排中的較長互連體 41' 之阻抗的增加。此等有利的效應是高度期望的，且是超過先前技術的一顯著進步。

第 7-8 圖繪示在 CDR 62 中由電介質區域 78 所分離之包含物 65 的各種幾何安排的平面視圖，為了方便，在第 7 圖中視為具有包含物 65-1 及分離電介質區域 78-1 的 CDR

62-1，及在第 8 圖中具有包含物 65-2 及分離電介質區域 78-2 的 CDR 62-2。此等共同地被稱為 CDR 62、包含物 65 及中間電介質(例如氧化物)區域 78。包含物 65-1 及 65-2 延伸橫越 CDR 62-1、62-2，且相對於裝置 24 的方向，定位為相互之間呈直角。在第 7 圖中，包含物 65 的較長尺寸定位於不指向主動裝置區域 46 的一方向(例如定位為與裝置區域 46 呈直角)。在第 8 圖中，包含物 65 的較長尺寸定位於指向主動裝置區域 46 的一方向。第 8 圖中包含物 65 的指向是較佳的。然而，其不打算限制性的，且可以使用相對於裝置區域 46 中之裝置 24 呈任何角度指向的包含物 65。

第 9-14 圖顯示根據本發明之另一些實施例，包含分別由電介質區域 78-3 至 78-8(共同地稱為 78)橫向分離之電氣浮動(例如多晶體或非晶質半導體)包含物 65-3 至 65-8(共同地稱為 65)，且適用於第 6-8 圖之積體電子元件 44 之經改良接合墊區域 60 中的各種電介質區域(CDR)62-3 至 62-8(共同地稱為 62)的簡化平面視圖。如結合第 15-23 圖所說明，包含物 65 較佳地形成於溝槽中，且在平面視圖中具有第 7-14 圖所繪示之安排的任何一個。包含物 65 可以如第 7-8 圖所繪示之實質上平行的列，或以如第 9 圖所繪示之交錯的列，或以如第 10 圖所繪示之“L”或“T”形狀的安排，或以如第 11 圖所繪示的一格狀安排(其中在該格中的開口相對應於電介質區域 78)，或以如第 12-14 圖所繪示之由電介質區域 78 所分離的同心矩形、圓形或多邊形來安排。此等安排的任何一個都是適當的，且作為範例而不作為限制條件。

來提供。也可使用包含物 65 之其他二維平面視圖的安排。在接合墊 35 具有一圓形或多邊形平面視圖設計的情況下，諸如第 13-14 圖所繪示之 CDR 62 及包含物 65 的圓形或多邊形安排尤其有用。

第 15-23 圖顯示根據本發明之另一些實施例，在第 6 圖之接合墊區域 60 中適合於支撐一或多個接合墊 35 之 CDR 62 的不同製造步驟 115-123 下，穿過半導體基體 45 的簡化示意截面視圖。在第 15-23 圖中，CDR 62 的形成予以說明，且包括於相鄰 ARD 46 之一或多個主動裝置之製造中的習知步驟在很大程度上予以省略。因此，ARD 46 未顯示於第 15-22 圖中，而僅包括於第 23 圖中。在第 15-22 圖的製造步驟 155-122 之前、期間或之後，可在 ARD 46 中製造一或多個主動裝置(例如參見第 6 圖)，且此製造僅作為範例且不打算限制性地包括於第 23 圖的製造步驟 123 中。第 15-23 圖的基體 45 類似於第 6 圖的基體 21，而繪示為具有一特定的傳導類型且包括延伸至基體 45 之上方表面 57 的外延層 48。此僅打算用於說明各種基體，因為此摻雜類型及外延層對於 LDMOS 裝置尤其有用，且不打算限制性的。基體 45 的摻雜類型及外延層 48 的存在或缺少對於 CDR 62 的形成沒有顯著的影響，且可包括於本發明之各種實施例中，或在本發明之各種實施例中予以省略。

現在參照第 15 圖的製造步驟 115，在一較佳實施例中，提供 P+矽基體 45，其具有例如輕摻雜 P-型外延層之表面 57 及厚度為 481 的上方區域 48。在其他實施例中，一

輕摻雜井區域可替換在主動裝置區域 46 中的外延區域 48。厚度 481 有利地在大約 1 至 15 微米的範圍中，較合宜地在大約 5 至 13 微米的範圍中，且較佳地在大約 9 至 13 微米的範圍中，但是在其他實施例中也可使用較厚或較薄的層，上方區域 48 可予以省略或藉由植入或其他摻雜裝置予以提供。是否需要厚度為 481 且與基體 45 相同或不同摻雜的上方區域 48 將依據該設計者期望形成於 ADR 區域 46 中之裝置的類型而定，且在該技藝中具有通常知識者的能力範圍內。在該技藝中具有通常知識者也將理解的是，一矽基體及氧化矽電介質結合第 15-23 圖的描述是打算作為較佳實施例的範例，而不是作為用以排除其他類型的半導體及電介質材料的限制條件。

根據其與 SC 基體 45 的相容性及差分蝕刻度而選定之厚度為 69 的初始墊層 68 被期望地提供於 SC 表面 57 上。對於初始墊層 68，氧化矽是一適當的材料，但是也可以使用其他的材料。厚度 69 有利地在大約 0.02 至 0.2 微米的範圍中，較合宜地在大約 0.04 至 0.17 微米的範圍中，且較佳地在大約 0.1 至 0.17 微米的範圍中，但是也可以使用較厚及較薄的層。厚度為 71 的另一墊層 70 提供於初始墊層 68 上。另一墊層 70 根據其抵抗諸如下方 SC 基體 45 之氧化的化學反應的能力、其對於下方初始墊層 68 的差分蝕刻度及其作為平面化蝕刻阻絕或拋光阻絕的有效性來選擇。對於另一墊層 70，氮化矽是一適當的材料，但是也可以使用其他材料。厚度 71 有利地在大約 0.02 至 0.2 微米的範圍中，

較合宜地在大約 0.04 至 0.17 微米的範圍中，且較佳地在大約 0.1 至 0.15 微米的範圍中，但是也可以使用較厚及較薄的層。硬遮罩層 72 提供於另一墊層 70 上。對於硬遮罩 72，例如使用矽酸乙酯(TEOS)反應物由化學汽相沈積(CVD)所形成的氧化矽是一適當材料的一非限制性範例，但是也可以使用其他耐久的遮罩材料。開口 73 被提供穿過硬遮罩層 72、另一墊層 70 及初始墊層 68，從而暴露 SC 基體 57 的區域 571。產生結構 215。

現在參照第 16 圖的製造步驟 116，優先且非等向侵蝕半導體基體 45 的蝕刻劑 90 直接穿過遮罩開口 73，以形成延伸至及/或穿過外延層 48，且延伸於基體 45 中至深度 741 處的溝槽。深度 741 有利地在大約 2 至 20 微米的範圍中，較合宜地在大約 9 至 20 微米的範圍中，且較佳地在大約 15 至 20 微米的範圍中，但是也可以使用較大及較小的深度。蝕刻劑 90 的選擇依據 SC 基體 45 之材料選擇而定，且在該技藝中具有通常知識者的能力內。對於矽基體 45，在一氮氧混合物中的 HBr 及 SiF₄ 對於蝕刻劑 90 來說是較佳的，但是也可以使用其他非等向的蝕刻劑。開口 73 的寬度及間隔被選擇，以提供由基體 45 之 SC 材料的寬度為 77 的柱 76 所分離之寬度為 75 的溝槽 74。產生結構 216。

現在參照第 17 圖的製造步驟 117，第 16 圖中所示之硬遮罩層 72 予以移除，且暴露於溝槽 74 中的半導體材料優先地轉換為電介質。對於矽基體 45，該產生的電介質較佳的是二氧化矽。矽基體 45 的高壓力或串流氧化是由暴露於

溝槽 74 中的 SC 材料形成氧化區域 78 的一較佳方式。在此實施例中執行氧化直至實質上在 SC 基體塔柱或柱 76 中的所有 SC 材料轉換為氧化矽。與在氧化期間所消耗的矽相比，由於矽塔柱或柱 76 之氧化所產生的二氧化矽佔據一較大的體積。因而，溝槽 74 隨著氧化的進行而變窄。溝槽寬度 75 及柱寬度 77 被選擇(藉由適當地選擇初始遮罩開口 73 及間隔)，使得由於柱 76 的氧化而形成的氧化區域不是靠近，而是在相鄰氧化柱 78 之間留下寬度為 80 的空溝槽或空隙 79。寬度 80 有利地在大約 0.2 至 5.0 微米的範圍中，較合宜地在大約 0.2 至 3.0 微米的範圍中，且較佳地在大約 0.3 至 0.7 微米的範圍中，但是也可以使用較寬及較窄的空隙。作為範例且不打算是限制性的，假設 SC 柱 76 在製造步驟 117 中完全轉換為氧化物，為了獲得寬度 80 大約為 0.5 微米的空隙溝槽 79，使用由寬度 77 大約為 2.7 微米之初始基體柱所分離之寬度 75 大約為 4.5 微米 (參見第 16 圖) 的初始溝槽，從而得出大約為 7.2 微米之初始溝槽-溝槽的中心線分離間隔 67。包含物 65 的中心線間隔 66 將大約等於溝槽 74 的中心線間隔 67。透過調整初始溝槽寬度 75 及柱寬度 77，在 SC 基體柱 76 完全轉換為氧化物之後，可獲得不同寬度 80 的剩餘間隙溝槽 79。換一種說法，寬度 75 期望地是寬度 80 的大約 8-10 倍，且中心線間隔 66 期望地是寬度 80 的大約 13-16 倍。產生結構 217。

現在參照第 18 圖之製造步驟 118，非單一晶體材料(例如聚合矽或非晶質矽)層 82 在接合墊區域 60 上形成(例如藉

由 CVD)足夠的厚度 81，以由包含物 83 來填充空穴 79。為了說明方便，假設在其後層 82 及包含物 83 是聚合矽或非晶質(例如非單一晶體)矽，但是也可以使用具有小於電介質 78 之 TEC 的一熱膨脹係數(TEC)及/或接近於基體 45 之 TEC 的其他材料。非晶質及/或多晶體(例如非單一晶體)矽或鍺，或矽與鍺的結合是適用於與矽或鍺或矽-鍺基體 45 一起使用的其他材料的非限制性範例。結構 218 產生，其中，例如聚合矽或非晶質矽的包含物 83 形成於溝槽 79 中。透過考慮第 6-18 圖，應理解的是，包含物 83 可具有一柱子狀或柱狀或刀片狀的結構，也就是說，其等寬度大體上顯著地小於其等高度 791，且在垂直於第 6 及 15-23 圖之平面的方向上顯著地小於其等深度，如在第 7-14 圖之平面視圖中所見的。

現在參照第 19 圖的製造步驟 119，第 18 圖中所示之位於另一墊層 70 上的層 82 的一部分予以移除，留下未接觸的聚合矽或非晶質矽包含物 83。任何平坦化技術可予以使用。在蝕刻該光阻劑(圖未示)及聚合矽或非晶質矽層 82(所謂的抗回蝕刻技術)之前的光阻劑塗佈是一適當平坦化製程的一非限制性範例，但是也可以使用諸如化學機械拋光(CMP)的其他平坦化技術，來移除層 82 在層 70 上的額外部分。另一墊層 70 用作一平坦化蝕刻阻絕或拋光阻絕，且促進該平坦化製程。產生結構 219。

現在參照第 20 圖之製造步驟 120，在聚合矽或非晶質矽包含物 83 之頂部的部分 84 藉由一簡單(例如矽)蝕刻予以

移除。所移除的部分 84 包括在溝槽 79(參見第 19 圖)中且較佳地位於 SC 表面 57 上之包含物 83 的頂部，但是也可以使用較深或較淺的蝕刻。所使用的該特定蝕刻劑將依據包含物 83 之材料的選擇而定，且在該技藝中具有通常知識者的能力內。在包含物 83 是聚合矽或非晶質矽的情況下，HBr 及/或 HCl 是適當的蝕刻劑。產生結構 220。

現在參照第 21 圖之製造步驟 121，(例如聚合矽或非晶質矽)包含物 83 暴露於製造步驟 120 中的部分予以氧化，以形成位於嵌入於電介質(例如氧化矽)區域 78 內之經電氣隔離的(例如聚合矽或非晶質矽)包含物 65 上方的電介質區域 85，從而形成第 6 及 21 圖所繪示之寬度為 622 且深度為 624(參見第 6 圖)或 781(參見第 21 圖)且包含經電氣隔離(例如聚合矽或非晶質矽)包含物 65 的合成電介質(隔離)區域(CDR)62。產生結構 221。現在參照第 22 圖之製造步驟 122，較佳地為氮化矽且厚度為 87 的另一電介質層 86 形成於合成電介質區域(CDR)62 上。產生結構 222。現在參照第 23 圖之製造步驟 123，主動裝置 24 使用在該技藝中習知的方式，合宜地形成於 ADR 46 中。在此範例中，主動裝置 24 是具有分別與接觸 26、28 接觸之源極-汲極(或汲極-源極)區域 25、27，及具在通道 29 上之閘極 30 的閘極電介質 31 的一 MOSFET，但是此僅作為範例，而不打算是限制性的，且在第 15-23 圖之任何製造步驟 115-123 之前或期間，任何其他類型的主動裝置同樣可形成於 ADR 60 中。在準備主動裝置 24 時，墊層 68、70 及層 86 通常包含至場氧化區域

中或被其替代，而在第 23 圖中通常被忽略，儘管顯示層 86 包含於第 23 圖之 CDR 62 的上方部分中。接合墊 35 形成於在接合墊區域 60 中之 CDR 62 上，同時合宜地作為主動裝置 24 的接觸 26、28，但是在其他實施例中，接合墊 35 可在該製造製程中稍早或稍後的時候形成。任一順序都是可以的。例如且不打算限制性的，具有或不具有各種穩定性摻雜劑之氧化矽、氮化矽或其結合的鈍化層 40 期望地用於接合墊區域 60 及 ADR 46 上。產生結構 223。電子元件 44 此時實質上是完成的。例如在汲極金屬噴敷區域 28 與接合墊 35 之間的互連體 41 被指出。在接合墊區域 60 與 ADR 46 之間長度為 39 的耦接區域 38 可製得極短，因為可設置 CDR 62 接近於 ADR 46，例如在距離 ADR 46 大約 20 微米內。

包含物 65 可具有定義為其等垂直高度除以其等水平寬度 80(參見第 6 及 21-23 圖)的高寬比，其在大約 2 至 200 的範圍中，較合宜地大約 15 至 50，且較佳地大約 20 至 30，但是也可以使用較大及較小的數值。其等在垂直於第 6 及 20-23 圖之平面的方向上的長度可以是寬度 80 的較多倍，且將依據覆蓋在 CDR 62 上之接合墊 35 的橫向大小而定，如觀察第 7-14 圖中所呈現的平面視圖所理解的。

第 24-26 圖顯示根據本發明之再一些實施例，在第 6 及 7-14 圖之適用於支撐一或多個接合墊 35 之 CDR 62 的不同製造步驟 124-126 下，穿過半導體基體 45 的截面視圖。結合第 24-26 圖，約定由相同的參考數值來代表與第 15-23

圖中此等區域相似的各種區域，且透過使用由一引號(')所補充的相同參考數值來代表類似於第 15-23 圖中此等區域，但可能在某一(某些)層面不同的各種區域。例如，基體 45 可以是相同的，且因而與第 15-23 圖一樣，在第 24-26 圖中由相同的參考數值 45 來代表，而同時類似於第 15-23 圖的溝槽 74 及柱 76 之第 24-26 圖的溝槽 74' 及柱 76' 可能有點不同，且因而由加入一(')的相同參考數值來代表。第 24 圖之產生結構 224 的製造步驟 124 類似於第 16 圖之產生結構 216 的製造步驟 116，且其中的討論及先前製造步驟 115 以參照的形式被併入本文。在製造步驟 124 及結構 224 中不同的是，溝槽寬度 75' 及柱寬度 77' 被選擇(透過調節遮罩開口 73' 的方式)，使得在隨後第 25 圖的製造步驟 125 中，SC 基體柱 76' 不與第 17 圖的製造步驟 117 一樣予以完全氧化，而是將未受干擾，且嵌入於包含寬度為 80' 之間隙溝槽 79' 的氧化區域 78' 中的寬度為 93 的未經氧化 SC 基體 92(參見第 25 圖)留下。寬度 80' 與第 17-23 圖之寬度 80 可以是相同或不同的。與第 17 圖的製造步驟 117 一樣，在第 25 圖的製造步驟 125 中，溝槽 74' 隨著氧化的進行而變窄。溝槽寬度 75' 及柱寬度 77' 被選擇(透過適當地選擇初始遮罩開口 73' 及間隔)，使得由於柱 76' 的部分氧化而形成的氧化區域不是靠近，而是在相鄰氧化柱 78' 之間留下寬度為 80' 的空溝槽或空隙 79'。寬度 80' 有利地在大約 0.2 至 5.0 微米的範圍中，較合宜地在大約 0.2 至 3.0 微米的範圍中，且較佳地在大約 0.3 至 0.7 微米的範圍中，但是也可以使用

較寬及較窄的空隙。作為範例且不打算限制性的，為了獲得寬度 80' 大約為 0.5 微米的空隙溝槽 79' 而留下寬度為 93 之未受干擾的 SC 基體柱 92，則使用由寬度 77' 大約為 3.7 微米之初始基體柱所分離之寬度 75' 大約為 4.5 微米的初始溝槽(參見第 24 圖)，假設 SC 基體柱 76' 的氧化在其等在製造步驟 125 中完全轉換為氧化物之前就終止。透過調整初始溝槽寬度 75' 及柱寬度 77' 及該氧化時間，在 SC 基體柱 76' 部分轉換為氧化物，而留下嵌入於電介質區域 78' 中之寬度為 93 的 SC 基體柱 92 之後，可以獲得不同寬度 80' 的剩餘空隙溝槽 79'。結構 225 由第 25 圖的製造步驟 125 產生。結構 225 接著繼續完成實質上與第 18-23 圖相關聯之相同製造步驟，且其討論以參照的形式被併入本文。第 26 圖的製造步驟 126 類似於第 23 圖的製造步驟 123，其中不同是，寬度為 93 且間隔為 94 的剩餘 SC 基體柱 92 包含於電子元件 44' 的 CDR 62' 中。主動裝置 24 可在 CDR 62' 及接合墊 35 形成之前、期間或之後予以形成。

第 27-31 顯示根據本發明之又一些實施例，在第 6 及 7-14 圖之適用於支撐一或多個接合墊 35 之 CDR 62 的不同製造步驟 127-131 下，穿過半導體基體 45 的截面視圖。結合第 27-31 圖，約定由相同的參考數值來代表與第 15-23 圖中此等區域相似的各種區域，且透過使用由一雙引號(“)所補充的相同參考數值來代表類比於第 15-23 圖中此等區域，但可能在某一(某些)層面不同的各種區域。例如，基體 45 可以是相同的，且因而與第 15-23 圖中一樣，在第 27-31

圖中由相同的參考數值 45 來代表，而同時類似於第 15-23 圖的溝槽 74 及柱 76 之第 27-31 圖的溝槽 74'' 及柱 76'' 可能有點不同，且因而由加入一(“)的相同參考數值來代表。第 27 圖之產生結構 227 的製造步驟 127 類似於第 16 圖之產生結構 216 的製造步驟 116，且其討論及先前製造步驟 115 以參照的形式被併入本文。在第 27 圖的製造步驟 127 及結構 227 中不同的是，溝槽寬度 75'' 及柱寬度 77'' 被選擇(藉由調整遮罩開口 73'' 的方式)，使得在隨後第 28 圖的製造步驟 128 中，電介質區域 78'' 及間隙 79'' 可藉由沈積而不是基體柱 76'' 的氧化來產生。在第 27 圖的製造步驟 127 中，由基體柱 76'' (包括在柱 76'' 頂部之覆蓋在墊層 68、70 上的部分) 所分離之寬度為 75'' 的溝槽 74'' 在基體 45 中蝕刻至深度 741''。產生結構 227。現在參照第 28 圖的製造步驟 128，厚度為 97 的電介質層 96 較佳為保角地形成於結構 227 上。CVD 氧化矽對於層 96 來說是一適當的材料。任何 CVD 製程可予以使用，而使用 TEOS 的沈積是合宜的。厚度 97 被選擇，使得層 96 塗佈溝槽 74'' 的側壁，而留下實質上位於溝槽 74'' 的中央之寬度為 80'' 之未經填充的間隙 79''。產生結構 228。

現在參照第 29 圖之製造步驟 129，類似於第 18 圖中層 82 之厚度為 81'' 的層 82'' 形成於結構 228 上，從而以與第 18 圖之製造步驟 118 所述之填充間隙溝槽 74 及產生包含物 83 之方式相同的方式，來填充間隙溝槽 74'' 及產生包含物 83''，其討論以參照的形式被併入本文。產生結構 229。同

時第 29 圖的製造步驟 129 說明在層 82”的沈積期間留下遮罩 72 的情況，在其他實施例中，遮罩層 72 可以在此沈積之前予以移除。任一安排或順序都是有用的。現在參照第 30 圖之製造步驟 130，結構 229 以與先前關於第 19 圖之製造步驟 119 所描述之方式極其相同的方式予以平坦化。產生結構 230。也有利地使用另一墊層 70 的存在來提供一合宜的平坦化拋光阻絕及/或蝕刻阻絕。結構 230 接著遭受類似於第 20-23 圖之製造步驟 120-123 的製造步驟，其討論以參照的形式被併入本文，終止於類似於第 23 圖的製造步驟 123 之第 31 圖的製造步驟 131，其中不同的是，寬度為 93”且間隔為 94”的剩餘 SC 基體柱 92”包含於電子元件 44”的 CDR 62”中。寬度為 80”及分離間隔為 89”且中心至中心距離為 66”的聚合矽或非晶質包含物 65”提供於所沈積的電介質區域 78”中，該所沈積的電介質區域 78”在其中具有實質上未經氧化的基體柱 92”。聚合矽或非晶質包含物 65”是電氣浮動的，且剩餘的基體柱 92”藉由至少墊層 70、68 的部分 70”及 68”及層 86，或其等隨後所形成的等效物而與接合墊 35 分離，從而限制其等耦接於由接合墊 35 所產生的 E-M 場。主動裝置 24 可在 CDR 62”及接合墊 35 形成之前、期間或之後形成。

根據一第一實施例，提供了一電子元件(44、44’、44”)，該電子元件包含具有一第一熱膨脹係數(TEC)及一主動裝置區域(46)及一接合墊區域(60)的一半導體(SC)基體(45)、位於該接合墊區域(60)中的一接合墊(35)、位於該接合墊區

域(60)中且位於該接合墊(35)下且包含具有一第二TEC的一絕緣材料(78、78'、78'')的一合成電介質區域(62、62'、62'')、在該合成電介質區域(62、62'、62'')中的一另一材料(82、82''；83、83'')的包含物(65、65'、65'')，該另一材料(82、82''；83、83'')具有小於該第二TEC的一第三TEC，其中該等包含物(65、65'、65'')與該基體(45)及該接合墊(35)電氣隔離，及一主動裝置(24)，其位於該主動裝置區域(46)中且接近於該合成電介質區域(62、62'、62'')，具有由一互連體(41、41'、41'')電氣耦接於該接合墊(35)的一第一終端。根據另一實施例，該基體(45)包含矽或鍺或其等之一結合，且該等包含物(65、65'、65'')包含由矽或鍺或其等之一結合製成的一非單一晶體。根據又一實施例，該等包含物(65、65'、65'')具有在大約0.2微米至5.0微米之範圍中的一寬度(80)。根據再一實施例，該等包含物(65、65'、65'')具有一寬度(80)，及是其等寬度(80)之大約13-16倍的一中心線至中心線間隔(66)。根據又一實施例，該等包含物(65、65'、65'')具有在大約2至200之範圍中的一高寬比。根據再一實施例，該等包含物(65、65'、65'')具有在大約15至50之範圍中的一高寬比。根據另一實施例，該等包含物(65、65'、65'')具有在大約20至30之範圍中的一高寬比。根據又一實施例，該等包含物(65、65'、65'')在平面視圖中包含多個實質上平行呈刀片狀的形狀(65-1、65-2、65-3)。根據再一實施例，該等包含物(65-2)具有在平面視圖中指向該主動裝置的一長尺寸。根據又一實施例，該等包含物(65-1)具有在平面視圖

中不指向該主動裝置的一長尺寸。根據再一實施例，該等包含物(65-6、65-7、65-8)在平面視圖中形成實質上同心的形狀。根據另一實施例，該合成電介質區域(62、62'、62'')位於距離該主動裝置區域(46)大約20微米或更短處。

根據一第二實施例，提供用以形成包含在耦接於一主動裝置(24)之接合墊(35下)之一合成電介質區域(CDR)(62、62'、62'')的一電子元件(44、44'、44'')的方法，其包含提供(115、124、127)具有一第一熱膨脹係數(TEC)的一第一材料且具有一第一表面(57)的一半導體基體(45)，其中該基體(45)在其中具有適用於容納該主動裝置(24)的一第一區域(46)及適用於容納該接合墊(35)的一第二區域(60)，在該第二區域(60)上形成(115、124、127)一遮罩(72)，該遮罩具有一第一寬度(75、75'、75'')之間隔開的開口(73、73'、73'')，將實質上該第一寬度(75、75'、75'')之間隔開的溝槽(74、74'、74'')蝕刻至該基體(45)中的一第一深度(741、741'')處，在該等溝槽(74、74'、74'')與在該等溝槽(74、74'、74'')下之該基體(45)材料的其他部分之間，留下實質上未受干擾之基體(45)材料的柱(76、76'、76'')，在該等溝槽(74、74'、74'')中形成(117、125、128)具有一第二TEC的電介質(78、78'、78'')，使得一實質上位置居中的間隙(79、79'、79'')出現於電介質(78、78'、78'')中，從該第一表面(57)延伸至該等溝槽(74、74'、74'')，而不延伸至在該等溝槽(74、74'、74'')下之該基體(45)材料的其他部分，由相對於該基體(45)電氣浮動且具有小於該第二TEC之一

第三TEC的一包含物材料(83、83''；65、65'、65'')來填充(118、129)該等溝槽(74、74'、74'')，其中該電介質(78、78'、78'')與電氣浮動的包含物材料(83、83''；65、65'、65'')的結合在其中形成適用於支撐該接合墊(35)的該合成電介質區域(62、62'、62'')，在接近該電介質區域(62、62'、62'')的一主動裝置區域(46)中形成(123、126、131)該主動裝置(24)，其中該主動裝置(24)具有一第一終端(28)，在該電介質(78、78'、78'')及包含物材料(83、83''；65、65'、65'')上的該電介質區域(62、62'、62'')形成(123、126、131)該接合墊(35)，且與該包含物材料(83、83''；65、65'、65'')電氣隔離，且將該接合墊(35)電氣耦接於該主動裝置的該第一終端(28)。根據另一實施例，該包含物材料(82、82''；83、83''；65、65'、65'')包含矽或鍺或其結合。根據又一實施例，該第一材料包含矽或鍺或其結合。根據再一實施例，該包含物材料(82、82''；83、83''；65、65'、65'')具有一平面視圖的一形狀，包含一或多個實質上連續的多個平行列(65-1、65-2)或中斷的多個實質上平行列(65-3)，或多個“L”或“T”形狀的列(65-4、65-5)，或多個列(65-5)的一X-Y形狀陣列，或同心的矩形、圓形或多邊形(65-6、65-7、65-8)。

根據一第三實施例，提供了一電子裝置(44、44'、44'')，其包含在其中具有一接合墊區域(60)及一主動裝置區域(46)的一半導體基體(45)、與該基體(45)電氣隔離的一接合墊(35)、在該基體(45)上在該接合墊區域(60)中且位於該接合墊(35)下的一合成電介質區域(62、62'、62'')，其中該合成

電介質區域(62、62'、62'')包含絕緣電介質區域(78、78'、78''、85、68、70、86)及非單一晶體半導體包含物區域(65、65'、65'')，該等包含物區域(65、65'、65'')藉由該等絕緣電介質區域(78、78'、78''、85、68、70、86)的部分與該接合墊(35)及該基體(45)隔離，且在該主動裝置區域(46)中的一主動裝置(24)藉由一互連體(41、41'、41'')電氣地耦接於該接合墊(35)。根據另一實施例，該基體(45)具有小於大約0.1 Ohm-cm的一電阻率。根據又一實施例，該接合墊區域(60)藉由長度(39)小於或等於大約20微米的一耦接區域(38)與該主動裝置區域(46)隔離。根據再一實施例，該等包含物區域(65、65'、65'')在半導體材料(82)的平面視圖中，包含定向為指向該主動裝置區域(46)之一方向的多個實質上平行的列(65-2)。

儘管在本發明之前述詳細詳述中已經至少呈現出一個示範實施例，但是應理解的是，存在多個變化。還應理解的是，該示範實施例或該等示範實施例僅是範例，且不打算以任何方式限制本發明的範圍、適用性或組態。相反地，該前述詳細的描述將對在該技藝中具有通常知識者提供實施本發明之一示範實施例的方便路徑，應理解的是，可在一示範實施例中所述之元件的功能及安排中做出各種改變，而不脫離在該附加申請專利範圍及其等效物中所提出的本發明的範圍。

【圖式簡單說明】

第1圖是一場效電晶體(FET)的一簡化電氣示意方塊

圖，其間極耦接於一輸入接合墊，且其汲極耦接於一輸出接合墊；

第2圖是第1圖之該方塊圖的一簡化等效電路圖；

第3圖是一電子裝置的一簡化示意平面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第4圖是根據先前技術，與第3圖相一致之一電子裝置的一簡化示意截面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第5圖是與第3圖相一致之另一電子裝置的一簡化示意截面視圖，該另一電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第6圖是根據本發明之一實施例之一電子裝置的一簡化示意截面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第7-8圖是根據本發明之另一些實施例，為第6圖之電子裝置的一簡化示意平面視圖，該電子裝置包含在一主動裝置區域中的一場效電晶體，及在一接合墊區域中的一經耦接接合墊；

第9-14圖是根據本發明之又一些實施例，位於在第6-8圖之該裝置的接合墊區域下的各種電介質區域的簡化示意平面視圖；

第15-23圖顯示根據本發明之再一些實施例，在適合於

支撐接合墊之第6-8及9-14圖的電介質區域的不同製造步驟中，穿過一半導體基體的簡化示意截面視圖；

第24-26圖顯示根據本發明之另一些實施例，在適合於支撐接合墊之第6-14圖的電介質區域的不同製造步驟中，穿過一半導體基體的簡化示意截面視圖；以及

第27-31圖顯示根據本發明之又一些實施例，在適合於支撐接合墊之第6-14圖的電介質區域的不同製造步驟中，穿過一半導體基體的簡化示意截面視圖。

【主要元件符號說明】

10...方塊圖	35...接合墊
10'...電路圖	36/36'...電介質區域/DDR
11...連接體	38...耦接區域
12...輸入接合墊	39...長度
13...輸入互連體/輸入傳輸線	40...鈍化層
14...閘極	41/41'/41"...互連體
19...內部連接體	44/44'/44"...電子元件
20...電子裝置	45...基體
21...基體	46...ARD/主動裝置區域
22...主動裝置區域	48...外延層/外延區域
23...摻雜井區域	57...表面
24...場效電晶體/MOSFET	60...接合墊區域
25...源極區域	62/62'/62"...CDR
26...源極接觸	62-1~62-8...CDR
27...汲極區域	63...耦接區域
28...汲極接觸	64...長度
29...通道區域	65/65'/65"...包含物
30...閘極	65-1~65-8...包含物
31...閘極氧化物	66/66"...中心線間隔
32...電介質區域	67...中心線間隔
33...電-磁(E-M)場	68...初始墊層
34/34'...接合墊區域	69...厚度

70...另一墊層	94/94"...間隔
71...厚度	96...電介質層
72...硬遮罩層/遮罩	97...厚度
73/73'/73"...開口	115~131...製造步驟
74/74'/74"...溝槽	215~231...結構
75/75'/75"...寬度	351...寬度
76/76'/76"...柱	352...長度
77/77'/77"...寬度	361...長度/厚度
78/78'/78"...氧化區域	361'...深度
78-1~78-8...分離電介質區域	411/411/411"...寬度
79/79'/79"...空溝槽/空隙/空 穴	412/412'...長度
80/80'/80"...寬度	481...厚度
81/81"...厚度	571...區域
82/82"...層	622...寬度/橫向尺寸
83/83"...包含物	621...橫向尺寸
84...部分	624...長度
85...電介質區域	741/741"...深度
86...層	781...長度
87...厚度	791...高度
89/89"...分離間隔	C1~C8...電容
90...蝕刻劑	G1~G8...電導
92/92"...柱	L1~L4...電感
93/93"...寬度	R1~R4...電阻

双面影印

七、申請專利範圍：

1. 一種電子元件，包含：

一半導體(SC)基體，其具有一第一熱膨脹係數(TEC)
及一主動裝置區域及一接合墊區域；

一接合墊，其位於該接合墊區域中；

一合成電介質區域，其位於該接合墊下的該接合墊
區域中，且包含具有一第二TEC的一絕緣材料；

多個另一材料的包含物，其等位於該合成電介質區
域中，該另一材料具有小於該第二TEC的一第三TEC，
其中該等包含物與該基體及該接合墊電氣隔離；及

一主動裝置，其位於該主動裝置區域中且接近該合
成電介質區域，具有藉由一互連體電氣耦接於該接合墊
的一第一終端。

2. 如申請專利範圍第1項所述之電子元件，其中該基體包 含矽或鍺或其結合，且該等包含物包含由矽或鍺或其結 合形成的一非單一晶體。

3. 如申請專利範圍第1項所述之電子元件，其中該等包含 物具有在大約0.2至5.0微米之範圍中的一寬度。

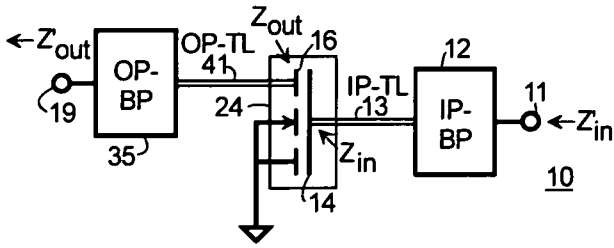
4. 如申請專利範圍第3項所述之電子元件，其中該等包含 物具有一寬度及大約該寬度之13-16倍的一中心線至中 心線間隔。

5. 如申請專利範圍第1項所述之電子元件，其中該等包含 物具有在大約2至200之範圍中的一高寬比。

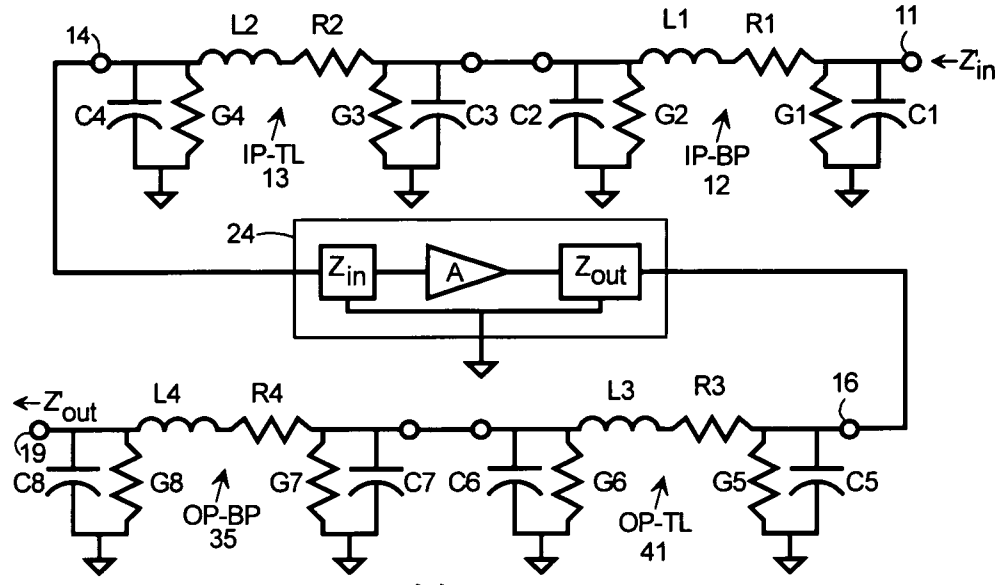
6. 如申請專利範圍第5項所述之電子元件，其中該等包含

物具有在大約15至50之範圍中的一高寬比。

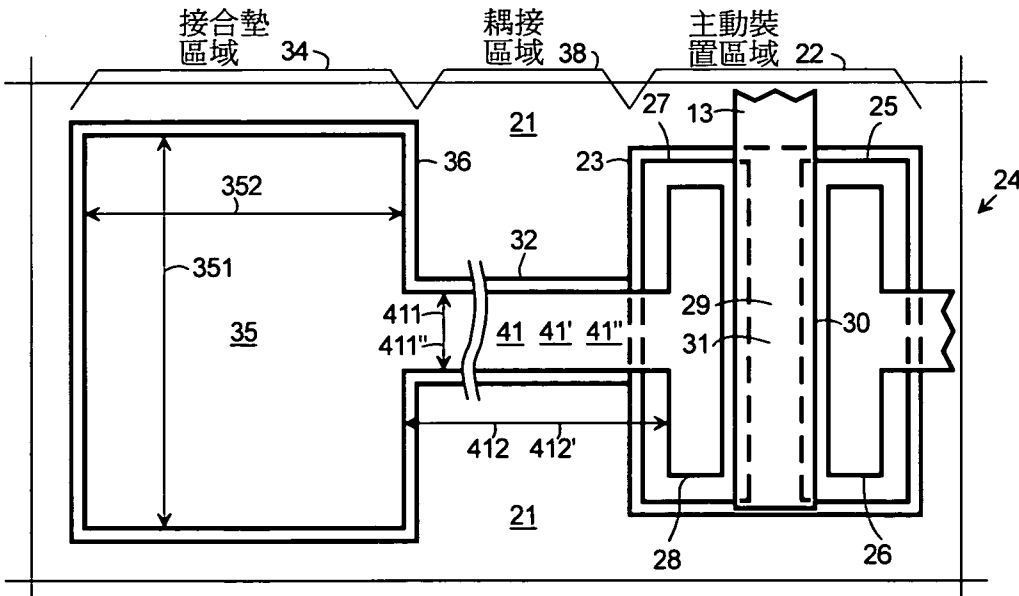
7. 如申請專利範圍第6項所述之電子元件，其中該等包含物具有在大約20至30之範圍中的一高寬比。
8. 如申請專利範圍第1項所述之電子元件，其中該等包含物在平面視圖中包含多個實質上平行的刀片狀形狀。
9. 如申請專利範圍第8項所述之電子元件，其中該等包含物在平面視圖中具有指向該主動裝置的一長尺寸。
10. 如申請專利範圍第8項所述之電子元件，其中該等包含物在平面視圖中具有不指向該主動裝置的一長尺寸。



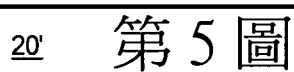
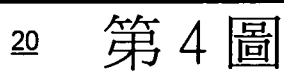
第 1 圖

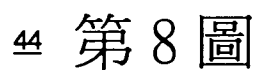
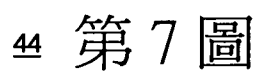


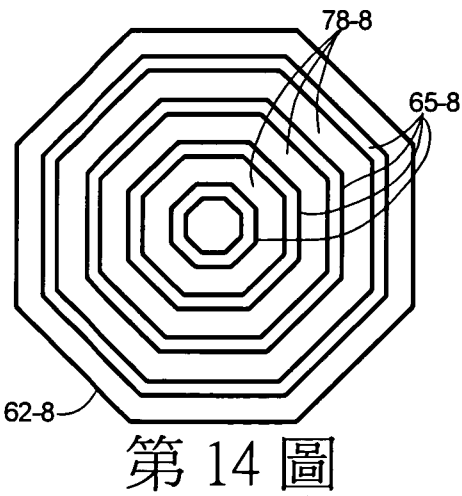
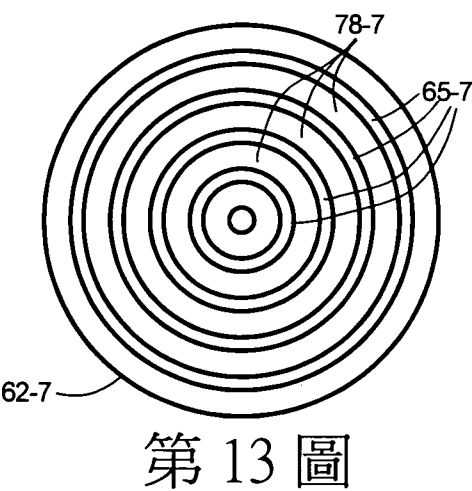
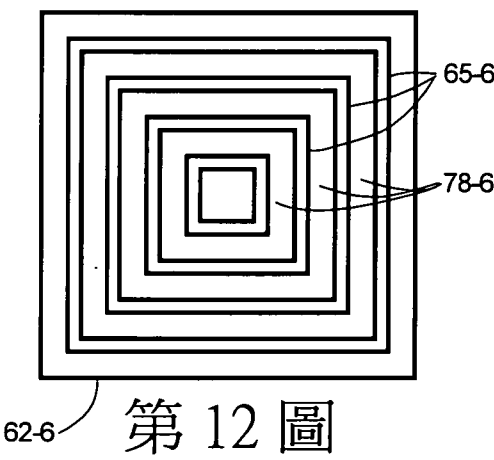
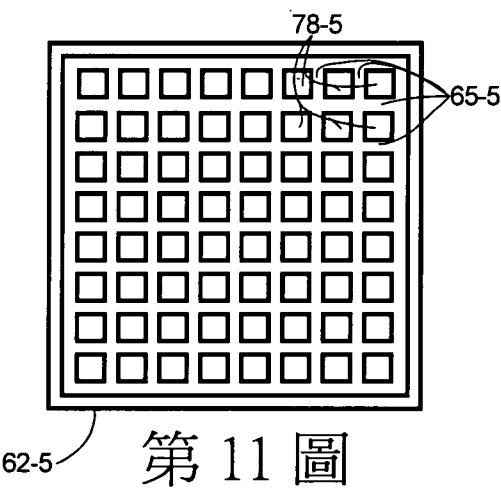
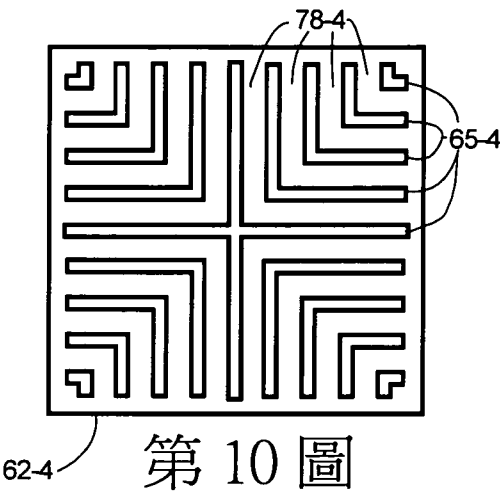
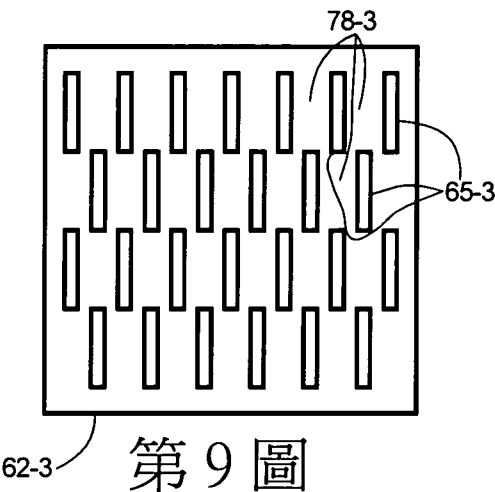
第 2 圖

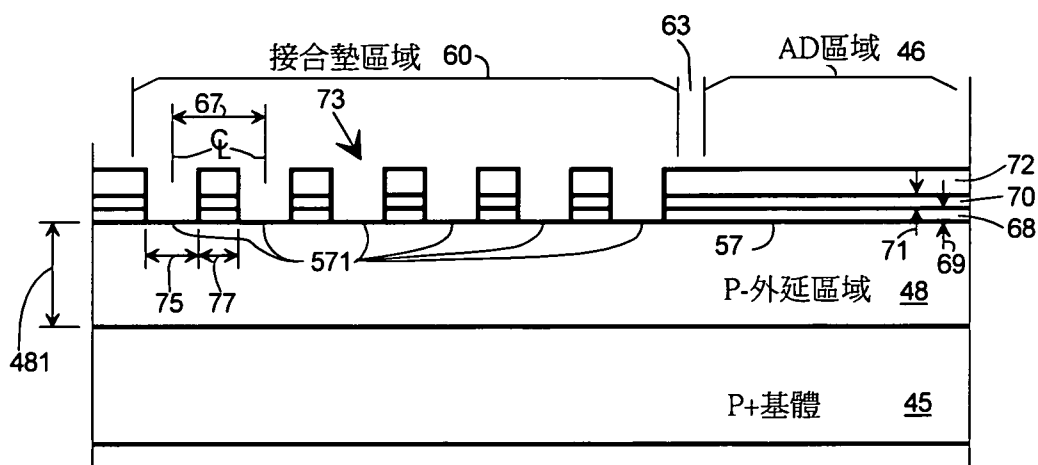


第 3 圖

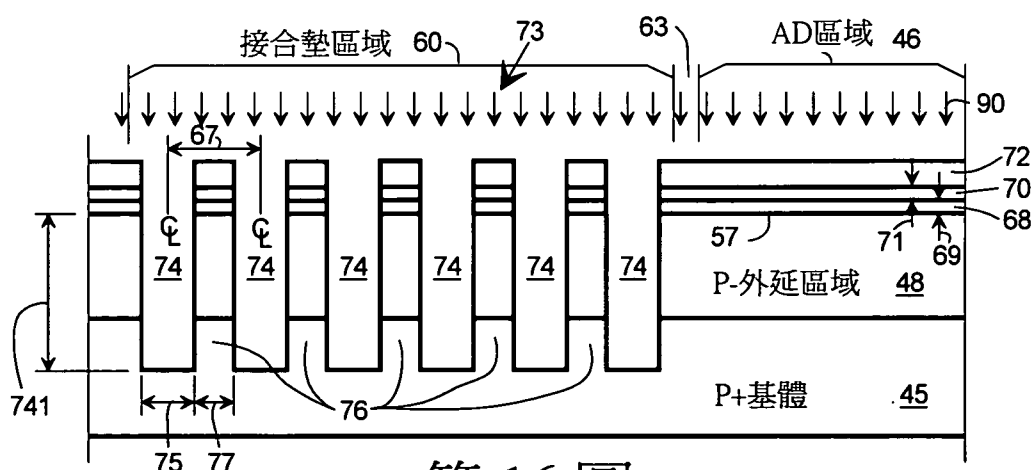




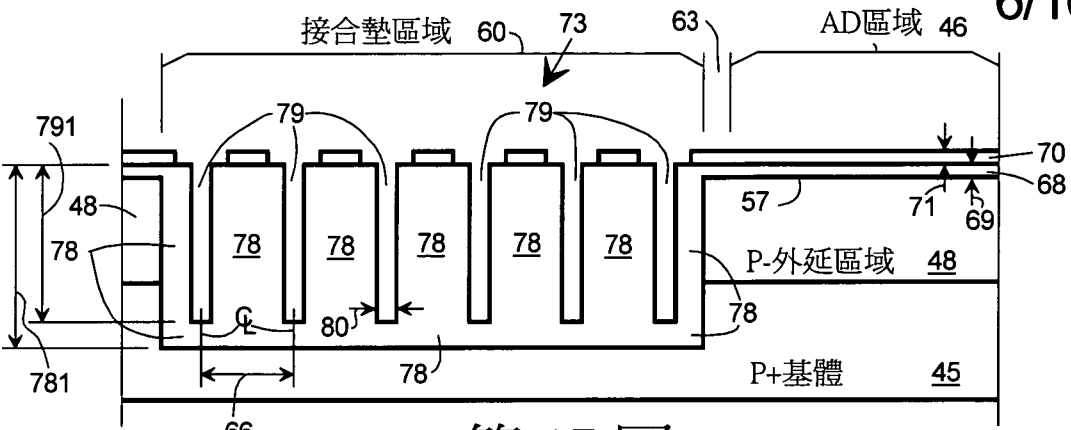




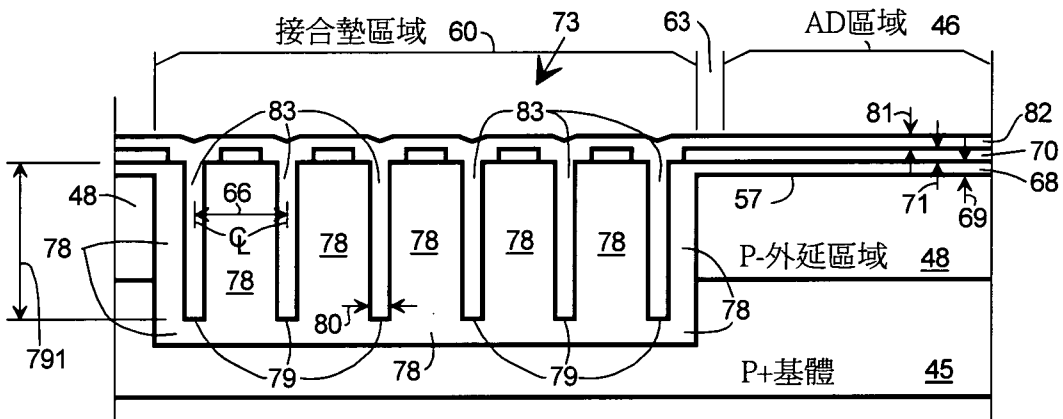
44 115 第 15 圖 215



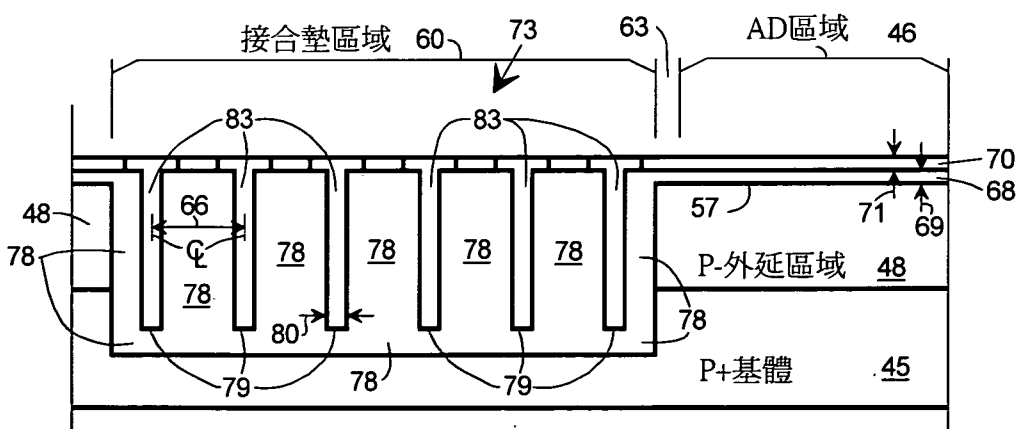
44 116 第 16 圖 21644



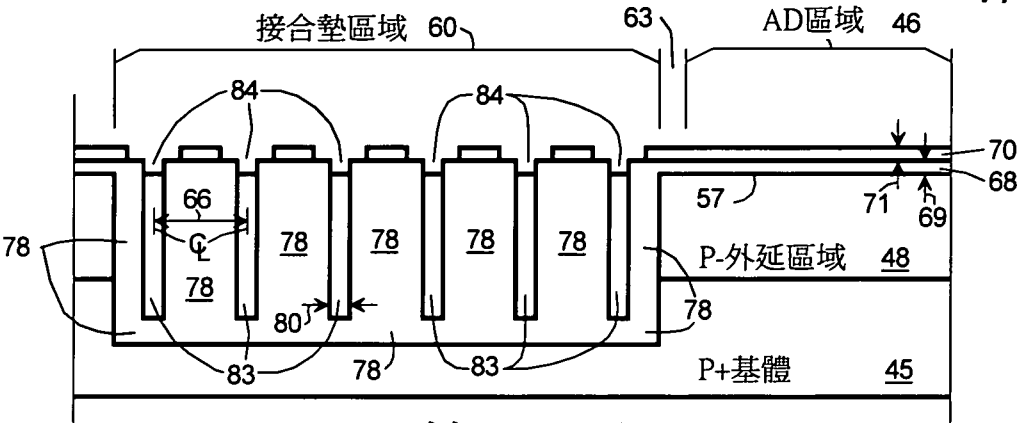
44 117 第 17 圖 217



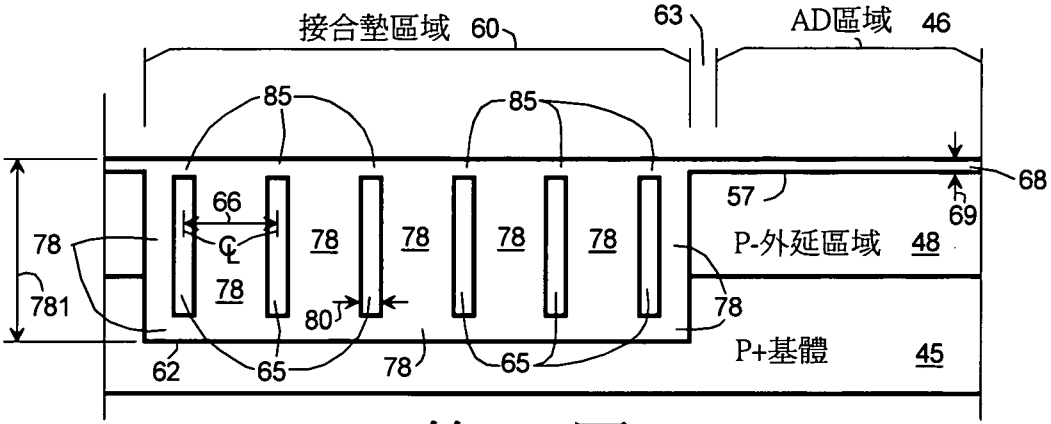
44 118 第 18 圖 218



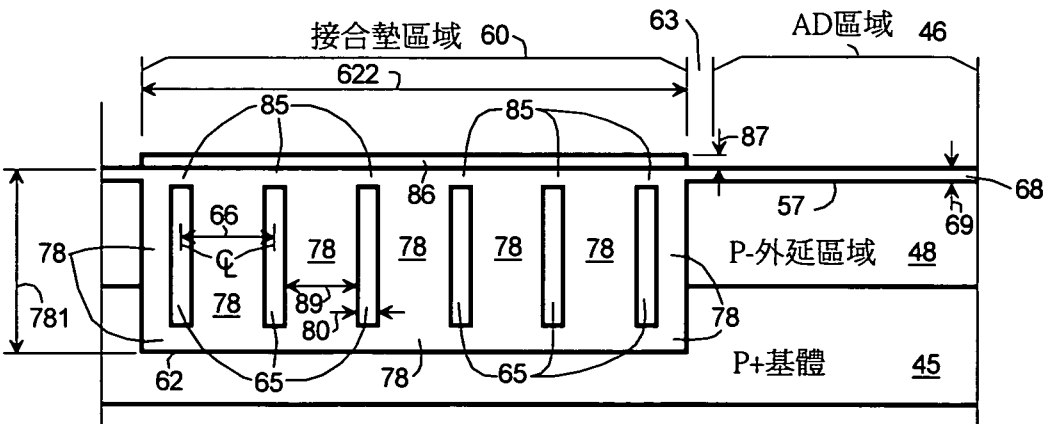
44 119 第 19 圖 218



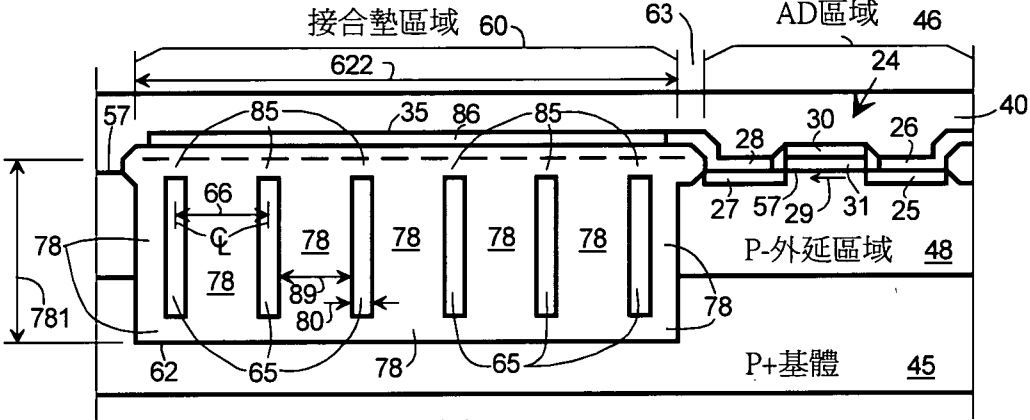
44 120 第 20 圖 220



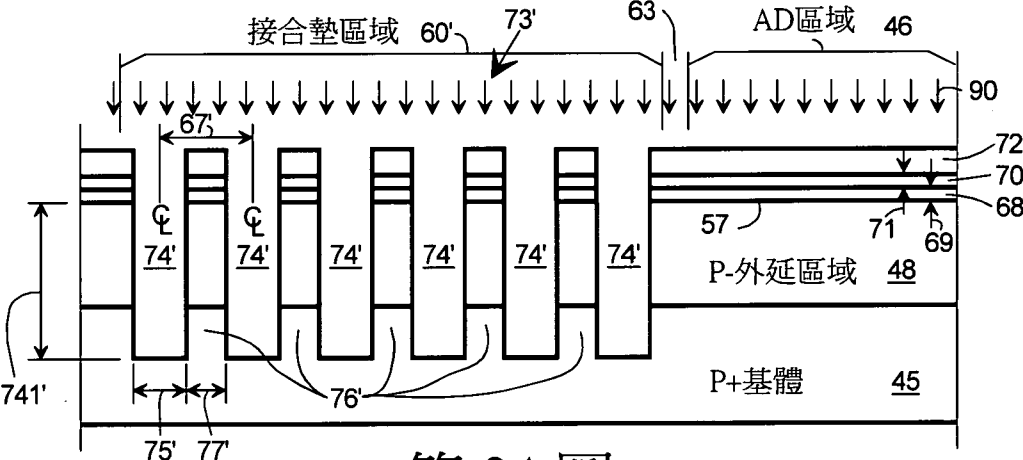
44 121 第 21 圖 221



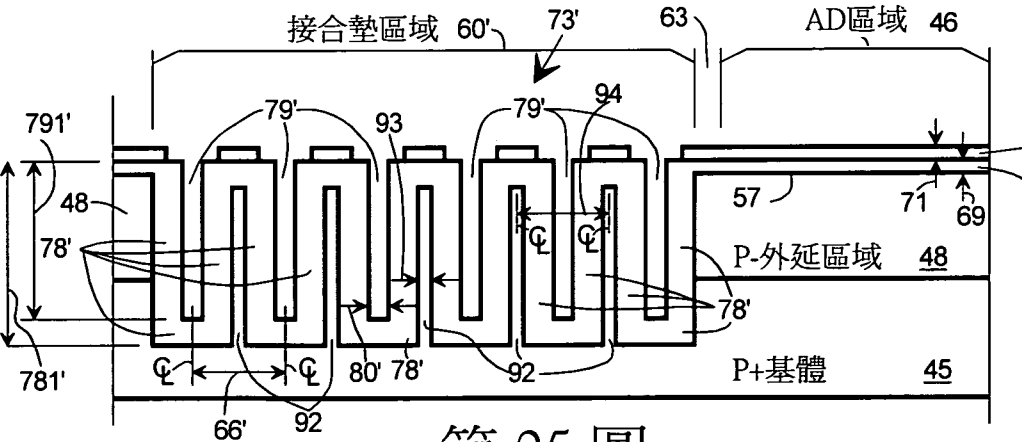
44 122 第 22 圖 222



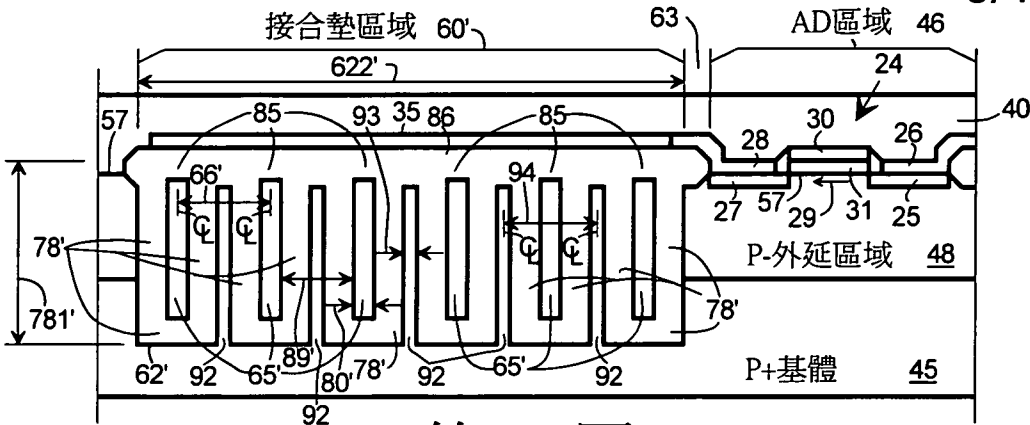
44 123 第 23 圖 223



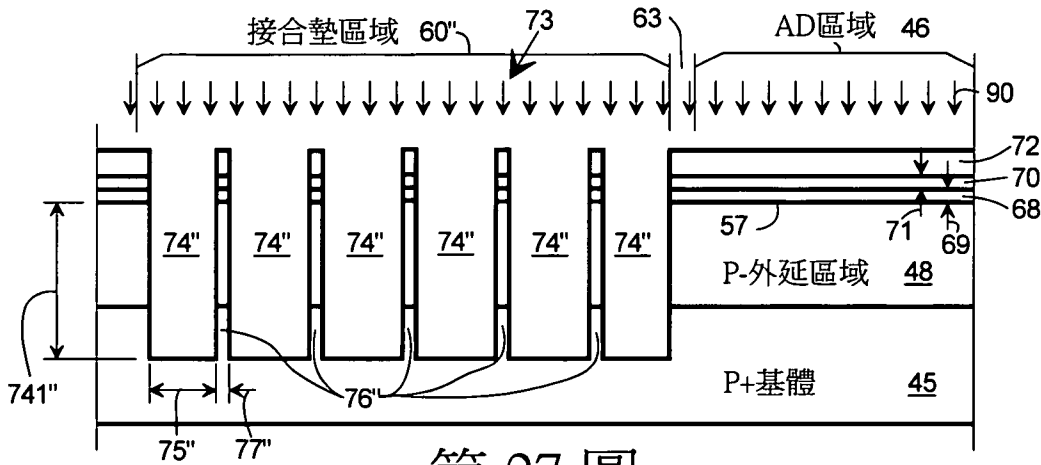
44' 124 第 24 圖 224



44' 125 第 25 圖 225



第 26 圖



第 27 圖

