



PCT

(10) 国際公開番号

WO 2006/025232 A1

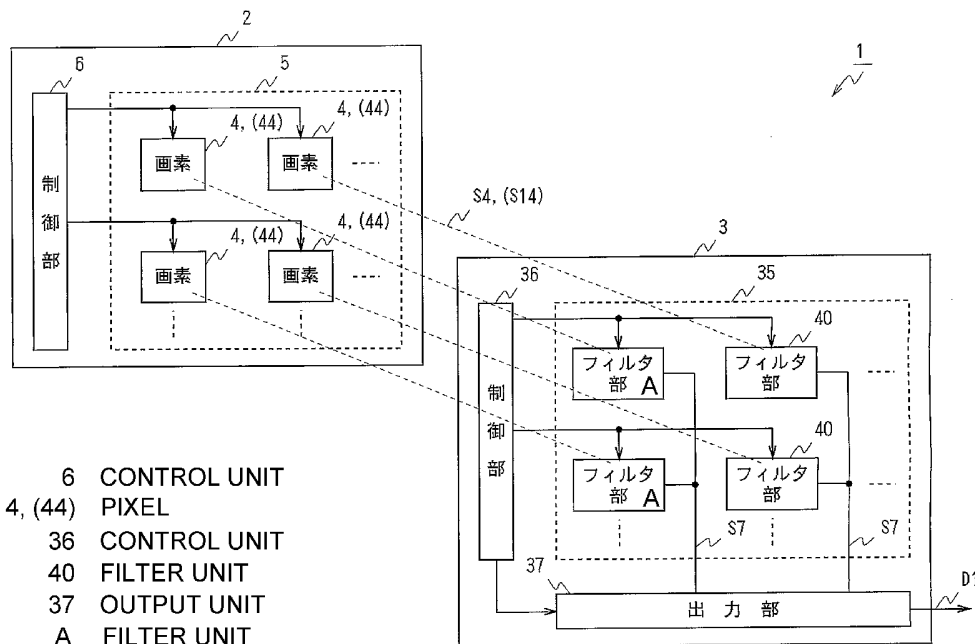
(43) 国際公開日
2006 年 3 月 9 日 (09.03.2006)

- | | |
|---|---|
| <p>(51) 国際特許分類:
 <i>H04N 5/335</i> (2006.01) <i>H01L 27/14</i> (2006.01)
 <i>H01L 27/146</i> (2006.01)</p> | <p>東五反田 1 丁目 1 4 番 1 0 号 株式会社ソニー木原
 研究所内 Tokyo (JP).</p> |
| <p>(21) 国際出願番号: PCT/JP2005/015301</p> | <p>(74) 代理人: 多田 繁範 (TADA, Shigenori); 〒1700013 東京
 都豊島区東池袋 2 丁目 4 5 番 2 号 ステラビル501 多
 田特許事務所 Tokyo (JP).</p> |
| <p>(22) 国際出願日: 2005 年 8 月 17 日 (17.08.2005)</p> | <p>(81) 指定国 (表示のない限り、全ての種類の国内保護
 が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
 BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
 DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
 HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,
 LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
 MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
 SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
 TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.</p> |
| <p>(25) 国際出願の言語: 日本語</p> | |
| <p>(26) 国際公開の言語: 日本語</p> | |
| <p>(30) 優先権データ:
 特願2004-255747 2004 年 9 月 2 日 (02.09.2004) JP</p> | |
| <p>(71) 出願人 (米国を除く全ての指定国について): ソニー
 株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001
 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).</p> | <p>(84) 指定国 (表示のない限り、全ての種類の広域保護が可
 能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
 SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
 KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
 CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,</p> |
| <p>(72) 発明者; および</p> | |
| <p>(75) 発明者/出願人 (米国についてのみ): 小林 誠司
 (KOBAYASHI, Seiji) [JP/JP]; 〒1410022 東京都品川区</p> | |

[続葉有]

- (54) Title:** IMAGING DEVICE AND METHOD FOR OUTPUTTING IMAGING RESULT

- (54) 発明の名称: 撮像装置及び撮像結果の出力方法



- (57) Abstract:** An imaging device using, for example, a CMOS solid-state imager is disclosed wherein an analog-to-digital converter is provided on a side of a semiconductor chip (2) which is opposite to the imaging plane.

- (57) 要約: 本発明は、例えばCMOS固体撮像素子による撮像装置に適用して、半導体チップ2における撮像面とは逆側の面にアナログデジタル変換回路を設ける。



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

— 補正書

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

撮像装置及び撮像結果の出力方法

発明の背景

技術分野

5

本発明は、撮像装置及び撮像結果の出力方法に関し、例えばCMOS固体撮像素子による撮像装置に適用することができる。本発明は、半導体チップにおける撮像面とは逆側の面にアナログデジタル変換回路を設けることにより、撮像素子にアナログデジタル変換回路を設ける構成において、開口率の低下を有効に

10 回避する。

背景技術

従来、CMOS固体撮像素子は、種々の集積回路と一体に基板上に形成できることにより、これら一体化に係る構成が種々に提案されている。

15 これらの提案のうち例えば米国特許第5461425号明細書には、各画素毎に、 $\Delta\Sigma$ 変調による1ビットのアナログデジタル変換回路を設ける構成が開示されている。この構成では、2次元アレイ状に配置した画素を行毎に選択して出力信号線に接続し、この出力信号線より1ビットのデジタル信号による撮像結果を出力してフィルタにより8ビットの画像データに変換する。またこのように

20 して得られる画像データをマルチプレクサを介して1系統により出力する。これによりこの米国特許第5461425号明細書に開示の構成においては、画素を行単位でスキャンして撮像結果を出力するように構成されている。

また米国特許第6229133号明細書には、各画素毎に、積分型による1ビットのアナログデジタル変換回路を設け、各画素の撮像結果を周波数変換して

25 出力する構成が開示されている。この構成では、光電変換された電荷をコンデンサに蓄積しながら、このコンデンサの端子電圧を基準電圧と比較し、この比較結果に基づいてこのコンデンサの端子電圧を初期化すると共に論理1の出力信号を出力する。これによりこの構成では、各画素への入射光量の増大により論理1の出力頻度を増大させて各画素の撮像結果を周波数変換し、この論理1による出力

信号をフィルタにより処理して画像データを出力する。

このような各画素にアナログディジタル変換回路を設ける構成にあつては、その分、撮像素子の周辺回路に係る構成を簡略化することができる。

- しかしながらこのようにして各画素毎にアナログディジタル変換回路を設ける
- 5 構成にあつては、撮像素子の受光面に占める各画素の面積が低下し、これによりいわゆる開口率の低下により感度が低下する問題がある。これを改善するためには画素面積を大きくする必要があるが、アナログディジタル変換回路を含めた画素セルの面積が大きくなるために多画素化が困難になる問題がある。また開口率を確保するためには、アナログディジタル変換回路を高密度に作成することが必要になり、その分、撮像素子の製造が困難になる問題がある。
- 10

- なおこの他にも、米国特許第 5 4 6 1 4 2 5 号明細書に開示の構成では、画素を行単位でスキャンして撮像結果を出力することにより、画素数が増大するとサンプリングレートを増大させることが困難になり、またさらに、フィルタ部において決められたタップ数でのフィルタ処理を行うため、所望するフレームレートを確保することが困難になる問題もある。また米国特許第 6 2 2 9 1 3 3 号明細書に開示の構成では、入射光量が低下した場合に、基準電圧に到達するまでの積分時間が長くなることにより、フレームレートを高速度化することが困難な問題もある。
- 15

20 発明の開示

本発明は以上の点を考慮してなされたもので、撮像素子にアナログディジタル変換回路を設ける構成において、開口率の低下を有効に回避することができる撮像装置及び撮像結果の出力方法を提案しようとするものである。

- かかる課題を解決するため本発明は、マトリックス状に画素を配置した半導体
- 25 チップによる撮像結果を出力する撮像装置に適用して、前記半導体チップは、一方の面に、前記画素が配置されて、X Yアドレス制御により前記画素の撮像結果を他方の面の側に出し、前記他方の面に、対応する前記画素の撮像結果をアナログディジタル変換処理してディジタル信号を出力するアナログディジタル変換回路が、前記画素に対応して形成される。

本発明の構成により、マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像装置に適用して、前記半導体チップは、一方の面に、前記画素が配置されて、XYアドレス制御により前記画素の撮像結果を他方の面の側に出力し、前記他方の面に、対応する前記画素の撮像結果をアナログディジタル変換処理してディジタル信号を出力するアナログディジタル変換回路が、前記画素に対応して形成されることにより、アナログディジタル変換回路の配線にあっては他方の面側に設けられ、これによりアナログディジタル変換回路による各画素の開口率の低下を防止することができる。

また本発明は、マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像結果の出力方法に適用して、前記半導体チップの一方の面に配置された前記画素のXYアドレス制御により、前記画素の撮像結果を前記半導体チップの他方の面の側に出力する撮像結果の出力ステップと、前記他方の面の側に、前記画素に対応して配置されたアナログディジタル変換回路により、前記画素の撮像結果をアナログディジタル変換処理してディジタル信号を出力するアナログディジタル変換処理のステップとを有するようにする。

これにより本発明の構成によれば、撮像素子にアナログディジタル変換回路を設ける構成において、開口率の低下を有効に回避することができる撮像結果の出力方法を提供することができる。

本発明によれば、撮像素子にアナログディジタル変換回路を設ける構成において、開口率の低下を有効に回避することができる。

図面の簡単な説明

第1図は、本発明の実施例1に係る撮像装置を示すブロック図である。

第2図は、第1図の撮像装置に適用される集積回路を示すブロック図である。

第3図は、第2図の撮像装置の各画素の構成を示すブロック図である。

第4図は、第3図の画素におけるアナログディジタル変換回路の動作の説明に供する信号波形図である。

第5図は、第2図の撮像装置におけるセンサチップの構成を示す断面図である

。

第 6 (A) 図、第 6 (B) 図、第 6 (C) 図及び第 6 (D) 図は、第 5 図のセンサチップによる撮像結果の出力の説明に供する略線図である。

第 7 図は、第 2 図の撮像装置におけるセンサチップとロジックチップとの接続
5 の説明に供する断面図である。

第 8 図は、第 2 図の撮像装置におけるフィルタ部の構成を示すブロック図である。

第 9 図は、第 8 図のフィルタ部の動作の説明に供する信号波形図である。

第 10 図は、本発明の実施例 2 に係る撮像装置の各画素の構成を示すブロック
10 図である。

第 11 図は、本発明の実施例 2 に係る撮像装置におけるフィルタ部の構成を示すブロック図である。

第 12 図は、第 10 図の画素におけるアナログデジタル変換回路の動作の説明に供する信号波形図である。

15 第 13 図は、第 11 図のフィルタ部の動作の説明に供する信号波形図である。

第 14 図は、本発明の実施例 3 に係る撮像装置を示すブロック図である。

第 15 図は、本発明の実施例 4 に係る撮像装置を示すブロック図である。

第 16 図は、本発明の実施例 5 に係る撮像装置を示すブロック図である。

第 17 図は、本発明の実施例 6 に係る撮像装置を示すブロック図である。

20

発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

(1) 実施例 1 の構成

第 1 図は、本発明の実施例 1 に係る撮像装置を示すブロック図である。この撮
25 像装置 101 は、所望の被写体の撮像結果をデータ圧縮して記録媒体に記録し、
また所望の伝送対象に送出する。

ここでこの撮像装置 101 において、レンズ 102 は、ユーザーによる操作に
応動してズーム倍率、絞りを可変して撮像素子 103 の撮像面に入射光を集光す
る。光学ローパスフィルタ 104 は、このレンズ 102 の出射光より空間周波数

の高い成分を抑圧し、続く色補正フィルタ 105 は、光学ローパスフィルタ 104 から出射される出射光の色温度を補正して出射する。

撮像素子 103 は、例えば CMOS 固体撮像素子により形成され、駆動部 106 から出力される各種タイミング信号により動作して、撮像面に形成された光学像を各画素により光電変換して撮像信号 S1 を出力する。

駆動部 106 は、制御部 109 の制御により、この撮像素子 103 の各種タイミング信号を生成して撮像素子 103 に出力し、これにより制御部 109 の制御により撮像素子 103 の動作を制御する。

アナログデジタル変換回路 (AD) 107 は、この撮像信号 S1 をアナログデジタル変換処理して画像データ D1 を出力する。

画像処理部 108 は、この画像データ D1 をデータ圧縮し、その処理結果による符号化データ D2 を記録系、伝送系に出力し、これによりこの撮像装置 101 では、この記録系により所定の記録媒体に符号化データ D2 を記録し、またこの伝送系により符号化データ D2 を外部機器に伝送する。

制御部 109 は、マイコンによる演算処理手段により構成され、所定の制御プログラムの実行により、ユーザーによる操作子の操作に応動してこの撮像装置 101 全体の動作を制御する。なおこの実施例において、この制御プログラムは、この撮像装置 101 に事前にインストールされて提供されるものの、この制御プログラムにあっては、インターネット等のネットワークを介したダウンロードにより、さらには記録媒体からのダウンロードにより提供するようにしてもよく、このような記録媒体にあっては、光ディスク、メモリカード等、種々の記録媒体を広く適用することができる。

しかして制御部 109 は、ユーザーにより電源が立ち上げられると動作を開始し、ユーザーによる操作子の操作に応動して撮像素子 103 により撮像結果の取得を開始するように、またこの撮像結果の記録、伝送を開始するように、全体の動作を制御する。

第 2 図は、この撮像装置 101 に適用される集積回路 1 を示すブロック図である。この集積回路 1 は、撮像素子による集積回路であり、センサチップ 2 とロジックチップ 3 との積層体をパッケージングして形成される。撮像装置 101 では

、この集積回路 1 により撮像素子 103、駆動部 106、アナログデジタル変換回路 107、画像処理部 108 の入力段が構成される。

ここでセンサチップ 2 は、XY アドレス方式により撮像結果を出力する撮像素子の半導体チップであり、この実施例ではこの撮像素子に CMOS 固体撮像素子が適用される。センサチップ 2 は、画素 4 をマトリックス状に配置した撮像部 5 と、この撮像部 5 の動作を制御する制御部 6 とにより形成され、各画素 4 にそれぞれ撮像結果をアナログデジタル変換処理するアナログデジタル変換回路が設けられる。

すなわち第 3 図及び第 4 図に示すように、各画素 4 は、入射光に応じて信号レベルが変化する撮像信号 S1（第 4 図（A））を受光素子 7 より出力する。アナログデジタル変換回路 8 は、 Δ 変調型によるアナログデジタル変換回路であり、この撮像信号 S1 をデジタル信号に変換して出力する。すなわちアナログデジタル変換回路 8 において、減算部 9 は、撮像信号 S1 を所定周期によりサンプリングし、このサンプリング結果から積分部 10 の出力信号 S3 を減算して差分信号 S2 を出力する（第 4 図（B））。比較部 11 は、この差分信号 S2 を所定の判定基準 TH により判定して判定結果を出力する。積分部 10 は、この判定結果を積分して出力信号 S3（第 4 図（A））を出力する。これによりアナログデジタル変換回路 8 は、撮像信号 S1 の信号レベルの増大及び減少によりそれぞれ論理値が論理 1、論理 0 に変化する判定結果を比較部 11 により得、この判定結果を撮像信号 S1 のアナログデジタル変換結果として出力する（第 4 図（C））。

なおこれらによりアナログデジタル変換回路 8 は、矢印 A により示すように、積分部 10 の利得で決まる分解能 Δ により撮像信号 S1 をデジタル信号に変換し、この実施例では、撮像信号 S1 の最大振幅に対してこの分解能 Δ が $1/8$ に設定されて 3 ビットのアナログデジタル変換回路を構成する。またこのように 3 ビットにより撮像信号 S1 をアナログデジタル変換処理するようにして、アナログデジタル変換結果を 1 ビットのデジタル信号により出力するように構成され、これら一連の処理における量子化誤差を積分部 10 により帰還して補正する。

出力部 12 は、比較部 11 の比較結果によるアナログデジタル変換結果を出力するバッファ回路であり、このセンサチップ 2 に設けられた出力端子 13 よりデジタル信号 S4 を出力する。

5 センサチップ 2 は、これらアナログデジタル変換回路 8、出力部 12 が受光面とは逆側の裏面に形成され、この裏面に形成されたマイクロバンプよりこの出力端子 13 が形成される。またこれによりセンサチップ 2 は、各画素 4 の撮像結果によるデジタル信号 S4 を同時並列的に出力する。

すなわち第 5 図は、センサチップ 2 の一部を示す断面図である。ここでこのセンサチップ 2 は、10～20 [μm] 程度の厚さのシリコン (Si) 層により素子層 22 が形成され、この素子層 22 に受光素子 7 が形成される。またこの受光素子 7 に係る部位の上層に、順次、シリコン酸化 (SiO₂) 膜 24、遮光膜 25、シリコン窒化膜 (SiN) 26、色フィルタ 27、マイクロレンズ 28 が積層され、これにより画素 4 が形成される。またこの素子層 22 の下層に、受光素子 7、アナログデジタル変換回路 8 の回路素子等を配線する配線層 29 が形成
10 され、この配線層 29 の下層側に、全体を保持する基板支持材 30 が設けられる。これによりセンサチップ 2 は、受光面とは逆側に配線層 29 が設けられ、またアナログデジタル変換回路 8 等が受光面とは逆側に設けられ、これらにより各画素 4 にアナログデジタル変換回路 8 を設ける場合であっても開口率の低下を有効に回避することができるように構成される。また配線層を受光面側に設ける
15 場合の種々の制約を解消して配線の自由度を格段に向上する。

因みに、このように受光面の裏面側に配線層 29 を設ける場合にあっては、例えば第 6 (A) 図に示すように、各画素出力をそれぞれ個別に周辺回路に出力してアナログデジタル変換処理するように、撮像素子部と周辺回路との接続を構成することも可能であり、またこれに代えて、第 6 (B) 図に示すように、コ
25 ルム線を単位で撮像結果を出力して周辺回路で処理することも可能になる。また第 6 (C) 図に示すように、ラインを単位にして撮像結果を出力して周辺回路で処理することもでき、さらには第 6 (D) 図に示すように、所定ブロックを単位にして撮像結果を出力して周辺回路で処理することも可能となる。

具体的に、CMOS 固体撮像素子は、水平方向に延長する水平アドレス線と垂

直方向に延長する垂直アドレス線とにより、各画素に設けられたMOSFETを選択的にオン動作させることにより、この水平アドレス線及び垂直アドレス線により選択される画素より信号線に撮像結果が出力される。これによりCMOS固体撮像素子は、第6（A）図～第6（C）図に示す場合等、種々のX-Yアドレス制御により撮像結果を出力することができる。

より具体的に第6（A）図の例の場合、各画素にそれぞれ信号線が設けられていることにより、例えば全画素に設けられたMOSFETを同時にオン動作させて全ての画素による撮像結果を同時並列的に出力する。また第6（B）図の例の場合では、垂直方向に連続する複数の画素で、1つのコラム線による信号線を共通に使用していることにより、1つのコラム線に接続された複数の画素に係る水平アドレス線の設定を順次切り換えて、これら複数の画素に設けられたMOSFETを順次オン動作させることにより、この1つのコラム線を時分割により垂直方向に連続する各画素に割り当てて、これら各画素の撮像結果を出力する。またこれにより水平方向について見た場合には、水平方向に連続する画素で水平アドレス線が共通することにより、このようなコラム線への垂直方向に連続する各画素の時分割の割り当てが、水平方向に連続する画素で同時並列的に実行され、これにより水平アドレス線の制御によりライン単位で撮像結果を出力する。また第6（C）図の場合には、第6（B）図について上述した水平アドレス線の制御に代えて、垂直アドレス線の制御により、1つの信号線を時分割により水平方向に連続する画素に順次割り当てて、垂直方向に連続する画素による撮像結果を同時並列的に出力する。

これに対して第6（D）図の例の場合、1つの信号線に共通に接続された1つのブロックの複数画素を、垂直アドレス線及び水平アドレス線の制御により順次選択することにより、この1つの信号線による1つのブロックで、ラスタスキャン、ジグザグスキャン等、種々の順序により撮像結果を出力することができる。なお水平アドレス線及び垂直アドレス線が水平方向及び垂直方向に連続する画素でそれぞれ共通に設けられることにより、これら画素のスキャン順序は、複数のブロックで同一となる。

なおセンサチップ2は、このように受光面とは逆側に配線層29が形成される

ことにより、厚さの薄い半導体基板を配線層 29 側より処理して受光素子 7、周辺回路の回路素子を形成した後、この半導体基板に配線層 29、基板支持材 30 を順次形成し、その後、この半導体基板を裏返して CMP により研磨して素子層 22 が完成し、遮光膜 25、シリコン窒化膜 (SiN) 26、色フィルタ 27、
5 マイクロレンズ 28 を順次形成して作成される。

センサチップ 2 は、第 7 図に示すように、この基板支持材 30 にロジックチップ 3 が割り当てられ、配線層 29 側に形成されたマイクロバンプ 31 と、ロジックチップ 3 に形成されたマイクロバンプ 31 とによりロジックチップ 3 に電氣的に接続されて保持される。なおここでマイクロバンプは、金、銅等により形成さ
10 れる微小な接続用の端子である。

ここでロジックチップ 3 は (第 2 図)、各画素 4 の撮像結果を処理するデジタル信号処理回路による集積回路であり、この実施例では、このデジタル信号処理回路が、センサチップ 2 から各画素毎に出力されるデジタル信号による撮像結果を画素毎に処理するフィルタ回路 35 と、センサチップ 2 における撮像部
15 5 の制御に連動してフィルタ回路 35 の動作を制御する制御部 36 と、この制御部 36 の制御によりフィルタ回路 35 の処理結果を時分割多重化して出力する出力部 37 とにより構成される。

このためフィルタ回路 35 は、センサチップ 2 の画素 4 に対応して、それぞれ各画素 4 からのデジタル信号を処理するフィルタ部 40 が設けられ、またこの
20 各フィルタ部 40 にマイクロバンプ 32 が設けられる。これによりフィルタ回路 35 は、センサチップ 2 から出力される各画素 4 の撮像結果 S4 が対応するフィルタ部 40 に入力され、ここで各画素 4 の撮像結果 S4 が画像データに変換される。

ここで第 8 図に示すように、フィルタ部 40 において、積分部 43 は、各画素
25 4 から出力されるデジタル信号 S4 をこのデジタル信号 S4 のクロック周期により順次積分して出力する。この実施例において、積分部 43 は、第 9 図 (A) ~ (C) に示すように、デジタル信号 S4 が論理 1 の場合、それまでの加算結果 S6 に値 1 を加算するのに対し、デジタル信号 S4 が論理 0 の場合、それまでの加算結果 S6 を値 1 だけ減算して出力する。

デシメーションフィルタ 4 2 は、この加算結果 S 6 をフィルタリング処理することにより、この加算結果 S 6 によるデジタル信号を所定のサンプリングレートによる画像データ S 7 にレート変換して出力する。ここでデシメーションフィルタ 4 2 は、デジタル信号 S 4 のサンプリングレートを $1/n$ に低減して画像データ S 7 を出力し、このため対応するサンプリングのタイミングで n タップのフィルタにより連続する加算結果 S 6 を加算して出力する。ここでこの実施例では、この値 n が 8 に設定され、これにより第 9 図 (D) に示すように、加算結果 S 6 の 8 サンプル毎に、連続する 8 サンプルの加算結果 S 6 を加算して 6 ビットによる画像データ S 7 を出力する。

- 10 ここでこの第 9 図 (D) の各サンプルに表した数字は、この連続する 8 サンプルの加算値である。また第 9 図 (E) は、この値 n を 4 に設定して、サンプリングレートを高くし、その分、画像データ S 7 のビット数を低減した場合であり、この場合、デシメーションフィルタ 4 2 は、加算結果 S 6 の 4 サンプル毎に、連続する 4 サンプルの加算結果 S 6 を加算して 5 ビットにより画像データ S 7 を出力する。これらによりデシメーションフィルタ 4 2 は、演算処理に供するタップ数の切り換えにより、階調数を切り換え、この階調数の切り換えに連動してサンプリングレートを切り換えることができ、これによりこの撮像装置 1 0 1 では、タップ数の設定により所望するフレームレートにより画像データ S 7 を出力することができる。なおこの実施例においては、単純加算により加算結果 S 6 を処理する場合について述べたが、これに代えてより周波数特性の良いフィルタ処理を適用するようにしてもよい。

25 ロジックチップ 3 は、このようにして各画素 4 毎に生成される画像データ S 7 が、制御部 3 6 の制御により例えばライン単位で順次出力部 3 7 に転送され、出力部 3 7 により時分割多重化して出力され、これらによりこの撮像装置 1 0 1 は、ラスタ走査の順序により画像データ D 1 を出力する。

(2) 実施例 1 の動作

以上の構成において、この撮像装置 1 0 1 では (第 2 図)、所定の光学系によりセンサチップ 2 の撮像面に光学像が形成され、マトリックス状に配置された各画素 4 によりこの光学像が光電変換処理されて各画素 4 の撮像結果が得られる。

さらにセンサチップ 2 の撮像面とは逆側の面に設けられたアナログデジタル変換回路 8 により各画素 4 の撮像結果がデジタル信号 S 4 に変換されてロジックチップ 3 のフィルタ回路 3 5 に入力され、ここで各画素の撮像結果が画像データに変換されて出力される。

- 5 これによりこの撮像装置 1 0 1 では、各画素 4 に設けたアナログデジタル変換回路 8 により撮像結果をデジタル信号に変換してロジックチップ 3 により処理するようにして、その分、周辺の回路構成を簡略化することができる。またこのようにアナログデジタル変換回路 8 を各画素に設ける場合にあっても、撮像面とは逆側の面にアナログデジタル変換回路 8 が設けられていることにより、
- 10 アナログデジタル変換回路 8 の配線等による各画素 4 の開口率の低下を有効に回避することができ、またさらにはこの配線による隣接画素との間のクロストーク等を低減することができる。また各画素 4 については、撮像面にアナログデジタル変換回路を設ける場合のような、撮像面における占有面積の減少を防止することができ、これにより画素の微細化を容易としてこの撮像装置の製造を容易
- 15 なものとすることができる。また続くロジックチップ 3 への接続の自由度を格段的に向上することができ、その分、設計の自由度を向上することができる。

- またこのようにしてロジックチップ 3 によりデジタル信号処理するようにして、撮像装置 1 0 1 では、マイクロバンプによる接続により、各撮像結果によるデジタル信号がロジックチップ 3 に出力される。これにより撮像装置 1 0 1 で
- 20 は、画素並列にロジックチップ 3 に撮像結果を出力することができ、アナログデジタル変換回路 8 によるサンプリングレートを高く設定することができる。また画素並列にデジタル信号処理することができ、例えばデジタル信号を一時記録するメモリ等を設けなくても撮像結果を処理することができ、その分、構成を簡略化することができる。またこのように画素並列にデジタル信号処理
- 25 ことができることにより、フレームレートも高速度化することができる。

この撮像装置 1 0 1 では、このデジタル信号処理の前提に係るアナログデジタル変換回路 8 が Δ 変調型のアナログデジタル変換回路により構成され（第 3 図）、ロジックチップ 3 におけるデジタル信号処理が、このアナログデジタル変換回路 8 より得られるデジタル信号 S 4 のサンプリングレートを低減す

るフィルタ回路 35 と、このフィルタ回路 35 による処理結果を時分割多重化処理して出力する出力部 37 とにより構成され、これにより所望するサンプリングレート、階調数、走査順序により、撮像結果を画像データに変換して出力することができる。

5 (3) 実施例 1 の効果

以上の構成によれば、半導体チップにおける撮像面とは逆側の面にアナログデジタル変換回路を設けることにより、撮像素子にアナログデジタル変換回路を設ける構成において、開口率の低下を有効に回避することができる。

10 具体的に、このアナログデジタル変換回路に、 Δ 変調型のアナログデジタル変換回路を適用して、撮像素子にアナログデジタル変換回路を設ける構成において、開口率の低下を有効に回避することができる。

またこのようにして得られる各画素のデジタル信号を時分割多重化して出力することにより、例えばラスタ走査の順序により各撮像結果を出力して、ラスタ走査順序により画像データを処理するデコーダ等を用いて画像データを処理する
15 ことができ、CCD 固体撮像素子に係る周辺回路等を有効に利用することができる。

またこのような時分割多重化等の処理に係るデジタル信号処理回路による集積回路の半導体チップに対して、アナログデジタル変換回路を設けたチップセンサをマイクロバンプにより接続して積層することにより、各画素単位によるアナログデジタル変換処理結果を安定に、かつ同時並列的にデジタル信号処理
20 することができ、これにより高フレームレートにより撮像結果を確実に処理することができる。

すなわち画素毎にマイクロバンプを設けることにより、画素毎のアナログデジタル変換処理結果を同時並列的に出力してデジタル信号処理することができ
25 る。

またこのデジタル信号処理回路に、サンプリングレートを変換するフィルタ回路であるデシメーションフィルタ回路を適用することにより、所望する階調数、サンプリングレートにより撮像結果を出力することができる。

(4) 実施例 2

第10図及び第11図は、本発明の実施例2に係る撮像装置に適用される画素及びフィルタ部の構成を示すブロック図である。この実施例に係る撮像装置は、この第10図及び第11図に示す画素44及びフィルタ部45が、実施例1に係る画素4及びフィルタ部40に代えて適用される。なおこの実施例に係る撮像装置は、この画素44及びフィルタ部45に係る構成が異なる点を除いて、実施例1の撮像装置101と同一に構成されることにより、この実施例において、重複した説明は省略する。

ここでこの画素44は、受光素子7による撮像信号S1をアナログデジタル変換回路48によりアナログデジタル変換処理し、その処理結果によるデジタル信号S14を、出力部12、マイクロバンプによる電極13を介してロジックチップに出力する。

ここでアナログデジタル変換回路48は、 $\Delta\Sigma$ 変調型のアナログデジタル変換回路であり、減算部49は、第12図に示すように、撮像信号S1を所定周期によりサンプリングし、このサンプリング結果から遅延部50の出力信号を減算して差分信号S12を出力する（第12図（A）及び（B））。

積分部51は、この差分信号S12を積分して積分信号S13を出力し、比較部52は、この積分信号S13を所定のしきい値電圧THにより判定して判定結果S14を出力する（第12図（C））。遅延部50は、この判定結果S14を1サンプリング周期だけ遅延させて減算部49に帰還する。なおこれらの処理において、遅延部50から出力される出力信号においては、撮像信号S1の正側及び負側の最大振幅に対応する信号レベルが、それぞれ比較部52における論理1及び0の判定結果による信号レベルとなるように設定される。これによりアナログデジタル変換回路48は、判定結果を帰還して撮像信号S1の信号レベルに応じて論理1、論理0によりデジタル信号S14を出力する。

このアナログデジタル変換回路48の構成に対応して、フィルタ部45は（第11図）、デシメーションフィルタ54により構成され、マイクロバンプによる電極32を介して入力されるデジタル信号S14をデシメーションフィルタ54に入力し、ここで第9図との対比により第13図（A）～（D）に示すように、このデジタル信号S14をフィルタリング処理することにより、このディ

デジタル信号 S 1 4 を所定のサンプリングレートによる画像データ S 7 にレート変換して出力する。これによりフィルタ部 4 5 は、このデシメーションフィルタ 5 4 の演算処理に供するタップ数の切り換えにより、階調数を切り換え、この階調数の切り換えに連動してサンプリングレートを切り換えることができ、これにより
5 所望するフレームレートにより画像データ S 7 を出力することができる。

この実施例においては、半導体チップにおける撮像素子とは逆側の面にアナログデジタル変換回路を設けることにより、撮像素子にアナログデジタル変換回路を設ける構成において、開口率の低下を有効に回避するようにして、このアナログデジタル変換回路に、 $\Delta \Sigma$ 変調型のアナログデジタル変換回路を適用す
10 ることにより、ロジックチップ側の積分処理を省略し、さらにはセンサチップ側で撮像結果を積分することにより、撮像結果によるデジタル信号の伝送にエラーが発生した場合にあっても、その影響の範囲を限定することができ、これにより信頼性を向上することができる。

(5) 実施例 3

15 第 1 4 図は、第 2 図との対比により本発明の実施例 3 に係る撮像装置に適用される集積回路 6 1 を示すブロック図である。この実施例に係る撮像装置は、ロジックチップ 6 3 に実装されるデジタル信号処理回路が異なる点を除いて、実施例 1 又は実施例 2 に係る撮像装置と同一に構成される。なお以下においては、これにより実施例 1、実施例 2 の撮像装置と同一の構成にあつては、対応する符号
20 を付して示し、重複した説明は省略する。

この実施例において、ロジックチップ 6 3 は、マイクロバンプを用いてセンサチップ 2 が積層され、このロジックチップ 6 3 のデジタル信号処理回路 6 4 が、各画素によるデジタル信号 S 4、(S 1 4) をそれぞれ蓄積する数〜数十ビットの容量のメモリ 6 5 により形成される。ロジックチップ 6 3 は、このメモリ
25 6 5 によるデジタル信号処理回路 6 4 と、各メモリ 6 5 からの出力データを外部に出力する出力部 6 7 と、メモリ 6 5、出力部 6 7 の動作を制御する制御部 6 6 とにより構成される。

これによりこの撮像装置では、各画素による撮像結果のデジタル信号を各メモリ部 6 5 によりバッファリングし、所定データ量単位で、例えばラスタ走査の

順序により出力する。

この実施例によれば、半導体チップにおける撮像面とは逆側の面にアナログデジタル変換回路を設けることにより、撮像素子にアナログデジタル変換回路を設ける構成において、開口率の低下を有効に回避するようにして、ロジックチップ側でデジタル信号をメモリ回路に蓄積して出力することにより、後段の処理回路における処理タイミングとの整合性を図ることができる。

(6) 実施例 4

第 15 図は、第 2 図との対比により本発明の実施例 4 に係る撮像装置に適用される集積回路 71 を示すブロック図である。この実施例に係る撮像装置は、ロジックチップ 73 に実装されるデジタル信号処理が異なる点を除いて、実施例 1 又は実施例 2 に係る撮像装置と同一に構成される。なお以下においては、これにより実施例 1、実施例 2 の撮像装置と同一の構成にあつては、対応する符号を付して示し、重複した説明は省略する。

この実施例において、ロジックチップ 73 は、マイクロバンプを用いてセンサチップ 2 が積層され、各画素によるデジタル信号 S4、(S14) をマルチプレクサ (MUX) 74 に入力する。ここでマルチプレクサ 74 は、例えばセンサチップ 2 の画素 4、(44) から出力されるデジタル信号 S4、(S14) を各ビットに入力する複数のレジスタにより形成され、水平方向に連続する所定個数の画素 4、(44) による各 1 ビットのデジタル信号 S4、(S14) をビットパラレルのデジタル信号にまとめて出力する。

制御部 76 は、マルチプレクサ 74 の制御により、デジタル信号 S4、(S14) の各サンプリング周期で、各画素 4、(14) の撮像結果をマルチプレクサ 74 に記録すると共に、マルチプレクサ 74 に記録したデジタル信号による撮像結果をライン単位でメモリ 75 に出力する。またこのメモリ 75 に出力したライン単位による撮像結果を所定フレーム期間の間蓄積し、出力部 77 の制御により出力する。

この実施例によれば、半導体チップにおける撮像面とは逆側の面にアナログデジタル変換回路を設けることにより、撮像素子にアナログデジタル変換回路を設ける構成において、開口率の低下を有効に回避するようにして、ロジックチ

ップ側でマルチプレクサにより各1ビットによるデジタル信号をビットパラレルのデジタル信号にまとめて出力するようにして、これら複数画素の撮像結果を同時並列的に処理することができる。

(7) 実施例 5

- 5 第16図は、第2図との対比により本発明の実施例5に係る撮像装置に適用される集積回路81を示すブロック図である。この実施例に係る撮像装置は、ロジックチップ83に実装されるデジタル信号処理が異なる点を除いて、実施例1又は実施例2に係る撮像装置と同一に構成される。なお以下においては、これにより実施例1、実施例2の撮像装置と同一の構成にあつては、対応する符号を付
- 10 して示し、重複した説明は省略する。

この実施例において、ロジックチップ83は、マイクロバンプを用いてセンサチップ2が積層され、このロジックチップ83のデジタル信号処理回路84が、各画素によるデジタル信号S4、(S14)をそれぞれデータ圧縮する圧縮部85により形成される。ロジックチップ83は、この圧縮部85によるデジ

15 タル信号処理回路84と、圧縮部85からの出力データを外部に出力する出力部87と、圧縮部85、出力部87の動作を制御する制御部86とにより構成される。

ここで圧縮部85は、例えばランレングス方式等の算術的圧縮方法によってデジタル信号S4、(S14)を時間軸方向にデータ圧縮して出力する。これによりこの撮像装置では、各画素による撮像結果をそれぞれデータ圧縮して、例えばラスタ走査の順序により、所定フレーム単位で出力する。

20

この実施例によれば、半導体チップにおける撮像面とは逆側の面にアナログデジタル変換回路を設けることにより、撮像素子にアナログデジタル変換回路を設ける構成において、開口率の低下を有効に回避するようにして、ロジックチップ側でデータ圧縮して出力することにより、高速度により撮像結果を取得して

25 出力する場合でも、確実に撮像結果を出力することができる。

(8) 実施例 6

第17図は、第2図との対比により本発明の実施例6に係る撮像装置に適用される集積回路91を示すブロック図である。この実施例に係る撮像装置は、セン

5 サチップ 9 2 の裏面に形成されたアナログデジタル変換回路により各画素 4、
 (4 4) の撮像結果をアナログデジタル変換処理し、その処理結果によるディ
 ジタル信号を、同様に、センサチップ 9 2 の裏面に形成された出力部 9 3 により
 時分割多重化して出力する。なおこの実施例においては、各画素に係る撮像結果
10 の処理が異なる点を除いて、実施例 1 又は実施例 2 に係る撮像装置と同一に構成
 される。

 この実施例のように、センサチップ側に出力部を設けて撮像結果を多重化して
 出力する場合にあっても、半導体チップにおける撮像面とは逆側の面にアナログ
 デジタル変換回路を設けることにより、撮像素子にアナログデジタル変換回
10 路を設ける構成において、開口率の低下を有効に回避することができる。

(9) 他の実施例

 なお上述の実施例においては、CMOS 固体撮像素子によりセンサチップを構
 成する場合について述べたが、本発明はこれに限らず、XY アドレス方式による
 各種固体撮像素子によりセンサチップを構成する場合に広く適用することができ
15 る。

 また上述の実施例においては、ロジックチップにデータ圧縮処理等によるディ
 ジタル信号処理回路を設ける場合について述べたが、本発明はこれに限らず、例
 えば動き検出回路等、種々のデジタル信号処理回路を設ける場合に広く適用す
 ることができる。

20

産業上の利用可能性

 本発明は、例えば CMOS 固体撮像素子による撮像装置に適用することができ
 る。

請求の範囲

1. マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像装置において、

5 前記半導体チップは、

一方の面に、前記画素が配置されて、XYアドレス制御により前記画素の撮像結果を他方の面の側に出力し、

前記他方の面に、対応する前記画素の撮像結果をアナログデジタル変換処理してデジタル信号を出力するアナログデジタル変換回路が、前記画素に対応

10 して形成された

ことを特徴とする撮像装置。

2. 前記アナログデジタル変換回路が、

△変調型のアナログデジタル変換回路である

15 ことを特徴とする請求の範囲第1項に記載の撮像装置。

3. 前記アナログデジタル変換回路が、

△Σ変調型のアナログデジタル変換回路である

ことを特徴とする請求の範囲第1項に記載の撮像装置。

20

4. 前記アナログデジタル変換回路から出力されるデジタル信号を、時分割多重化して出力する出力回路を有する

ことを特徴とする請求の範囲第1項に記載の撮像装置。

25 5. 前記半導体チップは、

前記デジタル信号を処理する集積回路による半導体チップに積層されて、マイクロバンプによる接続により前記デジタル信号を前記半導体チップに形成されたデジタル信号処理回路に出力する

ことを特徴とする請求の範囲第1項に記載の撮像装置。

6. 前記画素毎に前記マイクロバンプが設けられた
ことを特徴とする請求の範囲第5項に記載の撮像装置。
- 5 7. 前記アナログディジタル変換回路が、
Δ変調型のアナログディジタル変換回路である
ことを特徴とする請求の範囲第5項に記載の撮像装置。
8. 前記アナログディジタル変換回路が、
10 ΔΣ変調型のアナログディジタル変換回路である
ことを特徴とする請求の範囲第5項に記載の撮像装置。
9. 前記ディジタル信号処理回路は、
前記ディジタル信号のサンプリングレートを変換して出力するフィルタ回路で
15 ある
ことを特徴とする請求の範囲第5項に記載の撮像装置。
10. 前記ディジタル信号処理回路は、
前記ディジタル信号を時分割多重化して出力する
20 ことを特徴とする請求の範囲第5項に記載の撮像装置。
11. 前記ディジタル信号処理回路は、
前記ディジタル信号を記憶して出力するメモリ回路である
ことを特徴とする請求の範囲第5項に記載の撮像装置。
25
12. 前記ディジタル信号処理回路は、
前記ディジタル信号を時間軸方向にデータ圧縮して出力する
ことを特徴とする請求の範囲第5項に記載の撮像装置。

13. マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像結果の出力方法において、

前記半導体チップの一方の面に配置された前記画素のXYアドレス制御により、前記画素の撮像結果を前記半導体チップの他方の面の側に出力する撮像結果の

5 出力ステップと、

前記他方の面の側に、前記画素に対応して配置されたアナログデジタル変換回路により、前記画素の撮像結果をアナログデジタル変換処理してデジタル信号を出力するアナログデジタル変換処理のステップとを有する

ことを特徴とする撮像結果の出力方法。

補正書の請求の範囲

[2005年12月22日(22.12.2005)国際事務局受理 :
新しい請求の範囲14及び15が加えられた;他の請求の範囲は変更なし。(4頁)]

1. マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像装置において、

5 前記半導体チップは、

一方の面に、前記画素が配置されて、XYアドレス制御により前記画素の撮像結果を他方の面の側に出力し、

前記他方の面に、対応する前記画素の撮像結果をアナログディジタル変換処理してディジタル信号を出力するアナログディジタル変換回路が、前記画素に対応
0 して形成された

ことを特徴とする撮像装置。

2. 前記アナログディジタル変換回路が、

Δ変調型のアナログディジタル変換回路である

5 ことを特徴とする請求の範囲第1項に記載の撮像装置。

3. 前記アナログディジタル変換回路が、

ΔΣ変調型のアナログディジタル変換回路である

ことを特徴とする請求の範囲第1項に記載の撮像装置。

20

4. 前記アナログディジタル変換回路から出力されるディジタル信号を、時分割多重化して出力する出力回路を有する

ことを特徴とする請求の範囲第1項に記載の撮像装置。

25 5. 前記半導体チップは、

前記ディジタル信号を処理する集積回路による半導体チップに積層されて、マイクロバンプによる接続により前記ディジタル信号を前記半導体チップに形成されたディジタル信号処理回路に出力する

ことを特徴とする請求の範囲第1項に記載の撮像装置。

6. 前記画素毎に前記マイクロバンプが設けられた
ことを特徴とする請求の範囲第5項に記載の撮像装置。
- 5 7. 前記アナログディジタル変換回路が、
△変調型のアナログディジタル変換回路である
ことを特徴とする請求の範囲第5項に記載の撮像装置。
8. 前記アナログディジタル変換回路が、
10 △Σ変調型のアナログディジタル変換回路である
ことを特徴とする請求の範囲第5項に記載の撮像装置。
9. 前記ディジタル信号処理回路は、
前記ディジタル信号のサンプリングレートを変換して出力するフィルタ回路で
15 ある
ことを特徴とする請求の範囲第5項に記載の撮像装置。
10. 前記ディジタル信号処理回路は、
前記ディジタル信号を時分割多重化して出力する
20 ことを特徴とする請求の範囲第5項に記載の撮像装置。
11. 前記ディジタル信号処理回路は、
前記ディジタル信号を記憶して出力するメモリ回路である
ことを特徴とする請求の範囲第5項に記載の撮像装置。
25
12. 前記ディジタル信号処理回路は、
前記ディジタル信号を時間軸方向にデータ圧縮して出力する
ことを特徴とする請求の範囲第5項に記載の撮像装置。

ことを特徴とする撮像装置。

15. (追加) マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像結果の出力方法において、

5 前記半導体チップは、

センサチップとロジックチップとを積層して、マイクロバンプにより前記センサチップと前記ロジックチップとを接続して形成され、

前記撮像結果の出力方法は、

10 前記センサチップの一方の面に配置された前記画素のX Yアドレス制御により、前記画素の撮像結果を他方の面の側に出力する撮像結果の出力ステップと、

前記センサチップの前記他方の面に、前記画素に対応して配置されたアナログデジタル変換回路により、対応する前記画素の撮像結果をアナログデジタル変換処理してデジタル信号を出力するアナログデジタル変換処理のステップと、

15 前記ロジックチップに設けられたデシメーションフィルタ部により、前記デジタル信号のサンプリングレートを変換して出力するサンプリングレートの変換ステップとを有し、

前記サンプリングレートの変換ステップは、

20 フレームレートに応じた演算処理に供するタップ数の切り換えにより前記デジタル信号の階調数を切り換え、該階調数の切り換えに連動してサンプリングレートを切り換える

ことを特徴とする撮像結果の出力方法。

1 3. マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像結果の出力方法において、

前記半導体チップの一方の面に配置された前記画素のX Yアドレス制御により、前記画素の撮像結果を前記半導体チップの他方の面の側に出力する撮像結果の

5 出力ステップと、

前記他方の面の側に、前記画素に対応して配置されたアナログデジタル変換回路により、前記画素の撮像結果をアナログデジタル変換処理してデジタル信号を出力するアナログデジタル変換処理のステップとを有する

ことを特徴とする撮像結果の出力方法。

10

1 4. (追加) マトリックス状に画素を配置した半導体チップによる撮像結果を出力する撮像装置において、

前記半導体チップは、

15 センサチップとロジックチップとを積層して、マイクロバンプにより前記センサチップと前記ロジックチップとを接続して形成され、

前記センサチップは、

一方の面に、前記画素が配置されて、X Yアドレス制御により前記画素の撮像結果を他方の面の側に出力し、

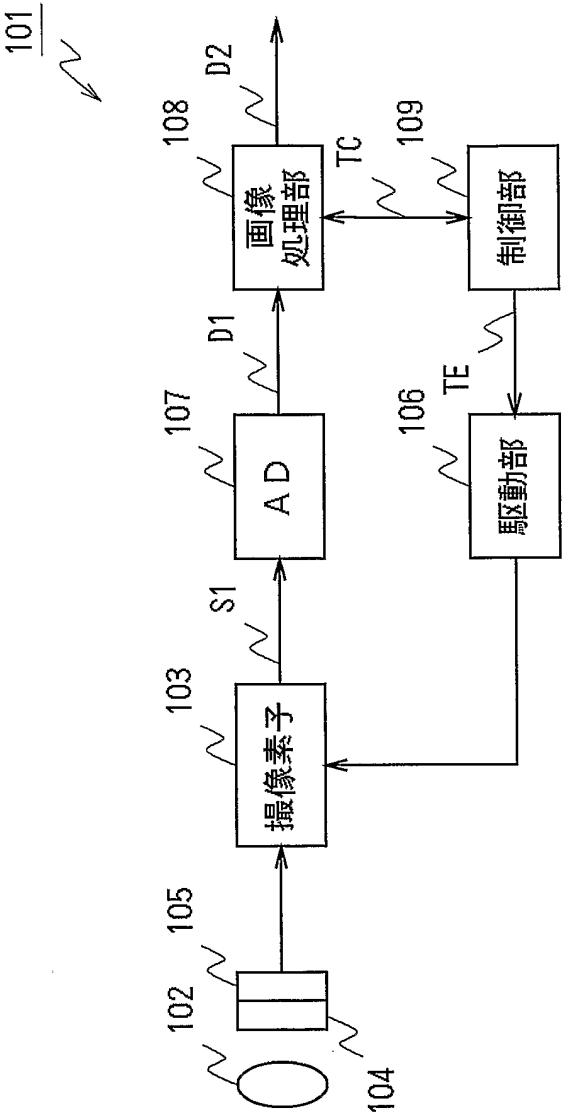
20 前記他方の面に、対応する画素の撮像結果をアナログデジタル変換処理してデジタル信号を出力するアナログデジタル変換回路が前記画素に対応して設けられ、

前記ロジックチップは、

25 前記マイクロバンプにより前記アナログデジタル変換回路にそれぞれ接続されて、前記デジタル信号のサンプリングレートを変換して出力するデシメーションフィルタ部が設けられ、

前記デシメーションフィルタ部は、

フレームレートに応じた演算処理に供するタップ数の切り換えにより前記デジタル信号の階調数を切り換え、該階調数の切り換えに連動してサンプリングレートを切り換える



第1図

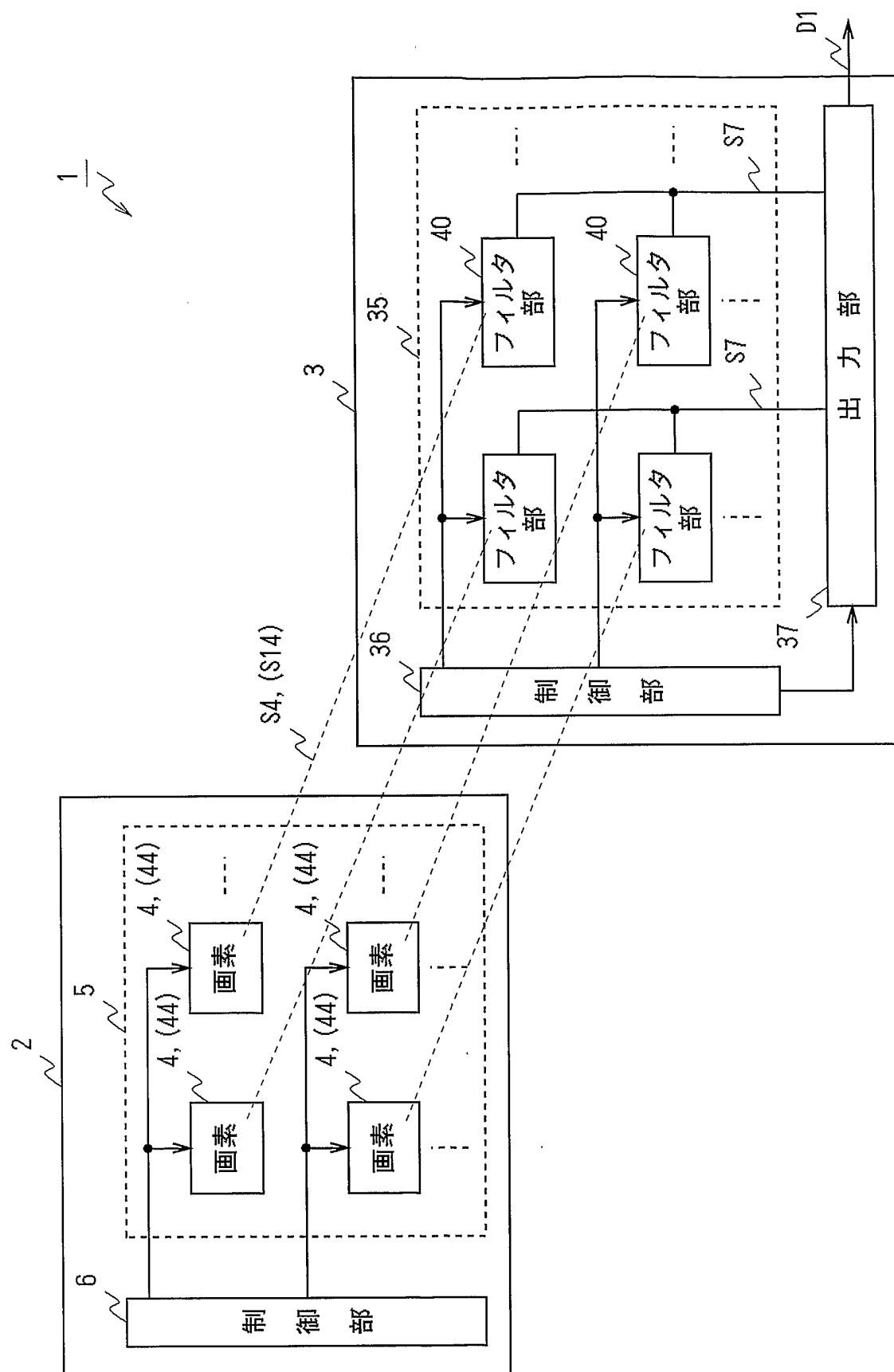
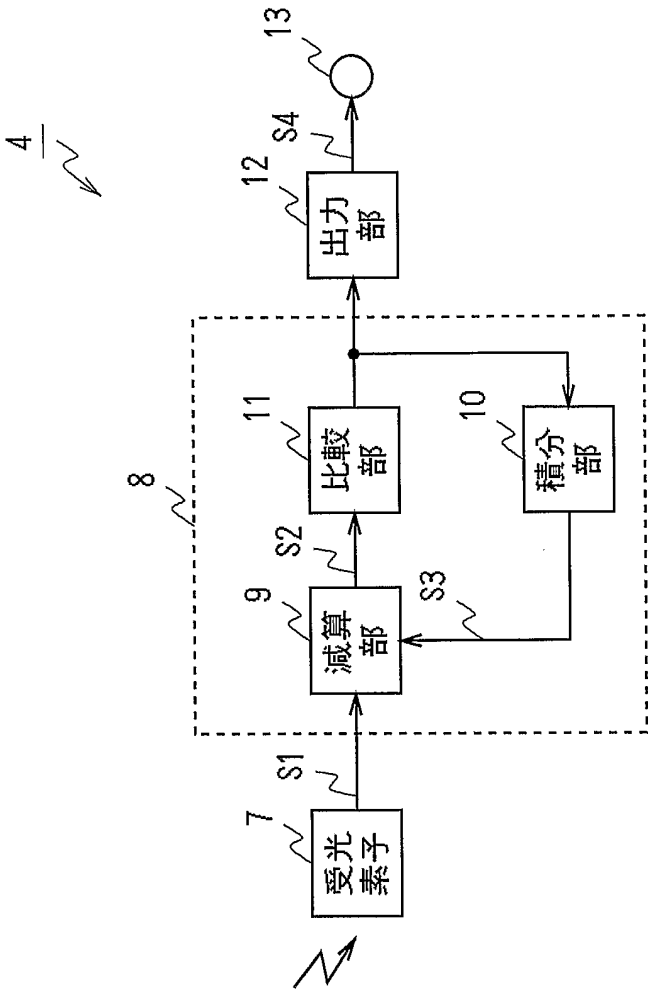


图 2 续



第 3 図

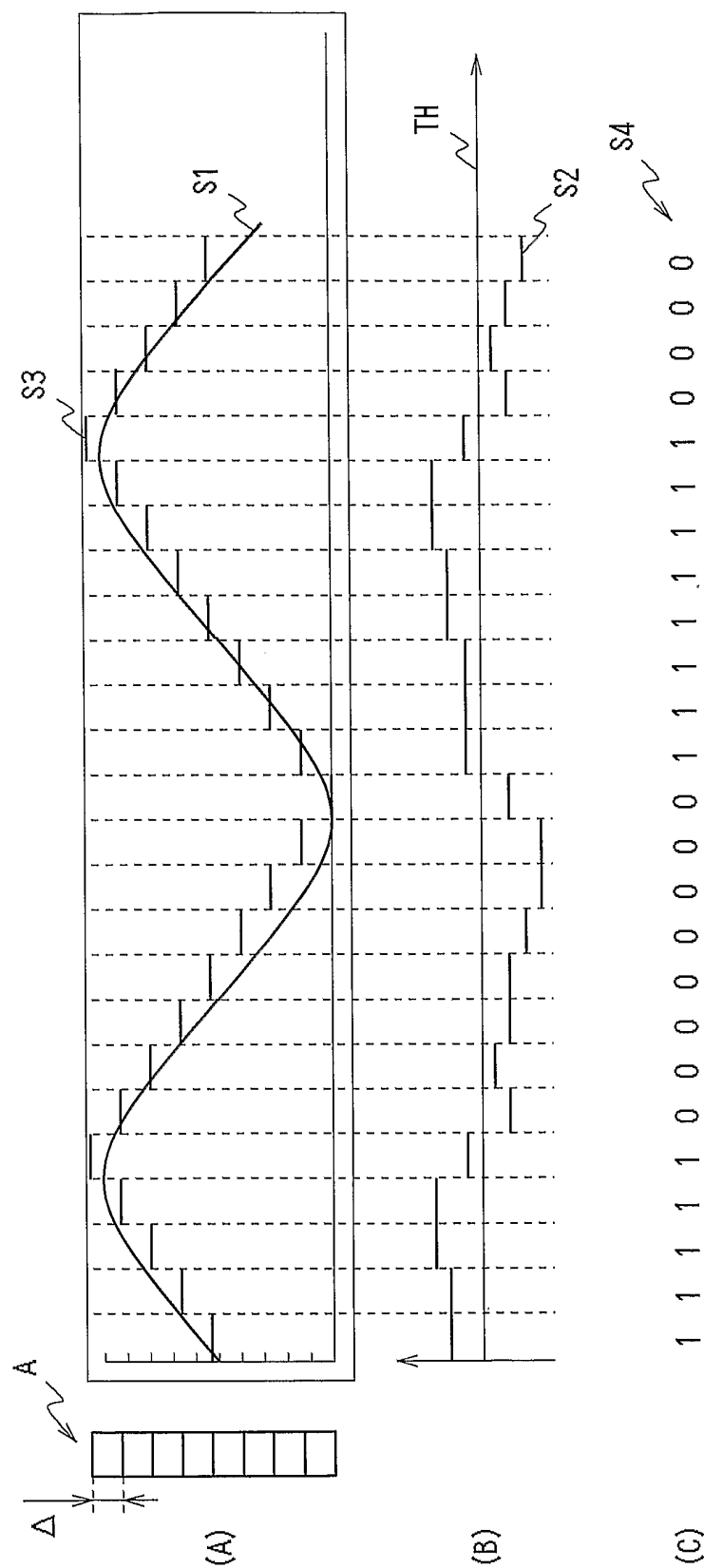
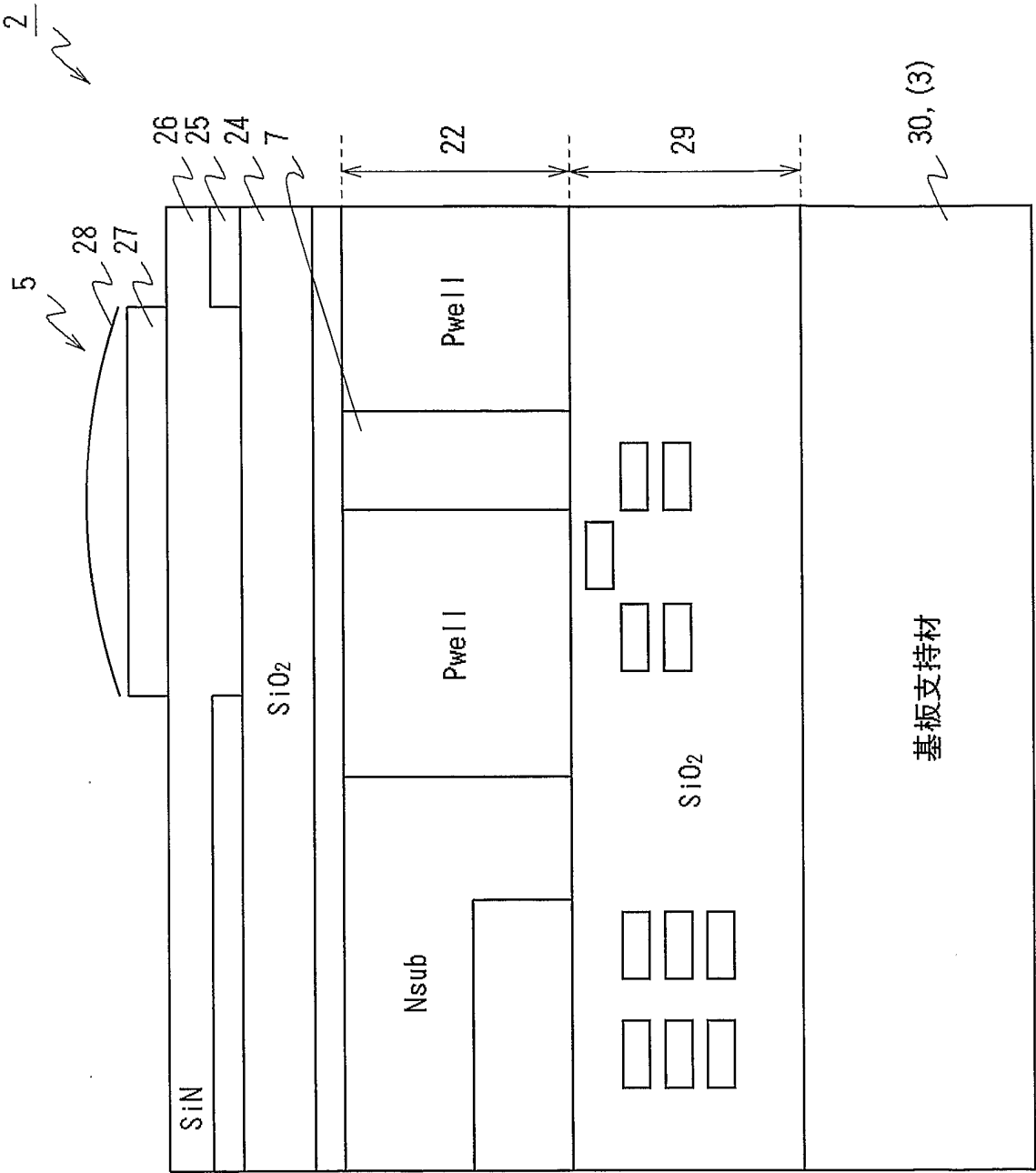
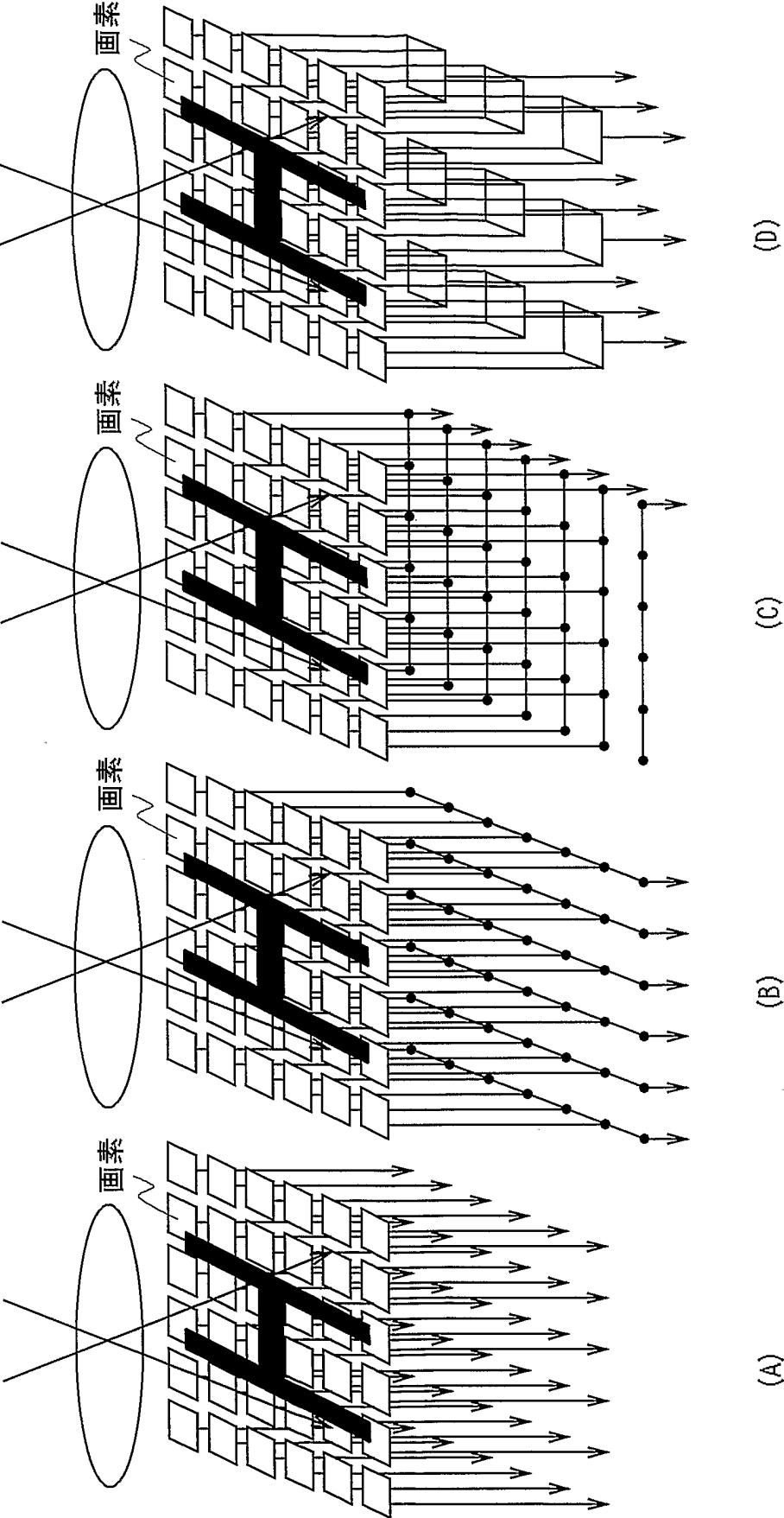


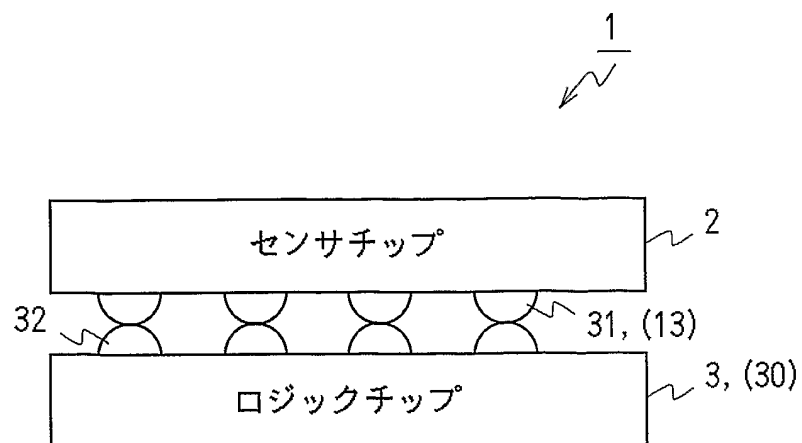
圖 4



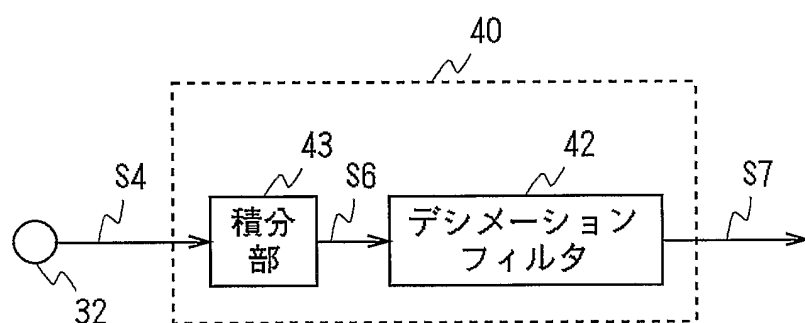
第5図



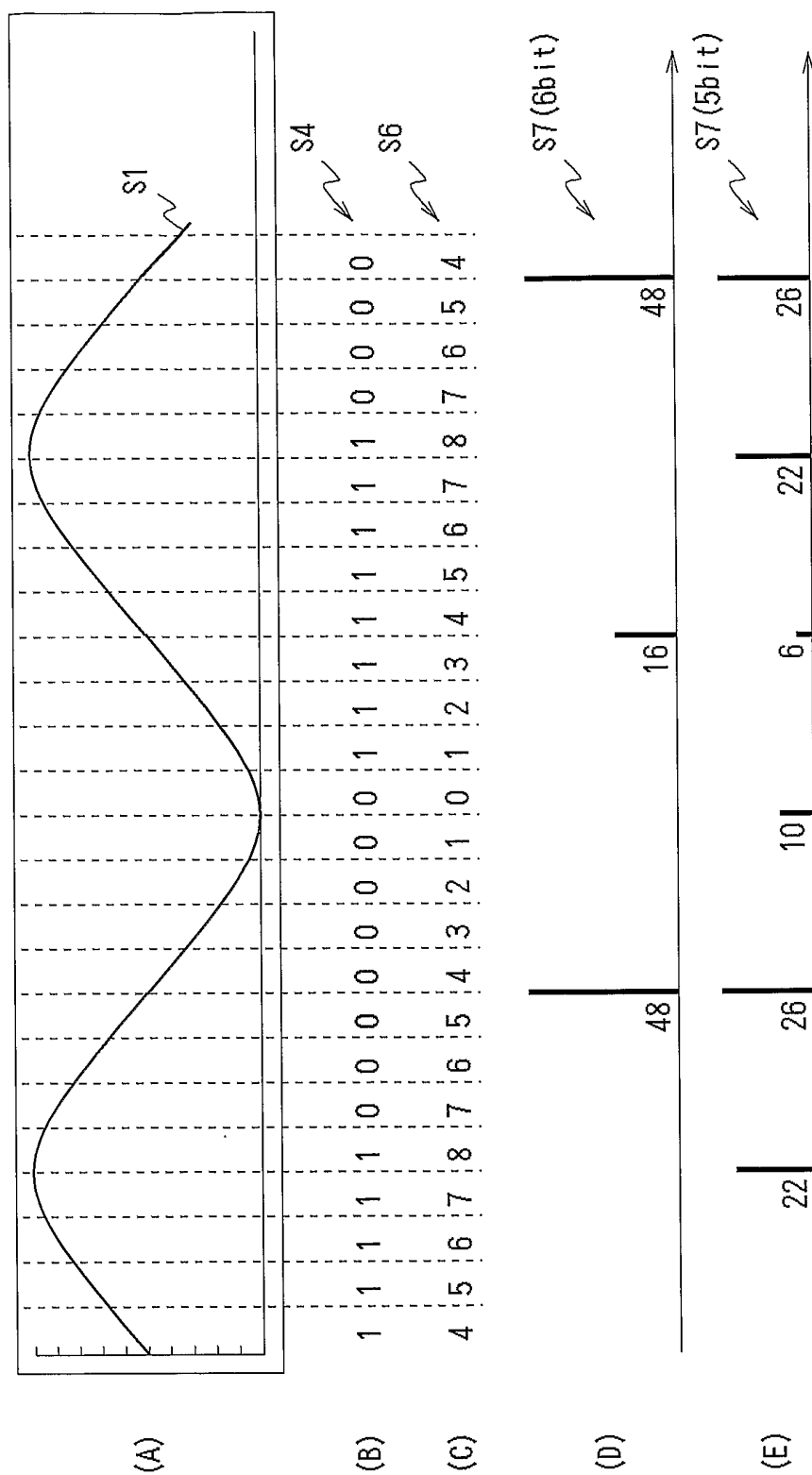
第6図



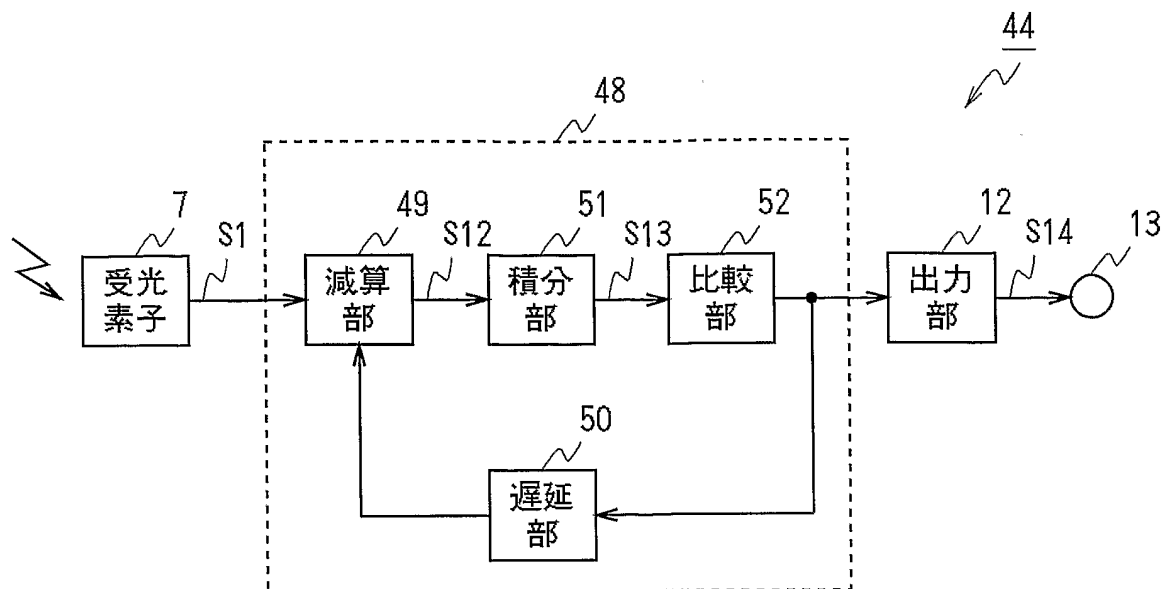
第7図



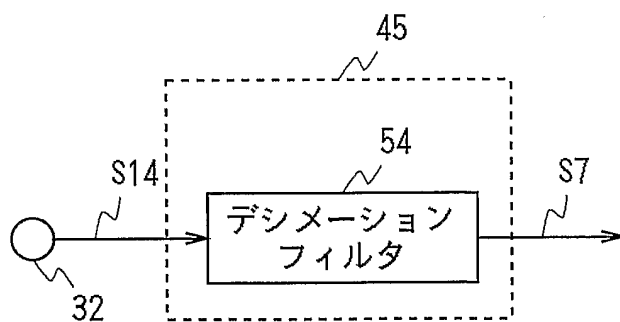
第8図



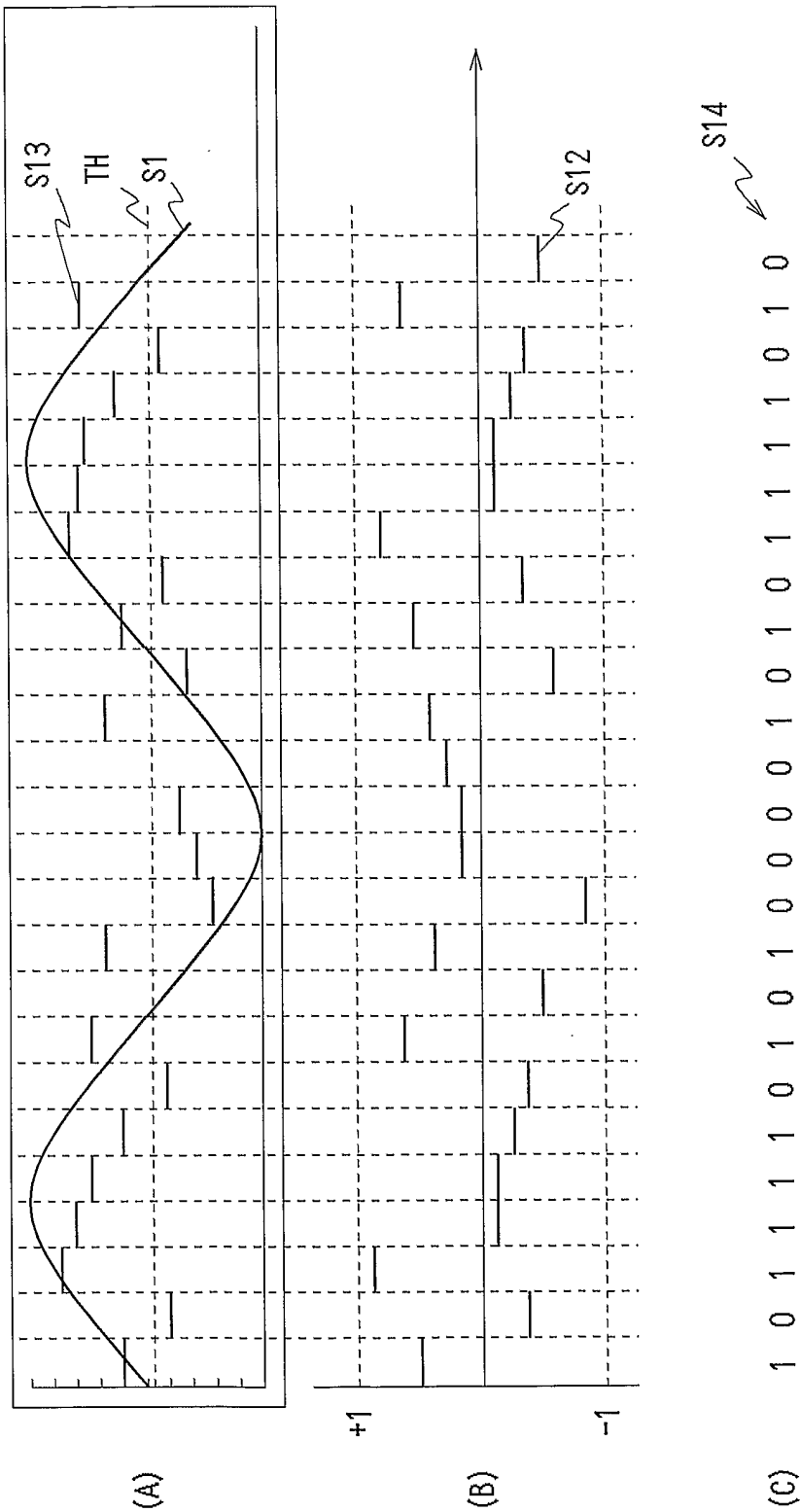
図の無



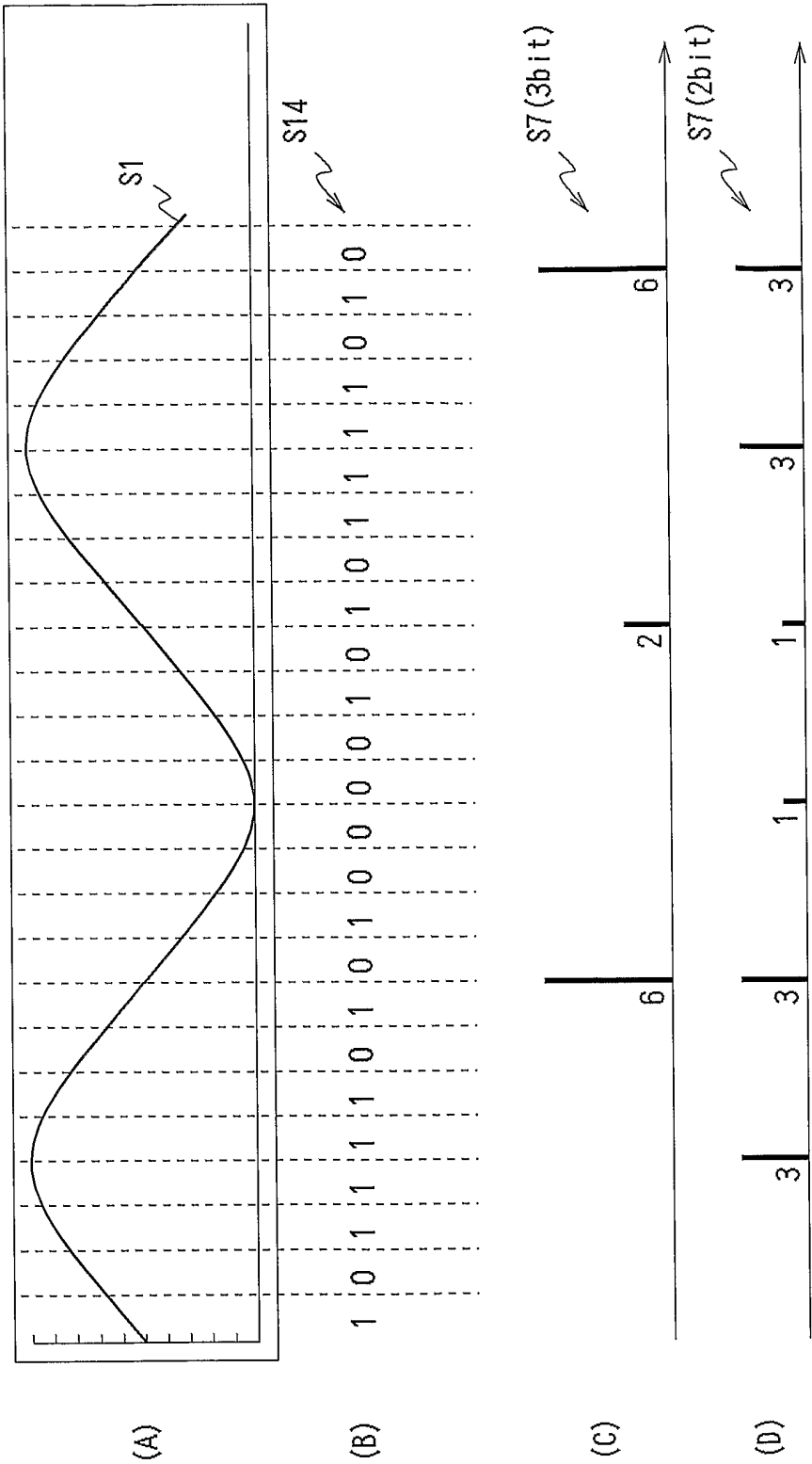
第 10 図



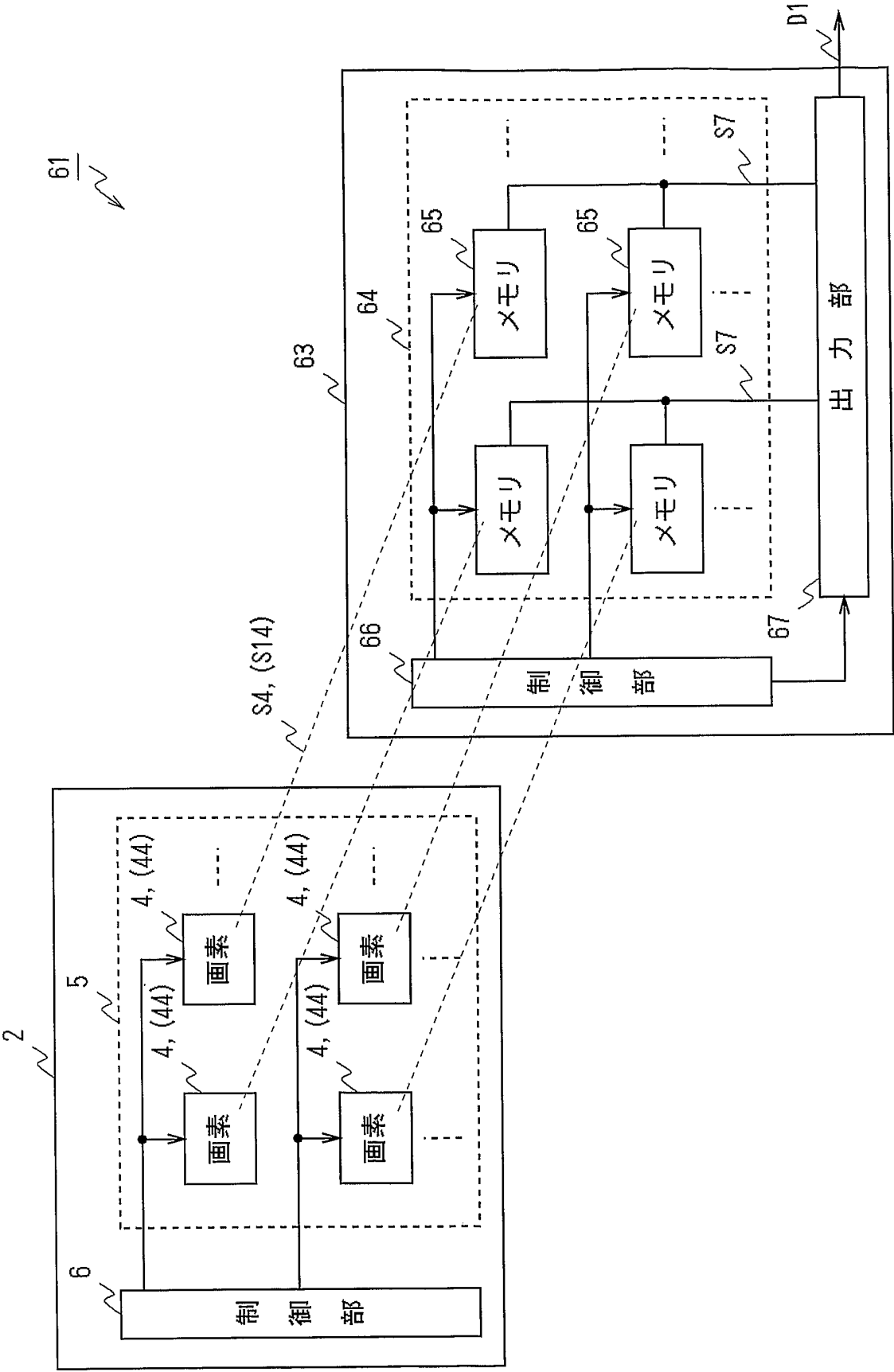
第 11 図



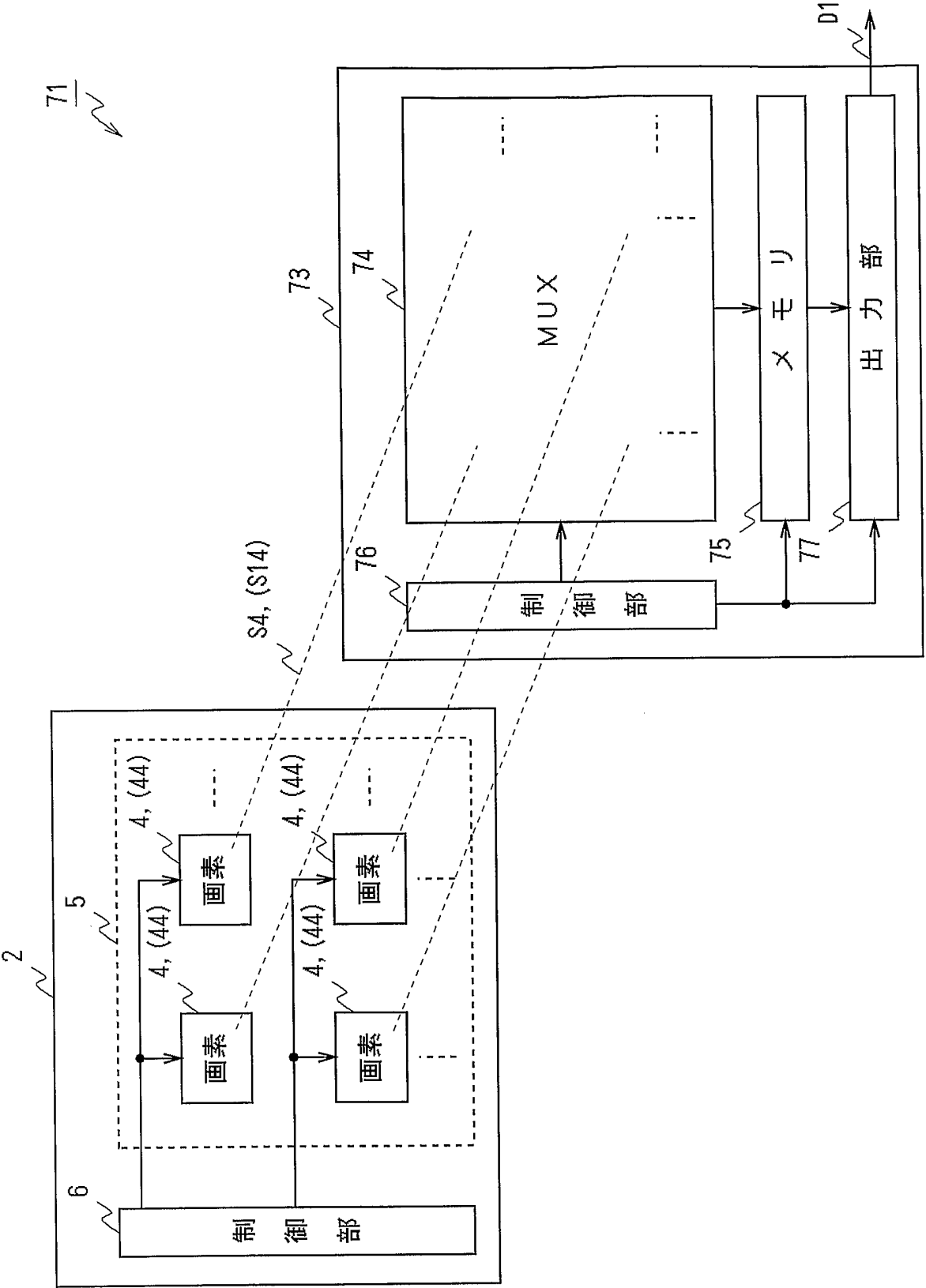
第 12 図



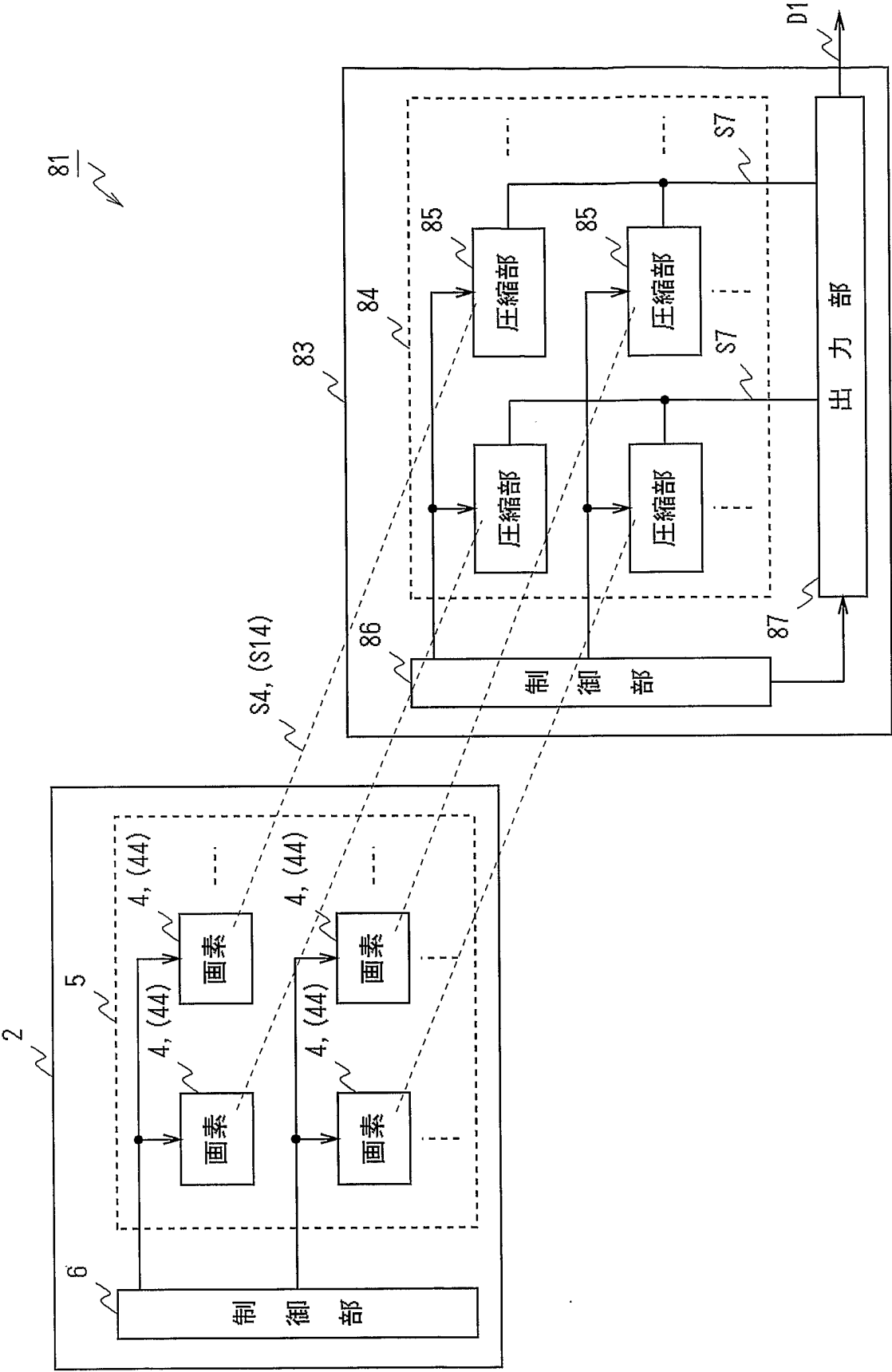
第 13 図



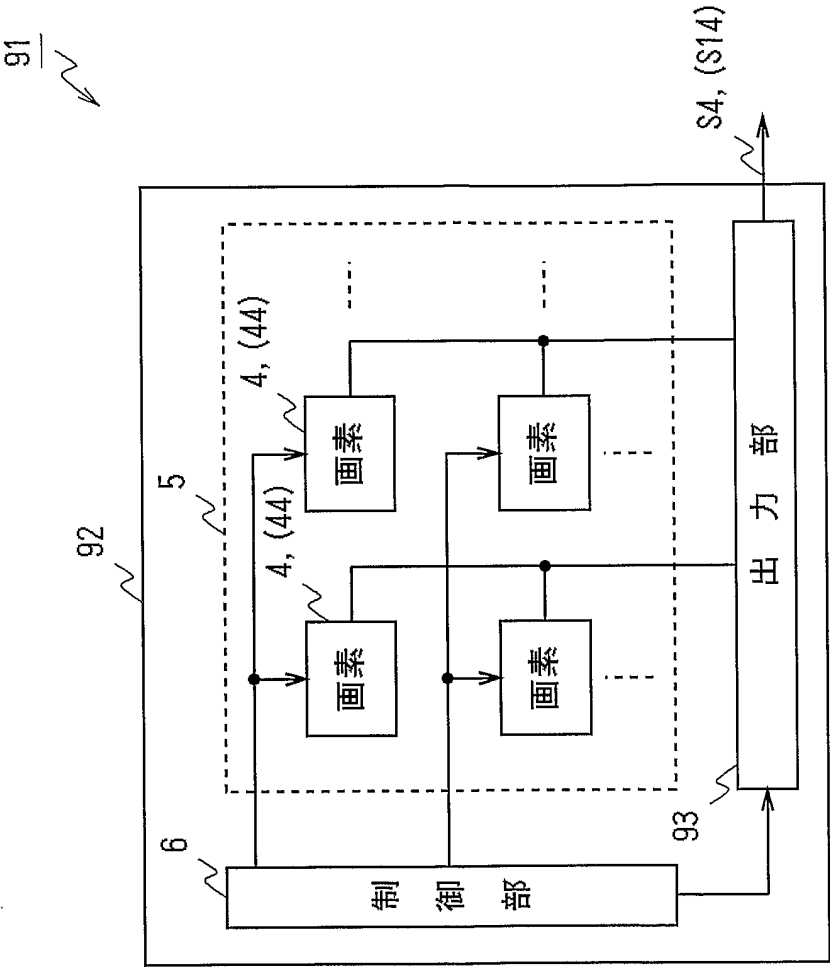
第 1 4 図



第15図



第 16 図



第 17 図

符号の説明

1、61、71、81、91 ……集積回路、2、92 ……センサチップ、
3、63、73、83 ……ロジックチップ、4、44 ……画素、5 ……撮像
部、6、36、66、76、86 ……制御部、7 ……受光素子、8、48、
107 ……アナログデジタル変換回路、9、49 ……減算部、10、4
3、51 ……積分部、11 ……比較部、12、37、67、77、87、9
3 ……出力部、13 ……出力端子、22 ……素子層、24 ……シリコン酸化
膜、25 ……遮光膜、26 ……シリコン窒化膜、27 ……色フィルタ、28
……マイクロレンズ、29 ……配線層、30 ……基板支持材、31、32 …
…マイクロバンプ、35 ……フィルタ回路、40、45 ……フィルタ部、4
2、54 ……デシメーションフィルタ、50 ……遅延部、52 ……比較部、
64、84 ……デジタル信号処理回路、65、75 ……メモリ、74 ……
マルチプレクサ、85 ……圧縮部、101 ……撮像装置、102 ……レン
ズ、103 ……撮像素子、104 ……光学ローパスフィルタ、105 ……色
補正フィルタ、106 ……駆動部、108 ……画像圧縮部

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015301

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/335 (2006.01), **H01L27/146** (2006.01), **H01L27/14** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/335 (2006.01), **H01L27/146** (2006.01), **H01L27/14** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-23573 A (Asahi Kasei Corp.), 24 January, 2003 (24.01.03), Par. Nos. [0011] to [0017]; Fig. 1 (Family: none)	1, 13 2-12
Y	JP 2001-345700 A (Yamaha Corp.), 14 December, 2001 (14.12.01), Par. Nos. [0002] to [0008]; Figs. 5 to 6 & US 2001/48384 A1	2, 3, 7, 8
Y	JP 11-205695 A (Texas Instruments Inc.), 30 July, 1999 (30.07.99), Par. Nos. [0006] to [0014]; Figs. 1 to 2 & US 6229133 B1 & EP 912043 A2	4

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 November, 2005 (21.11.05)Date of mailing of the international search report
06 December, 2005 (06.12.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015301

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KURINO, H. et al., 'Intelligent Image Sensor Chip with Three Dimensional Structure' In: Electron Devices Meeting, 2000. IEDM Technical Digest. International: IEEE, 1999, pages 879 to 882	5-12
A	JP 2003-234967 A (Kabushiki Kaisha Fotoron), 22 August, 2003 (22.08.03), Full text; Figs. 1 to 7 (Family: none)	12

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int.Cl. H04N5/335 (2006.01), H01L27/146 (2006.01), H01L27/14 (2006.01)			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int.Cl. H04N5/335 (2006.01), H01L27/146 (2006.01), H01L27/14 (2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	J P 2003-23573 A (旭化成株式会社) 2003.01.24, 段落【0011】-【0017】, 第1図 (ファミリーなし)	1, 13	
Y		2-12	
Y	J P 2001-345700 A (ヤマハ株式会社) 2001.12.14, 段落【0002】-【0008】, 第5-6 図 & US 2001/48384 A1	2, 3, 7, 8	
☒ C欄の続きにも文献が列举されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 21.11.2005		国際調査報告の発送日 06.12.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 松田 岳士 電話番号 03-3581-1101 内線 3581	5 P 3137

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-205695 A (テキサス インスツルメンツ イ ン コーポレーテッド) 1999. 07. 30, 段落【0006】-【0014】, 第1-2 図 & US 6229133 B1 & EP 912043 A2	4
Y	KURINO,H et al. 'Intelligent Image Sensor Chip with Three Dimensional Structure' In: Electron Devices Meeting,2000. IEDM Technical Digest.International: IEEE, 1999, p.879-882	5-12
A	J P 2003-234967 A (株式会社フォトロン) 2003. 08. 22, 全文, 第1-7図 (ファミリーなし)	12