

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
30. Januar 2020 (30.01.2020)



(10) Internationale Veröffentlichungsnummer
WO 2020/021360 A1

(51) Internationale Patentklassifikation:

H04J 3/06 (2006.01) G06F 1/04 (2006.01)
H04L 12/40 (2006.01) G05B 19/414 (2006.01)

(21) Internationales Aktenzeichen: PCT/IB2019/055555

(22) Internationales Anmeldedatum:
01. Juli 2019 (01.07.2019)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2018 005 892.2
26. Juli 2018 (26.07.2018) DE

(71) Anmelder: **WAGO VERWALTUNGSGESELLSCHAFT MIT BESCHRÄNKTER HAFTUNG**
[DE/DE]; Hansastraße 27, 32423 Minden (DE).

(72) Erfinder: **JEROLM, Daniel**; Fiesteler Weg 16, 49152 Bad Essen (DE).

(74) Anwalt: **MÜLLER, Wolf-Christian**; c/o WAGO Kontakttechnik GmbH & Co. KG, Hansastraße 27, 32423 Minden (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,

(54) Title: SUBSCRIBER OF A DATA NETWORK

(54) Bezeichnung: TEILNEHMER EINES DATENNETZES

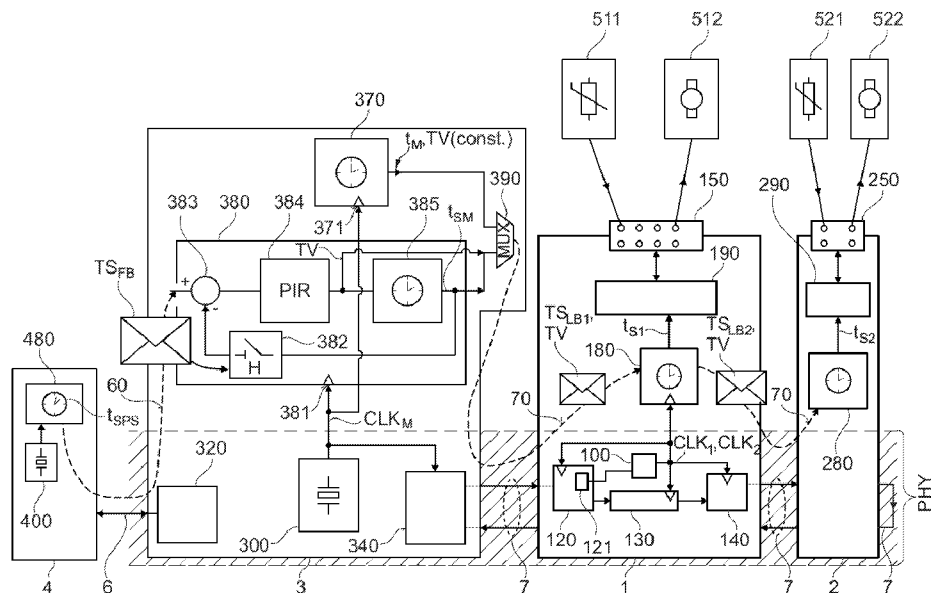


Fig. 3

(57) Abstract: The invention relates to a subscriber (1) of a wired data network (7), in particular of a local bus system (7), comprising an internal clock generator (100) for generating a clock generator signal (S_{TC}) having a clock generator frequency (f_{TC}) for the subscriber (1); a receiving circuit (120) for receiving a serial receive data stream (S_{SR}); a processing circuit (130) for inputting parallel received data (D_{PR}) and for outputting parallel transmission data (D_{PT}); a transmission circuit (140) for transmitting a serial transmission data stream (S_{ST}), in which the receiving circuit (120) has a serial-to-parallel converter (122) for converting serial receive data (D_{SR}) of the serial receive data stream (S_{SR}) into the parallel receive data (D_{PR}). The receiving

[Fortsetzung auf der nächsten Seite]



WO 2020/021360 A1



NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Erklärungen gemäß Regel 4.17:

- hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii)

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

circuit (120) has a synchronization unit (121) for synchronizing the internal clock generator (100) to the data clock frequency (fSk) contained in the serial receive data stream (SSR). The synchronization unit (121) is configured for detecting transitions (TR) in the received serial receive data stream (SSR) and for controlling the clock generator frequency (fTG) of the internal clock generator (100) as a function of the detected transitions (TR). The transmission circuit (140) has a parallel serial converter (142) for converting the parallel transmission data (DPT) into serial transmission data (DST) of the transmission data stream (SST). The internal clock generator (100) for outputting a first clock signal (CLK₁) derived from the clock generator signal (S_{TG}) to the transmission circuit (140) is configured such that the conversion of the parallel transmission data (D_{PT}) into serial transmission data (D_{ST}) for the serial transmission data stream (S_{ST}) is clocked by the first clock signal (CLK₁). A first clock frequency (f₁) of the first clock signal (CLK₁) is equal to the data clock frequency (f_{SR}) contained in the serial receive data stream (SSR) by closed-loop control. The clock generator (100) for outputting a second clock signal (CLK₂) derived from the clock generator signal (S_{TG}) to the processing circuit (130) is configured such that a processing of the parallel receive data (D_{PR}) and/or the parallel transmission data (D_{PT}) is clocked by the second clock signal (CLK₂).

(57) Zusammenfassung: Teilnehmer (1) eines drahtgebundenen Datennetzes (7), insbesondere eines lokalen Bussystems (7), - mit einem internen Taktgeber (100) zur Erzeugung eines Taktgebersignals (S_{TG}) mit einer Taktgeberfrequenz (f_{TG}) für den Teilnehmer (1), - mit einer Empfangsschaltung (120) zum Empfang eines seriellen Empfangs- Datenstroms (S_{SR}), - mit einer Verarbeitungsschaltung (130) zur Eingabe von parallelen Empfangsdaten (D_{PR}) und zur Ausgabe von parallelen Sendedaten (D_{PT}), und - mit einer Sendeschaltung (140) zum Senden eines seriellen Sende- Datenstroms (S_{ST}), bei dem - die Empfangsschaltung (120) einen Seriell-Parallel-Wandler (122) zum Wandeln von seriellen Empfangsdaten (D_{SR}) des seriellen Empfangs- Datenstroms (S_{SR}) in die parallelen Empfangsdaten (D_{PR}) aufweist, - die Empfangsschaltung (120) eine Synchronisationseinheit (121) zur Synchronisation des internen Taktgebers (100) auf die im seriellen Empfangs- Datenstrom (S_{SR}) enthaltene Datentaktfrequenz (fSk) aufweist, - die Synchronisationseinheit (121) zur Detektion von Transitionen (TR) im empfangenen seriellen Empfangs-Datenstrom (S_{SR}) und zur Regelung der Taktgeberfrequenz (f_{TG}) des internen Taktgebers (100) in Abhängigkeit von den detektierten Transitionen (TR) eingerichtet ist, - die Sendeschaltung (140) einen Parallel-Seriell-Wandler (142) zum Wandeln der parallelen Sendedaten (DPT) in serielle Sendedaten (DST) des Sende- Datenstroms (SST) aufweist, - der interne Taktgeber (100) zur Ausgabe eines vom Taktgebersignal (S_{TG}) abgeleiteten ersten Taktsignals (CLK₁) an die Sendeschaltung (140) eingerichtet ist, so dass das Wandeln der parallelen Sendedaten (DPT) in serielle Sendedaten (DST) für den seriellen Sende-Datenstrom (S_{ST}) durch das erste Taktsignal (CLK₁) getaktet ist, - eine erste Taktfrequenz (f₁) des ersten Taktsignals (CLK₁) durch die Regelung gleich der im seriellen Empfangs-Datenstrom (SSR) enthaltenen Datentaktfrequenz (f_{SR}) ist, - der Taktgeber (100) zur Ausgabe eines vom Taktgebersignal (S_{TG}) abgeleiteten zweiten Taktsignals (CLK₂) an die Verarbeitungsschaltung (130) eingerichtet ist, so dass eine Verarbeitung der parallelen Empfangsdaten (D_{PR}) und/oder der parallelen Sendedaten (D_{PT}) durch das zweite Taktsignal (CLK₂) getaktet ist.

5

10

15

Teilnehmer eines Datennetzes

20

25

Die Erfindung betrifft einen Teilnehmer eines drahtgebundenen Datennetzes, insbesondere einen Teilnehmer eines lokalen Bussystems.

30

Aus der EP 1 368 728 B1 ist ein synchrones, getaktetes Kommunikationssystem mit Relativuhr und ein Verfahren zum Aufbau eines solchen Systems bekannt. Um den taktsynchronen Datenaustausch zu gewährleisten, erfolgt eine permanente Resynchronisation der Teilnehmer während des laufenden Betriebs. Die Dauer eines Kommunikationstakts beträgt zwischen 10 μ s und 10 ms.

Aus der US 2012/0008727 A1 ist eine Schaltung zur Taktrückgewinnung bekannt. Die Taktrückgewinnung umfasst Datenübertragungsgeschwindigkeiten zwischen 1 bis 30 Gbps oder höher. Eine Taktrückgewinnung ist ebenfalls aus „HFTA-07.0: Precision Reference Clock Usage in Clock and Data Recovery Circuits“, www.maximintegrated.com, 13. März 2003 bekannt.

Aus der DE 10 2012 108 696 A1 ist ein Datenbusteilnehmer mit einer Datenbusschnittstelle bekannt, die – einen Downstream-Datenbuseingang zum Empfang von Daten von einem übergeordneten Datenbusteilnehmer und – einen Taktgeber zur Erzeugung eines internen Taktsignals für den Datenbusteilnehmer hat. Der Datenbusteilnehmer hat eine Synchronisationseinheit zur Synchronisation des Taktgebers auf das Taktsignal des übergeordneten Datenbusteilnehmers, wobei die Synchronisationseinheit zur Detektion von Transitionen in dem am Downstream-Datenbuseingang empfangenen Downstream-Datenstrom. Die Synchronisationseinheit ist zur Regelung der Frequenz des internen Taktsignals in Abhängigkeit der detektierten Transitionen und zur Einstellung einer definierten Phasenlage des internen Taktsignals zu den detektierten Transitionen eingerichtet.

Aufgabe der vorliegenden Erfindung ist es, einen möglichst verbesserten Teilnehmer eines drahtgebundenen Datennetzes anzugeben. Diese Aufgabe wird durch den Teilnehmer mit den Merkmalen des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen sind Gegenstand von abhängigen Ansprüchen.

Demzufolge ist ein Teilnehmer eines drahtgebundenen Datennetzes vorgesehen. Das drahtgebundene Datennetz ist insbesondere ein lokales Bussystems. Ein drahtgebundenes Datennetz ermöglicht die Übertragung von Daten beispielweise über elektrisch und/oder optisch leitende Verbindungen. Ein lokales Bussystem kann mit einem übergeordneten Feldbussystem über einen Koppler verbunden sein.

Der Teilnehmer weist einen internen Taktgeber zur Erzeugung eines Taktgebersignals mit einer Taktgeberfrequenz für den Teilnehmer auf. Ein interner Taktgeber ist dabei im Sinne von mindestens einem internen Taktgeber zu verstehen, wobei der Teilnehmer eine Mehrzahl von Taktgebern aufweisen kann,

die ein unterschiedliches Taktgebersignal und/oder eine unterschiedliche Taktgeberfrequenz erzeugen. Der interne Taktgeber ist im Teilnehmer selbst angeordnet. Beispielsweise ist der interne Taktgeber ein Bestandteil eines Schaltkreises des Teilnehmers. Das Taktgebersignal ist ein Signal das einen Takt an Schaltungsteilen des Teilnehmers bereitstellen kann. Das Taktgebersignal ist beispielweise ein digitales Rechtecksignal mit hoher Flankensteilheit und geringem Jitter.

Der Teilnehmer weist eine Empfangsschaltung zum Empfang eines seriellen Empfangs-Datenstroms auf. Eine Empfangsschaltung ist dabei im Sinne von mindestens einer Empfangsschaltung zu verstehen, beispielsweise kann ein Teilnehmer mit zwei Busanschlüssen zumindest zwei Empfangsschaltungen erfordern. Entsprechend ist ein serieller Empfangs-Datenstrom dabei im Sinne von mindestens einem seriellen Empfangs-Datenstrom zu verstehen. Ein serieller Empfangs-Datenstrom ist Teil einer seriellen Datenübertragung. Mittels serieller Datenübertragung können digitale Daten autonom auf einem oder mehreren Leitungspaaren übertragen werden. Der serielle Empfangs-Datenstrom kann beispielweise als bit-serielle Datenübertragung erfolgen, wobei eine oder mehrere Leitungen parallel genutzt werden können. Zur Übertragung des seriellen Empfangs-Datenstroms können die Daten komplex moduliert werden, wobei die durch Modulation erzeugten Signale keine einzelnen Bits mehr kennen, z.B. QAM4 oder QAM64.

Der Teilnehmer weist eine Verarbeitungsschaltung zur Eingabe von parallelen Empfangsdaten und zur Ausgabe von parallelen Sendedaten auf. Eine Verarbeitungsschaltung ist dabei im Sinne von mindestens einer Verarbeitungsschaltung zu verstehen, beispielsweise können zwei Empfangsschaltungen unterschiedlichen Verarbeitungsschaltungen zugeordnet sein. Vorteilhafterweise ist die Verarbeitungsschaltung zur Eingabe einer festen Anzahl von Bits als parallele Empfangsdaten, beispielsweise 8 Bits, ausgebildet. Gemäß einer vorteilhaften Weiterbildung ist die jeweilige Anzahl der parallelen Bits der parallelen Empfangsdaten und der parallelen Sendedaten gleich.

Der Teilnehmer weist eine Sendeschaltung zum Senden eines seriellen Sende-Datenstroms auf. Eine Sendeschaltung ist dabei im Sinne von mindestens einer

Sendeschaltung zu verstehen, beispielweise kann der Teilnehmer zwei Busanschlüsse für die Übertragung von zwei unterschiedlichen weiteren Teilnehmern aufweisen, wobei jedem Busanschluss eine Sendeschaltung zugehörig sein kann. Entsprechend ist ein serieller Sende-Datenstrom dabei im Sinne von mindestens einem seriellen Sende-Datenstrom zu verstehen. Ein
5 serieller Sende-Datenstrom ist Teil einer seriellen Datenübertragung. Mittels serieller Datenübertragung können digitale Daten autonom auf einem oder mehreren Leitungspaaren übertragen werden. Der serielle Sende-Datenstrom kann beispielweise als bit-serielle Datenübertragung erfolgen, wobei eine oder
10 mehrere Leitungen parallel genutzt werden können. Zur Übertragung des seriellen Sende-Datenstroms können die Daten komplex moduliert werden, wobei die durch Modulation erzeugten Signale keine einzelnen Bits mehr kennen, z.B. QAM4 oder QAM64.

Gemäß einer vorteilhaften Weiterbildung weist die Empfangsschaltung einen Seriell-Parallel-Wandler zum Wandeln von seriellen Empfangsdaten des seriellen Empfangs-Datenstroms in die parallelen Empfangsdaten auf. Ein Seriell-Parallel-Wandler ist dabei im Sinne von mindestens einem Seriell-Parallel-Wandler zu
15 verstehen, beispielweise können bei zwei Leitungspaaren der seriellen Übertragung zwei Seriell-Parallel-Wandler parallel die Daten wandeln. Ein Seriell-Parallel-Wandler weist vorteilhafterweise zumindest einen Eingang für die seriellen Empfangsdaten und parallele Ausgänge für die parallelen Empfangsdaten auf und ist zum Wandeln der seriellen Empfangsdaten in die parallelen Empfangsdaten
20 ausgebildet. Beispielsweise weist der Seriell-Parallel-Wandler digitale Speicherzellen auf und ist als Register, insbesondere als Schieberegister ausgebildet.

Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Empfangsschaltung eine Synchronisationseinheit zur Synchronisation des internen Taktgebers auf die im seriellen Empfangs-Datenstrom enthaltene
30 Datentaktfrequenz auf. Eine Synchronisationseinheit ist dabei im Sinne von mindestens einer Synchronisationseinheit zu verstehen. Die Synchronisationseinheit ist dabei vorzugsweise eine Schaltung. Die Synchronisationseinheit ist beispielweise auf einem Halbleiterchip integriert, beispielsweise zusammen mit zumindest Teilen des Taktgebers. Die
35

Synchronisation weist beispielweise eine Frequenzsynchronisation auf, wobei die Taktgeberfrequenz des internen Taktgebers automatisch angepasst wird. Gemäß Weiterbildungen der Erfindung kann die Synchronisation eine oder mehrere zusätzliche weitere Synchronisationen, beispielweise eine Phasensynchronisation oder Amplitudensynchronisation umfassen. Dadurch, dass die Datentaktfrequenz im seriellen Empfangs-Datenstrom enthalten ist, kann diese beispielweise implizit als Information in Empfangs-Datenstrom existieren, beispielsweise ist die kleinste Periode zwischen zwei Transitionen ein Kehrwert der Datentaktfrequenz. Entsprechend ist für die Synchronisation kein explizit übertragener Frequenzwert erforderlich. Vorzugsweise ist die Synchronisationseinheit zur Detektion von Transitionen im empfangenen seriellen Empfangs-Datenstrom und zur Regelung der Taktgeberfrequenz des internen Taktgebers in Abhängigkeit von den detektierten Transitionen eingerichtet. Beispielweise sind Transitionen im bit-seriellen Signal Signalfanken zwischen Low und High. Beispielsweise sind Transitionen im modulierten Datenstrom Übergänge zwischen Zuständen der Modulation. Beispielsweise gibt es bei QAM4 vier Zustände zwischen denen Transitionen detektiert werden können.

Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Sendeschaltung einen Parallel-Seriell-Wandler zum Wandeln der parallelen Sendedaten in serielle Sendedaten des Sende-Datenstroms auf. Ein Parallel-Seriell-Wandler ist dabei im Sinne von mindestens einem Parallel-Seriell-Wandler zu verstehen, beispielweise können für zwei Leitungspaare der seriellen Übertragung zwei Parallel-Seriell-Wandler parallel die Daten wandeln. Der Parallel-Seriell-Wandler weist vorteilhafterweise zumindest einen Ausgang für die seriellen Sendedaten und parallele Eingänge für die parallelen Sendedaten auf und ist zum Wandeln der parallelen Sendedaten in die seriellen Sendedaten ausgebildet. Beispielsweise weist der Parallel-Seriell-Wandler digitale Speicherzellen auf und ist als Register, insbesondere als Schieberegister ausgebildet.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist der interne Taktgeber zur Ausgabe eines vom Taktgebersignal abgeleiteten ersten Taktsignals an die Sendeschaltung eingerichtet, so dass das Wandeln der parallelen Sendedaten in serielle Sendedaten für den seriellen Sende-Datenstrom durch das erste Taktsignal getaktet ist. Gemäß einer vorteilhaften Weiterbildung der Erfindung

weisen der interne Taktgeber einen Taktausgang zur Ausgabe des ersten Taktsignals und die Sendeschaltung einen Takteingang zur Eingabe des ersten Taktsignals auf.

5 Gemäß einer vorteilhaften Weiterbildung der Erfindung ist eine erste Taktfrequenz des ersten Taktsignals durch die Regelung gleich der im seriellen Empfangs-Datenstrom enthaltenen Datentaktfrequenz. Gemäß einer vorteilhaften Weiterbildung der Erfindung werden minimale Unterschiede zwischen einem Ist-Frequenzwert und einem Soll-Frequenzwert durch die Regelung zu Null geregelt.

10 Gemäß einer vorteilhaften Weiterbildung der Erfindung ist der Taktgeber zur Ausgabe eines vom Taktgebersignal abgeleiteten zweiten Taktsignals an die Verarbeitungsschaltung eingerichtet, so dass eine Verarbeitung der parallelen Empfangsdaten und/oder der parallelen Sendedaten durch das zweite Taktsignal
15 getaktet ist. Dabei können das erste Taktsignal und das zweite Taktsignal unterschiedlich oder gleich sein. Zudem ist es in anderen Weiterbildungen der Erfindung möglich, dass der Taktgeber ein drittes Taktsignal oder weitere Taktsignale ausgibt. Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Verarbeitungsschaltung einen Takteingang zur Eingabe des zweiten
20 Taktsignals auf.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Verarbeitungsschaltung für die Verarbeitung eingerichtet, die parallelen Empfangsdaten weiterzuleiten. Vorteilhafterweise erfolgt das Weiterleiten ohne
25 Zwischenspeicherung ganzer Datenpakete. Vorzugsweise ist die Verarbeitungsschaltung eingerichtet, die parallelen Sendedaten basierend auf den parallelen Empfangsdaten an die Sendeschaltung nach einer vorgegebenen Anzahl von Takten des zweiten Taktsignals auszugeben. Die vorgegebene Anzahl von Takten ist vorzugsweise kleiner zwanzig Takte, beispielweise lediglich zwei Takte.
30 Beispielsweise werden die parallelen Empfangsdaten im Sinne eines first-in-first-out durch den Teilnehmer mittels der Verarbeitungsschaltung verändert oder unverändert weitergeleitet. Beispielsweise können aufeinander folgende Daten ein und desselben Datenpakets beim Weiterleiten durch den Teilnehmer zeitgleich empfangen und gesendet werden.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Verarbeitungsschaltung für die Verarbeitung zusätzlich eingerichtet, die parallelen Empfangsdaten zumindest teilweise in einem Speicherbereich für eine Auswertung zu speichern und/oder die parallelen Sendedaten zumindest teilweise aus einem Speicherbereich auszulesen, um die ausgelesenen parallelen Sendedaten an die Sendeschaltung auszugeben und/oder eine Anzahl von Bitwerten der parallelen Empfangsdaten zu ändern, um die parallelen Empfangsdaten mit der Änderung als parallele Sendedaten an die Sendeschaltung auszugeben. Ein Speicherbereich ist dabei im Sinne von mindestens einem Speicherbereich zu verstehen. Der Speicher ist vorteilhafterweise im Teilnehmer angeordnet oder zumindest durch den Teilnehmer zugreifbar.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist der Taktgeber eingerichtet, das zweite Taktsignal mit einer zweiten Taktfrequenz auszugeben. Die zweite Taktfrequenz ist durch die Regelung gleich oder ein ganzzahliges Vielfaches oder ein ganzzahliger Bruchteil der im seriellen Empfangs-Datenstrom enthaltenen Datentaktfrequenz.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Taktgeberfrequenz des Taktgebers durch die Regelung gleich oder ein ganzzahliger Bruchteil oder ein ganzzahliges Vielfaches der im seriellen Empfangs-Datenstrom enthaltenen Datentaktfrequenz.

Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Verarbeitungsschaltung einen Speicherbereich für eine Instruktionsliste auf. Eine Instruktionsliste ist dabei im Sinne von mindestens einer Instruktionsliste zu verstehen. Die Verarbeitungsschaltung ist eingerichtet, die Verarbeitung basierend auf in der Instruktionsliste enthaltene Instruktionen auszuführen. Die Verarbeitungsschaltung ist eingerichtet, ein Auslesen der Instruktionen aus der Instruktionsliste mittels des zweiten Taktsignals zu takten.

Gemäß einer vorteilhaften Weiterbildung der Erfindung weist der Taktgeber zumindest einen Quarzoszillator mit über Spannung trimmbarer Taktgeberfrequenz auf. Vorteilhafterweise ist der Quarzoszillator Bestandteil mindestens einer Phasenregelschleife.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Taktgeberfrequenz des Taktgebers nur innerhalb eines Bereichs von kleiner 1% der Taktgeberfrequenz, insbesondere kleiner 200 ppm der Taktgeberfrequenz einstellbar.

Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Empfangsschaltung einen Dekodierer zum Dekodieren der parallelen Empfangsdaten auf. Ein Dekodierer ist dabei im Sinne von mindestens einem Dekodierer zu verstehen. Vorteilhafterweise ist der Dekodierer durch das erste Taktsignal getaktet. Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Sendeschaltung einen Kodierer zum Kodieren der parallelen Sendedaten auf. Ein Kodierer ist dabei im Sinne von mindestens einem Kodierer zu verstehen. Vorteilhafterweise ist der Kodierer durch das erste Taktsignal getaktet.

Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Empfangsschaltung einen Descrambler zum Descrambeln der parallelen Empfangsdaten auf. Ein Descrambler ist dabei im Sinne von mindestens einem Descrambler zu verstehen. Vorzugsweise ist der Descrambler durch das erste Taktsignal getaktet. Gemäß einer vorteilhaften Weiterbildung der Erfindung weist die Sendeschaltung einen Scrambler zum Scrambeln der parallelen Sendedaten auf. Ein Scrambler ist dabei im Sinne von mindestens einem Scrambler zu verstehen. Vorteilhafterweise ist der Scrambler durch das erste Taktsignal getaktet.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Verarbeitungsschaltung eingerichtet, nach einer vorgegebenen Anzahl von Takten des zweiten Taktsignals nach Eingabe der parallelen Empfangsdaten die parallelen Sendedaten auszugeben.

Gemäß einer vorteilhaften Weiterbildung der Erfindung weist der Teilnehmer einen Uhrenschaltkreis zur Ausgabe einer Uhrzeit auf. Ein Uhrenschaltkreis ist dabei im Sinne von mindestens einem Uhrenschaltkreis zu verstehen. Entsprechend ist eine Uhrzeit im Sinne von mindestens einer Uhrzeit zu verstehen.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist ein Uhrentakt des Uhrenschaltkreises vom Taktgebersignal mit der Taktgeberfrequenz abgeleitet. Der Uhrenschaltkreis ist vorteilhafterweise mit einem Taktausgang des Taktgebers verbunden. Vorteilhafterweise ist der Uhrentakt durch die Regelung gleich oder
5 ein Bruchteil oder ein Vielfaches der im seriellen Empfangs-Datenstrom enthaltenen Datentaktfrequenz. Grundsätzlich ist es möglich, dass der Uhrentakt ein nicht-ganzzahliger Bruchteil oder ein nicht-ganzzahliges Vielfaches der Datentaktfrequenz ist. Bevorzugt ist jedoch der Uhrentakt durch die Regelung ein ganzzahliger Bruchteil oder ein ganzzahliges Vielfaches der im seriellen Empfangs-
10 Datenstrom enthaltenen Datentaktfrequenz.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Verarbeitungsschaltung zur Synchronisation der Uhrzeit eingerichtet. Dabei ist die Verarbeitungsschaltung eingerichtet, einen Zeitwert aus den parallelen
15 Empfangsdaten auszuwerten und basierend auf dem Zeitwert die Uhrzeit des Uhrenschaltkreises einzustellen. Die Uhrzeit des Uhrenschaltkreises kann zudem auf einer bekannten oder ermittelten Anzahl von Takten des Taktgebers basieren, die benötigt werden, um die parallelen Empfangsdaten zu empfangen und/oder auszuwerten und/oder die Uhrzeit einzustellen. Beispielweise lässt sich die Uhrzeit
20 des Uhrenschaltkreises des Teilnehmers auf eine Referenz-Uhrzeit eines weiteren Teilnehmers synchronisieren, wobei von dem weiteren Teilnehmer der Zeitwert empfangen wird.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Verarbeitungsschaltung eingerichtet, ein Zeitinkrementwert aus den parallelen
25 Empfangsdaten auszuwerten und basierend auf dem Zeitinkrementwert ein Uhrzeitinkrement des Uhrenschaltkreises einzustellen. Beispielweise kann durch das Uhrzeitinkrement die Geschwindigkeit der Uhr festgelegt werden.

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist der Uhrenschaltkreis derart ausgebildet, dass die Uhrzeit nicht durch einen Uhrzeitregler des Uhrenschaltkreises geregelt ist.
30

Gemäß einer vorteilhaften Weiterbildung der Erfindung ist die Verarbeitungsschaltung eingerichtet, einen aktuellen Zeitwert und/oder einen
35

aktuellen Zeitinkrementwert aus dem Uhrenschaltkreis zu bestimmen und in die parallelen Sendedaten zu schreiben. Zum Schreiben des aktuellen Zeitwerts ist die Verarbeitungsschaltung vorzugsweise eingerichtet, den empfangenen Zeitwert durch Inkrementierung von Bits des empfangenen Zeitwerts zu erzeugen. Dabei erfolgt die Inkrementierung der Bits beim Durchleiten des empfangenen Zeitwertes und Senden als aktueller Zeitwert. Durch das Durchleiten erfolgen das Empfangen des Zeitwertes und das Senden des aktuellen Zeitwertes teilweise gleichzeitig. Damit ist es vorzugsweise nicht notwendig, zunächst den Zeitwert vollständig zu empfangen und zwischen zu speichern, um den aktuellen Zeitwert zu generieren und zu senden. Vorzugsweise ist der aktuelle Zeitwert die Summe aus dem empfangenen Zeitwert und einem zeitlichen Delta einer bekannten oder bestimmten Übertragungsverzögerung durch den Teilnehmer. Entsprechend kann sich ein nachfolgender Teilnehmer, der den aktuellen Zeitwert empfängt, auf die Uhrzeit des vorhergehenden Teilnehmers mittels des aktuellen Zeitwerts aufsynchronisieren.

Der Gegenstand der Erfindung ist nicht auf die zuvor erläuterten Weiterbildungen beschränkt. So können die erläuterten Merkmale oder Teilmerkmale auch in anderer Zusammenstellung kombiniert werden. Mögliche Ausgestaltungen der Erfindung sind in der folgenden Figurenbeschreibung erläutert. Dabei zeigen:

Figur 1 eine schematische Darstellung eines Teilnehmers eines drahtgebundenen Netzwerks eines Ausführungsbeispiels;

Figur 2 eine schematische Darstellung eines Teilnehmers eines drahtgebundenen Netzwerks eines anderen Ausführungsbeispiels;

Figur 2a eine schematische Darstellung von Speicherbereichen eines Speichers;

Figur 3 eine schematische Darstellung eines Ausführungsbeispiels eines Systems mit einem lokalen Bus und einem übergeordneten Bus; und

Figur 3a eine schematische Darstellung eines Datenpakets.

In Figur 1 ist ein Teilnehmer 1 eines drahtgebundenen Datennetzes 7 schematisch dargestellt. Im Ausführungsbeispiel der Figur 1 ist das Datennetz 7 zur seriellen Datenübertragung ausgebildet. Bei einer seriellen Datenübertragung werden Daten autonom auf einer Leitung oder einer Anzahl von Leitungspaaren übertragen. Bei einer seriellen Übertragung muss man keine Laufzeitunterschiede verschiedener Leitungen berücksichtigen, so dass höhere Übertragungsfrequenzen ermöglicht werden. Die serielle Datenübertragung kann in einem einfachen Fall als bit-serielle Datenübertragung ausgebildet sein, wobei bei der seriellen Datenübertragungen mehrere Leitungen parallel genutzt werden können, wie z.B. bei Gigabit-Ethernet oder HDMI. Ebenfalls können zur seriellen Datenübertragung komplexe Modulationen verwendet werden, wie z.B. QAM16, QAM64 oder dergleichen, die keine einzelnen Bits mehr kennen (z.B. PCI-Express, USB 3.X usw.). Je nach serieller Datenübertragung sind unterschiedliche serielle Schnittstellen, Stecker, Spannungen, Modulationen, Protokolle und Softwareschnittstellen definiert.

Das Ausführungsbeispiel in Figur 1 zeigt in einer stark vereinfachten Block-Darstellung den Teilnehmer 1 des drahtgebundenen Datennetzes 7. Die Erfindung ist nicht auf genau einen Teilnehmer beschränkt, üblicherweise können in einem drahtgebundenen Datennetz 7 eine Vielzahl von Teilnehmern miteinander verbunden sein.

Der Teilnehmer 1 weist einen internen Taktgeber 100 zur Erzeugung eines Taktgebersignals S_{TG} mit einer Taktgeberfrequenz f_{TG} für den Teilnehmer 1 auf. Im Ausführungsbeispiel der Figur 1 ist die Taktgeberfrequenz f_{TG} durch eine Synchronisationseinheit 121 innerhalb eines Frequenzbereiches einstellbar. Hierzu ist der interne Taktgeber 100 mit der Synchronisationseinheit 121 verbunden.

Der Teilnehmer 1 des Ausführungsbeispiels in der Figur 1 weist eine Empfangsschaltung 120 zum Empfang eines seriellen Empfangs-Datenstroms S_{SR} vom drahtgebundenen Datennetz 7 auf. Der serielle Empfangs-Datenstrom S_{SR} besteht im einfachsten Fall in einer Abfolge von Nullen und Einsen auf einer oder mehreren seriellen Leitungen. Ebenfalls ist es im Ausführungsbeispiel der Figur 1 möglich, Modulationsverfahren zur seriellen Übertragung des seriellen Empfangs-Datenstroms S_{SR} zu verwenden (in Figur 1 nicht dargestellt).

Der Teilnehmer 1 des Ausführungsbeispiels der Figur 1 weist zudem eine Verarbeitungsschaltung 130 zur Eingabe von parallelen Empfangsdaten D_{PR} und zur Ausgabe von parallelen Sendedaten D_{PT} auf. Die Verarbeitungsschaltung 130 ist im Ausführungsbeispiel der Figur 1 durch eine digitale Logik gebildet. Es ist möglich, die digitale Logik durch einen programmierbaren Prozessor zu bilden, bevorzugt ist die digitale Logik der Verarbeitungsschaltung 130 durch hartverdrahtete Logikelemente gebildet, so dass die Verarbeitungsschaltung 130 selbst keine Software zur Verarbeitung aufweist. Die Verarbeitungsschaltung 130 ist mit der Empfangsschaltung 120 verbunden, so dass die parallelen Empfangsdaten D_{PR} von der Empfangsschaltung 120 zur Verarbeitungsschaltung 130 gelangen können.

Der Teilnehmer 1 des Ausführungsbeispiels der Figur 1 weist zudem eine Sendeschaltung 140 zum Senden eines seriellen Sende-Datenstroms S_{ST} auf dem drahtgebundenen Datennetz 7 auf. Der serielle Sende-Datenstrom S_{ST} besteht im einfachsten Fall in einer Abfolge von Nullen und Einsen auf einer oder mehrerer serieller Leitungen des drahtgebundenen Datennetzes 7. Ebenfalls ist es im Ausführungsbeispiel der Figur 1 möglich, Modulationsverfahren zur seriellen Übertragung des seriellen Sende-Datenstroms S_{ST} zu verwenden (in Figur 1 nicht dargestellt). Die Verarbeitungsschaltung 130 ist mit der Sendeschaltung 140 verbunden, so dass die parallelen Sendedaten D_{PT} von der Verarbeitungsschaltung 130 zur Sendeschaltung 140 gelangen können.

Die Empfangsschaltung 120 des Teilnehmers 1 des Ausführungsbeispiels der Figur 1 weist einen Seriell-Parallel-Wandler 122 zum Wandeln von seriellen Empfangsdaten D_{SR} in die parallelen Empfangsdaten D_{PR} auf. Die seriellen Empfangsdaten D_{SR} sind dabei im seriellen Empfangs-Datenstroms S_{SR} auf dem drahtgebundenen Datennetz 7 enthalten. In einer besonders einfachen Ausführungsform des Seriell-Parallel-Wandlers 122 ist dieser als Schieberegister ausgebildet, wobei die seriellen Empfangsdaten D_{SR} am seriellen Eingang des Schieberegisters anliegen und die die parallelen Empfangsdaten D_{PR} an den parallelen Ausgängen des Schieberegister ausgegeben werden (in Figur 1 nicht dargestellt).

Die Empfangsschaltung 120 des Teilnehmers 1 des Ausführungsbeispiels der Figur 1 weist zudem die Synchronisationseinheit 121 zur Synchronisation des internen Taktgebers 100 auf. Die Synchronisationseinheit 121 ist dabei zur Synchronisation des internen Taktgebers 100, insbesondere dessen Taktgeberfrequenz f_{TG} auf die im seriellen Empfangs-Datenstrom S_{SR} enthaltene Datentaktfrequenz f_{SR} ausgebildet. Die Datentaktfrequenz ist dabei von dem Abstand von Transitionen zwischen aufeinanderfolgender unterschiedlicher Werte, z.B. Low und High des seriellen Empfangs-Datenstrom S_{SR} abhängig. Die im seriellen Empfangs-Datenstrom S_{SR} enthaltene Datentaktfrequenz f_{SR} entspricht dabei einer Taktfrequenz mit der ein über das drahtgebundene Datenetz 7 verbundener Sender (in Figur 1 nicht dargestellt) den Datenstrom S_{SR} taktet. Der Teilnehmer 1 im Ausführungsbeispiel der Figur 1 ist eingerichtet, mittels der Datentaktfrequenz f_{SR} sich auf eine Taktfrequenz des über das drahtgebundene Datennetz 7 verbundenen Senders zu synchronisieren, so dass die Taktgeberfrequenz f_{TG} der Datentaktfrequenz f_{SR} präzise und verzögerungsarm folgt. Dabei ist die Synchronisationseinheit 121 zur Detektion der Transitionen im empfangenen seriellen Empfangs-Datenstrom S_{SR} und zur Regelung der Taktgeberfrequenz f_{TG} des internen Taktgebers 100 in Abhängigkeit von den detektierten Transitionen eingerichtet. Zusätzlich zu den im Ausführungsbeispiel der Figur 1 dargestellten Seriell-Parallel-Wandler 122 und Synchronisationseinheit 121 weist die Empfangsschaltung 120 mehrere weitere Teilschaltungen für die Funktion des Empfangs des seriellen Datenstroms S_{SR} und weiterer Funktionen auf, die zum vereinfachten Verständnis in Figur 1 nicht gezeigt sind.

Die Sendeschaltung 140 des Teilnehmers 1 des Ausführungsbeispiels der Figur 1 weist einen Parallel-Seriell-Wandler 142 zum Wandeln der parallelen Sendedaten D_{PT} in serielle Sendedaten D_{ST} des Sende-Datenstroms S_{ST} auf. Die seriellen Sendedaten D_{ST} werden im seriellen Sende-Datenstroms S_{ST} an einen anderen Teilnehmer (in Figur 1 nicht dargestellt) im drahtgebundenen Datennetz 7 übertragen. Die Sendeschaltung 140 des Teilnehmers 1 des Ausführungsbeispiels der Figur 1 ist dabei stark vereinfacht dargestellt und weist für die Funktionen der Sendeschaltung 140 vorzugsweise weitere Teilschaltungen, wie beispielweise Codierschaltung, Modulationsschaltung, Verstärkerschaltung oder dergleichen auf, die für ein einfaches Verständnis in Figur 1 nicht dargestellt sind. Die Sendeschaltung 140 und die Empfangsschaltung 120 können mit

unterschiedlichen weiteren Teilnehmern verbunden sein. Auch ist es möglich, dass die Sendeschaltung 140 und die Empfangsschaltung 120 beispielsweise für eine Duplexverbindung mit demselben Teilnehmer oder beispielsweise über einen Switch mit mehreren weiteren Teilnehmern verbunden sind.

5

10

15

20

Im Ausführungsbeispiel der Figur 1 ist der interne Taktgeber 100 zur Ausgabe eines vom Taktgebersignal S_{TG} abgeleiteten ersten Taktsignals CLK_1 eingerichtet. Zur Ableitung des ersten Taktsignals CLK_1 vom Taktgebersignal S_{TG} wird die Taktgeberfrequenz f_{TG} des Taktgebersignals S_{TG} beispielsweise ganzzahlig multipliziert oder geteilt. Auch ist es möglich, zur Ableitung die Amplitude oder eine Steilheit von Taktflanken anzupassen. Im Ausführungsbeispiel der Figur 1 ist eine erste Taktfrequenz f_1 des ersten Taktsignals CLK_1 durch die Regelung der Synchronisationseinheit 121 gleich der im seriellen Empfangs-Datenstrom S_{SR} enthaltenen Datentaktfrequenz f_{SR} . Der Taktgeber 100 ist mit dem Parallel-Seriell-Wandler 142 der Sendeschaltung 140 zur Ausgabe des ersten Taktsignals CLK_1 an den Parallel-Seriell-Wandler 142 verbunden, so dass das Wandeln der parallelen Sendedaten D_{PT} in serielle Sendedaten D_{ST} für den seriellen Sende-Datenstrom S_{ST} durch das erste Taktsignal CLK_1 getaktet ist. Durch die Taktung mittels des ersten Taktsignals CLK_1 ist im Rahmen der Regelung der Synchronisationseinheit 121 eine Sende-Datentaktfrequenz f_{ST} im Sendedatenstrom S_{ST} gleich der ersten Frequenz f_1 und gleich der Datentaktfrequenz f_{SR} des Empfangsdatenstroms S_{SR} geregelt.

25

30

35

Der Taktgeber 100 ist im Ausführungsbeispiel der Figur 1 zur Ausgabe eines vom Taktgebersignal S_{TG} abgeleiteten zweiten Taktsignals CLK_2 an die Verarbeitungsschaltung 130 eingerichtet. Zur Ableitung des zweiten Taktsignals CLK_2 vom Taktgebersignal S_{TG} wird die Taktgeberfrequenz f_{TG} des Taktgebersignals S_{TG} beispielsweise ganzzahlig multipliziert oder geteilt. Auch ist es möglich, zur Ableitung die Amplitude oder eine Steilheit von Taktflanken anzupassen. In einer einfachen Ausführungsform entspricht eine zweite Frequenz f_2 des zweiten Taktsignals CLK_2 der ersten Frequenz f_1 des ersten Taktsignals CLK_1 . Es ist möglich, dass das zweite Taktsignal CLK_2 dem ersten Taktsignal CLK_1 entspricht. Alternativ kann die Verarbeitungsschaltung 130 beispielsweise höher getaktet werden, so dass mehr Rechenresource für die Verarbeitung zur Verfügung steht. Beispielsweise ist die zweite Frequenz f_2 ein ganzzahliges oder

nicht-ganzzahliges Vielfaches der Taktgeberfrequenz f_{TG} . Dabei ist zumindest die Verarbeitung der parallelen Empfangsdaten D_{PR} und/oder der parallelen Sendedaten D_{PT} durch das zweite Taktsignal CLK_2 getaktet.

5 In einem einfach ausgebildeten Teilnehmer 1 ist die Verarbeitungsschaltung 130 ausreichend die Funktionen des Teilnehmers 1 zu gewährleisten. Beispielsweise ist die Verarbeitungsschaltung 130 ausreichend, um digitale Eingangsdaten an digitalen Eingangsanschlüssen einzulesen oder digitale Ausgangsdaten an Ausgangsanschlüssen auszugeben (in Figur 1 nicht dargestellt). Soll der
10 Teilnehmer 1 komplexere Funktionen ausführen, so weist der Teilnehmer 1 eine programmierbare Recheneinheit 190, beispielsweise einen Prozessor, wie eine CPU oder einen Mikrocontroller auf. Die programmierbare Recheneinheit 190 ist mit der Verarbeitungsschaltung 130 zum Austausch von Daten verbunden. Beispielsweise können die parallelen Empfangsdaten D_{PR} und/oder die parallelen
15 Sendedaten D_{PT} zwischen der Verarbeitungsschaltung 130 und der programmierbaren Recheneinheit 190 ausgetauscht werden. Die programmierbare Recheneinheit 190 kann beispielsweise zur Umrechnung von Messwerten oder Steuerwerten für die parallelen Empfangsdaten D_{PR} und/oder die parallelen Sendedaten D_{PT} verwendet werden. Im Ausführungsbeispiel der Figur 1
20 ist die programmierbare Recheneinheit 190 durch das zweite Taktsignal CLK_2 getaktet, so dass die Taktung der programmierbaren Recheneinheit 190 ebenfalls von der im seriellen Empfangs-Datenstrom S_{SR} enthaltenen Datentaktfrequenz f_{SR} abhängt.

25 In Figur 2 ist ein weiteres Ausführungsbeispiel mit einem Teilnehmer 1 in einem drahtgebundenen Datennetz 7 und zwei weitere Teilnehmer 2, 3 schematisch dargestellt. Im in Figur 2 dargestellten Ausführungsbeispiel wird auf den Teilnehmer 1 in der Mitte zwischen den weiteren Teilnehmern 2 und 3 Bezug genommen, wobei ein serieller Empfangs-Datenstrom S_{SR} vom weiteren
30 Teilnehmer 3 gesendet und vom Teilnehmer 1 empfangen wird. Der Teilnehmer 1 sendet einen Sende-Datenstrom S_{ST} an den Teilnehmer 2, wobei der Sende-Datenstrom S_{ST} vom weiteren Teilnehmer 2 empfangen wird. Im Ausführungsbeispiel der Figur 2 werden in dem Datenstrom seriell übertragene Daten in Datenpaketen durch eine Mehrzahl kommunikationsbereiter Teilnehmer
35 geleitet, wobei ein Datenpaket nur einmal erzeugt wird und beispielsweise durch

jeden Teilnehmer geändert werden kann. Ein Datenpaket kann auch als Telegramm bezeichnet werden.

Der Teilnehmer 1 im Ausführungsbeispiel der Figur 2 weist eine Empfangsschaltung 120 und eine Sendeschaltung 140 und einen Taktgeber 100 und eine Verarbeitungsschaltung 130 auf. Optional weist der Teilnehmer 1 im Ausführungsbeispiel der Figur 2 noch einen Uhrenschaltkreis 180 und eine programmierbare Recheneinheit 190 auf.

Die Empfangsschaltung 120 des Teilnehmers 1 ist zum Empfang des seriellen Empfangs-Datenstroms S_{SR} eingerichtet. Die Empfangsschaltung 120 weist eine Eingangsschaltung 129 auf, die beispielsweise einen Verstärker oder dergleichen aufweisen kann. Die Eingangsschaltung 129 ist zur Ausgabe serieller Empfangsdaten D_{SR} ausgebildet. Die Empfangsschaltung 120 weist einen Seriell-Parallel-Wandler 122 zum Wandeln der seriellen Empfangsdaten D_{SR} des seriellen Empfangs-Datenstroms S_{SR} in die parallelen Empfangsdaten D_{PR} auf. Je nach Ausbildung der parallelen Empfangsdaten D_{PR} weist die Empfangsschaltung 120 weitere Teilschaltungen auf. Im Ausführungsbeispiel der Figur 2 sind die Daten zudem kodiert und gescrambled (engl. scramble – dt. verwürfeln, verschlüsseln).

Im Ausführungsbeispiel der Figur 2 weist die Empfangsschaltung 120 einen Dekodierer 123 zum Dekodieren der parallelen Empfangsdaten D_{PR} auf. Dabei gibt der Dekodierer 123 dekodierte parallele Empfangsdaten D_{PR} aus. Ein Eingang des Dekodierers 123 ist mit einem Ausgang des Seriell-Parallel-Wandlers 122 verbunden. Ein Ausgang des Dekodierers 123 ist mit einem Eingang eines Descramblers 124 verbunden. Der Dekodierer 123 ist im Ausführungsbeispiel der Figur 2 durch ein erstes Taktsignal CLK_1 getaktet. Im Ausführungsbeispiel der Figur 2 ist der Dekodierer 123 als 10b8b Dekodierer ausgebildet. Alternativ können für andere Kodierungen, wie beispielsweise 64b66b-Code oder Manchester andere Dekodierer verwendet werden. Durch den 8b10b-Code wird die maximale Länge gleicher Bit (engl. - maximum run length) durch entsprechende Auswahl der Codewörter bei reiner Datenübertragung auf fünf beschränkt, d. h. spätestens nach fünf Takten wechselt der Pegel bei einer Transition. Dies ermöglicht eine einfache Taktrückgewinnung aus dem seriellen Empfangs-Datenstrom S_{SR} .

Im Ausführungsbeispiel der Figur 2 weist die Empfangsschaltung 120 einen Descrambler (dt. Entwürfler) 124 zum Descrambeln der parallelen Empfangsdaten D_{PR} auf. Ein Eingang des Descramblers 124 ist mit dem Ausgang des Dekodierers 123 verbunden. Ein Ausgang des Descramblers 124 ist mit einem Eingang einer Verarbeitungsschaltung 130 verbunden. Der Descrambler 124 gibt descrambelte parallele Empfangsdaten D_{PR} aus. Der Descrambler 124 ist durch das erste Taktsignal CLK_1 getaktet.

Im Ausführungsbeispiel der Figur 2 ist eine Taktrückgewinnung vorgesehen. Das Ziel der Taktrückgewinnung ist es, aus einem empfangenen seriellen Empfangs-Datenstrom S_{SR} den Sendetakt des Senders, also des Teilnehmers 3 zu bestimmen und damit u.a. das zeitgenaue Abtasten des seriellen Empfangs-Datenstrom S_{SR} zu ermöglichen und den in Richtung des weiteren Teilnehmers 2 gesendeten Sende-Datenstrom S_{ST} zeitlich richtig auszurichten (synchronisieren). Die Taktrückgewinnung wird auf Empfängerseite des Teilnehmers 1 verwendet, um periodische Abtastzeitpunkte des empfangenen seriellen Empfangs-Datenstrom S_{SR} zu ermitteln. Durch diese zeitlich genaue Ausrichtung kann der serielle Empfangs-Datenstrom S_{SR} möglichst exakt ausgewertet werden, entsprechend sind Bitfehler selten. Durch die Taktrückgewinnung kann auf eine parallele Taktübertragung mittels eigenem Takt-Übertragungskanal zur Synchronisation verzichtet werden.

Um aus dem seriellen Empfangs-Datenstrom S_{SR} den Sendetakt mit der Datentaktfrequenz f_{SR} gewinnen zu können, muss der serielle Empfangs-Datenstrom S_{SR} bei z.B. bitserieller Übertragung hinreichend viele Signalfanken aufweisen, so dass lange Folgen von '1' oder '0' ohne Transitionen, d.h. ohne Flanken in der Übertragung zu vermeiden sind. Dies wird im Ausführungsbeispiel der Figur 2 u.a. durch eine 8b10b-Kodierung erreicht. In Figur 2 ist schematisch der serielle Empfangs-Datenstrom S_{SR} mit Transitionen TR und zu den Transitionen zugehörige Periode T_{SR} über die Zeit t dargestellt. Die Datentaktfrequenz f_{SR} entspricht dem Kehrwert der Periode T_{SR} .

Die Empfangsschaltung 120 weist eine Synchronisationseinheit 121 zur Synchronisation des internen Taktgebers 100 auf die im seriellen Empfangs-Datenstrom S_{SR} enthaltene Datentaktfrequenz f_{SR} auf. Die Synchronisationseinheit

121 bildet zusammen mit dem internen Taktgeber 100 eine Phasenregelschleife PLL, so dass die Frequenz f_{TG} des internen Taktgebers 100 basierend auf der im seriellen Empfangs-Datenstrom S_{SR} enthaltenen Datentaktfrequenz f_{SR} geregelt ist. Oder mit anderen Worten ist die Synchronisationseinheit 121 zur Detektion der Transitionen TR im empfangenen seriellen Empfangs-Datenstrom S_{SR} und zur
5 Regelung der Taktgeberfrequenz f_{TG} des internen Taktgebers 100 in Abhängigkeit von den detektierten Transitionen TR eingerichtet. Beispielsweise entspricht die Frequenz f_{TG} des internen Taktgebers 100 der Datentaktfrequenz f_{SR} oder die Frequenz f_{TG} des internen Taktgebers 100 ist ein ganzzahliger Bruchteil der
10 Datentaktfrequenz f_{SR} oder die Frequenz f_{TG} des internen Taktgebers 100 ist ein ganzzahliges Vielfaches der Datentaktfrequenz f_{SR} .

Der interne Taktgeber 100 im Ausführungsbeispiel der Figur 2 dient zur Erzeugung eines Taktgebersignals S_{TG} mit der Taktgeberfrequenz f_{TG} für den Teilnehmer 1 selbst. Im Ausführungsbeispiel der Figur 2 wird der gesamte Teilnehmer 1
15 basierend auf dem Taktgebersignals S_{TG} getaktet, so dass kein weiterer Taktgeber für Schaltungsteile des Teilnehmers 1 vorgesehen ist. Der Taktgeber 100 weist einen Quarzoszillator 101 mit über Spannung trimmbarer Taktgeberfrequenz f_{TG} auf. Derartige Quarzoszillatoren werden auch als VCXO (engl. Voltage Controlled (X)crystal Oscillator), TCVCXO (engl. Temperature Compensated Voltage Controlled (X)Crystal Oscillator) oder OCVCXO (Oven Controlled Voltage Controlled (X)Crystal Oscillator) bezeichnet und stehen u.a. für temperaturkompensierte bzw. beheizte einstellbare Quarz-Oszillatoren.
20 Vorteilhafterweise ist die Taktgeberfrequenz f_{TG} des Taktgebers 100 nur innerhalb eines Bereichs von kleiner 1% der Taktgeberfrequenz f_{TG} einstellbar. Vorzugsweise ist die Taktgeberfrequenz nur in der Größenordnung von 100 ppm veränderbar. Im Ausführungsbeispiel der Figur 2 ist der Quarzoszillator 101 Bestandteil einer Phasenregelschleife PLL (engl. – Phase Locked Loop), wobei die Phasenregelschleife PLL zumindest Teile des Taktgebers 100 und der
25 Synchronisationseinheit 121 umfasst.
30

Der interne Taktgeber 100 ist zur Ausgabe eines vom Taktgebersignals S_{TG} abgeleiteten ersten Taktsignals CLK_1 an die Sendeschaltung 140 eingerichtet. Das erste Taktsignal CLK_1 weist die erste Frequenz f_1 auf. Zum Ableiten des ersten
35 Taktsignals CLK_1 weist der interne Taktgeber 100 beispielsweise eine weitere

Phasenregelschleife (nicht dargestellt) auf, mittels derer die Taktgeberfrequenz f_{TG} ganzzahlig multipliziert wird, um die erste Taktfrequenz f_1 zu erhalten. Im Ausführungsbeispiel der Figur 2 ist der interne Taktgeber 100 ausgebildet, die erste Taktfrequenz f_1 des ersten Taktsignals CLK_1 derart zu regeln, dass die erste Taktfrequenz f_1 gleich der im seriellen Empfangs-Datenstrom S_{SR} enthaltenen Datentaktfrequenz f_{SR} ist.

Der Taktgeber 100 in Figur 2 ist zudem zur Ausgabe eines vom Taktgebersignal S_{TG} abgeleiteten zweiten Taktsignals CLK_2 zumindest an die Verarbeitungsschaltung 130 eingerichtet, so dass eine Verarbeitung der parallelen Empfangsdaten D_{PR} und/oder der parallelen Sendedaten D_{PT} durch das zweite Taktsignal CLK_2 getaktet ist. Der Taktgeber 100 ist eingerichtet, das zweite Taktsignal CLK_2 mit einer zweiten Taktfrequenz f_2 auszugeben, wobei die zweite Taktfrequenz f_2 durch die Regelung beispielsweise ein ganzzahliges Vielfaches der im seriellen Empfangs-Datenstrom S_{SR} enthaltenen Datentaktfrequenz f_{SR} oder ein ganzzahliger Bruchteil der im seriellen Empfangs-Datenstrom S_{SR} enthaltenen Datentaktfrequenz f_{SR} ist. Im dargestellten Ausführungsbeispiel der Figur 2 ist das zweite Taktsignal CLK_2 beispielsweise gleich dem ersten Taktsignal CLK_1 , somit ist auch die erste Frequenz f_1 gleich der zweiten Frequenz f_2 .

Im Ausführungsbeispiel der Figur 2 ist eine Verarbeitungsschaltung 130 gezeigt zur Eingabe der parallelen Empfangsdaten D_{PR} und zur Ausgabe der parallelen Sendedaten D_{PT} . Entsprechend ist die Verarbeitungsschaltung 130 mit der Empfangsschaltung 120 und der Sendeschaltung 140 verbunden. Die Verarbeitungsschaltung 130 ist für die Verarbeitung eingerichtet, die parallelen Empfangsdaten D_{PR} weiterzuleiten, um die parallelen Sendedaten D_{PT} basierend auf den parallelen Empfangsdaten D_{PR} an die Sendeschaltung 140 nach einer vorgegebenen Anzahl von Takten des zweiten Taktsignals CLK_2 auszugeben. Damit ist die Anzahl der Takte des zweiten Taktsignals CLK_2 für alle parallelen Empfangsdaten D_{PR} immer gleich und damit deterministisch verzögert. Da alle Teil-Schaltungen 129, 122, 123, 124, 133, 144, 143, 142, 149 in der Übertragungskette zwischen Eingang des seriellen Empfangs-Datenstroms S_{SR} und seriellen Sende-Datenstroms S_{ST} je keine oder eine durch das erste Taktsignals CLK_1 und/oder das zweite Taktsignal CLK_2 bedingte Verzögerung verursachen, ist die Gesamtverzögerung für den Datenstrom S_{SR} , S_{ST} durch den Teilnehmer 1

vorgegeben und konstant und somit deterministisch.

Im Ausführungsbeispiel der Figur 2 weist die Verarbeitungsschaltung 130 eine Manipulationsschaltung 133 zur bitgranularen Änderung einzelner oder aller Bits der parallelen Empfangsdaten D_{PR} auf. Die geänderten parallelen Empfangsdaten D_{PR} sind die parallelen Sendedaten D_{PT} . Zur Steuerung der Änderung weist die Verarbeitungsschaltung 130 eine digitale Logik 132 auf. Die digitale Logik 132 ist mit der Manipulationsschaltung 133 und mit einem Speicher 131 verbunden. Durch die Manipulationsschaltung 133 können die parallelen Empfangsdaten D_{PR} geändert, jedoch nicht zwischengespeichert werden, so dass, wenn eingangsseitig die parallelen Empfangsdaten D_{PR} anliegen, zeitgleich die parallelen Sendedaten D_{PT} ausgegeben werden. Das Freigabesignal EN2 für die parallelen Sendedaten D_{PT} ist jedoch um die vorgegebene Anzahl Takte des zweiten Taktsignals CLK_2 gegenüber der Eingabe der parallelen Empfangsdaten D_{PR} verzögert. Beispielsweise ist durch das Freigabesignal EN2 die Weitergabe der parallelen Sendedaten D_{PT} um zwei Takte des zweiten Taktsignals CLK_2 konstant verzögert.

Eine Verarbeitung der parallelen Empfangsdaten D_{PR} kann darin bestehen, dass eine Bitoperation auf den empfangenen parallelen Empfangsdaten D_{PR} ausgeführt wird. In diesem Fall kann auch davon gesprochen werden, dass die Verarbeitung bitgranular geschieht. Die Bitoperationen, die durchgeführt werden können, basieren beispielsweise auf einem reduzierten Instruktionssatz den der Teilnehmer 1 ausführen kann, beispielsweise „SKIP“, „MOVE“, „NEGATION“, „INCREMENT“, „AND“ und „OR“ oder einer Kombination daraus. Die Verarbeitungsschaltung 130 weist einen Speicherbereich 131c im Speicher 130 für eine Instruktionsliste IL auf. Der Speicher 131 und der Speicherbereich 131c sind im Ausführungsbeispiel der Figur 2a schematisch dargestellt. Die Verarbeitungsschaltung 130 ist eingerichtet, die Verarbeitung basierend auf in der Instruktionsliste IL enthaltene Instruktionen I1, I2, I3, I4, I5 auszuführen, wobei ein Auslesen der Instruktionen I1, I2, I3, I4, I5 aus der Instruktionsliste IL mittels des zweiten Taktsignals CLK_2 getaktet ist.

Welche Bitoperationen in welcher Reihenfolge ausgeführt werden, ist in dem Teilnehmer 1 mit Hilfe der Instruktionsliste IL hinterlegt. Eine Instruktionsliste IL kann dabei dem jeweiligen Teilnehmer 1 in einem ersten Datenpaket zuvor

zugewandt werden und stellt die Programmierung des Teilnehmers 1 dar. Diese Instruktionsliste IL enthält für jeden Teil, z.B. ein Symbol von 8 Bit, der parallelen Empfangsdaten D_{PR} oder für jedes Bit der parallelen Empfangsdaten D_{PR} zumindest eine Instruktion I1, I2, I3, I4, I5, d.h. eine Operation die mit dem entsprechenden Bit durchgeführt werden soll. Dabei kann für jedes Symbol eine feste Anzahl oder
5 eine vorherbestimmte Anzahl von Instruktionen I1, I2, I3, I4, I5 in der Instruktionsliste IL vorhanden sein. D.h. der Teilnehmer 1 führt in der Zeit, die ihm zur Verarbeitung zur Verfügung steht, eine gewisse Anzahl von Instruktionen I1, I2, I3, I4, I5 pro Symbol aus. Soll der Teilnehmer 1 beispielsweise mit dem Bit
10 keine Verarbeitung durchführen, so kann die entsprechende Instruktionsliste IL für das entsprechende Bit leer sein oder eine „SKIP“ Instruktion aufweisen. Die Instruktionsliste IL kann auch die Anzahl der Wiederholungen für eine bestimmte Instruktion I1, I2, I3, I4, I5 aufweisen. Beispielsweise kann die Instruktionsliste IL eine „SKIP“ Instruktion beinhalten, mit dem Hinweis diese zweimal zu
15 wiederholen. In diesem Fall werden dann die nächsten zwei Bit nicht verarbeitet, sondern übersprungen. Auch für die Instruktionen „MOVE“, „NEGATION“, „INCREMENT“, „AND“ und „OR“ können Parameter vorgegeben sein.

Die Instruktionen I1, I2, I3, I4, I5 steuern entsprechend die
20 Manipulationsschaltung 133, die z.B. eine Anzahl von Bits in einem Symbol der parallelen Empfangsdaten D_{PR} setzt und/oder löscht. Ebenfalls ist es möglich, dass eine Anzahl von Bits der parallelen Empfangsdaten D_{PR} inkrementiert wird, um auf einen Wert in den parallelen Empfangsdaten D_{PR} einen weiteren Wert zu addieren. Dabei ist es nützlich ein Überlaufbit aus den parallelen Empfangsdaten D_{PR} bei der
25 Inkrementierung zwischen zu speichern. Ebenfalls ist es möglich, durch die Manipulationsschaltung 133 das Setzen und/oder Löschen und/oder Inkrementieren mit einander zu kombinieren.

Die Verarbeitungsschaltung 130 kann beispielsweise mittels der Instruktionen I1, I2, I3, I4, I5 eine Reihe weiterer Verarbeitungen durchführen. Beispielsweise ist
30 die Verarbeitungsschaltung 130 für die Verarbeitung eingerichtet, die parallelen Empfangsdaten D_{PR} in einem Speicherbereich 131a für eine Auswertung zu speichern. Alternativ oder in Kombination ist es möglich, die parallelen Sendedaten D_{PT} aus einem Speicherbereich 131b zumindest teilweise auszulesen,
35 um die ausgelesenen Daten als parallele Sendedaten D_{PT} an die Sendeschaltung

140 auszugeben. Alternativ oder in Kombination ist es möglich, eine Anzahl von Bitwerten der parallelen Empfangsdaten D_{PR} zu ändern, um die parallelen Empfangsdaten D_{PR} mit der Änderung als parallele Sendedaten D_{PT} an die Sendeschaltung 140 auszugeben.

5

Im Ausführungsbeispiel der Figur 2 ist die Verarbeitungsschaltung 130 durch das zweite Taktsignal CLK_2 getaktet. Die Verarbeitungsschaltung 130 ist eingerichtet, nach einer vorgegebenen Anzahl von Takten des zweiten Taktsignals CLK_2 nach Eingabe der parallelen Empfangsdaten D_{PR} die parallelen Sendedaten D_{PT} auszugeben. Die Verzögerung durch die Verarbeitungsschaltung 130 ist damit zeitlich deterministisch und unabhängig von einem Programmablauf in einer Recheneinheit. Dennoch ist es möglich, während der vorgegebenen Anzahl von Takten eine Verarbeitung der Daten durchzuführen und auf einen empfangenen Wert z.B. einen weiteren Wert zu addieren oder von diesem zu subtrahieren, ohne die parallelen Empfangsdaten D_{PR} in einem Speicher vor der Verarbeitung zwischenspeichern zu müssen.

10

15

Der Teilnehmer im Ausführungsbeispiel der Figur 2 weist die Sendeschaltung 140 zum Senden eines seriellen Sende-Datenstroms S_{ST} auf. Die Sendeschaltung 140 weist einen Scrambler (dt. Verwürfler) 144 zum Scrambeln der parallelen Sendedaten D_{PT} auf. Der Scrambler 144 ist durch das erste Taktsignal CLK_1 getaktet. Der Scrambler 144 verwendet linear rückgekoppelte Schieberegister oder fixe Tabellen, um die parallelen Sendedaten D_{PT} mittels eines relativ einfachen Algorithmus umkehrbar umzustellen. Die Umkehrung erfolgt dabei durch den Descrambler 124. Die Sendeschaltung 140 weist zudem einen Kodierer 143 zum Kodieren der parallelen Sendedaten D_{PT} und Ausgabe kodierter paralleler Sendedaten D_{PT}'' auf. Der Kodierer 143 ist beispielsweise ein 8b10b-Kodierer. Der Kodierer 143 ist durch das erste Taktsignal CLK_1 getaktet. Die Sendeschaltung 140 weist einen Parallel-Seriell-Wandler 142 zum Wandeln der vom Kodierer 143 ausgegebenen parallelen Sendedaten D_{PT}'' in serielle Sendedaten D_{ST} auf, wobei die Sendedaten D_{ST} in den Sende-Datenstrom S_{ST} eingefügt werden. Die Sendeschaltung 140 weist zudem eine Ausgangsschaltung 149 auf, die ebenfalls mittels des ersten Taktsignals CLK_1 getaktet ist. Die Ausgangsschaltung 149 weist beispielsweise ein in der Übertragungskette letztes Register auf, dass durch das erste Taktsignal CLK_1 getaktet ist, so dass die seriellen Sendedaten D_{ST} mit exakt

20

25

30

35

gleich geregelter Frequenz ausgegeben werden, wie die Datentaktfrequenz f_{SR} des Empfangs-Datenstroms S_{SR} .

Im Ausführungsbeispiel der Figur 2 weist der Teilnehmer 1 zudem eine programmierbare Recheneinheit 190 auf, um ein teilnehmerspezifisches Programm abzuarbeiten. Die Programme in der programmierbaren Recheneinheit 190 laufen dabei taktsynchron mit der Verarbeitung der parallelen Empfangsdaten D_{PR} und der parallelen Sendedaten D_{PT} . Dabei wird die programmierbare Recheneinheit 190 durch das zweite Taktsignal CLK_2 getaktet. Entsprechend ist auch die Verarbeitung in höheren Protokollschichten idealerweise deterministisch.

Der Teilnehmer 1 weist im Ausführungsbeispiel der Figur 2 zudem einen Uhrenschaltkreis 180 auf. Der Uhrenschaltkreis 180 wird im Folgenden auch als Uhr 180 bezeichnet. Der Uhrenschaltkreis 180 dient der zeitlichen Steuerung und/oder Erfassung. Der Uhrenschaltkreis 180 ist beispielweise Bestandteil eines verteilten Uhrensystems. Beispielweise kann mittels des Uhrenschaltkreises 180 ein Einlesezeitpunkt von z.B. Sensordaten bestimmt werden oder eine Ausgabe von Steuerdaten, z.B. zur Steuerung eines Aktors kann basierend auf einer Uhrzeit des Uhrenschaltkreises 180 auf einen bestimmten Zeitpunkt festgelegt werden. Dies ist beispielweise dann interessant, wenn mehrerer Teilnehmer 1, 2, 3 einen Prozess steuern und zu einem vorbestimmten gemeinsamen Zeitpunkt ein Prozessabbild erfassen sollen. Im Ausführungsbeispiel der Figur 2 ist der Uhrenschaltkreis 180 ebenfalls durch das erste Taktsignal CLK_1 oder das zweite Taktsignal CLK_2 getaktet, so dass der Uhrenschaltkreis 180 abhängig von der Datentaktfrequenz f_{SR} schneller oder langsamer läuft. Jedoch läuft die Uhr 180 durch die Regelung der Regelschleife PLL entsprechend zu einem vorhergehenden Teilnehmer 3 von dem der serielle Empfangs-Datenstrom S_{SR} durch den Teilnehmer 1 empfangen wird.

Untersuchungen der Anmelderin haben gezeigt, dass durch die Ausbildung des Teilnehmers 1 im Ausführungsbeispiel der Figur 2 mit Taktrückgewinnung und getaktete Ausgabe der seriellen Sendedaten D_{ST} mit derselben Frequenz, sowie der insbesondere Uhr-gesteuerten Verarbeitung mit derselben Frequenz Teilnehmer 1, 2 ausgebildet werden können, die zueinander zeitlich hoch präzise arbeiten können.

In Figur 3 ist ein System mit Teilnehmern 1, 2, 3, die über einem lokalen Bus 7 verbunden sind, und mit Teilnehmern 3, 4, die über einen übergeordneten Bus 6 miteinander verbunden sind, schematisch dargestellt. Der übergeordnete Bus 6 kann als Feldbus ausgebildet sein. Der Teilnehmer 3, der sowohl mit dem Feldbus 6 als auch mit dem Lokalbus 7 verbunden ist, wirkt als Gateway und kann auch als Koppler oder Kopfstation oder Lokalbusmaster bezeichnet werden.

Durch das System gemäß dem Ausführungsbeispiel der Figur 3 soll erreicht werden, dass untergeordnete Uhren 180, 280 auf eine übergeordnete Uhr 370, 380 synchronisiert werden, um eine verteilte, synchronisierte Uhrzeit im System mit räumlich getrennten Teilnehmern 1, 2, 3 bereitzustellen. Dies kann auch als verteilte Uhr, engl. Distributed Clock bezeichnet werden.

Mit dem Koppler 3 sind über den Lokalbus 7 ein erster Teilnehmer 1 und ein zweiter Teilnehmer 2 verbunden. Der erste Teilnehmer 1 weist einen internen Taktgeber 100 zur Erzeugung eines Taktgebersignals mit einer Taktgeberfrequenz für den ersten Teilnehmer 1 auf. Ebenfalls weist der erste Teilnehmer 1 eine Empfangsschaltung 120 zum Empfang eines seriellen Empfangs-Datenstroms und eine Sendeschaltung 140 zum Senden eines seriellen Sende-Datenstroms auf. Die Empfangsschaltung 120 weist einen Seriell-Parallel-Wandler (in Figur 3 nicht dargestellt) zum Wandeln von seriellen Empfangsdaten des seriellen Empfangs-Datenstroms in parallele Empfangsdaten auf. Die Sendeschaltung 140 weist einen Parallel-Seriell-Wandler (in Figur 3 nicht dargestellt) zum Wandeln der parallelen Sendedaten in serielle Sendedaten des Sende-Datenstroms auf.

Entsprechend weist auch der zweite Teilnehmer 2 des Lokalbusses 7 einen Taktgeber, eine Empfangsschaltung und eine Sendeschaltung auf. Diese sind in Figur 3 jedoch nicht dargestellt.

Zur Kommunikation über den Lokalbus 7 weist der Koppler 3 eine lokalbusseitige Sende-Empfangs-Schaltung 340 und zur Kommunikation über den Feldbus 6 eine felddbusseitige Sende-Empfangs-Schaltung 320 auf. Im Ausführungsbeispiel der Figur 3 kann die übergeordnete Uhr 380 innerhalb des Lokalbussystems auf eine weitere, ihr übergeordnete Uhr 480 synchronisiert werden.

Die Uhr 380 des Kopplers 3 wird auf die Uhr 480 einer übergeordneten Steuerung 480, z.B. einer SPS (Speicher Programmierbare Steuerung), mittels einer Regelung synchronisiert. Im Ausführungsbeispiel der Figur 3 weist der Koppler 3 zur Uhrensynchronisation eine Regelschleife auf. In dieser Regelschleife ist die lokale Uhr 385 vorgesehen, die basierend auf der Stellgröße der Geschwindigkeit die Uhrzeit t_{SM} ausgibt. Die Ist-Zeit t_{SM} wird zum Zeitpunkt des Empfangs der Nachricht 60 mittels des Halteglieds 382 erfasst und zwischengespeichert. Die Sollzeit TS_{FB} ist in der Nachricht 60 enthalten, durch das Differenzglied 383 wird ein lokaler Fehler aus Ist-Zeit und Soll-Zeit TS_{FB} bestimmt und dem Eingang des PI-Reglers 384 eingegeben.

Es wird ein Referenztakt verwendet, um zyklisch den lokalen Fehler zu bestimmen, der dann mit einem geeigneten Regler 384 eliminiert werden soll. Dazu kann der Regler 384 als Stellgröße die Geschwindigkeit der zu synchronisierenden Uhr 380 entsprechend verändern, um den lokalen Fehler zu Null zu regeln. Der Referenztakt wird durch das Ereignis „Empfang einer bestimmten Kommunikationsnachricht“ 60 realisiert. Die Nachricht 60 enthält beispielweise den Soll-Wert TS_{FB} für die Zeit, welcher zu Berechnung des lokalen Fehlers genutzt wird.

Zur Regelung wird im Ausführungsbeispiel der Figur 3 im Koppler 3 ein PI-Regler 384 verwendet, welcher die Geschwindigkeit der Uhrenschaltung 385 so verändert, dass im eingeregelten Zustand die Uhr 380 des Kopplers 3 genauso schnell läuft, wie die übergeordnete Uhr 480 der SPS 4, also der Drift-Fehler zu Null geregelt ist, und dass die Uhr 380 des Kopplers 3 die gleiche Uhrzeit t_{SM} liefert, wie die übergeordnete Uhr 480 der SPS 4, also der Offset-Fehler zu Null geregelt ist. Eine Besonderheit stellt dabei der Drift-Fehler dar. Dieser Drift-Fehler bezeichnet den Geschwindigkeitsunterschied zwischen den zu synchronisierenden Uhren 380 und 480. Der Geschwindigkeitsfehler beider Uhren 380, 480 ist auf die leicht unterschiedlichen Frequenzen der in jedem Teilnehmer 3, 4 eingesetzten Taktgeber 300, 400 zurückzuführen, wobei Quarzoszillatoren oder MEMS oder andere Oszillatoren der Taktgeber 300, 400 leicht unterschiedliche Frequenzen aufweisen.

Die Drift stellt die erste Ableitung des lokalen Fehlers dar. D.h., wenn der lokale Fehler kontinuierlich wächst, dann ist die Drift nicht Null. Ist der lokale Fehler konstant, dann ist die Drift Null und es liegt nur ein Offset-Fehler vor. Der Offsetfehler ist ebenfalls darauf zurückzuführen, dass selbst zwei exakt gleich schnell laufende Uhren mindestens einmal synchronisiert werden müssen. Die Stellgröße, welcher der PI-Regler 384 des Kopplers 3 im Ausführungsbeispiel der Figur 3 beeinflusst, ist die Geschwindigkeit der Uhrenschtaltung 385. Ein Offset-Fehler kann dadurch mit einem künstlichen „Drift-Fehler“ ausgeregelt werden. D.h. der Regler 384 ändert für eine begrenzte Zeit die Geschwindigkeit der Uhrenschtaltung 385, um einen Offset-Fehler auszuregeln.

In der Regelschleife wird eine Mehrzahl von Abtastzyklen verwendet, um die Synchronisation auf die übergeordnete Uhr 480 herzustellen. Der PI-Regler 384 wird träge ausgelegt, da der lokale Fehler häufig mit verschiedenen Störgrößen belegt ist, wie beispielweise Rauschen, sporadische Ausreißer und Diskretisierungsfehler. Durch die träge Auslegung des PI-Reglers 384 wirken sich die Störgrößen nur begrenzt auf die zu synchronisierende Uhrzeit t_{SM} aus. Mit langsamer Regelung dauert das Aufsynchronisieren (Einrasten) entsprechend lange, so dass die Störgrößen sich nur sehr begrenzt auswirken.

Der Einrastvorgang kann verkürzt werden, indem der PI-Regler 384 häufiger abgetastet wird, was jedoch einen erhöhten Kommunikationsaufwand bedeutet, indem mehr Nachrichten 60 über den Bus 6 übertragen werden müssen. Die Nachricht 60 kann auch als Synchronisierungstelegramm bezeichnet werden. Zudem ist die Belastung der CPU höher, wenn die Regelschleife in einem Softwareprogramm implementiert ist. Alternativ könnte der PI-Regler 384 auch „schneller“ dimensioniert werden, wodurch sich jedoch die Störgrößen stärker auf den Restfehler bei der Synchronisation auswirken.

Bei Einsatz eines PI-Reglers 384 ergibt sich für den geschlossenen Regelkreis als Übertragungsfunktion ein PT2-Verhalten oder ein Übertragungsverhalten höherer Ordnung. Es kann sich ein schwingungsfähiges System ergeben, d.h. die Sprungantwort resultiert nicht in einem lokalen Fehler der sich asymptotisch der Null annähert, sondern die Sprungantwort gleicht einer bedämpften Schwingung, deren Amplitude sich asymptotisch der Null nähert. Zur Bestimmung, ob die Uhr

380 aufsynchronisiert ist oder nicht, wird der lokale Fehler daraufhin geprüft, ob dieser innerhalb eines Fensters um die Null liegt. Bei einer Sprungantwort, welche einer bedämpften Schwingung gleicht, kann dieses Fenster während des Synchronisationsvorgangs mehrmals betreten und wieder verlassen werden, bevor die Amplitude so klein geworden ist, dass der Restfehler dauerhaft innerhalb des Fensters liegt. Entsprechend ist der Synchronisationsvorgang dann abgeschlossen, wenn der Restfehler eine bestimmte Zeit das Fenster nicht verlassen hat.

Im Ausführungsbeispiel der Figur 3 liegt ein Taktsignal CLK_M des Taktgebers 300 des Kopplers 3 sowohl an einem Takteingang 381 der Uhr 380 mit Regelschleife als auch oder wahlweise an einem Eingang 371 einer unregelmäßigen Uhr 370 an. Beide Uhren 380 und 370 sind nur als Funktion beispielhaft dargestellt und können durch denselben Schaltkreis erzeugt werden. Die unregelmäßige Uhr 370 läuft exakt mit dem Taktgeber 300 getaktet und kann verwendet werden, wenn keine Aufsynchronisation auf die Uhr 480 der SPS 4 erforderlich ist. Ebenfalls basierend auf dem Taktsignal CLK_M des Taktgebers 300 des Kopplers 3 ist die Sende-Empfangs-Schaltung 340 des Kopplers 3 zur Kommunikation über den Lokalbus 7 getaktet. Datenpakete, z.B. das Synchronisationstelegramm 70, werden mit exakt dem Taktsignal CLK_M getaktet ausgegeben.

Dabei wird ausgenutzt, dass im Physical Layer PHY eine Synchronisationseinheit 121 eines ersten Teilnehmers 1 eingesetzt wird. Der Koppler 3 ist beispielsweise als Master des Lokalbusses 7 und der erste Teilnehmer 1 und ein zweiter Teilnehmer 2 sind beispielsweise als Slave des Lokalbusses 7 ausgebildet. Die Erfindung ist jedoch nicht auf Master-Slave-Bussysteme begrenzt, so kann die Erfindung alternativ für ein Mehrfachzugriff (engl. - Carrier Sense Multiple Access - CSMA) oder eine Punkt-zu-Punkt-Verbindung angewandt werden. Die Synchronisationseinheit 121 kann auch als CDR (engl. Clock- and Data-Recover) bezeichnet werden. Die Synchronisationseinheit 121 des ersten Teilnehmers 1 ist zur Detektion von Transitionen im empfangenen seriellen Empfangs-Datenstrom eingerichtet. Der Empfangs-Datenstrom ist durch die Empfangsschaltung 120 des ersten Teilnehmers 1 von der Sende-Empfangs-Schaltung 340 des Kopplers 3 empfangbar. Die Synchronisationseinheit 121 ist zur Regelung der Taktgeberfrequenz des internen Taktgebers 100 des ersten Teilnehmers 1 in

Abhängigkeit von den im Empfangs-Datenstrom detektierten Transitionen eingerichtet.

Der interne Taktgeber 100 des ersten Teilnehmers 1 ist zur Ausgabe eines vom Taktgebersignal abgeleiteten ersten Taktsignals CLK_1 an einen Uhrenschaltkreis 180 eingerichtet. Eine erste Taktfrequenz des ersten Taktsignals CLK_1 ist durch die Regelung der Synchronisationseinheit 121 gleich der im seriellen Empfangs-Datenstrom enthaltenen Datentaktfrequenz und somit gleich der Frequenz des Taktsignals CLK_M des Taktgebers 300 des Kopplers 3. Das Taktsignal CLK_M des Taktgebers 300 des Kopplers 3 kann auch als Master-Taktsignal CLK_M bezeichnet werden. Entsprechend werden die Uhren 370, 380, 180, 280 im Lokalbussystem mit Taktsignalen CLK_M , CLK_1 mit gleicher Taktfrequenz getaktet, wobei die Taktfrequenzen nur bis zum Einrasten der Regelung durch die Synchronisationseinheit 121 auf der PHY-Ebene lediglich geringfügig voneinander abweichen. Vorzugweise weichen die Taktfrequenzen bis zum Einrasten der Regelung durch die Synchronisationseinheit 121 auf der PHY-Ebene um maximal +/- 100 bis 200 ppm voneinander ab. Für die Regelschleife der Synchronisationseinheit 121 im Physical Layer PHY ist die Abtastrate des Reglers um mehrere Zehnerpotenzen höher als die Abtastrate für die Regelung in der Uhr 380. Einschwingvorgänge der Regelung durch die Synchronisationseinheit 121 im Physical Layer PHY sind daher in einem Bruchteil der Zeit abgeschlossen, welche für den Einschwingvorgang der Regelschleife der Uhr 380 des Kopplers 3 mit dem PI-Regler 384 erforderlich ist.

Wird das durch die Synchronisationseinheit 121 mittels CDR synchronisierte Taktsignal CLK_M und CLK_1 zum Betrieb der übergeordneten Uhr 380, 370 des Kopplers 3 und untergeordneter Uhren 180, 280 der Teilnehmer 100, 200 benutzt, dann ist der Drift-Fehler gleich Null. Für die Synchronisation des Offset-Fehlers genügt dann ein einfacher P-Regler in der lokalen Uhr 180, 280. Der P-Regler kann komplett entfallen, wenn, wie im Ausführungsbeispiel der Figur 3 die Nachricht 70 im Lokalbus 7 deterministisch und vorteilhafterweise ohne Jitter übertragen werden kann. Dabei bedeutet deterministisch, dass jede Nachricht 70, die über den Lokalbus 7 übertragen wird, eine feste, unveränderliche Anzahl von Takten – beispielweise 16,5 Takte – oder ein fester, unveränderlicher Zeitraum – beispielweise 33 μs – zur Übertragung vom Koppler 3 zum ersten Teilnehmer 1

benötigt (Laufzeit). Ebenfalls ist die Übertragung vom ersten Teilnehmer 1 zum zweiten Teilnehmer 2 und ggf. zu jedem weiteren Teilnehmer (nicht dargestellt) des Busses 7 deterministisch. Im Fall der deterministischen Übertragung ist die Uhr 180 des ersten Teilnehmers 1 eingerichtet, seine Uhrzeit t_{S1} auf den in der Nachricht 70 enthaltenen Zeitwert TS_{LB1} oder einen hiervon abgeleiteten Zeitwert zu setzen.

Auf den in der Nachricht 70 enthaltenen Zeitwert TS_{LB1} kann noch ein Offset aufaddiert werden, um z.B. die Laufzeit der Nachricht 70 über den Physical Layer PHY zu kompensieren. Beispielsweise basiert der Zeitwert TS_{LB1} auf der Uhrzeit t_{SM} des Kopplers 3 und der Laufzeit, die für die Übertragung der Nachricht 70 benötigt wird. Alternativ wird der abgeleitete Zeitwert basierend auf dem übertragenen Zeitwert TS_{LB1} und einer dem ersten Teilnehmer 1 bekannten Laufzeit, die für die Übertragung der Nachricht 70 benötigt wird, berechnet. Der erste Teilnehmer 1 weist eine Verarbeitungsschaltung 130 zur parallelen Datenverarbeitung auf, wobei die Verarbeitungsschaltung 130 eingerichtet ist, den Zeitwert TS_{LB1} aus der Nachricht 70 auszulesen und an die Uhr 180 weiterzuleiten. Weiterhin ist die Verarbeitungsschaltung 130 eingerichtet, den Zeitwert TS_{LB1} ggf. in einen anderen Zeitwert TS_{LB2} zu ändern, der an die Uhr 280 des nachfolgenden zweiten Teilnehmers 2 mittels der Sendeschaltung 140 über den Bus 7 übertragen wird.

Durch das Ausführungsbeispiel der Figur 3 wird der Vorteil erzielt, dass eine der Uhrzeiten t_M oder t_{SM} des Kopplers 3 mit Uhrzeiten t_{S1} , t_{S2} der Teilnehmer 1, 2 nahezu perfekt synchronisiert ist. Somit gehen die Uhren 180, 280 der Teilnehmer 1, 2 und die genutzte Master-Uhr 370 oder 380 des Kopplers 3 untereinander nicht auseinander, weisen also keine Drift auf, die ausgeglichen werden müsste. Im Ausführungsbeispiel der Figur 3 weisen beide Teilnehmer 1 und 2 jeweils eine Recheneinheit 190 und 290 – beispielsweise einen Mikrocontroller – und beide Teilnehmer 1 und 2 jeweils eine Schnittstelle 150, 250 – beispielsweise Kabelanschlusskontakte – zum externen Anschluss eines Aktors 512, 522 und/oder Sensors 511, 521 oder dergleichen auf. Die Uhren 180, 280 der Teilnehmer 1, 2 können auch als Software in der Recheneinheit 190, 290 des jeweiligen Teilnehmers 1, 2 implementiert sein. Durch die nahezu perfekte Synchronisation der Uhren 180 und 280 des ersten Teilnehmers 1 respektive des zweiten Teilnehmers 2 können zum exakt gleichen Zeitpunkt die Sensorwerte der

Sensoren 511, 512 erfasst werden und/oder zum exakt gleichen Zeitpunkt die Aktoren 512, 522 innerhalb der Teilnehmer 1, 2 des Busses 7 angesteuert werden.

In Figur 3a ist eine Nachricht 70 zur Übertragung über den Bus 7 schematisch dargestellt. Die Nachricht 70 weist einen Kopf H, ein Zeitinkrement TV (z.B. 28 Bit) einen Zeitwert TS_{LB1} (z.B. 64 Bit) und einen Prüfwert CRC auf. Das Zeitinkrement TV definiert die Geschwindigkeit der übergeordneten Uhr 380 des Kopplers 3. Dadurch wird erreicht, dass die untergeordneten Uhren 180, 280 der Teilnehmer 1, 2 das gleiche Zeitinkrement verwenden und immer parallel zur übergeordneten Uhr 380 des Kopplers 3 laufen. Auf diese Weise kann die übergeordnete Uhr 380 des Kopplers 3 mit dem PI-Regler 384 auf die ihr übergeordnete Uhr 480 der über den Feldbus 6 verbundenen Steuereinheit 4 (SPS) mittels der Regelschleife des Kopplers 3 synchronisiert werden und alle untergeordneten Uhren 180, 280 folgen ihr und damit der Synchronisation der Uhr 380 des Kopplers 3, ohne dass eine zusätzliche Synchronisation der Teilnehmer 1, 2 außerhalb des Physical-Layers PHY erforderlich wäre. Eine Regelschleife innerhalb der Uhr 180, 280 eines Teilnehmers 1, 2 d.h. außerhalb des Physical Layers PHY kann komplett entfallen, die Teilnehmer 1, 2 folgen der Uhr des Kopplers 3, sklavisch, nahezu verzögerungsfrei. Die Implementierung eines verteilten Uhrsystems wird dadurch stark vereinfacht. Der Bedarf an Logik- und Software-Ressourcen ist im Ausführungsbeispiel der Figur 3 gegenüber herkömmlichen Lösungen signifikant reduziert.

Die Teilnehmer 1, 2 des Busses 7 sind aufgrund der schnellen Uhrsynchronisation praktisch nach dem Hochfahren betriebsbereit. Bereits mit der ersten Nachricht 70 wird die vollständige Uhr-Synchronisation der Teilnehmer 1, 2 erzielt, selbst bereits dann, wenn sich die Uhr 380 des Kopplers 3 noch in der Synchronisierungsphase vor dem Einrasten befindet. Der Koppler 3 ist eingerichtet, eine erneute Nachricht 70 dann zu senden, wenn der Koppler 3 ermittelt, dass ein neuer Teilnehmer X (nicht dargestellt) hinzugekommen ist, oder wenn ein vorhandener Teilnehmer 1, 2 einen hardware-Reset durchläuft oder wenn die Uhr 380 des Kopplers 3 unstetig durch Setzen auf eine ganz neue Uhrzeit t_{SPS} der SPS 4 zu synchronisieren ist oder, wenn der PI-Regler 384 einen neuen Geschwindigkeitswert TV berechnet hat.

Im Ausführungsbeispiel der Figur 3 ist der Restfehler zwischen den Uhrzeiten t_{SM} des Kopplers 3 und den Uhrzeiten t_{S1} , t_{S2} der Teilnehmer 1, 2 kleiner als ein Fehler welcher mit einem separaten PI-Regler in jedem Teilnehmer 1, 2 erreicht werden könnte. Der größte Anteil dieses sehr kleinen Restfehlers hat seine Ursache in den (ggf. nicht ganz exakt bekannten) Laufzeiten auf dem Bus 7 und dem Vermessen und Kompensieren dieser Laufzeiten auf dem Bus 7. Hingegen tragen weder Rauschen noch Ausreißer zu dem Restfehler bei.

Im Ausführungsbeispiel der Figur 3 ist zudem die Lösung dargestellt, dass eine Uhr 370 des Kopplers 3 nicht auf eine übergeordnete Uhr synchronisiert werden muss und entsprechend durch den Taktgeber 300 des Kopplers 3, beispielsweise mittels eines Quarzoszillators exakt getaktet ist. In diesem Fall kann die Übertragung des Zeitinkrements TV entfallen, da dieses bei allen Teilnehmern 1, 2, 3 des Busses 7 ohnehin gleich ist. Ebenfalls ist es möglich das Zeitinkrement TV nur ein einziges Mal zu übertragen, da dieses nachfolgend konstant ist. In diesem Fall muss die Nachricht 70 auch nicht zyklisch übertragen werden. Beispielsweise ist eine ereignisabhängige Übertragung, z.B. beim Hinzufügen eines neuen Teilnehmers, ausreichend. Durch eine Selektionsschaltung 390 – beispielsweise einem Multiplexer – im Ausführungsbeispiel der Figur 3 können beide Uhren 370, 380 alternativ ausgewählt werden.

Bezugszeichenliste

1, 2	Teilnehmer, Slave
3	Kopfstation, Koppler, Master
4	Steuervorrichtung, Leitstation, SPS
6	übergeordneter Bus, Feldbus
7	Datennetz, Bus, lokaler Bus, untergeordneter Bus
60, 70	Nachricht, Synchronisations-Telegramm
100	Taktgeber
120	Empfangsschaltung
121	Synchronisationseinheit
122	Seriell-Parallel-Wandler
123	Dekodierer
124	Descrambler
129	Eingangsschaltung
130	Verarbeitungsschaltung
131	Speicher
132	digitale Logik
133	Manipulationsschaltung
131a, 131b, 131c	Speicherbereich
140	Sendeschaltung
142	Parallel-Seriell-Wandler
143	Kodierer
144	Scrambler
149	Ausgangsschaltung
150, 250	I/O – Schnittstelle
180, 280	Uhrenschaltkreis, Uhr
190, 290	Recheneinheit, Prozessor, Mikrocontroller
300	Taktgenerator
320	Transceiver, Sende-Empfangs-Schaltung
340	Transceiver, Sende-Empfangs-Schaltung
370	Uhrenschaltkreis, Uhr
371, 381	Takteingang
380	Uhr

382	Halteschaltung
383	Differenzglied
384	PI-Regler
385	Uhrenschtaltung
390	Selektionsschaltung, Multiplexer
400	Taktgeber
480	Uhr
511, 521	Sensor
512, 522	Aktor
CLK1, CLK2	Taktsignal
CLK _M	Taktsignal
CRC	Prüfwert
D _{SR}	serielle Empfangsdaten
D _{ST}	serielle Sendedaten
S _{TG}	Taktgebersignal
f ₁ , f ₂	Taktfrequenz
f _{TG}	Taktgeberfrequenz
f _{SR}	Datentaktfrequenz
H	Kopf
IL	Instruktionsliste
I1, I2, I3, I4, I5	Instruktion
PHY	Physical Layer
S _{SR}	Empfangs-Datenstrom
S _{ST}	Sende-Datenstrom
TR	Transition, Signalflanke
TV	Zeitinkrement
TS _{LB1} , TS _{LB2} , TS _{FB}	Zeitwert, Zeitstempel
t	Zeit
t _{SPS} , t _M , t _{SM} , t _{S1} , t _{S2}	Uhrzeit
T _{SR}	Periode
D _{PR} , D _{PR} ['] , D _{PR} ^{''}	parallele Empfangsdaten
D _{PT} , D _{PT} ['] , D _{PT} ^{''}	parallele Sendedaten

Ansprüche

- 5 1. Teilnehmer (1) eines drahtgebundenen Datennetzes (7), insbesondere eines lokalen Bussystems (7),
- mit einem internen Taktgeber (100) zur Erzeugung eines Taktgebersignals (S_{TG}) mit einer Taktgeberfrequenz (f_{TG}) für den Teilnehmer (1),
 - 10 – mit einer Empfangsschaltung (120) zum Empfang eines seriellen Empfangs-Datenstroms (S_{SR}),
 - mit einer Verarbeitungsschaltung (130) zur Eingabe von parallelen Empfangsdaten (D_{PR}) und zur Ausgabe von parallelen Sendedaten (D_{PT}), und
 - 15 – mit einer Sendeschaltung (140) zum Senden eines seriellen Sende-Datenstroms (S_{ST}),
- bei dem
- die Empfangsschaltung (120) einen Seriell-Parallel-Wandler (122) zum Wandeln von seriellen Empfangsdaten (D_{SR}) des seriellen Empfangs-Datenstroms (S_{SR}) in die parallelen Empfangsdaten (D_{PR}) aufweist,
 - 20 – die Empfangsschaltung (120) eine Synchronisationseinheit (121) zur Synchronisation des internen Taktgebers (100) auf die im seriellen Empfangs-Datenstrom (S_{SR}) enthaltene Datentaktfrequenz (f_{SR}) aufweist,
 - die Synchronisationseinheit (121) zur Detektion von Transitionen (TR) im empfangenen seriellen Empfangs-Datenstrom (S_{SR}) und zur Regelung der Taktgeberfrequenz (f_{TG}) des internen Taktgebers (100) in Abhängigkeit von den detektierten Transitionen (TR) eingerichtet ist,
 - 25 – die Sendeschaltung (140) einen Parallel-Seriell-Wandler (142) zum Wandeln der parallelen Sendedaten (D_{PT}) in serielle Sendedaten (D_{ST}) des Sende-Datenstroms (S_{ST}) aufweist,
 - 30 – der interne Taktgeber (100) zur Ausgabe eines vom Taktgebersignal (S_{TG}) abgeleiteten ersten Taktsignals (CLK_1) an die Sendeschaltung (140) eingerichtet ist, so dass das Wandeln der parallelen Sendedaten (D_{PT}) in serielle Sendedaten (D_{ST}) für den seriellen Sende-Datenstrom (S_{ST}) durch das erste Taktsignal (CLK_1) getaktet ist,
 - 35

- eine erste Taktfrequenz (f_1) des ersten Taktsignals (CLK_1) durch die Regelung gleich der im seriellen Empfangs-Datenstrom (S_{SR}) enthaltenen Datentaktfrequenz (f_{SR}) ist,
- der Taktgeber (100) zur Ausgabe eines vom Taktgebersignal (S_{TG}) abgeleiteten zweiten Taktsignals (CLK_2) an die Verarbeitungsschaltung (130) eingerichtet ist, so dass eine Verarbeitung der parallelen Empfangsdaten (D_{PR}) und/oder der parallelen Sendedaten (D_{PT}) durch das zweite Taktsignal (CLK_2) getaktet ist.

2. Teilnehmer (1) nach Anspruch 1, bei dem die Verarbeitungsschaltung (130) für die Verarbeitung eingerichtet ist, die parallelen Empfangsdaten (D_{PR}) weiterzuleiten, um die parallelen Sendedaten (D_{PT}) basierend auf den parallelen Empfangsdaten (D_{PR}) an die Sendeschaltung (140) insbesondere nach einer vorgegebenen Anzahl von Takten des zweiten Taktsignals (CLK_2) auszugeben.

3. Teilnehmer (1) nach Anspruch 2, bei dem die Verarbeitungsschaltung (130) für die Verarbeitung zusätzlich eingerichtet ist,

- die parallelen Empfangsdaten (D_{PR}) zumindest teilweise in einem Speicherbereich (131a) für eine Auswertung zu speichern; und/oder
- die parallelen Sendedaten (D_{PT}) zumindest teilweise aus einem Speicherbereich (131b) auszulesen, um die ausgelesenen parallelen Sendedaten (D_{PT}) an die Sendeschaltung (140) auszugeben; und/oder
- eine Anzahl von Bitwerten der parallelen Empfangsdaten (D_{PR}) zu ändern, um die parallelen Empfangsdaten (D_{PR}) mit der Änderung als parallele Sendedaten (D_{PT}) an die Sendeschaltung (140) auszugeben.

4. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem der Taktgeber (100) eingerichtet ist, das zweite Taktsignal (CLK_2) mit einer zweiten Taktfrequenz (f_2) auszugeben, wobei die zweite Taktfrequenz (f_2) durch die Regelung gleich oder ein ganzzahliges Vielfaches der im seriellen Empfangs-Datenstrom (S_{SR}) enthaltenen Datentaktfrequenz (f_{SR}) ist.

5. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem

die Taktgeberfrequenz (f_{TG}) des Taktgebers (100) durch die Regelung gleich oder ein ganzzahliger Bruchteil oder ein ganzzahliges Vielfaches der im seriellen Empfangs-Datenstrom (S_{SR}) enthaltenen Datentaktfrequenz (f_{SR}) ist.

5

6. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem
- die Verarbeitungsschaltung (130) einen Speicherbereich (131c) für eine Instruktionsliste (IL) aufweist,
 - die Verarbeitungsschaltung (130) eingerichtet ist, die Verarbeitung basierend auf in der Instruktionsliste (IL) enthaltene Instruktionen (I1, I2, I3, I4, I5) auszuführen, und
 - die Verarbeitungsschaltung (130) eingerichtet ist, ein Auslesen der Instruktionen (I1, I2, I3, I4, I5) aus der Instruktionsliste (IL) mittels des zweiten Taktsignals (CLK_2) zu takten.

10

15

7. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem
- der Taktgeber (100) einen Quarzoszillator (101) mit über Spannung trimmbarer Taktgeberfrequenz (f_{TG}) aufweist, und
 - der Quarzoszillator (101) Bestandteil einer Phasenregelschleife (PLL) ist.

20

8. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem
- die Taktgeberfrequenz (f_{TG}) des Taktgebers (100) nur innerhalb eines Bereichs von kleiner 1% der Taktgeberfrequenz (f_{TG}) einstellbar ist.

25

9. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem
- die Empfangsschaltung (120) einen Dekodierer (123) zum Dekodieren der parallelen Empfangsdaten (D_{PR}'') aufweist, wobei der Dekodierer (123) durch das erste Taktsignal (CLK_1) getaktet ist, und/oder
 - die Sendeschaltung (140) einen Kodierer (143) zum Kodieren der parallelen Sendedaten (D_{PT}'') aufweist, wobei der Kodierer (143) durch das erste Taktsignal (CLK_1) getaktet ist.

30

10. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem
- die Empfangsschaltung (120) einen Descrambler (124) zum Descrambeln der parallelen Empfangsdaten (D_{PR}') aufweist, wobei der Descrambler

35

(124) durch das erste Taktsignal (CLK_1) getaktet ist, und/oder

- die Sendeschaltung (140) einen Scrambler (144) zum Scrambeln der parallelen Sendedaten (D_{PT}) aufweist, wobei der Scrambler (144) durch das erste Taktsignal (CLK_1) getaktet ist.

5

11. Teilnehmer (1) nach einem der vorhergehenden Ansprüche, bei dem

- die Verarbeitungsschaltung (130) eingerichtet ist, nach einer vorgegebenen Anzahl von Takten des zweiten Taktsignals (CLK_2) nach Eingabe der parallelen Empfangsdaten (D_{PR}) die parallelen Sendedaten (D_{PT}) auszugeben.

10

12. Teilnehmer (1) nach einem der vorhergehenden Ansprüche,

mit einem Uhrenschaltkreis (180) zur Ausgabe einer Uhrzeit (t_{S1}), bei dem

- ein Uhrentakt des Uhrenschaltkreises (180) vom Taktgebersignal (S_{TG}) mit der Taktgeberfrequenz (f_{TG}) abgeleitet ist, so dass der Uhrentakt durch die Regelung gleich oder ein insbesondere ganzzahliger Bruchteil oder ein insbesondere ganzzahliges Vielfaches der im seriellen Empfangsdatenstrom (S_{SR}) enthaltenen Datentaktfrequenz (f_{SR}) ist.

15

13. Teilnehmer (1) nach Anspruch 12, bei dem die Verarbeitungsschaltung (130) zur Synchronisation der Uhrzeit (t_{S1}) eingerichtet ist, indem

- die Verarbeitungsschaltung (130) eingerichtet ist, einen Zeitwert (TS_{LB1}) aus den parallelen Empfangsdaten (D_{PR}) auszuwerten und basierend auf dem Zeitwert (TS_{LB1}) die Uhrzeit (t_{S1}) des Uhrenschaltkreises (180) einzustellen.

20

25

14. Teilnehmer (1) nach einem der Ansprüche 12 oder 13, bei dem

- die Verarbeitungsschaltung (130) eingerichtet ist, ein Zeitinkrementwert (TV) aus den parallelen Empfangsdaten (D_{PR}) auszuwerten und basierend auf dem Zeitinkrementwert (TV) ein Uhrzeitinkrement des Uhrenschaltkreises (180) einzustellen.

30

15. Teilnehmer (1) nach einem der Ansprüche 12 bis 14, bei dem

- der Uhrenschaltkreis (180) derart ausgebildet ist, dass die Uhrzeit (t_{S1}) nicht durch einen Uhrzeitregler des Uhrenschaltkreises (180) geregelt ist.

35

16. Teilnehmer (1) nach einem der Ansprüche 12 bis 15, bei dem
- die Verarbeitungsschaltung (130) eingerichtet ist, einen aktuellen Zeitwert (TS_{LB2}) und/oder einen aktuellen Zeitinkrementwert (TV) aus dem Uhrenschaltkreis (180) zu bestimmen und in die parallelen Sendedaten (D_{PT}) zu schreiben.

5

10

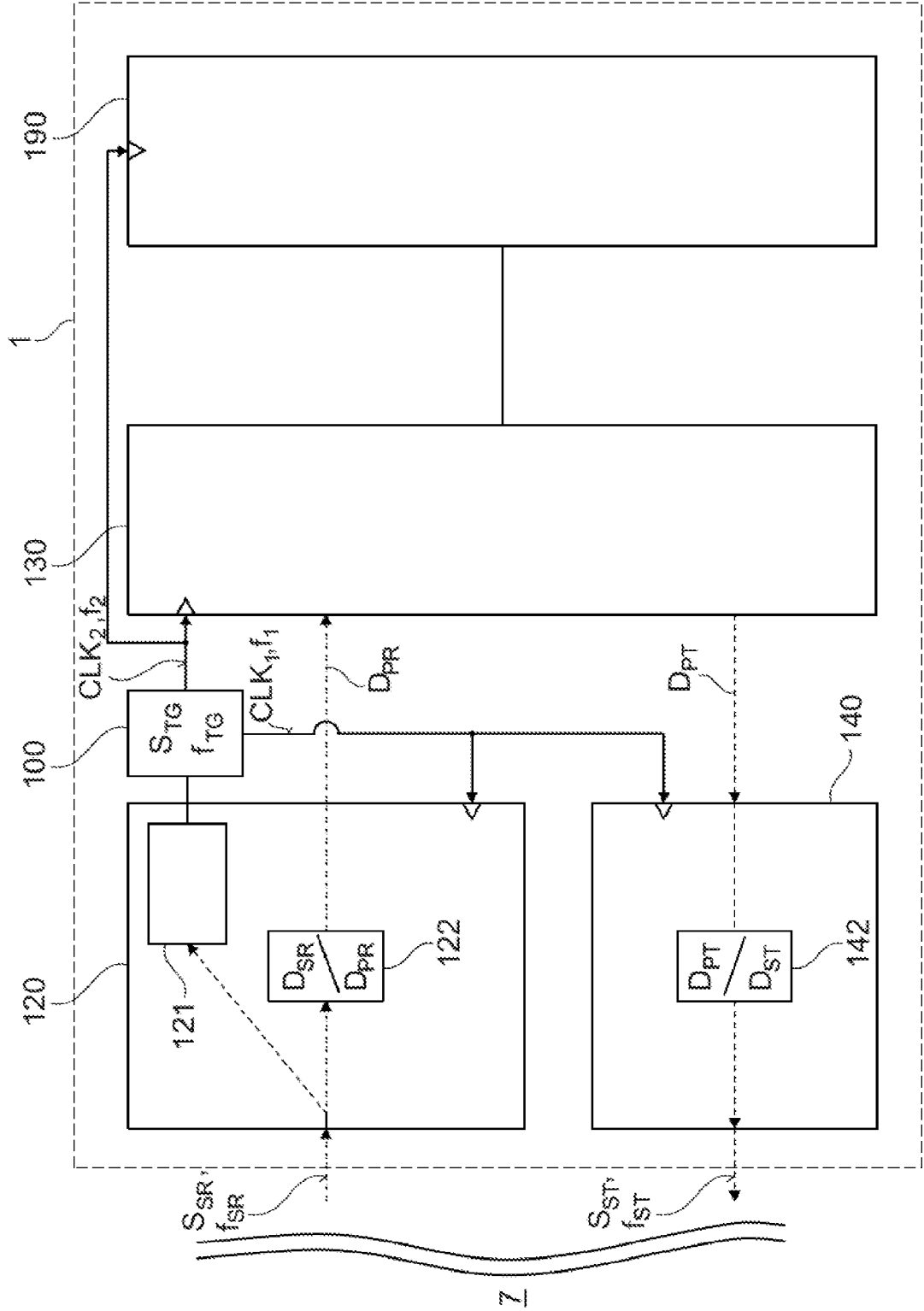


Fig. 1

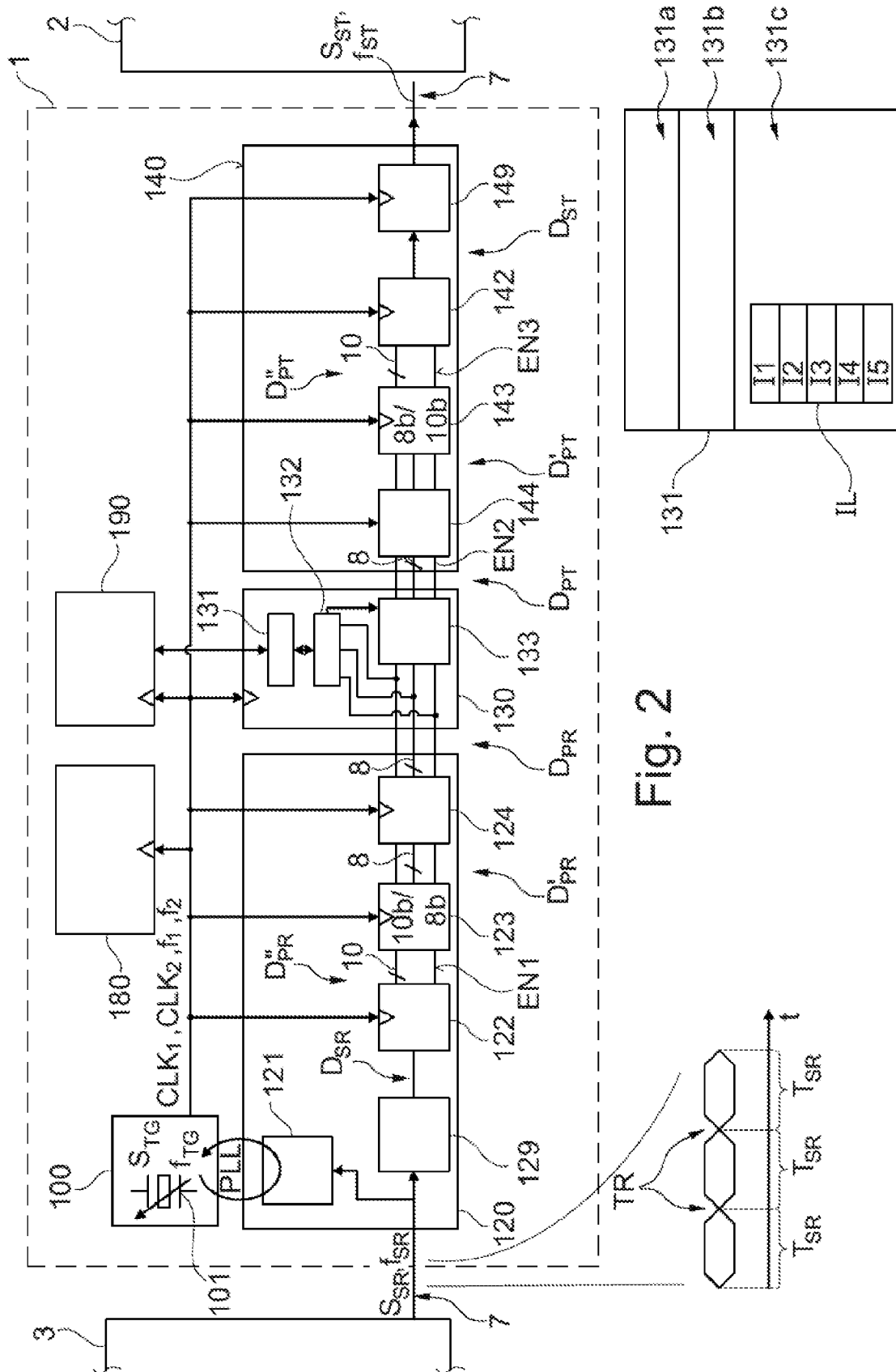


Fig. 2

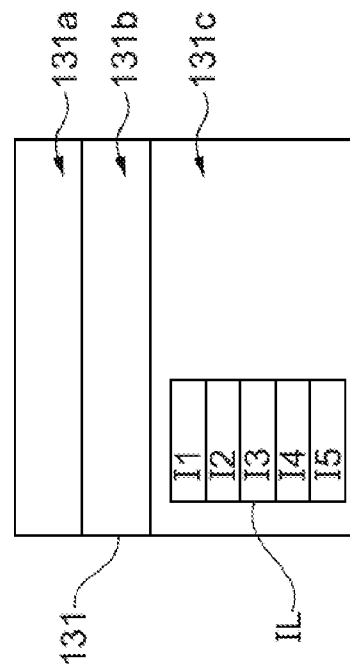
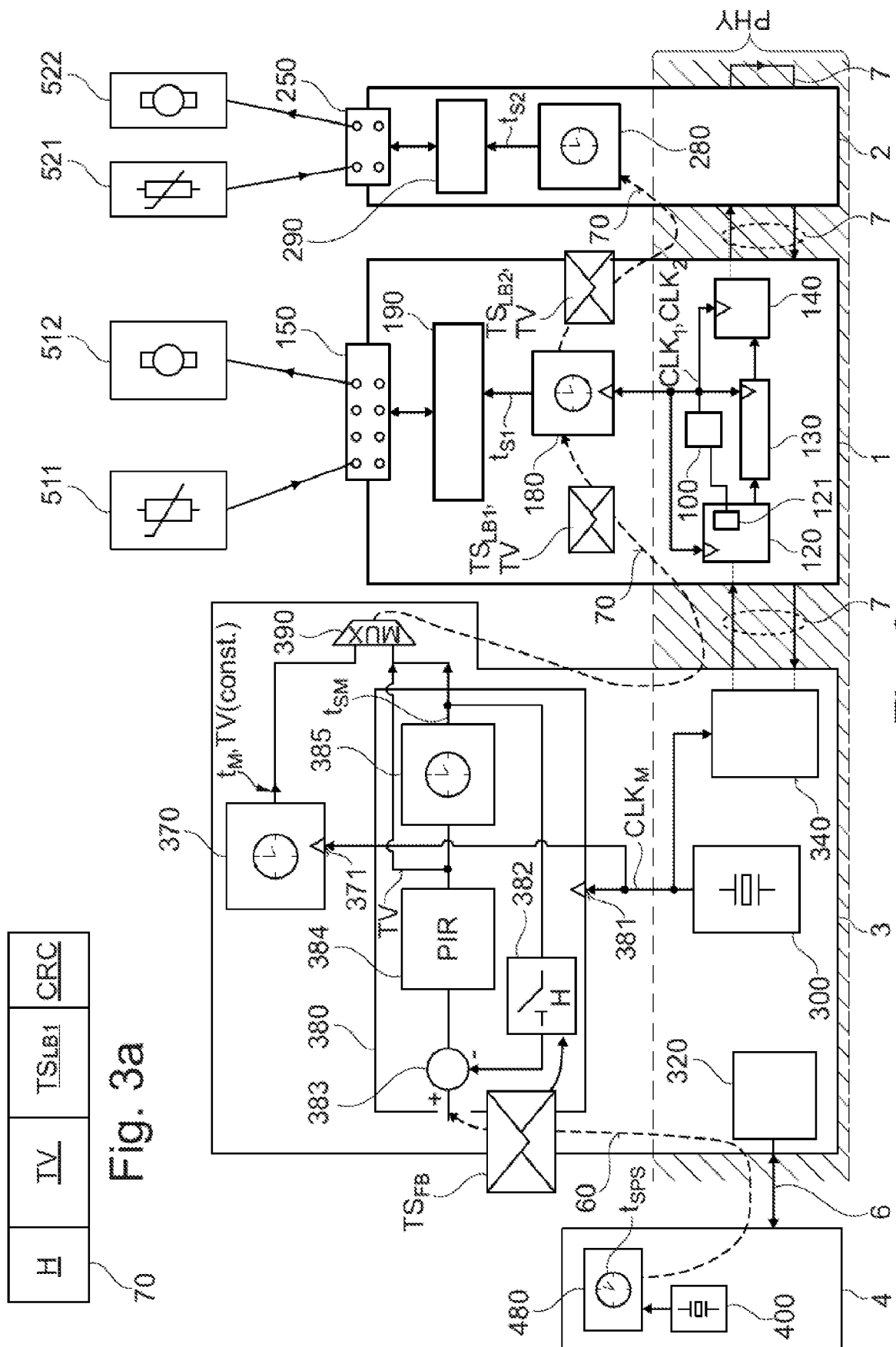


Fig. 2a



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/055555

A. CLASSIFICATION OF SUBJECT MATTER H04J 3/06 (2006.01)i; H04L 12/40 (2006.01)i; G06F 1/04 (2006.01)i; G05B 19/414 (2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC											
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04J; G06F; H04L; G05B Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2014281656 A1 (RUESCH RODNEY A [US] ET AL) 18 September 2014 (2014-09-18) paragraphs [0036], [0041], [0042] paragraphs [0062], [0064] paragraphs [0088], [0092] - [0096] paragraphs [0100], [0102], [104.105] paragraphs [0112], [0115], [0118] figures 2,3,6 claim 1</td> <td>1-16</td> </tr> <tr> <td>X</td> <td>EP 1653651 A2 (HEIDENHAIN GMBH DR JOHANNES [DE]) 03 May 2006 (2006-05-03) figure 2 paragraph [0022] - paragraph [0023] paragraph [0025] - paragraph [0027] paragraph [0029]</td> <td>1-16</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2014281656 A1 (RUESCH RODNEY A [US] ET AL) 18 September 2014 (2014-09-18) paragraphs [0036], [0041], [0042] paragraphs [0062], [0064] paragraphs [0088], [0092] - [0096] paragraphs [0100], [0102], [104.105] paragraphs [0112], [0115], [0118] figures 2,3,6 claim 1	1-16	X	EP 1653651 A2 (HEIDENHAIN GMBH DR JOHANNES [DE]) 03 May 2006 (2006-05-03) figure 2 paragraph [0022] - paragraph [0023] paragraph [0025] - paragraph [0027] paragraph [0029]	1-16
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X	US 2014281656 A1 (RUESCH RODNEY A [US] ET AL) 18 September 2014 (2014-09-18) paragraphs [0036], [0041], [0042] paragraphs [0062], [0064] paragraphs [0088], [0092] - [0096] paragraphs [0100], [0102], [104.105] paragraphs [0112], [0115], [0118] figures 2,3,6 claim 1	1-16									
X	EP 1653651 A2 (HEIDENHAIN GMBH DR JOHANNES [DE]) 03 May 2006 (2006-05-03) figure 2 paragraph [0022] - paragraph [0023] paragraph [0025] - paragraph [0027] paragraph [0029]	1-16									
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family											
Date of the actual completion of the international search 26 November 2019		Date of mailing of the international search report 04 December 2019									
Name and mailing address of the ISA/EP European Patent Office p.b. 5818, Patentlaan 2, 2280 HV Rijswijk Netherlands Telephone No. (+31-70)340-2040 Facsimile No. (+31-70)340-3016		Authorized officer Pieper, Thomas Telephone No.									

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/055555

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	AWEYA JAMES. "Implementing Synchronous Ethernet in Telecommunication Systems" <i>IEEE COMMUNICATIONS SURVEYS & TUTORIALS, IEEE, USA</i>, Vol. 16, No. 2, 01 April 2014 (2014-04-01), pages 1080-1113 DOI: 10.1109/SURV.2013.103113.00260 XP011547644 figures 1,2,6,15,26,27 page 1082, left column, paragraph 3 - right column, paragraph 1 page 1085, right column, last paragraph page 1087, left column, paragraph 2 - right column, paragraph 1 page 1092, left column	1-16
A	CHIP WEBB ANUE SYSTEMS ET AL. "A Layered Model for Error Sources in Boundary Clocks with Physical Layer Assist Part 1;WD23" <i>ITU-T DRAFT ; STUDY PERIOD 2009-2012, INTERNATIONAL TELECOMMUNICATION UNION, GENEVA ; CH</i>, Vol. 13/15, 12 September 2011 (2011-09-12), pages 1-10 XP044041418 page 4; figure II.1	12-16
A	EP 0622712 A2 (ALLEN BRADLEY CO [US]) 02 November 1994 (1994-11-02) abstract; figures 1,16 column 1, line 15 - line 27 column 3, line 20 - line 33 column 37, line 4 - line 12 column 35, line 41	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2019/055555

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2014281656	A1	18 September 2014	NONE		
EP	1653651	A2	03 May 2006	DE	102004052175 A1	04 May 2006
				EP	1653651 A2	03 May 2006
				ES	2594180 T3	16 December 2016
				JP	4898187 B2	14 March 2012
				JP	2006127514 A	18 May 2006
				US	2006093127 A1	04 May 2006
EP	0622712	A2	02 November 1994	DE	69432842 D1	31 July 2003
				DE	69432842 T2	06 May 2004
				EP	0622712 A2	02 November 1994
				US	5537549 A	16 July 1996

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H04J3/06 H04L12/40 G06F1/04 G05B19/414
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H04J G06F H04L G05B

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2014/281656 A1 (RUESCH RODNEY A [US] ET AL) 18. September 2014 (2014-09-18) Absätze [0036], [0041], [0042] Absätze [0062], [0064] Absätze [0088], [0092] - [0096] Absätze [0100], [0102], [104.105] Absätze [0112], [0115], [0118] Abbildungen 2,3,6 Anspruch 1	1-16
X	EP 1 653 651 A2 (HEIDENHAIN GMBH DR JOHANNES [DE]) 3. Mai 2006 (2006-05-03) Abbildung 2 Absatz [0022] - Absatz [0023] Absatz [0025] - Absatz [0027] Absatz [0029] ----- -/-	1-16



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. November 2019

Absendedatum des internationalen Recherchenberichts

04/12/2019

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Pieper, Thomas

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	AWEYA JAMES: "Implementing Synchronous Ethernet in Telecommunication Systems", IEEE COMMUNICATIONS SURVEYS & TUTORIALS, IEEE, USA, Bd. 16, Nr. 2, 1. April 2014 (2014-04-01), Seiten 1080-1113, XP011547644, DOI: 10.1109/SURV.2013.103113.00260 [gefunden am 2014-05-07] Abbildungen 1,2,6,15,26,27 Seite 1082, linke Spalte, Absatz 3 - rechte Spalte, Absatz 1 Seite 1085, rechte Spalte, letzter Absatz Seite 1087, linke Spalte, Absatz 2 - rechte Spalte, Absatz 1 Seite 1092, linke Spalte -----	1-16
A	CHIP WEBB ANUE SYSTEMS ET AL: "A Layered Model for Error Sources in Boundary Clocks with Physical Layer Assist Part 1;WD23", ITU-T DRAFT ; STUDY PERIOD 2009-2012, INTERNATIONAL TELECOMMUNICATION UNION, GENEVA ; CH, Bd. 13/15, 12. September 2011 (2011-09-12), , Seiten 1-10, XP044041418, [gefunden am 2011-09-12] Seite 4; Abbildung II.1 -----	12-16
A	EP 0 622 712 A2 (ALLEN BRADLEY CO [US]) 2. November 1994 (1994-11-02) Zusammenfassung; Abbildungen 1,16 Spalte 1, Zeile 15 - Zeile 27 Spalte 3, Zeile 20 - Zeile 33 Spalte 37, Zeile 4 - Zeile 12 Spalte 35, Zeile 41 -----	1-16

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/IB2019/055555

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2014281656	A1	18-09-2014	KEINE

EP 1653651	A2	03-05-2006	DE 102004052175 A1 04-05-2006
			EP 1653651 A2 03-05-2006
			ES 2594180 T3 16-12-2016
			JP 4898187 B2 14-03-2012
			JP 2006127514 A 18-05-2006
			US 2006093127 A1 04-05-2006

EP 0622712	A2	02-11-1994	DE 69432842 D1 31-07-2003
			DE 69432842 T2 06-05-2004
			EP 0622712 A2 02-11-1994
			US 5537549 A 16-07-1996
