

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成26年8月14日(2014.8.14)

【公開番号】特開2012-133750(P2012-133750A)

【公開日】平成24年7月12日(2012.7.12)

【年通号数】公開・登録公報2012-027

【出願番号】特願2011-188119(P2011-188119)

【国際特許分類】

G 06 F 12/16 (2006.01)

【F I】

G 06 F 12/16 3 4 0 Q

G 06 F 12/16 3 1 0 M

G 06 F 12/16 3 4 0 G

【手続補正書】

【提出日】平成26年7月2日(2014.7.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1オンチップ・サブシステム用の電力を受け取るステップと、

オンチップS D R A Mサブシステムを分離し、

前記S D R A Mサブシステムが分離された後に、前記S D R A Mサブシステムが分離されたことの前記第1オンチップ・サブシステムからのインジケータに応じて、前記S D R A Mサブシステムだけが電力を与えられたままになるように前記電力を前記第1オンチップ・サブシステムから除去し、

前記電力が前記第1オンチップ・サブシステムから除去された後に、ハードウェアの制御の下で、S D R A Mに格納されたデータを不揮発性メモリにコピーする、

という電力分離シーケンスを、ハードウェアの前記制御の下でトリガする電源異常状態のインジケータを受け取るステップと、

を含む、データをバックアップする方法。

【請求項2】

前記電源異常状態の前記インジケータに基づいて、前記S D R A Mサブシステムに接続されたインターフェースを停止するステップ

をさらに含む、請求項1に記載の方法。

【請求項3】

前記S D R A Mに、前記S D R A Mに書き込まれるデータの一時コピーを格納するのに使用されるメモリの内容を書き込むステップ

をさらに含む、請求項2に記載の方法。

【請求項4】

前記S D R A Mサブシステムに接続された前記インターフェースが停止された後に、前記第1オンチップ・サブシステムによって使用される第1クロックをゲート・オフするステップ

をさらに含む、請求項3に記載の方法。

【請求項5】

前記S D R A Mサブシステムが分離されている間に、前記S D R A Mサブシステムによ

って使用される第2クロックを生成するステップ
をさらに含む、請求項4に記載の方法。

【請求項6】

前記SDRAMに格納されたデータの前記不揮発性メモリへの前記コピーを完了した後に、前記SDRAMサブシステムへの電力を除去するステップ
をさらに含む、請求項5に記載の方法。

【請求項7】

電力を受け取る第1オンチップ・サブシステムと、
電源異常状態のインジケータと、
オンチップSDRAMサブシステムを分離し、
前記SDRAMサブシステムが分離された後に、前記SDRAMサブシステムが分離されたことの前記第1オンチップ・サブシステムからのインジケータに応じて、前記SDRAMサブシステムだけが電力を与えられたままになるように前記電力を前記第1オンチップ・サブシステムから除去し、
前記電力が前記第1オンチップ・サブシステムから除去された後に、SDRAMに格納されたデータを不揮発性メモリにコピーする、
という電力分離シーケンスを、前記電源異常状態の前記インジケータによってトリガされた後に開始するハードウェア状態機械と、

を含む集積回路。

【請求項8】

前記電源異常状態の前記インジケータに基づいて、前記SDRAMサブシステムに接続されたインターフェースが停止される、請求項7に記載の集積回路。

【請求項9】

前記SDRAMに書き込まれるデータの一時コピーを格納するのに使用されるメモリの内容が、前記オンチップSDRAMサブシステムが分離される前に前記SDRAMに書き込まれる、請求項8に記載の集積回路。

【請求項10】

前記SDRAMサブシステムに接続された前記インターフェースが停止された後に、前記第1オンチップ・サブシステムによって使用される第1クロックがゲート・オフされる、請求項9に記載の集積回路。

【請求項11】

前記SDRAMサブシステムが分離されている間に前記SDRAMサブシステムによって使用される第2クロックが、前記SDRAMサブシステムの内部で生成される、請求項10に記載の集積回路。

【請求項12】

前記SDRAMに格納されたデータの前記不揮発性メモリへの前記コピーを完了した後に、前記SDRAMサブシステムへの電力が除去される、請求項10に記載の集積回路。

【請求項13】

集積回路の残りからオンチップSDRAMコントローラを分離する方法であって、前記集積回路の前記残りの少なくとも一部のための第1電力供給を受け取るステップと、

前記SDRAMコントローラのための第2電力供給を受け取るステップと、
前記SDRAMコントローラを分離するためにオンチップ状態機械をトリガする電力供給シャットダウン・インジケータを受け取るステップであって、前記オンチップ状態機械は、前記集積回路の前記残りからの前記SDRAMコントローラが分離されることのインジケータに応じて、前記SDRAMコントローラだけが電力を与えられたままになるように前記集積回路の前記残りの前記少なくとも前記一部から前記第1電力供給を除去する、ステップと、

前記集積回路の前記残りの少なくとも前記一部から前記第1電力供給を除去した後に、前記SDRAMコントローラによって制御されるSDRAMから不揮発性メモリにデータ

をコピーするステップと、

を含む方法。

【請求項 14】

前記 SDRAM コントローラと前記集積回路の前記残りの前記少なくとも一部との間に結合されたインターフェースを停止するステップ

をさらに含む、請求項 13 に記載の方法。

【請求項 15】

前記 SDRAM に、前記集積回路の前記残りの前記少なくとも一部に格納されたデータの一時コピーをフラッシュするステップ

をさらに含む、請求項 14 に記載の方法。

【請求項 16】

前記集積回路の前記残りの前記少なくとも一部によって使用される第 1 クロックをゲート・オフするステップ

をさらに含む、請求項 15 に記載の方法。

【請求項 17】

前記 SDRAM コントローラが分離されている間に前記 SDRAM コントローラによって使用される第 2 クロックを生成するステップ

をさらに含む、請求項 16 に記載の方法。

【請求項 18】

前記 SDRAM に格納されたデータの前記不揮発性メモリへの前記コピーを完了した後に、前記 SDRAM コントローラへの電力を除去するステップ

をさらに含む、請求項 17 に記載の方法。