

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 26 年 8 月 14 日 (2014.8.14)

【公開番号】特開 2012-133750 (P2012-133750A)
 【公開日】平成 24 年 7 月 12 日 (2012.7.12)
 【年通号数】公開・登録公報 2012-027
 【出願番号】特願 2011-188119 (P2011-188119)
 【国際特許分類】

G 0 6 F 12/16 (2006.01)

【F I】

G 0 6 F 12/16 3 4 0 Q

G 0 6 F 12/16 3 1 0 M

G 0 6 F 12/16 3 4 0 G

【手続補正書】
 【提出日】平成 26 年 7 月 2 日 (2014.7.2)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

第 1 オンチップ・サブシステム用の電力を受け取るステップと、
オンチップ S D R A M サブシステムを分離し、
前記 S D R A M サブシステムが分離された後に、前記 S D R A M サブシステムが分離さ
れたことの前記第 1 オンチップ・サブシステムからのインジケータに応じて、前記 S D R
A M サブシステムだけが電力を与えられたままになるように前記電力を前記第 1 オンチッ
プ・サブシステムから除去し、
前記電力が前記第 1 オンチップ・サブシステムから除去された後に、ハードウェアの制
御の下で、S D R A M に格納されたデータを不揮発性メモリにコピーする、
という電力分離シーケンスを、ハードウェアの前記制御の下でトリガする 電源異常状態
 のインジケータを受け取るステップと、
 を含む、データをバックアップする方法。

【請求項 2】
 前記電源異常状態の前記インジケータに基づいて、前記 S D R A M サブシステムに接続
 されたインターフェースを停止するステップ
 をさらに含む、請求項 1 に記載の方法。

【請求項 3】
 前記 S D R A M に、前記 S D R A M に書き込まれるデータの一時コピーを格納するのに
 使用されるメモリの内容を書き込むステップ
 をさらに含む、請求項 2 に記載の方法。

【請求項 4】
 前記 S D R A M サブシステムに接続された前記インターフェースが停止された後に、前
 記第 1 オンチップ・サブシステムによって使用される第 1 クロックをゲート・オフするス
 テップ
 をさらに含む、請求項 3 に記載の方法。

【請求項 5】
 前記 S D R A M サブシステムが分離されている間に、前記 S D R A M サブシステムによ

って使用される第 2 クロックを生成するステップ
をさらに含む、請求項 4 に記載の方法。

【請求項 6】

前記 S D R A M に格納されたデータの前記不揮発性メモリへの前記コピーを完了した後に、前記 S D R A M サブシステムへの電力を除去するステップ
をさらに含む、請求項 5 に記載の方法。

【請求項 7】

電力を受け取る第 1 オンチップ・サブシステムと、
電源異常状態のインジケータと、
オンチップ S D R A M サブシステムを分離し、

前記 S D R A M サブシステムが分離された後に、前記 S D R A M サブシステムが分離されたことの前記第 1 オンチップ・サブシステムからのインジケータに応じて、前記 S D R A M サブシステムだけが電力を与えられたままになるように前記電力を前記第 1 オンチップ・サブシステムから除去し、

前記電力が前記第 1 オンチップ・サブシステムから除去された後に、S D R A M に格納されたデータを不揮発性メモリにコピーする、

という電力分離シーケンスを、前記電源異常状態の前記インジケータによってトリガされた後に開始するハードウェア状態機械と、

を含む集積回路。

【請求項 8】

前記電源異常状態の前記インジケータに基づいて、前記 S D R A M サブシステムに接続されたインターフェースが停止される、請求項 7 に記載の集積回路。

【請求項 9】

前記 S D R A M に書き込まれるデータの一時コピーを格納するのに使用されるメモリの内容が、前記オンチップ S D R A M サブシステムが分離される前に前記 S D R A M に書き込まれる、請求項 8 に記載の集積回路。

【請求項 10】

前記 S D R A M サブシステムに接続された前記インターフェースが停止された後に、前記第 1 オンチップ・サブシステムによって使用される第 1 クロックがゲート・オフされる、請求項 9 に記載の集積回路。

【請求項 11】

前記 S D R A M サブシステムが分離されている間に前記 S D R A M サブシステムによって使用される第 2 クロックが、前記 S D R A M サブシステムの内部で生成される、請求項 10 に記載の集積回路。

【請求項 12】

前記 S D R A M に格納されたデータの前記不揮発性メモリへの前記コピーを完了した後に、前記 S D R A M サブシステムへの電力が除去される、請求項 10 に記載の集積回路。

【請求項 13】

集積回路の残りからオンチップ S D R A M コントローラを分離する方法であって、
前記集積回路の前記残りの少なくとも一部のための第 1 電力供給を受け取るステップと

、
前記 S D R A M コントローラのための第 2 電力供給を受け取るステップと、
前記 S D R A M コントローラを分離するためにオンチップ状態機械をトリガする電力供給シャットダウン・インジケータを受け取るステップであって、前記オンチップ状態機械は、前記集積回路の前記残りからの前記 S D R A M コントローラが分離されることのインジケータに応じて、前記 S D R A M コントローラだけが電力を与えられたままになるように前記集積回路の前記残りの前記少なくとも前記一部から前記第 1 電力供給を除去する、
ステップと、

前記集積回路の前記残りの少なくとも前記一部から前記第 1 電力供給を除去した後に、前記 S D R A M コントローラによって制御される S D R A M から不揮発性メモリにデータ

をコピーするステップと、
を含む方法。

【請求項 14】

前記 S D R A M コントローラと前記集積回路の前記残りの前記少なくとも一部との間に結合されたインターフェースを停止するステップ
をさらに含む、請求項 13 に記載の方法。

【請求項 15】

前記 S D R A M に、前記集積回路の前記残りの前記少なくとも一部に格納されたデータ
の一時コピーをフラッシュするステップ
をさらに含む、請求項 14 に記載の方法。

【請求項 16】

前記集積回路の前記残りの前記少なくとも一部によって使用される第 1 クロックをゲート・オフするステップ
をさらに含む、請求項 15 に記載の方法。

【請求項 17】

前記 S D R A M コントローラが分離されている間に前記 S D R A M コントローラによって使用される第 2 クロックを生成するステップ
をさらに含む、請求項 16 に記載の方法。

【請求項 18】

前記 S D R A M に格納されたデータの前記不揮発性メモリへの前記コピーを完了した後
に、前記 S D R A M コントローラへの電力を除去するステップ
をさらに含む、請求項 17 に記載の方法。