

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成28年1月14日(2016.1.14)

【公表番号】特表2015-518696(P2015-518696A)

【公表日】平成27年7月2日(2015.7.2)

【年通号数】公開・登録公報2015-042

【出願番号】特願2015-507211(P2015-507211)

【国際特許分類】

H 04 N 5/3745 (2011.01)

H 04 N 5/374 (2011.01)

H 04 N 5/369 (2011.01)

H 04 N 5/378 (2011.01)

【F I】

H 04 N 5/335 7 4 5

H 04 N 5/335 7 4 0

H 04 N 5/335 6 9 0

H 04 N 5/335 7 8 0

【手続補正書】

【提出日】平成27年11月19日(2015.11.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ピクセルセルのアレイと、

複数のアナログ - デジタル変換器と、

前記ピクセルセルのアレイから物理的に離れて配置され且つ該ピクセルセルのアレイへ結合される複数のデジタルメモリ素子に含まれる対応する複数のデジタルカウンタとを有し、

前記ピクセルセルの夫々は、

光電流を受けるよう構成される入力部と、

前記入力部へ結合され、前記光電流から電荷を蓄積するよう構成される蓄電デバイスと、

前記蓄電デバイスへ結合され、前記電荷をアナログ量子化事象信号へ変換するよう構成される量子化回路とを有し、

前記複数のアナログ - デジタル変換器の夫々は、入力部及び出力部を備え、前記複数のアナログ - デジタル変換器の夫々は、その入力部を介して前記ピクセルセルのうちの少なくとも1つの前記蓄電デバイスへ結合され、夫々の蓄電デバイスにおける残留電荷をデジタル2進値に変換するよう構成され、

前記デジタルカウンタの夫々は、前記ピクセルセルのうちの夫々1つと関連して該夫々1つと通信し、前記ピクセルセルのうちの前記少なくとも1つから前記アナログ量子化事象信号を受信することに応答して、前記ピクセルセルのうちの前記夫々1つから前記アナログ量子化事象信号を受信することに応答してデジタルカウンタ値をインクリメントして記憶するよう構成される、

撮像システム。

**【請求項 2】**

前記ピクセルセルのアレイを含む読出集積回路チップを更に有する  
請求項 1 に記載の撮像システム。

**【請求項 3】**

前記複数のデジタルメモリ素子は、前記読出集積回路チップに隣接して配置される、  
請求項 2 に記載の撮像システム。

**【請求項 4】**

前記読出集積回路チップは、前記ピクセルセルのアレイを含む第 1 の部分と、該第 1 の部分とは異なる第 2 の部分とを備え、該第 2 の部分は、前記複数のデジタルメモリ素子を含む、

請求項 2 に記載の撮像システム。

**【請求項 5】**

前記ピクセルセルの夫々は、衝突する光に応答して前記光電流を生成するよう構成される光検出器を更に有し、

前記デジタルカウンタ値は、前記ピクセルセルのうちの夫々 1 つの前記光検出器に衝突する光の強さに対応する、

請求項 2 に記載の撮像システム。

**【請求項 6】**

前記読出集積回路チップへハイブリッド化される光検出器のアレイを更に有し、  
夫々の光検出器は、前記ピクセルセルのアレイのうちの対応するピクセルセルに関連する、

請求項 2 に記載の撮像システム。

**【請求項 7】**

前記複数のデジタルメモリ素子は、静的ランダムアクセスメモリ及びレジスタファイルのうちの少なくとも 1 つを含む、

請求項 1 に記載の撮像システム。

**【請求項 8】**

複数のストローブラインを更に有し、該複数のストローブラインの夫々は、前記ピクセルセルのうちの少なくとも 1 つの前記量子化回路へ結合され、当該ストローブラインが結合されている前記量子化回路へ周期的な時間インターバルでストローブ信号を送信するよう構成される、

請求項 1 に記載の撮像システム。

**【請求項 9】**

前記量子化回路は、前記ストローブ信号を受信することに応答して、前記蓄電デバイスにおける前記電荷が所定の閾値を超えるかどうかを決定するよう構成される、

請求項 8 に記載の撮像システム。

**【請求項 10】**

前記量子化回路は更に、前記蓄電デバイスにおける前記電荷が前記所定の閾値を超えると決定することに応答して、前記アナログ量子化事象信号を生成するよう構成される、

請求項 9 に記載の撮像システム。

**【請求項 11】**

前記蓄電デバイスはキャパシタであり、

前記量子化回路は、前記キャパシタへ結合される電荷除去回路を含む、

請求項 1 に記載の撮像システム。

**【請求項 12】**

前記複数のアナログ - デジタル変換器のうちの少なくとも 1 つからの前記デジタル 2 進値と、前記複数のデジタルカウンタのうちの少なくとも 1 つからの前記デジタルカウンタ値とを出力ビデオフレームの少なくとも 1 つのピクセルに変換するよう構成されるデジタルフォーマッタを更に有する

請求項 1 に記載の撮像システム。

**【請求項 1 3】**

ピクセルセルのアレイにおける複数のピクセルの夫々について、当該ピクセルによって生成された電荷を、夫々のピクセルに付随する複数の蓄電デバイスの1つにおいて蓄えるステップと、

夫々の前記蓄電デバイスにおける蓄積された電荷が所定の閾値を超えるかどうかを周期的に決定するステップと、

夫々の前記蓄電デバイスにおける前記蓄積された電荷が前記所定の閾値を超えると決定することに応答して、夫々の前記蓄電デバイスにおいて蓄えられている前記電荷を所定の電荷減少量だけ低減し、デジタルカウンタにおいて蓄えられ且つ夫々のピクセルに関連する複数のデジタルカウンタ値のうちの1つをインクリメントするステップであって、前記デジタルカウンタ値は、前記ピクセルセルのアレイから物理的に離れて配置され且つ該ピクセルセルのアレイへ結合されて前記ピクセルのアレイと通信する複数のデジタルメモリ素子に含まれる、ステップと、

前記複数のピクセルの夫々の前記蓄電デバイスにおける残留電荷をアナログ信号へ周期的に変換するステップと、

夫々のピクセルからの前記アナログ信号を複数のアナログ - デジタル変換器の1つにより夫々のデジタル2進値へ変換するステップであって、前記複数のアナログ - デジタル変換器の夫々は、入力部及び出力部を備え、前記複数のアナログ - デジタル変換器の夫々は、その入力部を介して前記複数のピクセルのうちの対応する1つの夫々の前記蓄電デバイスへ結合される、ステップと

を有する画像検出方法。

**【請求項 1 4】**

夫々の前記デジタルカウンタ値及び夫々の前記デジタル2進値のうちの少なくとも1つを出力ビデオフレームにおける複数のピクセルのうちの1つに変換するステップを更に有する

請求項1\_3に記載の画像検出方法。

**【請求項 1 5】**

前記出力ビデオフレームを符号化するステップを更に有する

請求項1\_4に記載の画像検出方法。

**【請求項 1 6】**

前記ピクセルセルのアレイを含む読出集積回路チップを設けるステップを更に有する

請求項1\_3に記載の画像検出方法。

**【請求項 1 7】**

前記読出集積回路チップから離れたチップ上に前記複数のデジタルメモリ素子を設けるステップを更に有する

請求項1\_6に記載の画像検出方法。

**【請求項 1 8】**

前記読出集積回路チップの第1の部分に前記ピクセルセルのアレイを設けるステップと、

前記第1の部分とは異なる前記読出集積回路チップの第2の部分に前記複数のデジタルメモリ素子を設けるステップと

を更に有する請求項1\_6に記載の画像検出方法。

**【請求項 1 9】**

夫々の前記蓄電デバイスにおける蓄積された電荷が所定の閾値を超えるかどうかを周期的に決定するステップは、複数のクロックサイクルにわたって前記複数のピクセルの夫々について実行される、

請求項1\_3に記載の画像検出方法。

**【請求項 2 0】**

夫々のピクセルは、光検出器を有し、

当該方法は、夫々のピクセルについて、前記光検出器に衝突する放射線に応答して前記

電荷を生成するステップを有する、  
請求項 1 3 に記載の画像検出方法。

【請求項 2 1】

基板上にピクセルセルのアレイを配置するステップと、  
前記基板上に、前記ピクセルセルのアレイに隣接して、メモリ素子のアレイを配置する  
ステップと、

前記基板上に、複数のアナログ - デジタル変換回路を配置するステップと  
を有し、

夫々のピクセルセルは、光検出器と、該光検出器へ結合されるキャパシタと、該キャパ  
シタへ結合される比較器とを含み、

夫々のメモリ素子は、カウンタと、該カウンタへ結合される蓄積デバイスとを含み、  
前記複数のアナログ - デジタル変換回路の夫々は、入力部及び出力部を備え、前記複数  
のアナログ - デジタル変換回路の夫々は、その入力部を介して前記ピクセルセルのうちの  
少なくとも 1 つの前記キャパシタへ結合され、夫々の前記蓄積デバイスにおける残留電荷  
をデジタル 2 進値に変換するよう構成される、

読み出集積回路チップの製造方法。