

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 1 月 7 日(07.01.2016)



(10) 国際公開番号
WO 2016/002963 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
- (21) 国際出願番号: PCT/JP2015/069362
- (22) 国際出願日: 2015 年 7 月 3 日(03.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-138780 2014 年 7 月 4 日(04.07.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 坂田 敏明(SAKATA, Toshiaki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1000013 東京都千代田区霞が関 3 丁目 8 番 1 号 虎の門三井ビルディング 5 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

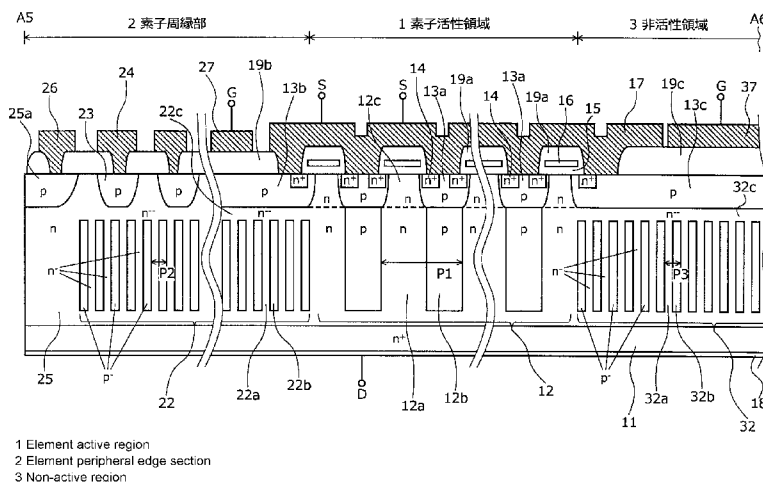
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: In the present invention, a drift section of an element active region (1) has a first parallel pn-structure (12) formed by alternately repeating and connecting first n-type regions (12a) and first p-type regions (12b) at a repetition pitch (P1), and an area around the drift section has an element peripheral edge section (2) comprising a second parallel pn-structure (22). Directly below a gate pad (37), which is provided on the front face of a semiconductor chip, a p-type well region (13c) is provided on a front surface layer of the front face side of the chip. The area below the p-type well region (13c) has a third parallel pn structure (32) that is continuous with the first parallel pn structure (12) and that is formed by alternately repeating and connecting third n-type regions (32a) and third p-type regions (32b) at a repetition pitch (P3) which is narrower than the repetition pitch (P1). An n⁻-type surface region (32c) is provided between the p-type well region (13c) and the third parallel pn structure (32), and the p-type well region (13c) and the third parallel pn structure (32) are thereby separated.

(57) 要約:

[続葉有]



WO 2016/002963 A1



素子活性領域（１）のドリフト部は第１ｎ型領域（１２ａ）と第１ｐ型領域（１２ｂ）とを繰り返しピッチ（Ｐ１）で交互に繰り返し接合してなる第１の並列ｐｎ構造（１２）で、ドリフト部の周りは第２の並列ｐｎ構造（２２）からなる素子周縁部（２）である。半導体チップのおもて面上に設けられたゲートパッド（３７）の直下には、チップおもて面側の表面層にｐ型ウエル領域（１３ｃ）が設けられている。ｐ型ウエル領域（１３ｃ）の下方は、第１の並列ｐｎ構造（１２）に連続して繰り返しピッチ（Ｐ１）よりも狭い繰り返しピッチ（Ｐ３）で第３ｎ型領域（３２ａ）と第３ｐ型領域（３２ｂ）を交互に繰り返し接合してなる第３の並列ｐｎ構造（３２）である。ｐ型ウエル領域（１３ｃ）と第３の並列ｐｎ構造（３２）との間にｎ型表面領域（３２ｃ）が設けられ、ｐ型ウエル領域（１３ｃ）と第３の並列ｐｎ構造（３２）とが分離されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 一般に半導体素子（半導体装置）は、片面に電極を有する横型半導体素子と、両面に電極を有する縦型半導体素子とに分類される。縦型半導体素子は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときに逆バイアス電圧による空乏層が伸びる方向とが同じである。

[0003] 例えば、通常のプレーナゲート構造の n チャネル型の縦型MOSFET（絶縁ゲート型電界効果トランジスタ）では、高抵抗の n -型ドリフト層の部分は、オン状態のときに、縦方向（深さ方向）にドリフト電流を流す領域として働く。したがって、この n -型ドリフト層の電流経路を短くすれば、ドリフト抵抗が低くなるため、MOSFETの実質的なオン抵抗を下げることができるという効果が得られる。

[0004] その一方で、高抵抗の n -型ドリフト層の部分は、オフ状態のときには空乏化して耐圧を高める機能を有する。 n -型ドリフト層の電流経路を短くした場合、 n -型ドリフト層の厚さが薄くなるため、 p 型ベース領域と n -型ドリフト層との間の pn 接合から n -型ドリフト層内に進行するドレインーベース間空乏層の広がる幅（空乏層が縦方向に伸びる長さ）が狭くなり、シリコンの臨界電界強度に速く達するため、耐圧が低下してしまう。逆に、耐圧の高い半導体素子では、 n -型ドリフト層の厚さが厚いため、オン抵抗が大きくなり、損失が増えてしまう。このように、オン抵抗と耐圧との間には、トレードオフ関係がある。

[0005] このトレードオフ関係は、IGBT（絶縁ゲート型バイポーラトランジスタ）やバイポーラトランジスタやダイオード等の半導体素子においても同様に成立することが知られている。また、このトレードオフ関係は、オン状態

のときにドリフト電流が流れる方向と、オフ状態のときの逆バイアス電圧による空乏層の伸びる方向とが異なる横型半導体素子にも共通である。

[0006] 上述したトレードオフ関係による問題の解決法として、ドリフト層を、不純物濃度を高めた n 型ドリフト領域と p 型仕切領域とを交互に繰り返し接合した構成の並列 $p-n$ 構造とした半導体素子（以下、超接合半導体素子とする）が公知である（例えば、下記特許文献1～3参照。）。このような構造の半導体素子では、並列 $p-n$ 構造の不純物濃度が高くても、オフ状態のときには、空乏層が、並列 $p-n$ 構造の縦方向に伸びる各 $p-n$ 接合から横方向（ n 型ドリフト領域と p 型仕切領域とが交互に繰り返し並ぶ方向）に広がり、ドリフト層全体を空乏化するため、高耐压化を図ることができる。

[0007] また、素子活性部の並列 $p-n$ 構造の外周を囲む素子周縁部や、素子活性部と素子周縁部との境界付近に配置されたゲート取り出し電極の直下部分に、素子活性部の並列 $p-n$ 構造よりもピッチの小さい並列 $p-n$ 構造を配置した超接合半導体素子が提案されている（例えば、下記特許文献4～6参照。）。また、ゲート取り出し電極の直下部分を n -型領域とした超接合半導体素子が提案されている（例えば、下記特許文献7参照。）。このような構造の超接合半導体素子では、素子活性部よりも素子周縁部の高耐压化を図ることができ、アバランシェ耐量が改善される。

[0008] また、下記特許文献6に示す超接合半導体素子では、素子活性部の並列 $p-n$ 構造の最も外側の n 型ドリフト領域とその外側の p 型仕切領域との $p-n$ 接合がゲート取り出し電極の直下部分に設けられた p 型ウェル領域に接続されている。これにより、ダイナミックアバランシェ降伏（動的なだれ降伏）が生じ難くなるため、安定した耐压を確保することができる。また、素子活性部の並列 $p-n$ 構造の最も外側の p 型仕切領域と、ゲート取り出し電極の直下部分の並列 $p-n$ 構造の最も内側の n 型ドリフト領域とのチャージバランスをとることができる。

先行技術文献

特許文献

[0009] 特許文献1：米国特許第5 2 1 6 2 7 5号明細書

特許文献2：米国特許第5 4 3 8 2 1 5号明細書

特許文献3：特開平9－2 6 6 3 1 1号公報

特許文献4：特開2 0 1 2－1 5 6 3 3 3号公報

特許文献5：特開2 0 0 4－0 2 2 7 1 6号公報

特許文献6：特開2 0 0 1－2 9 8 1 9 1号公報

特許文献7：特開2 0 0 5－3 2 2 7 0 0号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、上記特許文献6では、超接合半導体素子のオン動作時に、素子活性部の並列p n構造とゲート取り出し電極の直下部分の並列p n構造との接合部において、ゲート取り出し電極の直下部分の並列p n構造側を電流経路として全く使用することができず、オン抵抗が上昇してしまう。また、電流経路が狭くなるため、電流集中が起こりやすい。このため、オン抵抗と耐圧とのトレードオフ関係が劣化するという問題がある。

[0011] この発明は、上述した従来技術による問題点を解消するため、オン抵抗と耐圧とのトレードオフ関係を改善させることができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0012] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。基板の第1主面側に、能動または受動で電流を流す活性部が設けられている。前記活性部に導電接続する第1の電極が設けられている。前記基板の第2主面側に第1導電型の低抵抗層が設けられている。前記低抵抗層に導電接続する第2の電極が設けられている。前記活性部と前記低抵抗層との間に介在し、オン状態ではドリフト電流が縦方向に流れるとともにオフ状態では空乏化する縦形ドリフト部が設けられている。前記縦形ドリフト部は、前記基板の厚み方向に配向する第1の縦形第1導電型領域と前記基板の厚み方向に配向する第1の縦形第2導電型領域とが第

1 の繰り返しピッチを以って交互に繰り返し接合してなる第 1 並列 p n 構造である。前記第 1 主面上には、絶縁膜を介してオン・オフ制御用の第 3 の電極が設けられている。前記基板の、前記第 3 の電極の直下における前記第 1 主面側の表面層に、前記第 1 の電極に電氣的に接続された第 2 導電型のウェル領域が設けられている。前記ウェル領域と前記低抵抗層との間は、前記基板の厚み方向に配向する第 2 の縦形第 1 導電型領域と前記基板の厚み方向に配向する第 2 の縦形第 2 導電型領域とを前記第 1 の繰り返しピッチよりも狭い第 2 の繰り返しピッチで交互に繰り返し接合してなる第 2 並列 p n 構造である。前記第 2 並列 p n 構造は、前記第 1 並列 p n 構造に連続して設けられている。前記ウェル領域と前記第 2 並列 p n 構造との間に設けられた第 1 導電型半導体領域によって、前記ウェル領域と前記第 2 並列 p n 構造とが分離されている。

[0013] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 の第 1 導電型半導体領域の厚さは、前記第 1 並列 p n 構造の厚さの $1/3$ 以下であることを特徴とする。

[0014] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 の第 1 導電型半導体領域の厚さは、前記第 2 の縦形第 2 導電型領域の幅以上であることを特徴とする。

[0015] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 の第 1 導電型半導体領域の不純物濃度は、前記第 2 の縦形第 1 導電型領域の不純物濃度よりも低いことを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 の電極の端部は前記絶縁膜上に延在し、前記絶縁膜上において前記第 1 の電極の少なくとも一部が前記第 3 の電極と近接していることを特徴する。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記縦形ドリフト部の周りで前記第 1 主面と前記低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する素子周縁部をさらに備える。前記素子周縁部は、前記基板の厚み方向に配向する第 3 の縦形第 1 導

電型領域と前記基板の厚み方向に配向する第3の縦形第2導電型領域とが前記第1の繰り返しピッチよりも狭い第3の繰り返しピッチで交互に繰り返し接合してなる第3並列pn構造である。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記ウェル領域と前記第3並列pn構造との間に設けられた第2の第1導電型半導体領域によって、前記ウェル領域と前記第3並列pn構造とが分離されていることを特徴する。

[0019] また、この発明にかかる半導体装置は、上述した発明において、前記第2の第1導電型半導体領域の厚さは、前記第1並列pn構造の厚さの $1/3$ 以下であることを特徴とする。

[0020] また、この発明にかかる半導体装置は、上述した発明において、前記第2の第1導電型半導体領域の厚さは、前記第3の縦形第2導電型領域の幅以上であることを特徴とする。

[0021] また、この発明にかかる半導体装置は、上述した発明において、前記第2の第1導電型半導体領域の不純物濃度は、前記第3の縦形第1導電型領域の不純物濃度よりも低いことを特徴とする。

[0022] 上述した発明によれば、ウェル領域と第3並列pn構造との間に第2の第1導電型半導体領域を設けて、ウェル領域と第3並列pn構造とを分離することで、第1並列pn構造の第1の縦形第1導電型領域を電流経路とするとともに、第3並列pn構造の第2の縦形第1導電型領域を電流経路とすることができる。これにより、オン抵抗が上昇することを防止することができる。また、電流経路が分散されることで、オン状態のときの電流集中を回避することができるため、オン状態からオフ状態への切替わりの瞬間の局所的な電界強度上昇を抑制することができる。これにより、第3の電極の直下などの非活性領域のアバランシェ耐量を向上させることができる。したがって、非活性領域の耐圧を素子活性領域（活性部が設けられた領域）の耐圧よりも高くすることができる。

発明の効果

[0023] この発明にかかる半導体装置によれば、オン抵抗と耐圧とのトレードオフ関係を改善させることができるという効果を奏する。

図面の簡単な説明

[0024] [図1]図1は、実施の形態にかかる縦型MOSFET素子のチップを示す平面図である。

[図2]図2は、図1中の基準点A1～A4をつないだ矩形領域を拡大して示す平面図である。

[図3]図3は、図2中の切断線A5－A6に沿って切断した断面構造を示す断面図である。

[図4]図4は、比較例の半導体装置の構造を示す断面図である。

[図5]図5は、実施例にかかる半導体装置の動作時の電流経路を模式的に示す説明図である。

[図6]図6は、比較例にかかる半導体装置の動作時の電流経路を模式的に示す説明図である。

発明を実施するための形態

[0025] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0026] (実施の形態)

実施の形態にかかる半導体装置の構造について、nチャネル型の縦型MOSFETを例に説明する。図1は、実施の形態にかかる縦型MOSFET素子のチップを示す平面図である。図2は、図1中の基準点A1～A4をつないだ矩形領域を拡大して示す平面図である。図2には、図1の半導体チップの略1／4の領域の平面構造を概略して示す。図3は、図2中の切断線A5

— A 6 に沿って切断した断面構造を示す断面図である。図 1 に示すように、実施の形態にかかる半導体装置は、半導体チップ（半導体基板）上に、オン状態のときに電流が流れる素子活性領域 1 と、チップおもて面側の電界を緩和して耐圧を保持する素子周縁部 2 と、を備える。

[0027] 素子活性領域 1 には、チップおもて面側に MOS ゲート（金属—酸化膜—半導体からなる絶縁ゲート）構造（不図示）が設けられている。MOS ゲート構造上には、層間絶縁膜（不図示）を介してソースパッド（第 1 の電極）17 が設けられている。ソースパッド 17 の内側に、ゲートパッド（第 3 の電極）37 が設けられている。ゲートパッド 37 が設けられている領域は、MOS ゲート構造の設けられていない非活性領域 3 である。

[0028] 素子周縁部 2 は、素子活性領域 1 の周囲を囲むように配置されており、オン状態では概ね非電路領域である。素子周縁部 2 の、素子活性領域 1 との境界付近には、素子活性領域 1 を囲むようにゲートパッド（第 3 の電極、図 3 における符号 27 を参照）が設けられている。チップ裏面には、ドレイン電極（第 2 の電極、不図示）が設けられている。

[0029] 次に、実施の形態にかかる半導体装置の平面構造について、図 2 を参照しながら説明する。図 2 には、素子活性領域 1 のドリフト部の 1/2 の深さ付近（後述する p 型ベース領域 13a と第 1 p 型領域 12b との界面から深さ方向に、ドリフト部の厚さの 1/2 の深さ付近）の平面構造を示している。

[0030] 図 2 に示すように、素子活性領域 1 には、ドリフト部を、不純物濃度を高めた第 1 n 型領域（第 1 の縦形第 1 導電型領域）12a と第 1 p 型領域（第 1 の縦形第 2 導電型領域）12b とを交互に繰り返し接合した構成の第 1 の並列 p n 構造（第 1 並列 p n 構造）12 が設けられている。第 1 の並列 p n 構造 12 は、第 1 n 型領域 12a と第 1 p 型領域 12b とが並ぶ方向と直交する方向に延びるストライプ状に配置した平面レイアウトを有する。

[0031] 第 1 の並列 p n 構造 12 のドリフト部の周囲は、第 2 n-型領域（第 3 の縦形第 1 導電型領域）22a と第 2 p-型領域（第 3 の縦形第 2 導電型領域）22b とを交互に繰り返し接合した構成の第 2 の並列 p n 構造（第 3 並列 p n

構造) 2 2 からなる素子周縁部 2 となっている。第 2 の並列 p n 構造 2 2 は、第 1 の並列 p n 構造 1 2 に連続して設けられ、第 1 の並列 p n 構造 1 2 との境界において第 1 n 型領域 1 2 a に接する。

[0032] 第 2 の並列 p n 構造 2 2 の繰り返しピッチ (第 3 の繰り返しピッチ) P 2 は、第 1 の並列 p n 構造 1 2 の繰り返しピッチ (第 1 の繰り返しピッチ) P 1 よりも狭い。また、第 2 の並列 p n 構造 2 2 は、例えば、第 2 n⁻型領域 2 2 a に複数の第 2 p⁻型領域 2 2 b をマトリクス状 (すなわち第 2 n⁻型領域 2 2 a を略格子状) に配置した平面レイアウトを有する。第 2 p⁻型領域 2 2 b の平面形状は、例えばドット状であってもよい。

[0033] 第 1 の並列 p n 構造 1 2 のドリフト部の内側は、第 3 n⁻型領域 (第 2 の縦形第 1 導電型領域) 3 2 a と第 3 p⁻型領域 (第 2 の縦形第 2 導電型領域) 3 2 b とを交互に繰り返し接合した構成の第 3 の並列 p n 構造 (第 2 並列 p n 構造) 3 2 からなる非活性領域 3 となっている。第 3 の並列 p n 構造 3 2 は、ゲートパッド 3 7 の直下に、第 1 の並列 p n 構造 1 2 に連続して設けられ、第 1 の並列 p n 構造 1 2 との境界において第 1 n 型領域 1 2 a に接する。

[0034] 第 3 の並列 p n 構造 3 2 の繰り返しピッチ (第 2 の繰り返しピッチ) P 3 は、第 1 の並列 p n 構造 1 2 の繰り返しピッチ P 1 よりも狭い。また、第 3 の並列 p n 構造 3 2 は、例えば、第 3 n⁻型領域 3 2 a に複数の第 3 p⁻型領域 3 2 b をマトリクス状 (すなわち第 3 n⁻型領域 3 2 a を略格子状) に配置した平面レイアウトを有する。第 3 p⁻型領域 3 2 b の平面形状は、例えばドット状であってもよい。

[0035] 次に、実施の形態にかかる半導体装置の断面構造について、図 3 を参照しながら説明する。図 3 に示すように、半導体チップの裏面側のドレイン電極 1 8 が導電接触した低抵抗の n⁺型ドレイン層 (低抵抗層) 1 1 の上には、素子活性領域 1 において第 1 の並列 p n 構造 1 2 が配置されている。第 1 の並列 p n 構造 1 2 は、チップ (基板) の厚み方向 (深さ方向) に配向する層状縦形の第 1 n 型領域 1 2 a とチップの厚み方向に配向する層状縦形の第 1 p 型領域 1 2 b とを繰り返しピッチ P 1 でチップの沿面方向に交互に繰り返し

接合してなる断面構造を有する。

- [0036] 第1 n型領域12aおよび第1 p型領域12bは、素子活性領域1のチップおもて面側である表層域に設けられた活性部となる複数ウェルのp型ベース領域13aの直下部分に概ね相当し、素子活性領域1のドリフト部（縦形ドリフト部）として機能する。第1 n型領域12aの上端（チップおもて面側の端部）は、p型ベース領域13aの挟間領域（隣り合うp型ベース領域13a間に挟まれたn型領域）12cに達している。第1 n型領域12aはオン状態では電流経路となる。第1 p型領域12bの上端は、p型ベース領域13aのウェル底面（n⁺型ドレイン層11側の面）に接している。
- [0037] p型ベース領域13aの内部には、チップおもて面側にn⁺型ソース領域14が選択的に設けられている。p型ベース領域13aの、第1 n型領域12aとn⁺型ソース領域14とに挟まれた部分の表面上には、ゲート絶縁膜15を介してゲート電極16が設けられている。ゲート電極16は、図示省略する部分において、オン・オフ制御用のゲートパッド27, 37に電氣的に接続されている。
- [0038] ソース電極（ソースパッド）17は、層間絶縁膜19aのコンタクト孔を介してp型ベース領域13a, 13b, 13cおよびn⁺型ソース領域14に導電接触するとともに、層間絶縁膜19aによってゲート電極16と電氣的に絶縁されている。また、ソース電極17の外側の端部は、層間絶縁膜19b上に延在しており、層間絶縁膜19b上に配置されたゲートパッド27と対向する。ソース電極17の内側の端部は層間絶縁膜19c上に延在しており、ソース電極17は層間絶縁膜19c上において少なくとも一部がゲートパッド37と近接している。ゲートパッド27, 37は、少なくとも一部がソース電極17に接近した位置にある。
- [0039] 第1の並列pn構造12のドリフト部の周囲には、n⁺型ドレイン層11の上に、第1の並列pn構造12に連続して、素子周縁部2を構成する第2の並列pn構造22が配置されている。第2の並列pn構造22は、チップの厚み方向に配向する層状縦形の第2 n⁺型領域22aとチップの厚み方向に配

向する層状縦形の第2 p-型領域22bとを繰り返しピッチP2でチップの沿面方向に交互に繰り返し接合してなる断面構造を有する。第2の並列pn構造22の不純物濃度は第1の並列pn構造12の不純物濃度よりも低く、繰り返しピッチP2は繰り返しピッチP1よりも狭くなっている。

[0040] 素子周縁部2におけるチップおもて面側である表層域には、第2の並列pn構造22の上にn⁻型表面領域（第2の第1導電型半導体領域）22cが設けられている。n⁻型表面領域22cの不純物濃度は、第2n⁻型領域22aの不純物濃度よりも低い。n⁻型表面領域22cの内部には、素子活性領域1の最も外側に設けられたp型ベース領域（以下、p型ウェル領域とする）13bが延在している。

[0041] n⁻型表面領域22cの厚さ（チップおもて面からの深さ）はp型ウェル領域13bの厚さよりも厚い。そして、n⁻型表面領域22cは、p型ウェル領域13bの下領域（n⁺型ドレイン層側の領域）全体を覆う。すなわち、n⁻型表面領域22cによってp型ウェル領域13bと第2の並列pn構造22とが分離されている。これによって、オン状態のときに、n⁻型表面領域22cの、p型ウェル領域13bと第2の並列pn構造22とに挟まれた部分が電流経路として機能する。n⁻型表面領域22cの厚さの好適な下限値については後述する。

[0042] また、n⁻型表面領域22cの、p型ウェル領域13bと第2の並列pn構造22とに挟まれた部分の厚さは、第1の並列pn構造12の厚さの1/3以下であるのが好ましい。その理由は、次の通りである。n⁻型表面領域22cの、p型ウェル領域13bと第2の並列pn構造22とに挟まれた部分の厚さが第1の並列pn構造12の厚さの1/3を超えた場合、第2の並列pn構造22の厚さが第1の並列pn構造12の厚さに対して薄くなりすぎ、チャージバランスが崩れやすくなる。

[0043] このため、アバランシェ降伏時に、素子活性領域1よりも素子周縁部2で電界が高くなる。最悪の場合、素子周縁部2に電界が集中して、p型ウェル領域13b、n⁻型表面領域22cおよび第2p-型領域22bからなる寄生p

n p トランジスタの2次降伏のような現象が起こり、破壊に至る虞がある。この場合、素子破壊を回避するためには、素子活性領域1の耐圧を低く抑える必要があるため、高耐圧化が難しくなり、素子耐圧BVとオン抵抗 R_{on} Aとのトレードオフ関係が悪化するからである。

[0044] また、n⁻型表面領域22cの内部には、p型ウェル領域13bよりも外側に、p型ウェル領域13bと離れて複数のガードリング23が設けられている。各ガードリング23には、それぞれフィールドプレート電極24が導電接触している。素子周縁部2の外周にはn⁺型ドレイン層11に導電接触するn型チャンネルストッパー領域25が設けられている。n型チャンネルストッパー領域25の内部にはチップおもて面側にp型領域25aが設けられ、このp型領域25aにストッパー電極26が導電接触している。ゲートパッド27は、層間絶縁膜19bを介してp型ウェル領域13bの上に設けられている。

[0045] 素子活性領域1の内側には、n⁺型ドレイン層11の上に、第1の並列pn構造12に連続して、非活性領域3を構成する第3の並列pn構造32が配置されている。第3の並列pn構造32は、チップの厚み方向に配向する層状縦形の第3n⁻型領域32aとチップの厚み方向に配向する層状縦形の第3p⁻型領域32bとを繰り返しピッチP3でチップの沿面方向に交互に繰り返し接合してなる断面構造を有する。第3の並列pn構造32の不純物濃度は第1の並列pn構造12の不純物濃度よりも低く、繰り返しピッチP3は繰り返しピッチP1よりも狭くなっている。

[0046] 非活性領域3におけるチップおもて面側である表層域には、第3の並列pn構造32の上にn⁻型表面領域（第1の第1導電型半導体領域）32cが設けられている。n⁻型表面領域32cの不純物濃度は、第3n⁻型領域32aの不純物濃度よりも低い。n⁻型表面領域32cの内部には、素子活性領域1の最も内側に設けられたp型ベース領域（p型ウェル領域）13cが延在している。p型ウェル領域13cの上には、層間絶縁膜19cを介してゲートパッド37が設けられている。

- [0047] n^{-} 型表面領域 3 2 c の厚さ（チップおもて面からの深さ）は p 型ウェル領域 1 3 c の厚さよりも厚い。そして、 n^{-} 型表面領域 3 2 c は、p 型ウェル領域 1 3 c の下の領域（ n^{+} 型ドレイン層側の領域）全体を覆う。すなわち、 n^{-} 型表面領域 3 2 c によって p 型ウェル領域 1 3 c と第 3 の並列 p n 構造 3 2 とが分離されている。
- [0048] これによって、オン状態のときに、 n^{-} 型表面領域 3 2 c の、p 型ウェル領域 1 3 c と第 3 の並列 p n 構造 3 2 とに挟まれた部分が電流経路として機能する。 n^{-} 型表面領域 3 2 c の厚さの好適な下限値については後述する。 n^{-} 型表面領域 3 2 c の、p 型ウェル領域 1 3 c と第 3 の並列 p n 構造 3 2 とに挟まれた部分の厚さは、第 1 の並列 p n 構造 1 2 の厚さの $1/3$ 以下であるのが好ましい。その理由は、次の通りである。
- [0049] n^{-} 型表面領域 3 2 c の厚さが第 1 の並列 p n 構造 1 2 の厚さの $1/3$ を超えた場合、第 3 の並列 p n 構造 3 2 の厚さが第 1 の並列 p n 構造 1 2 の厚さに対して薄くなりすぎ、チャージバランスが崩れやすくなる。このため、アバランシェ降伏時に、素子活性領域 1 よりも非活性領域 3 で電界が高くなる。
- [0050] 最悪の場合、非活性領域 3 に電界が集中して、p 型ウェル領域 1 3 c、 n^{-} 型表面領域 3 2 c および第 3 p 型領域 3 2 b からなる寄生 p n p トランジスタの 2 次降伏のような現象が起こり、破壊に至る虞がある。この場合、素子破壊を回避するためには、素子活性領域 1 の耐圧を低く抑える必要があるため、高耐圧化が難しくなり、素子耐圧 BV とオン抵抗 R_{onA} とのトレードオフ関係が悪化するからである。
- [0051] また、上述したように第 2, 3 の並列 p n 構造 2 2, 3 2 の繰り返しピッチ P_2 、 P_3 を第 1 の並列 p n 構造 1 2 の繰り返しピッチ P_1 よりも狭くすることにより、第 1 の並列 p n 構造 1 2 を構成する第 1 n 型領域 1 2 a と第 1 p 型領域 1 2 b との間の p n 接合からの伸びる空乏層が素子周縁部 2 側および非活性領域 3 側へと広がりやすくなる。これにより、初期状態（イオン蓄積前）における初期耐圧の高耐圧化が容易となる。

- [0052] 第2, 3 p型領域22b, 32bは空乏化するまではガードリングに似た作用をする。このため、ピッチの狭い第2, 3 n型領域22a, 32aの電界は緩和され、高耐圧化が容易となる。また、第1～3の並列pn構造12, 22, 32と、n型ドレイン層11との間には、例えばn型バッファ領域が設けられている。
- [0053] 特に限定しないが、例えば実施の形態の縦型MOSFETが耐圧600Vクラスである場合には、各部の寸法および不純物濃度は次の値をとる。ドリフト部の厚さ（深さ方向）、すなわち素子活性領域1の第1の並列pn構造12の厚さは44.0 μm である。第1 n型領域12aおよび第1 p型領域12bの幅は6.0 μm （繰り返しピッチP1は12.0 μm ）であり、第1 n型領域12aおよび第1 p型領域12bの不純物濃度は $3.0 \times 10^{15} \text{ cm}^{-3}$ である。
- [0054] 素子周縁部2の第2の並列pn構造22を構成する第2 n型領域22aおよび第2 p型領域22bの幅は4.0 μm （繰り返しピッチP2は8.0 μm ）である。第2 n型領域22aおよび第2 p型領域22bの不純物濃度は $1.0 \times 10^{15} \text{ cm}^{-3}$ である。素子周縁部2の表面ドリフト領域であるn型表面領域22cの不純物濃度および厚さ（チップおもて面からの深さ）は、それぞれ $5.0 \times 10^{14} \text{ cm}^{-3}$ および5.0 μm である。
- [0055] 非活性領域3の第3の並列pn構造32を構成する第3 n型領域32aおよび第3 p型領域32bの幅は4.0 μm （繰り返しピッチP3は8.0 μm ）である。第3 n型領域32aおよび第3 p型領域32bの不純物濃度は $1.0 \times 10^{15} \text{ cm}^{-3}$ である。非活性領域3の表面ドリフト領域であるn型表面領域32cの不純物濃度および厚さは、それぞれ $5.0 \times 10^{14} \text{ cm}^{-3}$ および5.0 μm である。p型ベース領域13aおよびp型ウェル領域13b, 13cの拡散深さは3.0 μm であり、その表面不純物濃度は $3.0 \times 10^{17} \text{ cm}^{-3}$ である。
- [0056] n⁺型ソース領域14の拡散深さは1.0 μm であり、その表面不純物濃度は $3.0 \times 10^{20} \text{ cm}^{-3}$ である。表面ドリフト領域である挟間領域12cの拡

散深さは $2.5\ \mu\text{m}$ であり、その表面不純物濃度は $2.0 \times 10^{16}\ \text{cm}^{-3}$ である。 n^+ 型ドレイン層11の厚さは $200\ \mu\text{m}$ であり、その不純物濃度は $2.0 \times 10^{18}\ \text{cm}^{-3}$ である。 n 型チャネルストッパー領域25の幅は $25.0\ \mu\text{m}$ であり、その不純物濃度は $4.0 \times 10^{15}\ \text{cm}^{-3}$ である。 p 型領域25aの不純物濃度は $3.0 \times 10^{17}\ \text{cm}^{-3}$ である。

[0057] また、第1の並列 $p-n$ 構造12、第2の並列 $p-n$ 構造22、第3の並列 $p-n$ 構造32の不純物濃度分布はチップおもて面に近い側（図中では上側）では p リッチ（相対的に p 型不純物が多い）であり、 n^+ 型ドレイン層11（図中では下側）に近い側では n リッチ（相対的に n 型不純物が多い）となる不純物濃度分布であることが望ましい。ここで、上記並列 $p-n$ 構造の不純物濃度（不純物量）は、正確にはキャリア濃度（キャリア量）を意味する。

[0058] 不純物濃度が高くてもキャリア濃度が低ければ、十分なアバランシェ耐量の向上効果は得られない。一般に、十分な活性化を行った領域では不純物濃度とキャリア濃度は同等とみなせる。同様に、十分な活性化を行った領域では不純物量とキャリア量は同等とみなせる。したがって、本明細書においては、便宜上、不純物濃度にはキャリア濃度が含まれるものとし、また不純物量にはキャリア量が含まれるものとする。

[0059] 次に、実施の形態にかかる半導体装置（以下、実施例とする）と、 n^- 型表面領域22c、32cを設けていない比較例との電流経路の違いを比較して、 n^- 型表面領域22c、32cの厚さの好適な下限値について説明する。図4は、比較例の半導体装置の構造を示す断面図である。図4には、図2中の切断線A5-A6に相当する部分に沿って切断した断面構造を示す。比較例が実施例と異なる点は、 n^- 型表面領域22c、32cを設けておらず、第2の並列 $p-n$ 構造122と p 型ウェル領域13b、および、第3の並列 $p-n$ 構造132と p 型ウェル領域13cとが接している点である。

[0060] ここでは、ゲートパッド37付近（素子活性領域1と非活性領域3との境界付近）におけるオン状態のときの電流経路を例に n^- 型表面領域32cの厚さの好適な下限値を説明する。図5は、実施例にかかる半導体装置の動作時

の電流経路を模式的に示す説明図である。図6は、比較例にかかる半導体装置の動作時の電流経路を模式的に示す説明図である。図4, 6において、符号122a, 122bはそれぞれ第2の並列pn構造122を構成する第2n⁻型領域122aおよび第2p⁻型領域122bであり、符号132a, 132bはそれぞれ第3の並列pn構造132を構成する第3n⁻型領域132aおよび第3p⁻型領域132bである。

[0061] 図6に示すように、比較例では、p型ウェル領域13cと第3の並列pn構造132とが接している。このため、オン状態のときにp型ウェル領域13cに形成されたn型の反転層を電流経路とする電子電流50は、最も素子活性領域1側の第3p⁻型領域132bに接する第1n型領域12aのみに流れる（符号51, 52で示す太い矢印）。このため、電子電流50は、最も素子活性領域1側の第3p⁻型領域132bとp型ウェル領域13cとの境界付近（以下、電子電流集中部とする）53にすべて集中する。

[0062] これによって、ターンオフ時、電子電流集中部53での電流密度が高く（例えば数100A/cm²程度）、電子電流集中部53に広がる空乏層内の電界強度が増大され、アバランシェ降伏が引き起こる（ダイナミックアバランシェ降伏）。さらに、このアバランシェ降伏により、電子電流集中部53付近からソース電極17へ向かって流れる正孔電流54が発生する。このように、電子電流集中部53にほとんどの電流が集中することにより、非活性領域3において破壊に至る虞がある。

[0063] 一方、実施例においては、n⁻型表面領域32cによってp型ウェル領域13cと第3の並列pn構造32とが深さ方向に分離されている。このため、オン状態のときにp型ウェル領域13cに形成されたn型の反転層を電流経路とする電子電流40は、最も素子活性領域1側の第3p⁻型領域32bに接する第1n型領域12aに流れるとともに、ポテンシャルに沿って、p型ウェル領域13cと第3の並列pn構造32との間のn⁻型表面領域32cへと流れる。

[0064] すなわち、ソース電極17とp型ウェル領域13cとの接合部付近に集中

している電子電流 4 1 は、第 1 n 型領域 1 2 a に流れ込む電子電流 4 2 a と、n⁻型表面領域 3 2 c に流れ込む電子電流 4 2 b とに分散される。さらに、n⁻型表面領域 3 2 c に流れ込んだ電子電流 4 2 b は、第 3 の並列 p n 構造 3 2 を構成する複数の第 3 n⁻型領域 3 2 a に流れ込む。

[0065] このように電子電流 4 0 が分散されることで、ターンオフ時、p 型ウェル領域 1 3 c のウェル底面（n⁺型ドレイン層 1 1 側の面）のコーナー部付近 4 3 の電界強度の増大を抑制し、ダイナミックアバランシェ降伏が生じることが回避することができる。したがって、p 型ウェル領域 1 3 c のウェル底面のコーナー部付近 4 3 から p 型ウェル領域 1 3 c を通ってソース電極 1 7 に流れる正孔電流 4 4 も十分に小さくすることができる。その結果、最も素子活性領域 1 側の第 3 p⁻型領域 3 2 b と p 型ウェル領域 1 3 c との境界付近に電流が集中することを抑制することができ、非活性領域 3 においてアバランシェ降伏が生じにくくなる。したがって、非活性領域 3 において破壊に至ることを防止することができる。

[0066] n⁻型表面領域 3 2 c に流れ込んだ電子電流 4 2 b を複数の第 3 n⁻型領域 3 2 a へと分散させるという効果を得るためには、例えば n⁻型表面領域 3 2 c の厚さを次のように設定すればよい。例えば、n⁻型表面領域 3 2 c に流れ込んだ電子電流 4 2 b が、p 型ウェル領域 1 3 c のウェル底面のコーナー部から深さ方向に対して 4 5 度の角度 θ で n⁻型表面領域 3 2 c 内に広がっていくと仮定する。

[0067] そして、電子電流 4 2 b の n⁻型表面領域 3 2 c 内の通過地点から当該通過地点の下方（n⁺型ドレイン層側）に位置する第 3 p⁻型領域 3 2 b の上端までの深さ方向に平行な方向の距離を X 1 とする。この場合、距離 X 1 が、当該第 3 p⁻型領域 3 2 b の幅 X 2 と同程度の寸法であれば（ $X 1 = X 2 \cdot \tan(45 \text{ 度}) = X 2$ ）、当該第 3 p⁻型領域 3 2 b の、素子活性領域 1 から離れた側に隣接する第 3 n⁻型領域 3 2 a に電子電流 4 2 b を到達させることができる。

[0068] 例えば、第 3 p⁻型領域 3 2 b の幅 X 2 を 6 μm とし、n⁻型表面領域 3 2 c

の、p型ウェル領域13cと第3の並列pn構造32とに挟まれた部分の厚さを $8\mu\text{m}$ とすることで、n⁻型表面領域32cを流れる電子電流42bを十分に第3n⁻型領域32aに分散させることができる。すなわち、n⁻型表面領域32cの、p型ウェル領域13cと第3の並列pn構造32とに挟まれた部分の厚さは、第3p⁻型領域32bの幅 $\times 2$ 以上であるのが好ましい。したがって、n⁻型表面領域32cの厚さは、p型ウェル領域13cの厚さと、第3p⁻型領域32bの幅 $\times 2$ との総計以上であるのが好ましい。

[0069] また、上記説明において第3の並列pn構造32、第3n⁻型領域32a、第3p⁻型領域32bおよびp型ウェル領域13cをそれぞれ第2の並列pn構造22、第2n⁻型領域22a、第2p⁻型領域22bおよびp型ウェル領域13bに置き換えることで、素子周縁部2にn⁻型表面領域22cを設けたことにより得られる効果を説明することができる。

[0070] すなわち、n⁻型表面領域22cによってp型ウェル領域13bと第2の並列pn構造22とを深さ方向に分離することにより、オン状態のときにp型ウェル領域13bに形成されたn型の反転層を電流経路とする電子電流を、n⁻型表面領域22cと、第2の並列pn構造22の第2n⁻型領域22aとに分散させることができる。したがって、n⁻型表面領域22cの厚さの好適な下限値もn⁻型表面領域32cと同じであるといえる。

[0071] 次に、実施例と比較例との、素子活性領域1と非活性領域3との境界付近に形成される電流経路の違いを比較して、実施の形態にかかる半導体装置の動作について説明する。比較例では、オン状態において、例えばp型ウェル領域13cの、ゲート電極16の直下の領域の表面層にn型の反転層が誘起され、この反転層を介して、n⁺型ソース領域14からp型ベース領域13aとp型ウェル領域13cとの間の挟間領域12cに電子が注入される。

[0072] 上述したように素子活性領域1のゲート電極16の直下の部分のみが電流経路となる。このため（図6に示す電子電流50, 51, 52を参照）、挟間領域12cに注入された電子は、第1の並列pn構造12の第1n⁻型領域12aを通してn⁺型ドレイン層11に到達する。

[0073] ゲート電極 1 6 に印加された正電圧が取り除かれるターンオフのときには、p 型ウェル領域 1 3 c の表面層に誘起されていた反転層が消滅する。それによって、第 1, 3 の並列 p n 構造 1 2, 1 3 2 の p n 接合より空乏層が広がり始める。このとき、第 3 の並列 p n 構造 1 3 2 の不純物濃度が第 1 の並列 p n 構造 1 2 の不純物濃度よりも低いことで、第 3 の並列 p n 構造 1 3 2 での空乏層の広がりが大きくなる。

[0074] これにより、電子の電流経路が狭くなるため、上述したようにターンオフ（オン状態からオフ状態への切り替わり）の瞬間に半導体領域内に残されたキャリアの電流集中が起こりやすい。また、オフ状態になると空乏層が完全に広がり、電流集中部で電界強度が上昇し破壊に至りやすい。

[0075] 一方、実施例においては、オン状態において、例えば p 型ウェル領域 1 3 c の、ゲート電極 1 6 の直下の領域の表面層に n 型の反転層が誘起され、この反転層を介して、n⁺型ソース領域 1 4 から p 型ベース領域 1 3 a と p 型ウェル領域 1 3 c との間の挟間領域 1 2 c に電子が注入される。挟間領域 1 2 c に注入された電子は、第 1 の並列 p n 構造 1 2 の第 1 n 型領域 1 2 a および第 3 の並列 p n 構造 3 2 の第 3 n⁻型領域 3 2 a を通って n⁺型ドレイン層 1 1 に到達する。

[0076] このように、素子活性領域 1 のゲート電極 1 6 の直下の部分を電流経路とするとともに（図 5 に示す電子電流 4 0, 4 1, 4 2 a）、n⁻型表面領域 3 2 c および第 3 n⁻型領域 3 2 a が電流経路として使用される（図 5 に示す電子電流 4 0, 4 1, 4 2 b）。この電子電流の分散は、n⁻型表面領域 3 2 c の不純物濃度（比抵抗）によって決定される。

[0077] ゲート電極 1 6 に印加された正電圧が取り除かれるターンオフのときには、p 型ウェル領域 1 3 c の表面層に誘起されていた反転層が消滅する。それによって、第 1, 3 の並列 p n 構造 1 2, 3 2 の p n 接合より空乏層が広がり始める。このとき、n⁻型表面領域 3 2 c によって p 型ウェル領域 1 3 c と第 3 の並列 p n 構造 3 2 とが分離されていることで、第 3 の並列 p n 構造 3 2 の空乏化はまだ始まらない。

[0078] このため、電子の電流経路が狭くならない。また、ターンオフの瞬間に半導体領域内に残されたキャリアは n^{-} 型表面領域32cを介して第3 n^{-} 型領域32aに流れるため、電流集中が起こりにくい。その後、 p 型ウェル領域13cと n^{-} 型表面領域32cとの間の $p-n$ 接合から延びた空乏層が第3の並列 $p-n$ 構造32に達することで、 n^{-} 型表面領域32cの電流経路は閉じられる。これによって、第3の並列 $p-n$ 構造32への新たなキャリアの侵入は抑制される。

[0079] また、第3の並列 $p-n$ 構造32は、チップおもて面側で p リッチとし、かつチップ裏面側で n リッチとした不純物濃度分布となっているため、ターンオフ時にはチップおもて面側から徐々に空乏層が広がり始める。したがって、第3 n^{-} 型領域32a内にキャリアが取り残されることもない。さらに、 n^{-} 型表面領域32cは第3の並列 $p-n$ 構造32よりも不純物濃度が低く、また、厚さが第1の並列 $p-n$ 構造12の厚さの $1/3$ 以下であるため、オフ状態のときに低い電圧で空乏層が n^{+} 型ドレイン層11に到達する。したがって、ダイナミックアバランシェ降伏は生じ難い。ここでは、素子活性領域1と非活性領域3との境界付近に形成される電流経路を例に説明しているが、素子活性領域1と素子周縁部2との境界付近においても同様の電流経路が形成される。

[0080] 以上、説明したように、実施の形態によれば、ゲートパッドの直下のチップおもて面側の表層域に形成された p 型ウェル領域と、ゲートパッドの直下に配置された並列 $p-n$ 構造との間に n^{-} 型表面領域を設けて、ゲートパッドの直下の p 型ウェル領域と並列 $p-n$ 構造とを分離することで、オン状態のときに p 型ウェル領域を通して流れる電子電流を、ゲート電極の直下の部分と、ゲートパッドの直下の並列 $p-n$ 構造の n^{-} 型領域とに分散させることができる。これによって、オン抵抗が上昇することを防止することができる。また、電流経路が分散されることで、オン状態のときの電流集中を回避することができるため、オン状態からオフ状態への切替わりの瞬間の局所的な電界強度上昇を抑制することができる。これにより、ゲートパッドの直下などの非活

性領域のアバランシェ耐量を向上させることができる。したがって、非活性領域の耐圧を素子活性領域の耐圧よりも高くすることができる。したがって、オン抵抗と耐圧とのトレードオフ関係が悪化することを回避することができる。

[0081] 以上において本発明では、MOSFETを例に説明しているが、IGBT、バイポーラトランジスタ、FWDおよびショットキーダイオード等でも同様な効果が得られる。また、本発明は本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において、たとえば各部の寸法や表面濃度等は要求される仕様等に応じて種々設定される。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

産業上の利用可能性

[0082] 以上のように、本発明にかかる半導体装置は、MOSFET、IGBTおよびバイポーラトランジスタ等に適用可能な高耐圧かつ大電流容量の半導体装置に有用である。

符号の説明

- [0083]
- 1 素子活性領域
 - 2 素子周縁部
 - 3 非活性領域
 - 11 n⁺型ドレイン層
 - 12 第1の並列pn構造（第1並列pn構造）
 - 12a 第1n型領域
 - 12b 第1p型領域
 - 12c p型ベース領域の挟間領域
 - 13a p型ベース領域
 - 13b, 13c p型ウェル領域
 - 14 n⁺型ソース領域
 - 15 ゲート絶縁膜

- 1 6 ゲート電極
- 1 7 ソース電極（ソースパッド）
- 1 8 ドレイン電極
- 1 9 a, 1 9 b, 1 9 c 層間絶縁膜
- 2 2 第2の並列 p n 構造（第3並列 p n 構造）
- 2 2 a 第2 n⁻型領域
- 2 2 b 第2 p⁻型領域
- 2 2 c, 3 2 c n⁻型表面領域
- 2 3 ガードリング
- 2 4 フィールドプレート電極
- 2 5 n型チャネルストッパー領域
- 2 5 a p型領域
- 2 6 ストッパー電極
- 2 7, 3 7 ゲートパッド
- 3 2 第3の並列 p n 構造（第2並列 p n 構造）
- 3 2 a 第3 n⁻型領域
- 3 2 b 第3 p⁻型領域
- P 1 第1の並列 p n 構造の繰り返しピッチ
- P 2 第2の並列 p n 構造の繰り返しピッチ
- P 3 第3の並列 p n 構造の繰り返しピッチ

請求の範囲

- [請求項1] 基板の第1主面側に存在して能動または受動で電流を流す活性部と、前記活性部に導電接続する第1の電極と、前記基板の第2主面側に存在する第1導電型の低抵抗層と、前記低抵抗層に導電接続する第2の電極と、前記活性部と前記低抵抗層との間に介在し、オン状態ではドリフト電流が縦方向に流れるとともにオフ状態では空乏化する縦形ドリフト部と、前記縦形ドリフト部は前記基板の厚み方向に配向する第1の縦形第1導電型領域と前記基板の厚み方向に配向する第1の縦形第2導電型領域とが第1の繰り返しピッチを以って交互に繰り返し接合してなる第1並列pn構造と、を有する半導体装置であって、
- 前記第1主面上に絶縁膜を介して設けられたオン・オフ制御用の第3の電極と、
- 前記基板の、前記第3の電極の直下における前記第1主面側の表面層に設けられ、前記第1の電極に電氣的に接続された第2導電型のウェル領域と、
- を備え、
- 前記ウェル領域と前記低抵抗層との間は、前記第1並列pn構造に連続して設けられた、前記基板の厚み方向に配向する第2の縦形第1導電型領域と前記基板の厚み方向に配向する第2の縦形第2導電型領域とを前記第1の繰り返しピッチよりも狭い第2の繰り返しピッチで交互に繰り返し接合してなる第2並列pn構造であり、
- 前記ウェル領域と前記第2並列pn構造との間に設けられた第1の第1導電型半導体領域によって、前記ウェル領域と前記第2並列pn構造とが分離されていることを特徴する半導体装置。
- [請求項2] 前記第1の第1導電型半導体領域の厚さは、前記第1並列pn構造の厚さの $1/3$ 以下であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1の第1導電型半導体領域の厚さは、前記第2の縦形第2導

電型領域の幅以上であることを特徴とする請求項 1 に記載の半導体装置。

[請求項4] 前記第 1 の第 1 導電型半導体領域の不純物濃度は、前記第 2 の縦形第 1 導電型領域の不純物濃度よりも低いことを特徴とする請求項 1 に記載の半導体装置。

[請求項5] 前記第 1 の電極の端部は前記絶縁膜上に延在し、前記絶縁膜上において前記第 1 の電極の少なくとも一部が前記第 3 の電極と近接していることを特徴する請求項 1 に記載の半導体装置。

[請求項6] 前記縦形ドリフト部の周りで前記第 1 主面と前記低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する素子周縁部をさらに備え、

前記素子周縁部は、前記基板の厚み方向に配向する第 3 の縦形第 1 導電型領域と前記基板の厚み方向に配向する第 3 の縦形第 2 導電型領域とが前記第 1 の繰り返しピッチよりも狭い第 3 の繰り返しピッチで交互に繰り返し接合してなる第 3 並列 p n 構造であることを特徴する請求項 1 ～ 5 のいずれか一つに記載の半導体装置。

[請求項7] 前記ウェル領域と前記第 3 並列 p n 構造との間に設けられた第 2 の第 1 導電型半導体領域によって、前記ウェル領域と前記第 3 並列 p n 構造とが分離されていることを特徴する請求項 6 に記載の半導体装置。

[請求項8] 前記第 2 の第 1 導電型半導体領域の厚さは、前記第 1 並列 p n 構造の厚さの $1/3$ 以下であることを特徴とする請求項 7 に記載の半導体装置。

[請求項9] 前記第 2 の第 1 導電型半導体領域の厚さは、前記第 3 の縦形第 2 導電型領域の幅以上であることを特徴とする請求項 7 に記載の半導体装置。

[請求項10] 前記第 2 の第 1 導電型半導体領域の不純物濃度は、前記第 3 の縦形第 1 導電型領域の不純物濃度よりも低いことを特徴とする請求項 7 ～

9 のいずれか一つに記載の半導体装置。

補正された請求の範囲
[2015年10月30日(30.10.2015)国際事務局受理]

[請求項1] 基板の第1主面側に存在して能動または受動で電流を流す活性部と、前記活性部に導電接続する第1の電極と、前記基板の第2主面側に存在する第1導電型の低抵抗層と、前記低抵抗層に導電接続する第2の電極と、前記活性部と前記低抵抗層との間に介在し、オン状態ではドリフト電流が縦方向に流れるとともにオフ状態では空乏化する縦形ドリフト部と、前記縦形ドリフト部は前記基板の厚み方向に配向する第1の縦形第1導電型領域と前記基板の厚み方向に配向する第1の縦形第2導電型領域とが第1の繰り返しピッチを以って交互に繰り返し接合してなる第1並列pn構造と、を有する半導体装置であって、

前記第1主面上に絶縁膜を介して設けられたオン・オフ制御用の第3の電極と、
前記基板の、前記第3の電極の直下における前記第1主面側の表面層に設けられ、
前記第1の電極に電氣的に接続された第2導電型のウェル領域と、

を備え、

前記ウェル領域と前記低抵抗層との間は、前記第1並列pn構造に連続して設けられた、前記基板の厚み方向に配向する第2の縦形第1導電型領域と前記基板の厚み方向に配向する第2の縦形第2導電型領域とを前記第1の繰り返しピッチよりも狭い第2の繰り返しピッチで交互に繰り返し接合してなる第2並列pn構造であり、

前記ウェル領域と前記第2並列pn構造との間に設けられた第1の第1導電型半導体領域によって、前記ウェル領域と前記第2並列pn構造とが分離されていることを特徴する半導体装置。

[請求項2] 前記第1の第1導電型半導体領域の厚さは、前記第1並列pn構造の厚さの $1/3$ 以下であることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第1の第1導電型半導体領域の厚さは、前記第2の縦形第2導電型領域の幅以上であることを特徴とする請求項1に記載の半導体装置。

[請求項4] 前記第1の第1導電型半導体領域の不純物濃度は、前記第2の縦形第1導電型領域の不純物濃度よりも低いことを特徴とする請求項1に記載の半導体装置。

[請求項5] 前記第1の電極の端部は前記絶縁膜上に延在し、前記絶縁膜上におい

て前記第1の電極の少なくとも一部が前記第3の電極と近接していることを特徴する請求項1に記載の半導体装置。

〔請求項6〕 前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では概ね非電路領域であってオフ状態では空乏化する素子周縁部をさらに備え、

前記素子周縁部は、前記基板の厚み方向に配向する第3の縦形第1導電型領域と前記基板の厚み方向に配向する第3の縦形第2導電型領域とが前記第1の繰り返しピッチよりも狭い第3の繰り返しピッチで交互に繰り返し接合してなる第3並列pn構造であることを特徴する請求項1～5のいずれか一つに記載の半導体装置。

〔請求項7〕 前記ウェル領域と前記第3並列pn構造との間に設けられた第2の第1導電型半導体領域によって、前記ウェル領域と前記第3並列pn構造とが分離されていることを特徴する請求項6に記載の半導体装置。

〔請求項8〕 前記第2の第1導電型半導体領域の厚さは、前記第1並列pn構造の厚さの $1/3$ 以下であることを特徴とする請求項7に記載の半導体装置。

〔請求項9〕 前記第2の第1導電型半導体領域の厚さは、前記第3の縦形第2導電型領域の幅以上であることを特徴とする請求項7に記載の半導体装置。

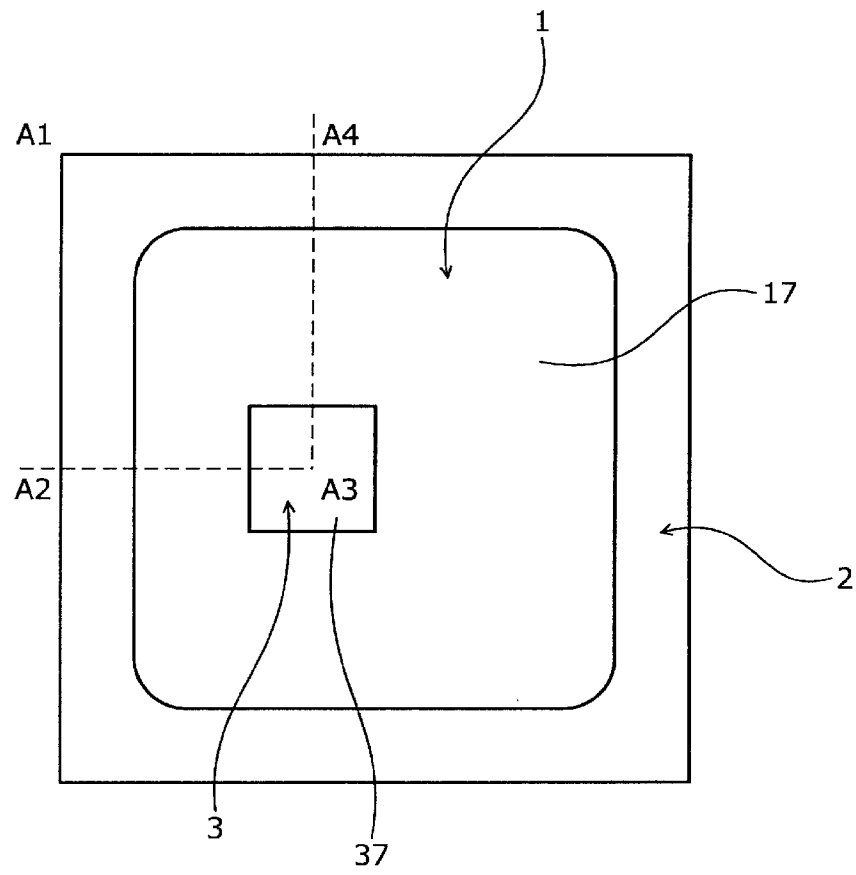
〔請求項10〕 前記第2の第1導電型半導体領域の不純物濃度は、前記第3の縦形第1導電型領域の不純物濃度よりも低いことを特徴とする請求項7～9のいずれか一つに記載の半導体装置。

〔請求項11〕（追加） 前記第1並列pn構造の前記第1の縦形第2導電型領域と前記ウェル領域は接していることを特徴とする請求項1に記載の半導体装置。

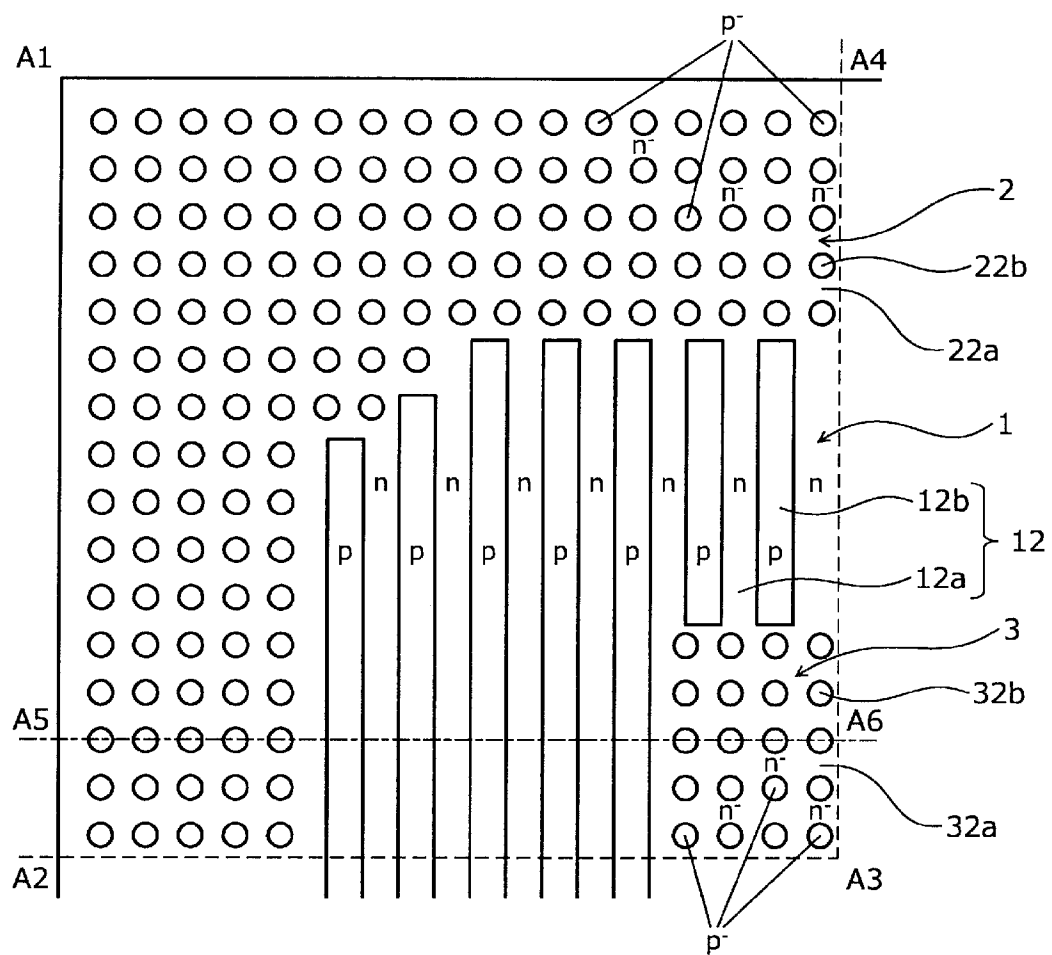
条約第 19 条（1）に基づく説明書

請求の範囲第 11 項は、出願時の明細書の段落 0036 および図 1 の記載に基づくものです。

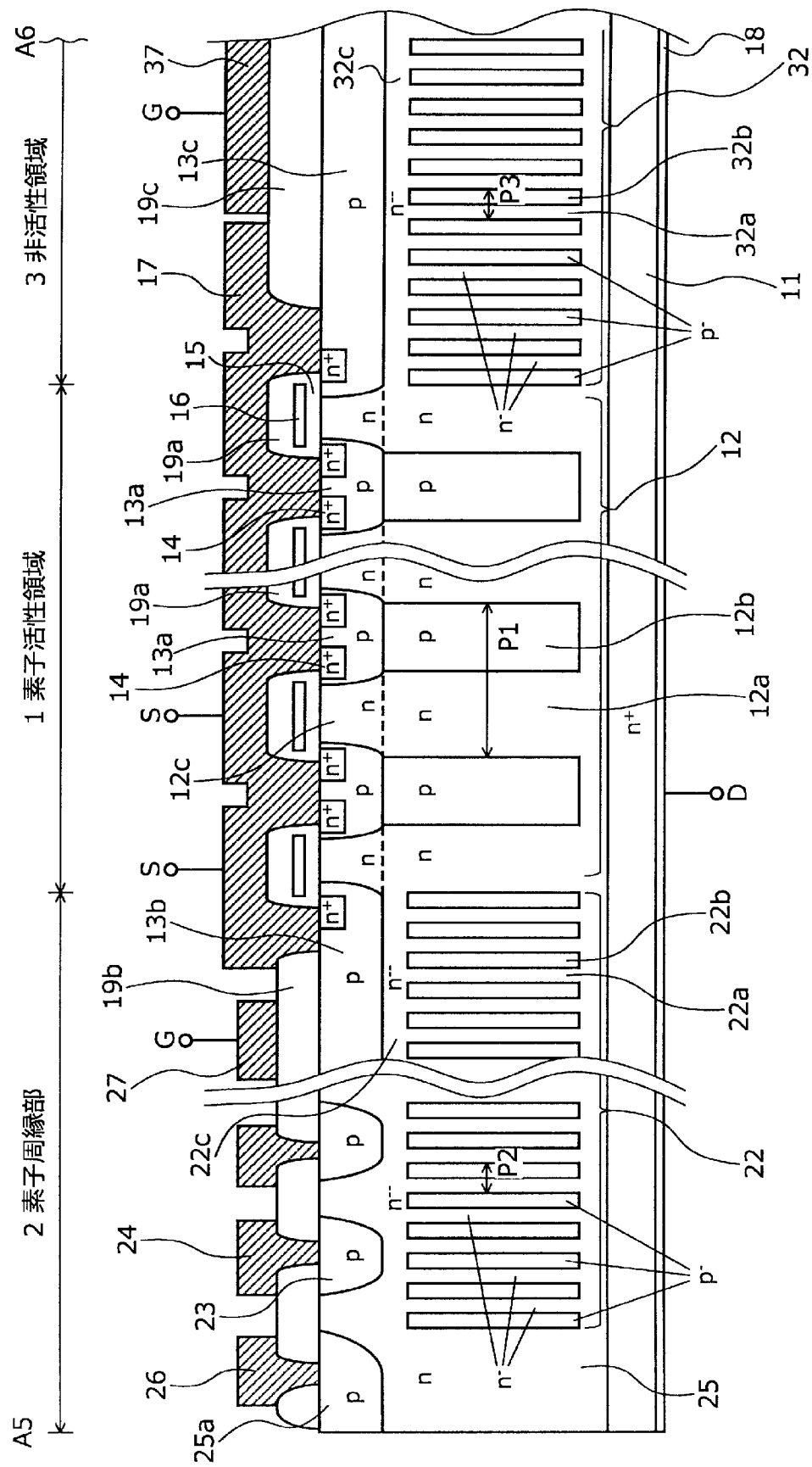
[図1]



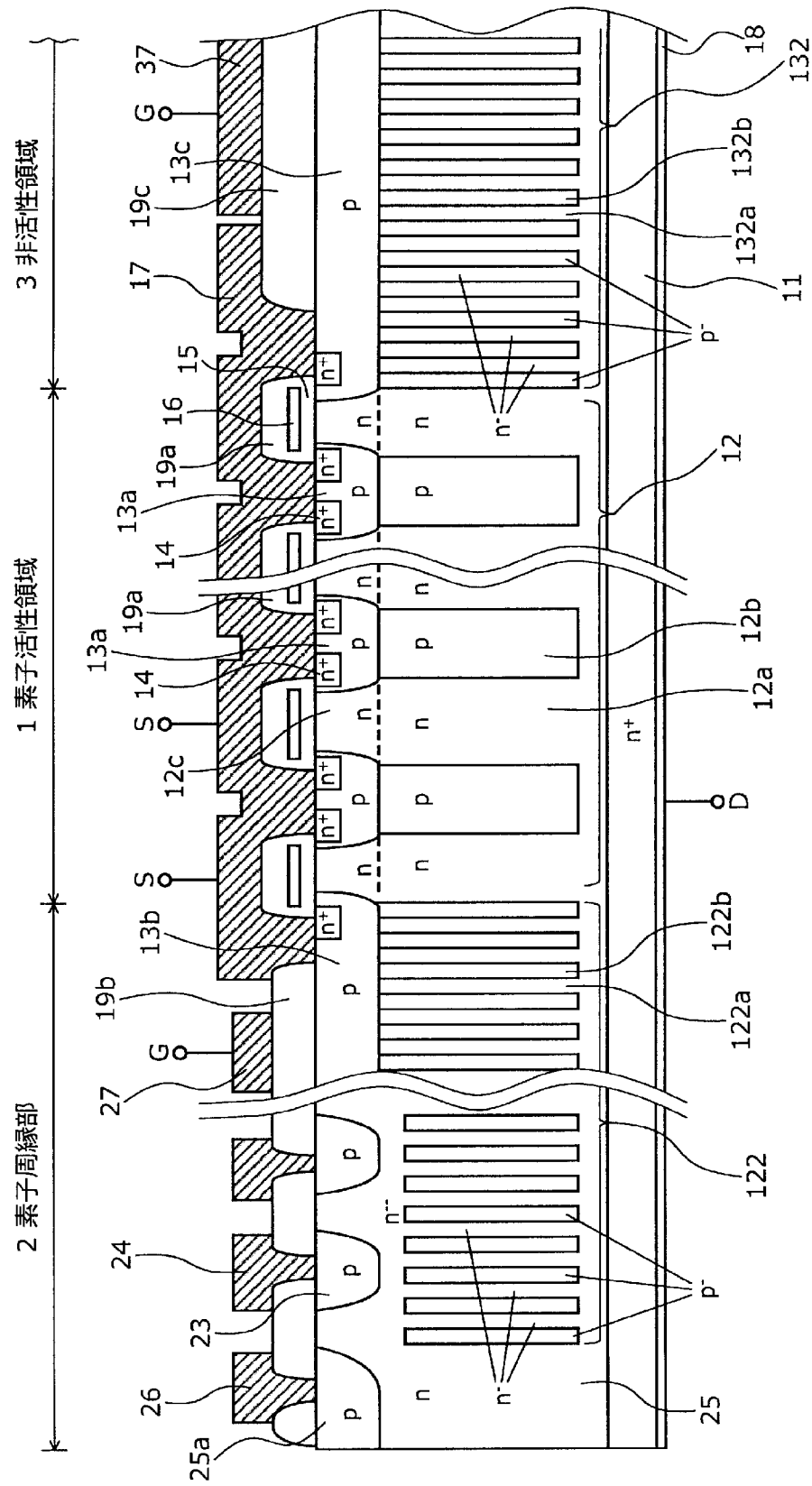
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069362

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-298191 A (Fuji Electric Co., Ltd.), 26 October 2001 (26.10.2001), fig. 11 & US 2001/0028083 A1 & DE 10106006 A1	1-10
Y	JP 7-7154 A (Siemens AG.), 10 January 1995 (10.01.1995), fig. 1 & US 5438215 A & DE 4309764 A1	1-10
Y	JP 2002-76339 A (Fuji Electric Co., Ltd.), 15 March 2002 (15.03.2002), paragraphs [0025], [0033], [0040]; fig. 5 & US 2002/0027237 A1	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 August 2015 (21.08.15)

Date of mailing of the international search report
01 September 2015 (01.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069362

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-192824 A (Fuji Electric Co., Ltd.), 29 September 2011 (29.09.2011), fig. 7 & CN 102194701 A & TW 201145361 A	1-10
A	JP 2005-322700 A (Toshiba Corp.), 17 November 2005 (17.11.2005), fig. 1 & US 2005/0250322 A1 & CN 1694265 A	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-298191 A（富士電機株式会社）2001.10.26, 図11 & US 2001/0028083 A1 & DE 10106006 A1	1 - 1 0
Y	JP 7-7154 A（シーメンス アクチエンゲゼルシャフト）1995.01.10, 図1 & US 5438215 A & DE 4309764 A1	1 - 1 0
Y	JP 2002-76339 A（富士電機株式会社）2002.03.15, [0025], [0033], [0040], 図5 & US 2002/0027237 A1	1 - 1 0

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 8 . 2 0 1 5

国際調査報告の発送日

0 1 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

電話番号 03-3581-1101 内線 3516

5 F

9 0 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-192824 A (富士電機株式会社) 2011.09.29, 図7 & CN 102194701 A & TW 201145361 A	1 — 1 0
A	JP 2005-322700 A (株式会社東芝) 2005.11.17, 図1 & US 2005/0250322 A1 & CN 1694265 A	1 — 1 0