

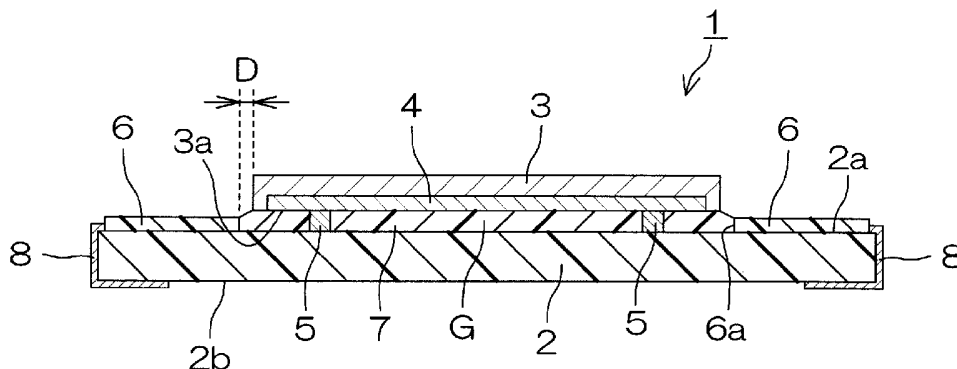


- (51) 国際特許分類:
H01L 23/28 (2006.01) H01L 21/56 (2006.01)
- (21) 国際出願番号: PCT/JP2005/013355
- (22) 国際出願日: 2005年7月21日 (21.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-282017 2004年9月28日 (28.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 谷田 一真 (TANIDA, Kazumasa) [JP/JP]; 〒9830803 宮城県仙台市宮城野区小田原2-6-48 コーポMTK102 Miyagi (JP). 宮田 修 (MIYATA, Osamu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号 サンマリオンNBFタワー21階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device (1, 21) includes a solid-state device (2, 22); a semiconductor chip (3), which has a functional plane (3a) whereupon a functional element (4) is formed, and is bonded on a front plane of the solid-state device at a prescribed interval by having the functional plane facing the front plane of the solid-state device; an insulating film (6), which is provided on a facing plane (2a, 22a) of the solid-state device which faces the semiconductor chip and has an opening (6a) formed larger in size than the semiconductor chip in a plane view of vertically looking down the facing plane; and a sealing layer (7) which seals between the solid-state device and the semiconductor chip.

(57) 要約: 固体装置(2,22)と、機能素子(4)が形成された機能面(3a)を有し、その機能面を上記固体装置の表面に対向させて、上記固体装置の表面との間に所定間隔を保持して接合された半導体チップ(3)と、上記固体装置の上記半導体チップとの対向面(2a,22a)に設けられ、その対向面を垂直に見下ろす平面視において、上記半導体チップよりも大きなサイズに形成された開口(6a)を有する絶縁膜(6)と、上記固体装置と上記半導体チップとの間を封止する封止層(7)とを含む、半導体装置(1,21)。



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置

技術分野

[0001] この発明は、フリップチップ接続された半導体チップを有する半導体装置に関する。

背景技術

[0002] 半導体装置の小型化および高密度実装のために、半導体チップの機能素子54が形成された機能面を固体装置に対向させて、半導体チップを固体装置に接続するフリップチップ接続構造が注目されている。

図4は、フリップチップ接続構造の半導体装置の図解的な断面図である。この半導体装置51は、配線基板52と、この配線基板52の表面52aに機能面53aを対向させて接続された半導体チップ53とを含んでいる。

[0003] 配線基板52の表面52aには、矩形状の接続パッド58が形成されており、配線基板52と半導体チップ53とは、その接続パッド58に接続された接続部材55によって、所定間隔を保つように接合され、かつ互いに電氣的に接続されている。また、配線基板52の表面52aには、その表面52aと半導体チップ53の機能面53aとの間隔より小さい厚みを有するソルダレジスト膜56が形成されている。

[0004] ソルダレジスト膜56には、接続パッド58を露出させるための矩形状の開口56aが形成されている。この開口56aは、図5に示すように、平面視で接続パッド58よりも大きく形成されており、この開口56a内において、接続パッド58に接続部材55が接続されている。

また、ソルダレジスト膜56の表面と半導体チップ53の機能面53aとの間には、微小な隙間が形成されており、この隙間は、アンダーフィル層57によって封止されている。このアンダーフィル層57は、配線基板52と半導体チップ53との接合後に、それらの間に液状のアンダーフィル材を注入することによって形成される。

[0005] 具体的には、配線基板52と半導体チップ53との接合後、図6Aに示すように、半導体チップ53の外周部の近傍に、ディスペンサ60が配置されて、このディスペンサ60

から溶ダレジスト膜56の表面と半導体チップ53の機能面53aとの間に液状のアンダーフィル材57Pが流し込まれる。アンダーフィル材57Pは、毛細管現象によって、図6Bに示すように、溶ダレジスト膜56の表面と半導体チップ53の機能面53aとの間に進入して広がっていく。そして、溶ダレジスト膜56の表面と半導体チップ53の機能面53aとの間の全域がアンダーフィル材57Pで埋められると、ディスペンサ60からのアンダーフィル材57Pの吐出が停止され、その後、アンダーフィル材57Pが硬化されることによって、アンダーフィル層57が得られる(下記非特許文献1参照)。

- [0006] ところが、開口56a内と開口56a外との間に段差が生じ、また、開口56aの上方が半導体チップ53で制限されているため、アンダーフィル材が開口56a内に流れ込むときに、その開口56aの周縁部(段差部分)に存在している空気が上手く抜けずに、アンダーフィル材に取り込まれて、アンダーフィル層57に、いわゆるボイド61を生じることがあった。たとえば、アンダーフィル層57にボイドが生じていると、リフロー工程で、アンダーフィル層57にクラックが発生し、半導体装置の信頼性の低下を招く。

非特許文献1: Chee Choong Kooi、他6名、"Capillary Underfill and Mold Encapsulation Materials for Exposed Die Flip Chip Molded Matrix Array Package with Thin Substrate"、2003 Electronics Packaging Technology Conference、p.324-330

発明の開示

発明が解決しようとする課題

- [0007] この発明の目的は、封止層中のボイドの形成を防止できる構成の半導体装置を提供することである。

課題を解決するための手段

- [0008] この発明の半導体装置は、固体装置と、機能素子が形成された機能面を有し、その機能面を上記固体装置の表面に対向させて、上記固体装置の表面との間に所定間隔を保持して接合される半導体チップと、上記固体装置の上記半導体チップとの対向面に設けられ、その対向面を垂直に見下ろす平面視において、上記半導体チップよりも大きなサイズに形成された開口を有する絶縁膜と、上記固体装置と上記半導体チップとの間を封止する封止層とを含む。

- [0009] この発明によれば、絶縁膜の開口は、固体装置の半導体チップとの対向面を垂直

に見下ろす平面視において、半導体チップよりも大きなサイズに形成されている。言い換えれば、絶縁膜の開口は、固体装置の対向面を垂直に見下ろす平面視において、その中に半導体チップが完全に含まれるように形成されている。これにより、固体装置と半導体チップとの隙間に、絶縁膜の開口による段差が生じることを防止できるとともに、その開口周縁部の上方のスペースが半導体チップによって制限されることを防止できる。

[0010] そのため、この半導体装置の製造工程において、絶縁膜の形成および固体装置と半導体チップとの接合の後、封止層を形成するために、液状の封止樹脂材を固体装置と半導体チップとの隙間に充填する際、液状の封止樹脂材に空気が取り込まれることによるボイドの形成を防止することができる。その結果、この半導体装置の信頼性を向上させることができる。

[0011] 固体装置の半導体チップとの対向面を垂直に見下ろす平面視において、半導体チップの外周と絶縁膜の開口縁部との間隔は、0.1mm以上であることが好ましい。

固体装置は、絶縁基板に配線が形成されてなる配線基板であってもよく、半導体基板であってもよい。

絶縁膜は、ソルダレジストであってもよい。この場合、ソルダレジストで覆われた領域における電氣的短絡(ショート)を防止することができる。

[0012] 上記封止層は、上記開口内を埋めつくすように設けられていてもよい。これにより、固体装置において、絶縁膜の開口からの露出部を封止層により保護することができる。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0013] [図1]本発明の第1の実施形態に係る半導体装置の図解的な断面図である。

[図2A]図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

[図2B]図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

[図2C]図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

。

[図2D]図1に示す半導体装置の製造方法を説明するための図解的な断面図である

。

[図3]本発明の第2の実施形態に係る半導体装置の図解的な断面図である。

[図4]フリップチップ接続された半導体チップを有する従来の半導体装置の構造を示す図解的な断面図である。

[図5]図4に示す配線基板の接続面を垂直に見下ろす図解的な平面図である。

[図6A]図4に示す半導体装置の製造方法を説明するための図解的な断面図である

。

[図6B]図4に示す半導体装置の製造方法を説明するための図解的な断面図である。

発明を実施するための最良の形態

[0014] 図1は、本発明の第1の実施形態に係る半導体装置の図解的な断面図である。

この半導体装置1は、配線基板2と、この配線基板2の表面2aに機能面3aを対向させて接続された半導体チップ3とを含んでいる。配線基板2の表面2aには、矩形状の接続パッド(図2Cおよび図2D参照)が形成されており、配線基板2と半導体チップ3とは、その接続パッドに接続された接続部材5によって、所定間隔を保つように接合され、かつ互いに電氣的に接続されている。

[0015] 配線基板2の表面2aには、その表面2aと半導体チップ3との間隔より小さい厚みを有するソルダレジスト膜6が形成されている。このソルダレジスト膜6により、配線基板2の表面に形成されている配線間での電氣的短絡が防止されている。ソルダレジスト膜6には、表面2aを垂直に見下ろす平面視において、半導体チップ3よりも大きなサイズを有する開口6aが形成されている。言い換えれば、ソルダレジスト膜6には、表面2aを垂直に見下ろす平面視において、その内部に半導体チップ3が完全に含まれるようなサイズの開口6aが形成されている。これにより、配線基板2と半導体チップ3との隙間G(配線基板2と半導体チップ3との間であって、表面2aを垂直に見下ろす平面視において、半導体チップ3と重なる領域)には、ソルダレジスト膜6が存在していない。

[0016] 表面2aを垂直に見下ろす平面視において、半導体チップ3の外周とソルダレジスト

膜6の開口6aの縁部との間隔Dは、0.1mm以上にされている。

配線基板2と半導体チップ3との隙間Gおよびその周辺には、アンダーフィル層7が設けられている。アンダーフィル層7は、ソルダレジスト膜6の開口6aを埋めつくすように形成されており、アンダーフィル層7によって、隙間Gが封止されるとともに、機能面3a、接続部材5、および開口6aからの表面2aの露出部が保護されている。

[0017] 配線基板2の端部には、図示しない配線により接続部材5と電氣的に接続された端面電極8が形成されている。端面電極8は、配線基板2の表面2aから端面を経て、表面2aの反対側の外部接続面2bに至るように形成されている。この半導体装置1は、端面電極8において、他の配線基板(実装基板)との電氣的接続を達成することができる。

図2Aないし図2Dは、図1に示す半導体装置1の製造方法を説明するための図解的な断面図である。半導体装置1は、配線基板2の表面2aに対して、半導体チップ3を、その機能面3aを対向させて接合した後、ソルダレジスト膜6の開口6a内にアンダーフィル材7Pを注入し、そのアンダーフィル材7Pを硬化させてアンダーフィル層7を形成することによって得られる。

[0018] 具体的には、まず、複数の配線基板2が作り込まれた基板15が用意される。

次に、この基板15の表面15a(配線基板2の表面2aに対応する面)の全面に液状で感光性を有するソルダレジスト膜6が塗布(たとえば、スピコートによる)または印刷された後、露光および現像により、半導体チップ3よりも大きなサイズを有する開口6aが形成される。

[0019] 次に、機能素子4の電極に接続された突起電極(バンプ)18を有する半導体チップ3が用意される。突起電極18は、はんだ材料を含む。

続いて、基板15が、表面15aを上に向けられ、ほぼ水平な姿勢で保持される。そして、内部にヒータを備えて加熱することが可能なボンディングツール19により、半導体チップ3が、その機能面3aと反対側の面を吸着されて保持される。半導体チップ3は、機能面3aが下方に向けられて基板15の表面15aに対向される。この状態が、図2Aに示されている。

[0020] 続いて、半導体チップ3の突起電極18が基板15の接続パッド16に当接するように

位置合わせされた後、ボンディングツール19が下降されて、半導体チップ3が基板15に接合される。この際、ボンディングツール19により、半導体チップ3が加熱され、その熱により突起電極18のはんだ材料が溶融されて、突起電極18と接続パッド16とが接合される。これにより、基板15と半導体チップ3とを機械的に接合する接続部材5が形成される。接続部材5により、基板15の表面15aに形成された配線と、半導体チップ3の機能素子4とが電氣的に接続される。

- [0021] 続いて、ソルダレジスト膜6の開口6aの周縁部上方に、ディスペンサ10が配置されて、そのディスペンサ10から開口6a内にアンダーフィル材7Pが注入される(図2B参照)。

アンダーフィル材7Pは、毛細管現象により、基板15と半導体チップ3との隙間Gに進入していき、この隙間G内を表面2aに沿って広がっていく(図2C参照。アンダーフィル材7Pが広がる方向を、図2Cに矢印Aで示す。)。そして、ディスペンサ10から適当な量のアンダーフィル材7Pが吐出され、隙間Gおよびソルダレジスト膜6の開口6aの内部がアンダーフィル材7Pで埋められると、アンダーフィル材7Pの吐出は停止される。その後、アンダーフィル材7Pを硬化させるための処理が行われて、開口6a内にアンダーフィル層7が形成される。

- [0022] その後、基板15が配線基板2の個片に切断され(切断位置を、図2Aに符号Cで示す。)、配線基板2の端部に端面電極8が形成されて、図1に示す半導体装置1が得られる。

以上のように、ソルダレジスト膜6の開口6aは、表面15aを垂直に見下ろす平面視において、その中に半導体チップ3が完全に含まれるように形成される。これにより、基板15と半導体チップ3との隙間Gに、ソルダレジスト膜6の開口6aによる段差が生じることを防止できるとともに、その開口6a周縁部の上方のスペースが半導体チップ3によって制限されることを防止できる。

- [0023] このため、液状のアンダーフィル材7Pを基板15と半導体チップ3との隙間Gに充填する際、アンダーフィル材7Pに空気が取り込まれることによるボイドの形成を防止することができる。その結果、得られたこの半導体装置1の信頼性を向上させることができる。

アンダーフィル層7にボイドが含まれていないことにより、この半導体装置1を、たとえば、リフローにより他の配線基板に接合してもボイドに起因するクラックは生じない。

[0024] 図3は、本発明の第2の実施形態に係る半導体装置の図解的な断面図である。図3において、図1に示す各部に対応する部分には、図1と同じ参照符号を付している。

この半導体装置21は、配線基板22と、この配線基板22の表面22aに機能面3aを対向させて接続された半導体チップ3とを含んでいる。

配線基板22の表面22aには、ソルダレジスト膜6が形成されている。ソルダレジスト膜6には、表面22aを垂直に見下ろす平面視において、半導体チップ3よりも大きなサイズの、すなわち、その内部に半導体チップ3が完全に含まれるように形成された開口6aが設けられている。

[0025] 配線基板22において、表面22aと反対側の外部接続面22bには、金属ボール23が設けられている。金属ボール23は、配線基板22の内部および／または表面で再配線されて、表面22a側の接続部材5に電氣的に接続されている。この半導体装置21は、金属ボール23を介して、他の配線基板(実装基板)に接合できる。

この半導体装置21を製造する場合は、基板15の代わりに、複数の配線基板22に相当する領域が密に形成された基板を用いて、上記と同様の製造方法(図2Aないし図2D参照)を実施すればよい。金属ボール23は、基板を配線基板22の個片に切り出す前に、この基板に接合されてもよく、配線基板22の個片が切り出された後に、この配線基板22に接合されてもよい。

[0026] 本発明の実施形態の説明は以上の通りであるが、本発明は、別の形態でも実施できる。たとえば、配線基板22には、2つ以上の半導体チップ3がフリップチップ接続されていてもよい。この場合、ソルダレジスト膜6には、表面2a, 22aを垂直に見下ろす平面視において、各半導体チップ3を完全に含む1つまたは2つ以上の開口6aが形成されているものとすることができる。

[0027] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

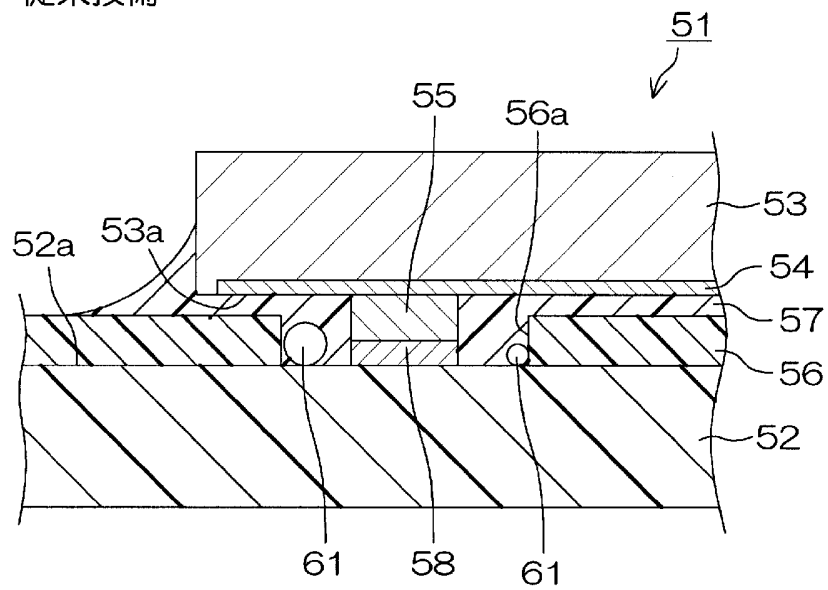
この出願は、2004年9月28日に日本国特許庁に提出された特願2004-282017に基づき、条約による優先権を主張しており、この出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

- [1] 固体装置と、
機能素子が形成された機能面を有し、その機能面を上記固体装置の表面に対向させて、上記固体装置の表面との間に所定間隔を保持して接合される半導体チップと、
、
上記固体装置の上記半導体チップとの対向面に設けられ、その対向面を垂直に見下ろす平面視において、上記半導体チップよりも大きなサイズに形成された開口を有する絶縁膜と、
上記固体装置と上記半導体チップとの間を封止する封止層とを含む、半導体装置。
- [2] 上記封止層が、上記開口を埋めつくすように設けられている、請求項1記載の半導体装置。

[図4]

図 4 従来技術



[図5]

図 5 従来技術

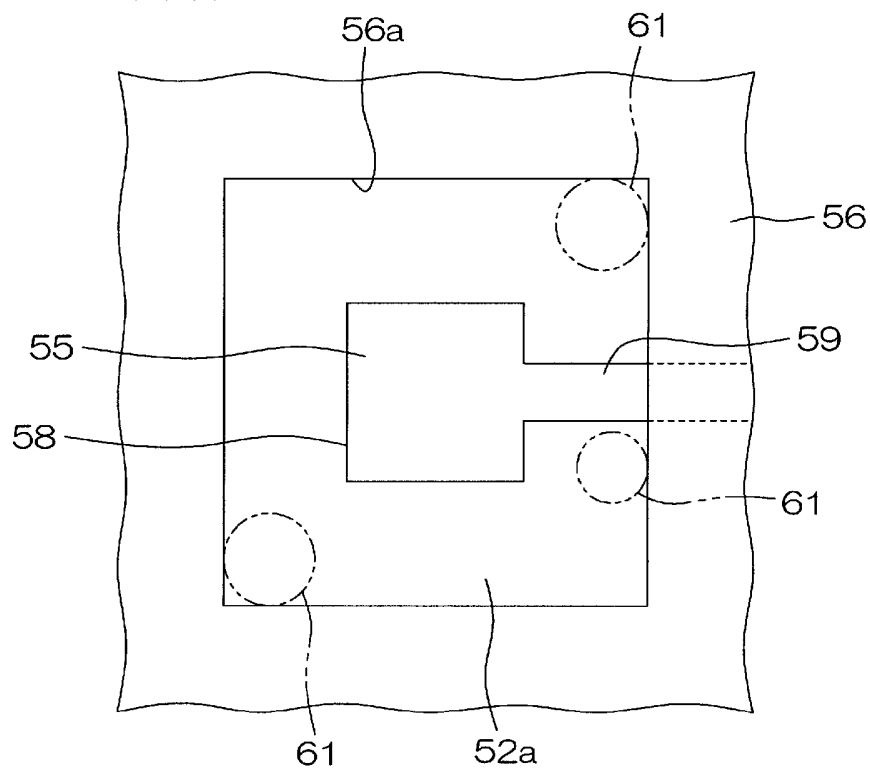


図 6A 従来技術

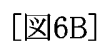
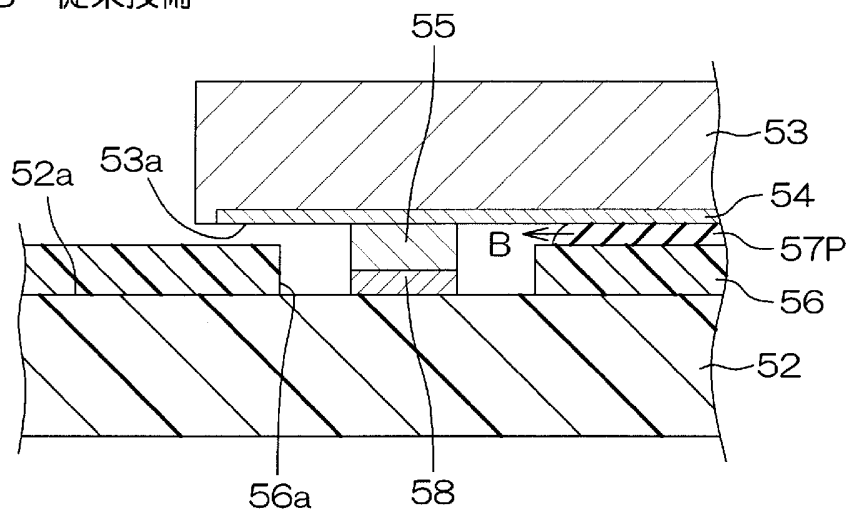


図 6B 従来技術



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013355

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/28 (2006.01), **H01L21/56** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/28 (2006.01), **H01L21/56** (2006.01), **H01L23/12** (2006.01), **H01L21/60** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-186213 A (Fujitsu Ltd.), 02 July, 2004 (02.07.04), Par. Nos. [0016] to [0054]; Figs. 1 to 4 (Family: none)	1, 2
X	JP 2000-340715 A (Kyocera Corp.), 08 December, 2000 (08.12.00), Par. Nos. [0014] to [0042]; Fig. 1 (Family: none)	1, 2

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 October, 2005 (04.10.05)

Date of mailing of the international search report
18 October, 2005 (18.10.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L23/28 (2006.01), H01L21/56 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L23/28 (2006.01), H01L21/56 (2006.01), H01L23/12 (2006.01), H01L21/60 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-186213 A (富士通株式会社) 2004.07.02, 段落【0016】 - 【0054】、第1-4図 (ファミリーなし)	1, 2
X	JP 2000-340715 A (京セラ株式会社) 2000.12.08, 段落【0014】 - 【0042】、第1図参照 (ファミリーなし)	1, 2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

- * 引用文献のカテゴリー
- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日
04.10.2005国際調査報告の発送日
18.10.2005

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
菅野 智子
電話番号 03-3581-1101 内線 3471

4R 3339