

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年3月6日(2008.3.6)

【公開番号】特開2006-245167(P2006-245167A)

【公開日】平成18年9月14日(2006.9.14)

【年通号数】公開・登録公報2006-036

【出願番号】特願2005-56971(P2005-56971)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 C

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 7 M

H 0 1 L 29/58 G

【手続補正書】

【提出日】平成20年1月10日(2008.1.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に形成された高誘電体材料を用いた第 1 のゲート絶縁膜と前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極とを備えた第 1 の M O S F E T と、

前記半導体基板に形成された前記高誘電体材料を含まない第 2 のゲート絶縁膜と前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極とを備えた第 2 の M O S F E T とを具備し、

前記第 1 のゲート電極が第 1 のシリサイドで構成され、前記第 2 のゲート電極が多結晶又は非晶質シリコンもしくはシリコンゲルマニウムから構成されたことを特徴とする半導体装置。

【請求項 2】

前記第 2 のゲート電極の多結晶又は非晶質シリコンもしくはシリコンゲルマニウム上には第 2 のシリサイドもしくは金属が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の M O S F E T は、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたシリコン単結晶層からなる S O I 基板上に形成され、前記第 2 の M O S F E T は、前記半導体基板に形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 及び第 2 の M O S F E T は、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたシリコン単結晶層からなる S O I 基板上に形成され、前記第 1 の M O S

F E T は、完全空乏型 S O I 構造であり、前記第 2 の M O S F E T は、部分空乏型 S O I 構造であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 5】

半導体基板の第 1 領域上に高誘電体膜を形成し、前記半導体基板の第 2 領域上に酸化膜を形成する工程と、

前記高誘電体膜及び酸化膜上にそれぞれ多結晶若しくは非晶質シリコン若しくはシリコンゲルマニウム膜からなる第 1 のゲート電極のパターン及び第 2 のゲート電極のパターンを形成する工程と、

前記第 1 及び第 2 のゲート電極のパターンをマスクとして、それぞれソース/ドレイン領域を形成する工程と、

前記第 1 のゲート電極をフルシリサイド化し、前記第 2 のゲート電極の上面にシリサイドを形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

その後、半導体基板 1 表面に M O S F E T を被覆するようにシリコン酸化膜などの絶縁膜 16 を堆積し、次いで、C M P などの平坦化プロセスにより M O S F E T のゲート電極 9、10 が露出するまで堆積した絶縁膜 16 を除去する。この処理により、低電圧動作領域では高誘電体膜 6 をゲート絶縁膜とする M O S F E T のゲート電極 9 を構成するシリサイド層 15 が露出し、高電圧動作領域ではシリコン酸化膜 5 をゲート絶縁膜とする M O S F E T のゲート電極 10 を構成する多結晶シリコン膜 7 が露出する。この時、多結晶シリコン膜 7 に堆積していた絶縁膜 8 も同時に除去する。その後、シリサイドを形成するための N i、P t、T i、C o などの金属膜 17 を再度堆積させ、ゲート電極 9、10 のみシリサイド反応を生じさせる（図 3（b））。このとき、堆積する金属膜の膜厚と反応熱処理温度、時間を最適化することにより、高電圧動作領域の M O S F E T のゲート電極 10 の多結晶シリコン膜 7 は表面の一部がシリサイド化されるのみですべてがシリサイド化されず、低電圧動作領域の M O S F E T のゲート電極 9 の多結晶シリコン膜 7 はすべてシリサイド化される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本実施例では、高誘電体ゲート絶縁膜としてハフニウムシリケートを用いたが、所望のゲートリーク電流を達成できる材料で有れば、ハフニウムシリケートに限らず、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$  やこれら以外の材料を用いても構わない。また、シリサイドを形成する金属材料も、本実施例で示した、T i、C o、N i、P t 以外に E r、R u、T a やこれら以外の材料を用いても構わない。また、N 型 M O S F E T と P 型 M O S F E T で使用する金属材料を変えても良い。これら材料を変更することにより本発明の本質が失われることはない。