

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年3月6日(2008.3.6)

【公開番号】特開2006-245167(P2006-245167A)

【公開日】平成18年9月14日(2006.9.14)

【年通号数】公開・登録公報2006-036

【出願番号】特願2005-56971(P2005-56971)

【国際特許分類】

H 01 L 21/8234 (2006.01)

H 01 L 27/088 (2006.01)

H 01 L 29/786 (2006.01)

H 01 L 29/423 (2006.01)

H 01 L 29/49 (2006.01)

【F I】

H 01 L 27/08 1 0 2 C

H 01 L 29/78 6 1 3 Z

H 01 L 29/78 6 1 7 M

H 01 L 29/58 G

【手続補正書】

【提出日】平成20年1月10日(2008.1.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板に形成された高誘電体材料を用いた第1のゲート絶縁膜と前記第1のゲート絶縁膜上に形成された第1のゲート電極とを備えた第1のMOSFETと、

前記半導体基板に形成された前記高誘電体材料を含まない第2のゲート絶縁膜と前記第2のゲート絶縁膜上に形成された第2のゲート電極とを備えた第2のMOSFETとを具備し、

前記第1のゲート電極が第1のシリサイドで構成され、前記第2のゲート電極が多結晶又は非晶質シリコンもしくはシリコンゲルマニウムから構成されたことを特徴とする半導体装置。

【請求項2】

前記第2のゲート電極の多結晶又は非晶質シリコンもしくはシリコンゲルマニウム上には第2のシリサイドもしくは金属が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1のMOSFETは、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたシリコン単結晶層からなるSOI基板上に形成され、前記第2のMOSFETは、前記半導体基板に形成されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】

前記第1及び第2のMOSFETは、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成されたシリコン単結晶層からなるSOI基板上に形成され、前記第1のMOS

FETは、完全空乏型SOI構造であり、前記第2のMOSFETは、部分空乏型SOI構造であることを特徴とする請求項1又は請求項2に記載の半導体装置。

#### 【請求項5】

半導体基板の第1領域上に高誘電体膜を形成し、前記半導体基板の第2領域上に酸化膜を形成する工程と、

前記高誘電体膜及び酸化膜上にそれぞれ多結晶若しくは非晶質シリコン若しくはシリコンゲルマニウム膜からなる第1のゲート電極のパターン及び第2のゲート電極のパターンを形成する工程と、

前記第1及び第2のゲート電極のパターンをマスクとして、それぞれソース／ドレイン領域を形成する工程と、

前記第1のゲート電極をフルシリサイド化し、前記第2のゲート電極の上面にシリサイドを形成する工程とを具備したことを特徴とする半導体装置の製造方法。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

その後、半導体基板1表面にMOSFETを被覆するようにシリコン酸化膜などの絶縁膜16を堆積し、次いで、CMPなどの平坦化プロセスによりMOSFETのゲート電極9、10が露出するまで堆積した絶縁膜16を除去する。この処理により、低電圧動作領域では高誘電体膜6をゲート絶縁膜とするMOSFETのゲート電極9を構成するシリサイド層15が露出し、高電圧動作領域ではシリコン酸化膜5をゲート絶縁膜とするMOSFETのゲート電極10を構成する多結晶シリコン膜7が露出する。この時、多結晶シリコン膜7に堆積していた絶縁膜8も同時に除去する。その後、シリサイドを形成するためのNi、Pt、Ti、Coなどの金属膜17を再度堆積させ、ゲート電極9、10のみシリサイド反応を生じさせる(図3(b))。このとき、堆積する金属膜の膜厚と反応熱処理温度、時間を最適化することにより、高電圧動作領域のMOSFETのゲート電極10の多結晶シリコン膜7は表面の一部がシリサイド化されるのみですがシリサイド化されず、低電圧動作領域のMOSFETのゲート電極9の多結晶シリコン膜7はすべてシリサイド化される。

#### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本実施例では、高誘電体ゲート絶縁膜としてハフニウムシリケートを用いたが、所望のゲートリーキ電流を達成できる材料で有れば、ハフニウムシリケートに限らず、HfO<sub>2</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、La<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>やこれら以外の材料を用いても構わない。また、シリサイドを形成する金属材料も、本実施例で示した、Ti、Co、Ni、Pt以外にEr、Ru、Taやこれら以外の材料を用いても構わない。また、N型MOSFETとP型MOSFETで使用する金属材料を変えて良い。これら材料を変更することにより本発明の本質が失われることはない。